

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁷
H01L 27/115

(45) 공고일자 2000년09월 15일

(11) 등록번호 10-0266046

(24) 등록일자 2000년06월 20일

(21) 출원번호 10-1992-0701201
(22) 출원일자 1992년05월 21일
(86) 국제출원번호 PCT/JP 91/01280
(86) 국제출원일자 1991년09월 26일

(65) 공개번호 특 1992-0702554
(43) 공개일자 1992년09월 03일
(87) 국제공개번호 WO 91/06498
(87) 국제공개일자 1992년04월 16일

(30) 우선권주장 90-259455 1990년09월 28일 일본(JP)
(73) 특허권자 세이코 엡슨 가부시기가이샤 야스카와 히데아키
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1
(72) 발명자 다케나카가즈히로
일본국나가노켄스와시오와3조메3반5고세이코엡슨가부시끼가이샤나이
(74) 대리인 이병호

심사관 : 임동우

(54) 반도체장치

요약

게이트 전극(23)과 소스 영역(24)과 드레인 영역(25)으로 된 트랜지스터(TR)와, 국소산화막(26)상에 강유전체 캐패시터(C)의 구조체가 존재한다. 이것은 강유전체 막(29)과 이것을 끼우는 상부전극(32) 및 하부전극(28)을 가지고, 하부전극(28)과 소스 영역(24)이 도전성 반응 방지막(35)과 Al로 된 배선전극(34)이 적층된 배선에 의하여 접속되어 있다. 도전성 반응 방지막(35)은 TiN, MoSi, W 등이다. 배선 전극 형성 후에, 특성 개선의 목적에서 아닐 처리를 하거나, 최종 보호막을 형성하는 경우에도 배선 전극(34)과 상부 전극(32)은 반응하지 않고, 양호한 강유전체막 특성이 얻어지고, 고성능 고밀도 집적의 강유전체 메모리를 형성할 수 있다.

대표도

도 1

명세서

기술분야

본 발명은 비휘발성 메모리 등에 적용가능한 강유전체 캐패시터 등의 강유전체를 구비한 반도체 장치에 관한 것이다.

배경기술

인가 전압의 정역극성(正逆極性)에 의해 분극 반전 가능한 강유전체를 사용한 비휘발성 메모리는 정보 기입시간과 정보 판독 시간이 원리적으로 같다. 또한, 정지상태(백업시; backup time)는 전압 무인가에서도 분극(잔류분극)이 유지되므로, 이상적인 비휘발성 메모리로서 유망시되고 있다.

종래, 강유전체 캐패시터를 사용한 반도체 비휘발성 메모리로서는 미국특허 제4149302호와 같이, 실리콘(Si)기판 상에 강유전체 캐패시터를 집적한 구조의 것이나, 미국특허 제 3832700호와 같이, MIS형 트랜지스터의 게이트 전극상에 강유전체막을 배치한 구조의 것이 제안되고 있다.

비휘발성 메모리 셀은 일반적으로 제8도에 도시한 바와 같이, 워드선(W)에 접속된 게이트 전극(G)과 비트선(B)에 접속된 드레인 전극(D)과 강유전체 캐패시터(C)의 한쪽 전극에 접속된 소스 전극(S)을 갖는 N형 트랜지스터(TR)를 가지고, 강유전체 캐패시터(C)의 다른쪽 전극이 플레이트 선(P)에 접속된 회로구성이다. 이러한 메모리 셀의 현실적인 반도체 구조로서는, 최근에는 제9도에 도시한 것이 제안되고 있다. 제9도에 나타내는 반도체 구조는 P형 실리콘 기판(1)상의 게이트 산화막(2)을 사이에 두고 형성된 폴리실리콘(다결정 실리콘)의 게이트 전극(3)과 셀프 얼라인(self-aligning)에 의하여 실리콘 기판(1)내에 확산형성된 고농도 N형의 소스 영역(4) 및 드레인 영역(5)으로 이루어지는 N형 MOS 트랜지스터(TR)와, 소자 분리용의 국소산화막(LOCOS)(6) 상에서 인 글래스(phosphoric glass) 등의 층간 절연막(7)상에 형성된 강유전체 캐패시터(C)를 가지며, 층간 절연막(7)상의 강유전체 캐패시터(C)는, 백금(Pt)등의 하부 전극(8), PZT 등의 강유전체막(9) 및 금(Au)이나 백금(Pt)등의 상부전극(10)이 순차 적층 형성되는 것이다. 그리고, 고농도의 확산 영역인 소스 영역과 상부 전극(10)은 콘택트 홀(contact hole)(11)을 통해

AI의 배선(12)으로 접속되어 있다. 또한, 부호(13)은 인 글래스 등으로 된 제 2 층간 절연막이다.

한편, 상부전극(10)인 금(Au)이나 백금(Pt)은 귀금속이고, 강유전체막과 반응하지 않고 양호한 계면 특성이 얻어진다는 이유에서 강유전체 캐패시터의 전극으로서 양호하게 사용된다. 또한, 백금(Pt)은 격자 상수가 PZT 등의 강유전체와 가까우므로 결정성의 개선이라는 효과도 요망되어 많이 사용되고 있다.

그러나, 이들의 상부 전극(10)인 백금(Pt)이나 금(Au)은 배선전극(12)인 Si와 300℃ 전후에서 용이하게 반응한다. 따라서 배선 전극(12) 형성 후에 어닐을 행하도록 한 경우나 최종 보호막(a passivation film)을 형성하도록 한 경우에는, 배선 전극인 Si이 상부전극(10)과 반응하여, 상부 전극과 강유전체막의 계면까지 도달하여 버리고, 결과적으로 잔류분극의 저하, 즉, 신호 전하량의 저하나 비유전율(Es)의 저하 등의 전기적 특성의 열화가 초래되었다.

제9도와 같이 국소산화막(6)상의 층간 절연막(7)을 사이에 두고 강유전체 캐패시터(C)를 형성한 구조에서는, 국소산화막(6)상의 스페이스를 유효하게 활용하여, 강유전체 캐패시터(C)가 형성되어 있는 것으로, 소스 영역(4)에서 상부 전극(10)까지의 배선(12)의 길이가 길게 되어 있으며, 메모리 셀 점유 면적의 증대를 초래하고 있다. 그래서 본 발명자는 제10도에 도시한 바와 같이, 강유전체막(9)을 소스 영역(4)상에 직접 퇴적한 메모리셀 구조를 시험 제작하였다. 강유전체막(9)상에 백금(Pt)의 상부전극(14)이 형성되고, 상부전극(14)은 Si의 배선전극(16)에 의하여, 플레이트 선(P)에 접속된다. 강유전체막(9)의 아래측에는 인 글래스 등으로 된 층간절연막(15)에 열려진 콘택트를 거쳐 Pt등으로 된 하부전극(17)이 형성되어 있다. 이러한 구조에서도 배선 전극(16)의 형성 후에, 강유전체 캐패시터의 특성 개선을 위하여 어닐 처리를 행하는 경우나, 최종 보호막(a passivation film)을 형성하도록 한 경우에는, 상부 전극(14)과 배선전극(16)이 반응하여 정상적인 메모리 동작을 할 수 없게 되어 버렸다.

이러한 이유에 의하여, 제9도나 제10도에 나타내는 구조는 상술했듯이, 강유전체의 특성의 향상과 최종 보호막의 형성을 양립시킬 수 없다는 문제점을 가지고 있었다.

그래서, 본 발명의 목적은, 상기 각 구조의 문제점을 감안하여, 강유전체를 사용한 비휘발성 메모리로서의 기능을 손상하지 않고, 패시베이션 막의 형성이나 어닐 처리 등을 할 수 있는 구조의 반도체 장치를 제공하는 데 있다.

[발명의 개시]

본 발명은, 기본적으로는, 반도체 기체(semiconductor body) 또는 반도체 기판(semiconductor substrate)의 주표면 또는 내부에 있어서 강유전체의 형성 구조를 제공하는 것이다. 대표적인 반도체 기판으로서는 실리콘 기판이 있지만, 갈륨 비소등의 화합물 반도체등도 마찬가지로, 산소 결합성이 있는 반도체 기체에 대하여 적용할 수 있다. 강유전체 형성 구조의 영역은 진성 반도체 영역이라도 좋고, 불순물 확산 영역의 N 형 또는 P 형 영역이라도 상관없다. 불순물 확산 영역으로서는 MIS 형 트랜지스터의 소스 영역 또는 드레인 영역이나 바이폴러 트랜지스터의 3 전극의 확산 영역 등이 대표적인 예이지만, 능동소자의 활성 영역에 한정하지 않고, 확산 저항층이나 스톱퍼 영역등의 수동 소자에 대한 각 영역상에 강유전체 형성 구조를 실현할 수 있다. 소자 분리 상이나 확산 영역상에 정상적으로 강유전체 캐패시터 구조를 실현하는 경우는 물론이고, 트렌치 내에도 강유전체 형성구조를 실현할 수 있다. 즉, 본 발명이 강구한 수단은 상부 전극과 배선 전극 사이에 도전성 반응 방지막(conductive reaction-preventing film)을 형성하며, 전극과 도전성 반응 방지막이 적층구조로 되며, 도전성 반응 방지막의 윗측에 배선이 적층되도록 한 것, 또는 도전성 반응 방지막 자체를 배선 전극으로 한 것에 있다. 즉, 본 발명에서는, 하부 전극, 강유전체 막, 상부전극, 도전성 반응 방지막 및 배선전극의 순으로 된 적층구조를 채용한다. 강유전체막으로서는, 일반적으로 $PbTiO_3$, PZT($PbTiO_3$, $PbZrO_3$) 또는 PLZT(La , $PbTiO_3$, $PbZrO_3$)등이 사용된다. 그리고, 이런 종류의 강유전체 막은, 예를 들면 스퍼터법(sputtering)이나 졸겔법(sol-gel process)으로 성막되고, 그 후, 유전율 등을 개선하기 위하여 산소 어닐 처리를 필요로 한다. 강유전체 막의 전극은, 예를 들면 Pt, Pd 나 Au 이고, 강유전체 막의 결정의 격자상수가 가까운 Pt 가 좋다.

도전성 반응 방지막은, 예를 들면 Mo 막, W 막 Ti 막등의 고용점 금속막이나 MoSi 막, TiSi 막 등의 고용점 금속 실리사이드 막이나, TiN 막 등의 도전성 금속 질화막이나, RuO_2 막, ReO_2 막 등의 도전성 금속 산화막이나, $TiON$ 막 등의 도전성 금속 질화산막이고, 이들 막의 복합막이어도 좋다. 이러한 도전성 반응 방지막을 상부전극과 배선전극 사이에 끼운 구조는 배선전극 형성후의 어닐처리나, 최종 보호막의 형성 공정에 있어서 배선 전극과 상부 전극의 반응을 저지하고, 강유전체막이 계면으로의 배선 전극재료(AI)의 확산을 방지하고, 비유전율의 저하나 분극 전하의 저하등, 전기적 특성의 열화를 저지한다. 그러므로, 강유전체를 사용한 메모리로서의 기능을 손상하지 않고, 패시베이션 막의 형성이나 어닐 처리 등을 할 수 있는 구조의 강유전체 메모리를 실현할 수 있다.

본 발명의 제2수단으로서는, 상술한 도전성 반응 방지막을 그대로 배선 전극으로서 이용한 구조로 한 것이다. Si로 이루어진 배선 전극과, 도전성 반응 방지막으로 이루어진 배선 전극은 서로 독립됨으로써 평면적으로 적층하는 것이 가능하게 되고, 소자의 고집적화에 크게 기여한다.

또한, 반도체에 형성된 확산층과, 도전성 반응 방지막의 접촉저항의 감소를 위해서는 확산층의 계면에 금속 실리사이드 막을 형성하는 것이 바람직하다. 이들의 실리사이드 막으로서는 Ti, Pt, Ru, Re, Mo, Ta, W 중, 어느 것인가의 금속을 주성분으로 한 실리사이드 막이다.

도면의 간단한 설명

제1도는 본 발명의 실시예(1)의 주요 평면도.

제2도는 본 발명의 실시예(1)의 주요 단면도.

제3도는 본 발명의 실시예(1)에 대한 변형예의 주요 단면도.

제4도는 본 발명의 실시예(2)에 대한 주요 단면도.

제5도는 본 발명의 실시예(3)에 대한 주요 단면도.

제6도는 본 발명의 제2수단에 대한 실시예(4)의 주요 평면도.

제7도는 본 발명의 제2수단에 대한 실시예(4)의 주요 단면도.

제8도는 비휘발성 메모리를 나타내는 회로도.

제9도는 종래 기술에 관한 강유전체 캐패시터를 갖춘 반도체 장치를 나타내는 주요 단면도.

제10도는 종래 기술에 관한 강유전체 캐패시터를 갖춘 반도체 장치의 다른 예를 나타내는 주요 단면도.

발명의 상세한 설명

다음에 본 발명에 관한 실시예를 도면에 의하여 설명한다.

제1도는 본 발명의 실시예(1)에 관한 강유전체 캐패시터를 갖춘 반도체 장치를 나타내는 주요 평면도이고, 제2도는 제1도의 평면도에 있어서 A-A' 단면을 나타내는 주요 단면도이다.

본 발명의 반도체 장치는 비휘발성 메모리이고, 등가 회로적으로는 제8도에 나타내는 메모리셀을 갖는 것이다. 본 실시예에서는, 예를 들면 20 ohm.cm의 비저항(比抵抗)을 가진 웨이퍼인 P형 실리콘 기판(21)을 사용하고, 그것에 N형 MOS 트랜지스터(Tr)와 강유전체 캐패시터(C)의 구조가 형성되어 있다. 주지하는 바와 같이, N형 MOS 트랜지스터(Tr)의 반도체 구조는, 실리콘 기판(21) 상의 게이트 절연막(실리콘 산화막)(22)을 사이에 두고 형성된 인 도프 폴리실리콘(phosphor doped polysilicon)인 게이트 전극(23)과, 이 게이트 전극(23)을 마스크로 하여 셀프 얼라인(self-aligning)(자기 정합)에 의하여 인(phosphor)을 80 KV, $5 \times 10^{15} / \text{cm}^2$ 로서 이온 주입하여 형성된 기판 내의 고농도 N형 불순물 확산 영역인 소스 영역(24) 및 드레인 영역(25)으로 이루어진다. 참조 부호 (26)은 두께 약 600nm의 소자 분리용의 국소 산화막(LOCOS)이다. 또한 부호 (30)은 제1층간 절연막이고, 본 실시예에서는 제1층간 절연막 상에서 강유전체 형성 구조인 강유전체 캐패시터(C)의 구조체가 설치되어 있다. 이 구조체는 기본으로 되는 강유전체막(29)과 이것을 상하로 끼우는 전극층인 상부전극(32) 및 하부전극(28)을 가진다. 강유전체 막(29)으로서는 PbTiO_3 , PZT (PbTiO_3 , PbZrO_3), 또는 PLZT(La, PbTiO_3 , PbZrO_3) 등으로서, 예를 들면 스퍼터법으로 500 nm의 두께로 형성되어 있다. 상부 전극으로서는 백금(Pt) 패라듐(Pd) 또는 금(Au)이며, 증착법이나 스퍼터법에 의하여 300 nm의 두께로 형성되어 있다. 하부전극(28)으로서는 백금(Pt) 또는 패라듐(Pd)이고, 예를 들면 스퍼터법으로 300 nm의 두께로 형성되어 있다. 백금(Pt)을 하부전극(28) 및 상부전극(32)으로서 선택한 경우에는 강유전체 막(29)의 PbTiO_3 , PZT 또는 PLZT와 격자상수가 가까우므로, 강유전체 막(29)에 대한 산소 어닐 처리에 의하여 결정성이 개선되므로, 양호한 전기적 특성이 얻어진다. 부호(33)은 제2층간 절연막이고, 예를 들면, 기상 성장법에 의한 두께 약 400 nm의 인 글래스(phosphoric glass)이다. 상부전극(32)과 소스 영역(24)의 접촉은, 스퍼터법에 의하여 형성된 100 nm 정도의 두께로 이루어지는 TiN 등의 도전성 반응 방지막(35)과 스퍼터법이나 증착법에 의하여 형성된 1000 nm 정도의 두께로 Al로 이루어지는 배선전극(34)이 적층화된 배선에 의하여 행하여진다. 드레인 영역(25)에는, 콘택트 홀을 통해, 소스 영역과 같은 형태로, 도전성 반응 방지막(35)과 Al 배선전극(34)의 적층막이 접촉되고 있다.

이러한 강유전체 캐패시터를 포함하는 반도체 장치의 형성법으로서는, 우선, 반도체 기체(semiconductor body) 표면상을 피복한 제1층간 절연막(30)을 형성한 후에, 백금(Pt)을 스퍼터법에 의하여 반도체 기체 표면상에 피복한다. 그리고, 종래 기술인 포토 기술(photolithography technique)에 의하여 소정의 패턴을 형성하고, 예를 들면 종래 기술인 이온 밀링(ion milling technique)에 의하여 하부전극을 에칭하여 소정의 하부전극(28)의 패턴을 형성한다. 그 후, 강유전체 막으로서 PZT를 스퍼터법이나 졸겔법(sol-gel process)으로 피복하고, 종래 기술인 포토 기술에 의하여 소정의 패턴을 형성하고, 예를 들면 종래 기술인 이온 밀링에 의하여 강유전체 막을 에칭하여 소정의 강유전체 막(29)의 패턴을 형성한다. 다음, 백금(Pt)을 스퍼터법에 의하여 반도체 기체 표면상에 피복하고, 종래 기술인 포토 기술에 의하여 패턴을 형성하고, 예를 들면 종래 기술인 이온 밀링에 의하여 상부전극을 에칭하여 소정의 상부전극(32)의 패턴을 형성한다. 상술한 강유전체로 이루어지는 캐패시터의 형성공정에서, 적절하게 결정성 향상을 위한 산소를 포함하는 분위기 중에서의 어닐을 행하면, 특성 개선에 효과적이다.

상술한 바와 같이, 강유전체로 이루어지는 캐패시터를 형성한 후에 제2층간 절연막(33)을 형성하고, 그 후, 드레인 영역, 소스 영역 및 상부 전극으로의 콘택트 홀(38, 39, 40)을 뚫어서, 도전성 반응 방지막(35), 배선전극(34)을 적층하고, 포토 기술 및 에칭 기술에 의하여 배선을 형성한다. 도전성 반응 방지막으로서 TiN 막을 사용한 경우의 TiN 막의 형성 방법으로는 TiN 타겟을 사용한 스퍼터법이나, Ti 타겟을 사용하여 질소를 포함하는 분위기 중에서의 어닐에 의하여 TiN 막을 형성하는 방법 등을 들 수 있다.

이와 같이, Al로 이루어지는 배선전극(34)의 하층에 도전성 반응 방지막(35)이 형성된다. 이 때문에 배선전극을 형성한 후에도 500℃ 전후의 어닐 처리가 가능하게 된다. 배선 전극 형성 후에 SiO_2 막이나 SiN 막 등으로 이루어지는 최종 보호막의 형성이나, 2층 배선 전극 구조를 취한 경우의 SiO_2 막 등의 층간 절연막의 형성에는 약 400℃에서의 기상성장이 사용되지만, 배선전극(34)과 하부전극(32)사이에는 도전성 반응 방지막(35)이 존재하기 때문에 어떠한 특성의 열화 없이도 실현할 수 있다.

실제, 종래 구조와 같이 Al의 배선전극과 Pt의 상부 전극이 직접 접촉하고 있던 경우에는, 최종 보호막을 형성하기 전에 잔류분극이 10 마이크로 쿨롱(micro.coulomb), 비유전율이 1000이었던 것이, SiO_2 막으로 이루어지는 보호막 형성 후에는 잔류분극이 2 마이크로 쿨롱, 비유전율이 250으로 현저하게 열

화한 것에 비하여, 본 실시예와 같이 도전성 반응 방지막을 형성한 경우에는, 잔류분극이 9.8 마이크로 쿨롱, 비유전율이 1000 으로 거의 열화가 없는 강유전체 메모리를 구성할 수 있었다. 또한, 최종 보호막으로서 종래부터 반도체 IC에 사용되고 있는 플라즈마 SiN 등도 형성할 수 있으므로, 내습성 등의 장기 간에 걸친 신뢰성도 개선하는 것이 가능하였다. 또한, 2 층 이상의 배선 구조가 가능하게 되기 때문에, 배선 배치의 자유도가 대폭 증가하고, 보다 고기능의 IC 를 구성할 수 있었다. 2 층 이상의 배선 구조가 가능하게 되는 것의 잇점은 단순히 배선 배치의 자유도가 증가할 뿐만 아니라 강유전체 메모리 동작의 안정화에도 기여한다. 즉 제1층에서 플레이트 선(P)은 하부전극(28)으로 구성되어 있다. 하부전극에 Pt 를 사용한 경우에는 Pt 의 시트 저항(sheet resistance)은 Al 과 비교하여 일정 양 만큼 크기 때문에 플레이트 선에 저항을 부과하게 되고, 플레이트 선에 있어서 신호의 지연이나 전위의 불안정화가 일어난다. 2 층 배선을 사용하여 1 층 짜의 배선을 제1도와 같이 소스 영역(24)과, 상부 전극(32)과의 접속에 사용하고, 2 층짜의 배선을 플레이트 선과 평행으로 설치하여 플레이트선과 2 층짜의 배선을 접속함으로써, 실질적으로 플레이트 선의 배선 저항은 2 층짜의 배선, 즉 Al 배선의 저항과 동등하게 되므로, 플레이트 선의 저저항화가 가능하게 되고, 결과적으로 플레이트 선의 전위를 안정화시킬 수 있다.

또한, 도전성 반응 방지막(35)은 소스 영역과의 접촉부 및 드레인 영역의 접촉부에도 형성되어 있기 때문에, 배선 전극(34)중의 Al 과 드레인 또는 소스 영역의 Si 과의 반응도 저지한다. 따라서 Al 과 Si 의 반응에 의한 접합 리크 전류의 증대나, Si가 콘택트 홀에 석출하는 것으로 인한 접촉 저항의 증대에 대하여도 효과가 있다.

제3도는 본 실시예의 변형예를 나타내는 반도체 장치를 나타내는 주요 단면도이다. 또한, 동도에서 제1도에서 나타내는 부분과 동일 부분에는 동일 참조 번호를 붙이고, 그 설명은 생략한다. 상기 실시예에서는 강유전체로 이루어지는 캐패시터는 소자 분리용의 국소산화막 상에 형성되어 있었지만, 이 변형예에서는 소스 영역(24)상에 강유전체 캐패시터(C)가 쌓아올려져 적층되어 있다. 이 때문에, 소스 영역(24)과 하부 전극(42)사이의 배선 평면 점유면적을 유효하게 절약할 수 있으므로, 셀면적의 축소가 실현되고 있다.

또한, 상부전극(41)과 배선전극(34) 사이에는 도전성 반응 방지막(35)이 형성되어 있으므로, 상술한 실시예와 같이 배선전극(34)과 상부 전극(41)의 반응을 저지할 수 있고, 배선 전극 형성 후의 어닐이나 층간막, 최종 보호막의 형성이 가능하게 된다.

또한, 제2도와 제3도의 비교에서 알 수 있듯이, 제2도의 상부전극(32)이 본예의 하부전극(42)에, 제2도의 하부전극(28)이 본예의 상부전극(41)에 위상적(topological)으로 대응하고 있으므로, 플레이트 선(P)인 상부전극(41) 및 그 배선은 Al로 형성 가능하다. 즉, 플레이트 선(P)을 강유전체(29)상에 형성할 수 있기 때문이다. 이 때문에, 종래에 비하여 셀마다의 플레이트 전위의 불균형이 현저하게 개선된다. 종래는 두꺼운 LOCOS 상에 강유전체 캐패시터(C)가 세로로 적층구성되어 있어서 각 막의 단차 피복성(step coverage)에 문제가 있었지만, 본예에서는 게이트 전극(23)의 양쪽에 강유전체 캐패시터(c)가 형성되어 있으므로, 단차 피복성이 개선되고 있다.

제4도는 본 발명의 실시예(2)에 관한 강유전체 캐패시터를 갖춘 반도체 장치를 나타내는 주요 단면도이다. 본 실시예에서는 제2도와 마찬가지로 강유전체 캐패시터(C)는 소자 분리용의 국소산화막(26) 위에 형성되어 있다. 본 실시예에서는 실시예 1에 부가하여, 도전성 반응 방지막(35)과 소스영역(24)의 접촉 부분 및 드레인 영역(25)의 접촉 부분에 각각 금속 실리사이드(44,43)가 설치되어 있다. 금속 실리사이드로는 Ti, Pt, Ru, Re, Mo, Ta, W 중, 어느 것인가의 금속을 주성분으로 한 실리사이드 막이다. 이들 금속 실리사이드는 도전성 반응 방지막(35)과 소스, 드레인 영역의 접촉 저항을 저감시키는 효과가 있다.

금속 실리사이드의 형성 방법으로는 Ti 실리사이드인 경우, 상부전극으로의 개공부(開孔部 40), 소스 영역으로의 개공부(39) 및 드레인 영역으로의 개공부(38)를 형성한 후, Ti를 전면 스퍼터법에 의하여 피복하고, 질소를 포함하는 분위기중에서 어닐함으로써 Si 와 접촉하고 있는 부분에는 Ti 실리사이드(43,44)를 형성하고, Ti 표면에는 도전성 반응 방지막인 TiN 막(35)을 동시에 형성하는 방법이나, Ti 실리사이드 만을 어닐처리에 의하여 형성하고, 암모니아 초산, 물의 혼합액에 의하여 미반응의 Ti 만을 에칭하고, 소스영역(44), 드레인 영역(43)에 Ti 실리사이드 만을 남기는 방법 등이 있다.

본 실시예(2)는 제3도와 같이 강유전체 캐패시터(C)가 소스 영역 상에 적상적으로 형성되어 있는 경우에도 적용할 수 있는 것을 물론이다.

제5도는 본 발명의 실시예(3)에 관한 강유전체 캐패시터를 갖춘 반도체 장치를 나타내는 주요 단면도이다. 본 실시예에서는 제1도와 마찬가지로 강유전체 캐패시터(C)는 소자 분리용의 국소 산화막 상에 형성되어 있다. 상부전극(52) 위에 도전성 반응 방지막(50)이 적층되고 있다. 도전성 반응 방지막(50)과 상부전극(52)은 상부전극의 에칭시에 동시에 행하면 좋다. 배선전극(51)인 Al은 상부전극(52)상에 적층된 도전성 반응 방지막(50)과 접촉하고 있으므로, Al 과 Pt 의 반응은 실시예 1, 2와 마찬가지로 저지된다. 배선 전극은 종래와 마찬가지로 Al 로 형성되어 있으므로, Si 와의 접촉 부분에서 금속 실리사이드 등을 특히 설치할 필요가 없고, 공정의 단순화가 된다. 물론, 실시예(2)와 같이 그속 실리사이드를 설치하여 접촉 저항을 저감하여도 좋은 것은 물론이다. 또한 본 실시예(3)도, 제3도와 같은 강유전체 캐패시터(C)가 소스 영역 상에 정상적으로 형성되어 있는 경우에도 적용할 수 있는 것은 물론이다.

제6도는 본 발명의 실시예(4)에 관한 강유전체 캐패시터를 갖춘 반도체 장치를 나타내는 주요 평면도이고, 제7도는 제6도의 B-B' 부분의 단면도이다. 본 실시예에서는 강유전체 캐패시터(C)는 게이트 전극 상에 형성되어 있으며, 상부 전극(32)과 소스 영역(24)의 접속은 도전성 반응 방지막(61)에 의하여 행하여지고 있다. 도전성 반응 방지막으로서 TiN을 150 nm, 스퍼터법에 의하여 형성한다. 도전성 반응 방지막에 의한 배선(61)은 제3층간 절연막(63)에 의하여 Al 배선전극(62)과 분리되어 있으므로, 제6도에 도시한 바와 같이 Al 배선전극(62)은 강유전체 캐패시터(C)의 상부에 배치할 수 있다. 따라서 점유 면적을 대폭으로 저감할 수 있다. 상부전극(32)과 소스 확산층(24)의 접속을 도전성 반응 방지막(61)으로 행함으로써, Al 배선전극으로 비트선만으로 사용하게 되고, 실시예 1의 평면도, 제1도와 비교하여 점유면적

으로 반분(1/2), 집적도로는 약 2 배로 된다. 상부전극(32)과 소스 확산층(24)의 접촉을 도전성 반응 방지막(61)으로 행하는 것에 의한 잇점은 점유면적의 축소화 만은 아니다. 즉, 도전성 반응 방지막(61)은 800℃ 전후까지 안정하므로, 상부 전극으로의 콘택트 홀(64)의 형성이나, 도전성 반응 방지막(61)을 형성할 때에, 만일 강유전체 캐패시터(C)에 열화가 있어도 그 후의 어닐로서 800℃의 어닐을 행함으로써 완전하게 회복할 수 있다. 도전성 반응 방지막(61)과 AI 배선전극(62)을 층간 절연막(63)으로 완전히 분리하였으므로, AI 배선전극이 형성되는 접촉 부분의 깊이는 어디에서도 같으므로, 콘택트 에칭은 동일한 두께를 에칭하게 되고, 에칭이 용이하게 되어, AI 배선의 단차 피복성(step coverage)에 뛰어나다는 잇점도 있다. 이것에 대하여 제2도에서는 상부 전극 부분과 소스 드레인 영역 부분에서 에칭 두께가 다르고 에칭의 종점을 검출할 때에 방해가 된다. 배선전극으로서는 실시예 3의 경우와 같은 종래 기술인 AI 을 사용할 수 있으므로, 공정의 단축화라는 효과도 있다. 물론 배선전극(62)과 드레인 영역(25)의 계면 및 도전성반응 방지막(61)과 소스 영역(24)의 계면 상술한 금속 실리사이드를 형성하여 접촉 저항을 저감하여도 좋다.

상술한 강유전체의 확산 영역내지 기판상의 형성 구조로서는 주로 비휘발성 메모리에 대하여 설명했지만, 강유전체막의 비유전율이 큰 것을 이용한 메모리(DRAM)등에 응용할 수 있는 것은 물론이고, 고용량성을 필요로 하는 회로망에도 적용할 수 있다. 캐패시터를 구성하는 재료로서는 강유전체 막에 대하여 설명했지만, 비유전율이 크고, SrTiO_3 나, Ta_2O_5 등의 고유전율의 산화막을 사용하여 메모리를 구성하도록 한 경우라도, 이들 재료는 백금(Pt) 등을 전극으로써 필요로 하므로, 본 발명을 적용할 수 있다.

또한, 본 발명의 실시예에서는 강유전체와 전극은 적상 방식(a stacked manner)으로 형성되어 있지만, 전극과 강유전체 막을 횡으로 배치하여 본 발명과 같이 도전성 반응 방지막으로 전극을 접속하여도 좋다.

또한, 상술한 강유전체의 적용에로서는 메모리에 적용한 경우에 대하여 설명했지만, 강유전체가 지니는 초전 효과(pyroelectric effect)나 압전 효과(piezoelectric effect)를 이용한 소자, 예를 들면 초전 센서나, 압전 소자, 예를 들면 압전 센서 등에 적용할 수 있는 것은 물론이다.

산업상이용가능성

이상 설명한 바와 같이, 본 발명에 관한 강유전체를 갖춘 반도체 장치는 실리콘 기판 등의 주표면 또는 내부에 있어서 강유전체의 형성 구조를 제공한다. 강유전체의 전극과 배선 전극이 반응성이 강해도 특성 열화가 없는 강유전체를 형성할 수 있다. 강유전체 형성 구조의 영역은 진성반도체라도 좋고, 불순물 확산 영역의 N 형 또는 P 형 영역이라도 상관없다. MIS 형 트랜지스터의 소스 영역 또는 드레인 영역이나 바이폴러 트랜지스터의 3 전극의 불순물 확산 영역 등이 대표에 이지만, 능동 소자의 활성 영역에 한하지 않고, 저항 확산층이나 스톱퍼 영역 등의 수동 소자의 각 영역상에 강유전체 형성 구조를 실현할 수 있다. 확산 영역 상에 쌓아올려지는 것으로 강유전체 캐패시터 구조를 실현하는 경우는 물론이고, 트렌치내에도 강유전체 형성 구조를 실현할 수 있다. 고밀도 집적화가 요청되고 있는 비휘발성 메모리에 사용하는데 적합하다.

(57) 청구의 범위

청구항 1

강유전체 막 또는 고유전율 막으로 이루어진 캐패시터를 소자요소로 포함하는 반도체 장치에 있어서, 상기 캐패시터를 구성하는 전극 중 상기 강유전체 막 또는 고유전율 막의 윗쪽에 위치하는 상부전극 상에는 도전성 반응 방지막이 형성되고, 상기 도전성 반응 방지막 상에는 배선전극이 형성되고, 상기 도전성 반응 방지막과 상기 상부전극과 상기 배선전극이 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 캐패시터는, 고농도 확산 영역과 분리된 위치에 배치되는 것과 함께, 상기 도전성 반응 방지막 및 상기 배선전극은, 상기 상부전극으로부터 상기 고농도 확산 영역의 적어도 하나까지 배치되고, 상기 상부전극과 상기 고농도 확산 영역의 적어도 하나가 상기 도전성 반응 방지막 및 상기 배선전극을 통해 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항 또는 제2항 중 어느 한 항에 있어서, 상기 도전성 반응 방지막상에는 상기 도전성 반응 방지막 전체를 덮는 배선전극이 배치되고, 상기 도전성 반응 방지막과 상기 배선전극으로 배선이 구성되는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 캐패시터는, 고농도 확산 영역 상에 형성되는 것을 특징으로 하는 반도체 장치.

청구항 5

반도체 기체(semiconductor body)의 주표면상 또는 내부에 형성된 능동소자와, 전극을 통해 형성된 강유전체 막 또는 고유전율 막으로 이루어진 캐패시터와, 상기 능동소자의 확산층과 상기 캐패시터를 접속하는 배선전극을 소자요소로 하는 반도체 장치에 있어서, 상기 캐패시터의 전극과, 상기 반도체 기체의 주표면 또는 내부에 형성된 확산층과의 접촉을 도전성 반응 방지막을 통해 접속하며, 상기 도전성 반응 방지막이 상기 반도체 기체의 주표면 또는 내부에 형성된 확산층과 접촉하는 계면에, 금속 실리사이드가 형성되는 것을 특징으로 하는 반도체 장치.

청구항 6

제1항에 있어서, 상기 도전성 반응 방지막은, Mo, W, Ti, Ta, Ru, Re의 고용점 금속막과, Mo, W, Ti, Ta, Ru, Re의 고용점 금속 실리사이드막과, Mo, W, Ti, Ta, Ru, Re의 고용점 금속 질화막과, Mo, W, Ti, Ta, Ru, Re의 고용점 금속 산화막과, Mo, W, Ti, Ta, Ru, Re의 고용점 금속 질화 산화막 및 이들의 복합막 중 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 7

제5항에 있어서, 상기 금속 실리사이드는, Mo, W, Ti, Ta, Ru, Re의 고용점 금속 실리사이드 및 이들의 복합막 중 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 8

제1항에 있어서, 상기 강유전체 막 또는 고유전율 막은, PZT, PLZT, SrTiO_3 , Ta_2O_5 중 어느 하나인 것을 특징으로 하는 반도체 장치.

청구항 9

강유전체 막 또는 고유전율 막으로 이루어진 캐패시터를 소자요소로 포함하는 반도체 장치에 있어서,

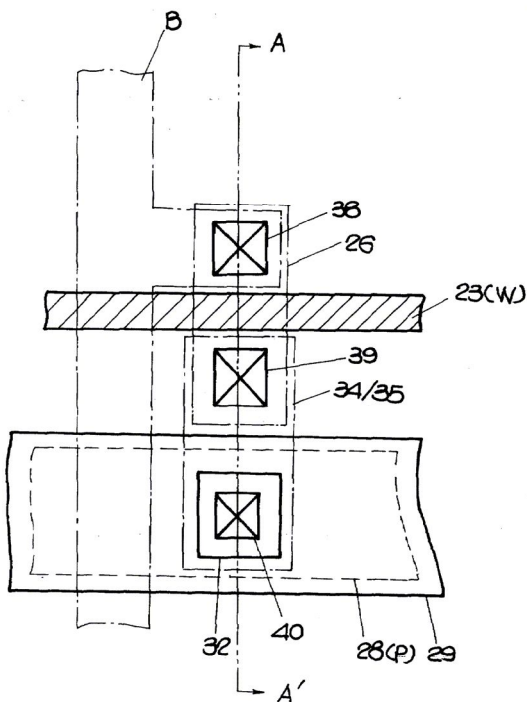
상기 캐패시터는, 고농도 확산 영역과 분리된 위치에 배치되고,

상기 캐패시터를 구성하는 전극 중 상기 강유전체 막 또는 고유전율 막의 윗쪽에 위치하는 상부전극 상에는 도전성 반응 방지막이 상기 상부전극과 전기적으로 접촉된 상태로 형성되고,

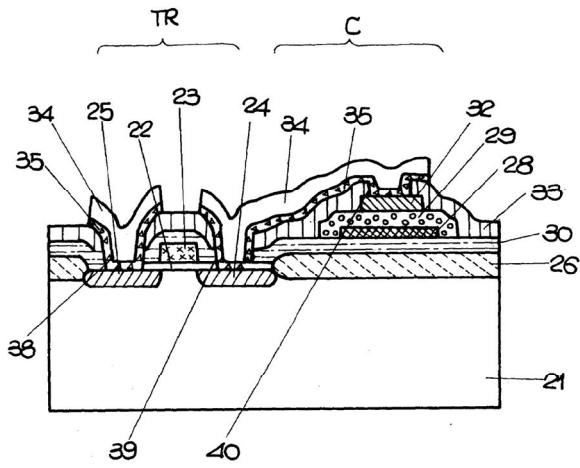
상기 도전성 반응 방지막은, 상기 상부전극으로부터 상기 고농도 확산 영역의 적어도 하나까지 배치되고, 상기 상부전극과 상기 고농도 확산 영역의 적어도 하나가 상기 도전성 반응 방지막을 통해 전기적으로 접속되는 것을 특징으로 하는 반도체 장치.

도면

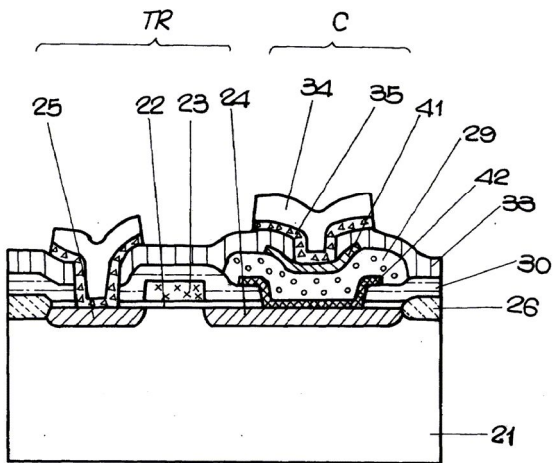
도면1



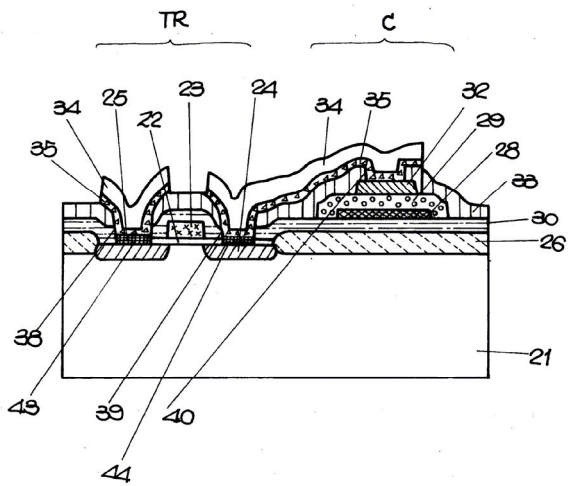
도면2



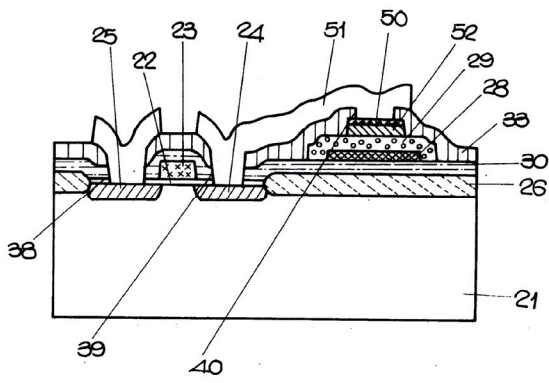
도면3



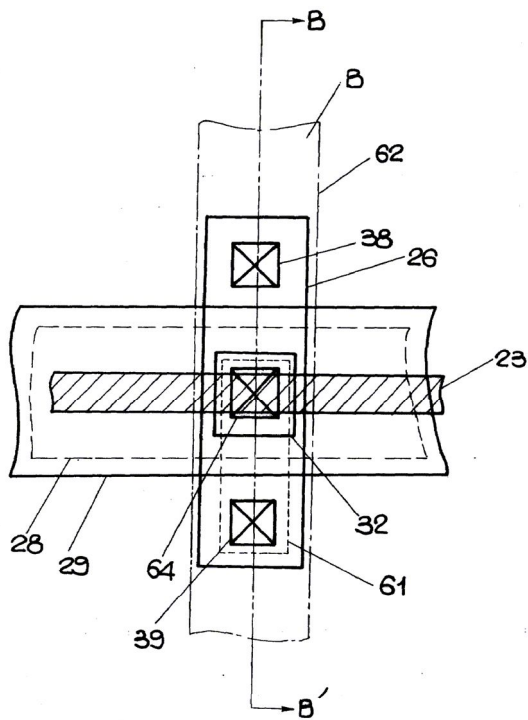
도면4



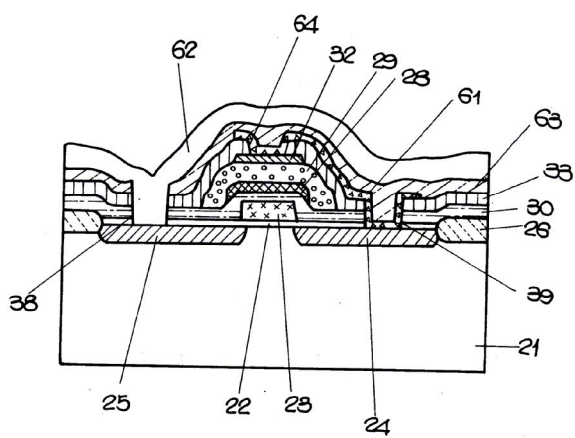
도면5



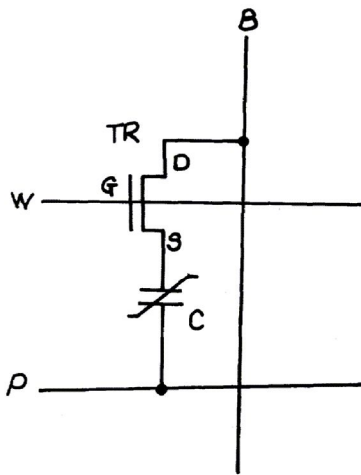
도면6



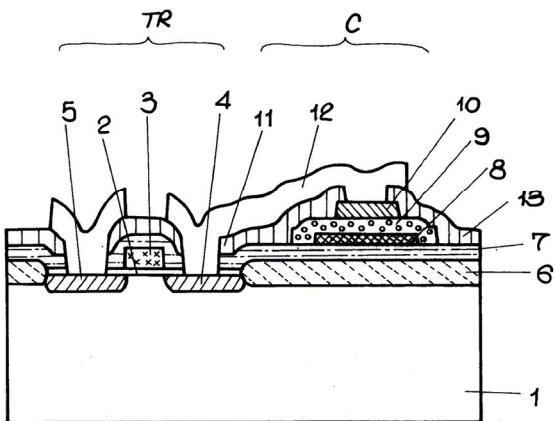
도면7



도면8



도면9



도면10

