

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 9 月 30 日(30.09.2010)

(10) 国際公開番号
WO 2010/110070 A1

PCT

- (51) 国際特許分類:
H01L 25/065 (2006.01) H01L 25/18 (2006.01)
H01L 25/07 (2006.01)
- (21) 国際出願番号: PCT/JP2010/054031
- (22) 国際出願日: 2010 年 3 月 10 日(10.03.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-070769 2009 年 3 月 23 日(23.03.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 東京エレクトロン株式会社(TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP). 国立大学法人東北大学(TOHOKU UNIVERSITY) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 Miyagi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 小柳 光正 (KOYANAGI, Mitsumasa) [JP/JP]; 〒9808577 宮城県

仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 福島 誉史 (FUKUSHIMA, Takafumi) [JP/JP]; 〒9808577 宮城県仙台市青葉区片平二丁目 1 番 1 号 国立大学法人東北大学内 Miyagi (JP). 杉山 雅彦 (SUGIYAMA, Masahiko) [JP/JP]; 〒4078511 山梨県韮崎市藤井町北下條 2 3 8 1 - 1 東京エレクトロン A T 株式会社内 Yamanashi (JP).

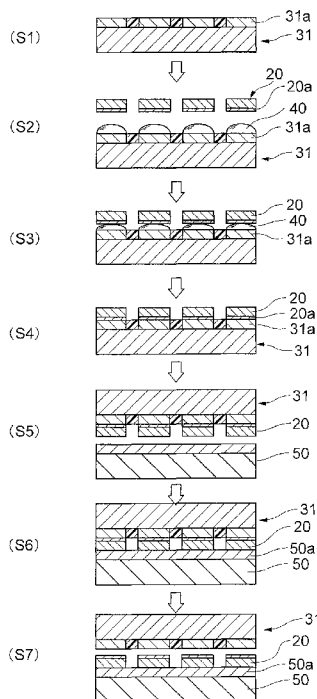
- (74) 代理人: 塩島 利之 (SHIOJIMA, Toshiyuki); 〒1010025 東京都千代田区神田佐久間町二丁目 1 2 番地 フローラル秋葉原 7 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: METHOD AND APPARATUS FOR PRODUCING THREE-DIMENSIONAL INTEGRATED CIRCUIT

(54) 発明の名称: 三次元集積回路の製造方法及び装置

[図8]



(57) Abstract: A method of producing a three-dimensional integrated circuit, capable of temporarily bonding chips to a transfer substrate without misalignment and able to reliably peel off the chips from the transfer substrate when moving the chips to a support substrate. When temporarily bonding the chips (20) to the transfer substrate (31) (S4), liquid interposed between the chips (20) and transfer substrate (31) is evaporated and the chips (20) and transfer substrate (31) are thereby bonded to each other, solid to solid. Due to this, the chips (20) can be temporarily bonded to the transfer substrate (31) without misalignment. Further, by having the bond strength of the chips (20) to the support substrate (50) be stronger than the bond strength of the chips (20) to the transfer substrate (31), the chips (20) can be reliably peeled off of the transfer substrate (31) when moving the chips (20) from the transfer substrate (31) to the support substrate (50) (S5 to S7).

(57) 要約: 位置ずれを起こすことがないようにチップを転写用基板に仮接着することができ、またチップを支持基板に移し変える際、転写用基板からチップを確実に剥離することができる三次元集積回路の製造方法を提供する。チップ 20 を転写用基板 31 に仮接着するとき (S4)、チップ 20 と転写用基板 31 との間に介在される液体を蒸発させることにより、チップ 20 と転写用基板 31 とを固体同士で接着させる。このため、位置ずれを起こすことがないようにチップ 20 を転写用基板 31 に仮接着することができる。また、チップ 20 と支持基板 50 との接着力をチップ 20 と転写用基板 31 との接着よりも強くすることによって、チップ 20 を転写用基板 31 から支持基板 50 に移し変える際 (S5~S7)、チップ 20 を転写用基板 31 から確実に剥離することができる。



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ,

CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 三次元集積回路の製造方法及び装置

技術分野

[0001] 本発明は、支持基板にチップを積層してなる三次元集積回路の製造方法及び装置に関する。

背景技術

[0002] 集積回路の集積度に関して、1年に2倍のペースで集積度が増加するというムーアの法則が知られている。半導体の微細加工技術の進歩がこのムーアの法則を支えている。しかし、微細加工技術は現在でもナノの世界にまで達しており、今までと同じようなペースで微細加工技術を進歩させるのは困難になってきている。このため、次の世代かその次の世代でムーアの法則にも限界がくるといわれている。微細加工技術の進歩の困難性に伴い、三次元集積回路に関する技術が注目され始めている。

[0003] 図1(a)に示すように、従来のシステムLSI1は、一つのチップ2上にマイクロプロセッサ、ロジック回路、各種メモリ、入出力インターフェース回路、通信制御用回路等の機能ブロック3を形成した二次元集積回路である。これに対し図1(b)に示すように、三次元集積回路4は、システムLSI1の各機能ブロック3を分割し、三次元的に積層した集積回路である。機能ブロック3を積層するにあたり、各層のチップ5は例えば数 μ m数百 μ m程度に薄くされる。この三次元集積回路4には、配線長が短縮できる、素子数を高密度化できる、信号の処理速度を高速にできる、消費電力を低くできる等の利点がある。既にCMOSイメージセンサに応用されており、今後、NAND、DRAM、ロジック等の集積回路にも導入が予定されている。

[0004] さて、三次元集積回路を実現するための技術として、ウェハ上にFEO L (Front End Of Line) 工程とBEO L (Back End Of Line) 工程を交互に繰り返す方法、チップを他のチップに積層する方法(以下、Chip on Chip法と呼ぶ)、ウェハ同士を貼り合わせ、積層する方法(以下、Wafer on wafer法

と呼ぶ)、ウェハ上に複数のチップを積層する方法(以下、Chip on wafer法と呼ぶ)、が知られている。

[0005] 上記F E O LとB E O Lを繰り返す方法においては、ウェハ上にトランジスタなどの素子を形成するF E O Lと、それらの素子を配線で相互に接続するB E O Lとを交互に繰り返す。これらの工程の繰り返しにより、ウェハ上に三次元集積回路を形成することができる。しかし、この方法には、B E O Lの後にF E O Lを行うことが困難であるという工程上の問題がある。また、繰り返されたF E O LとB E O Lのいずれか一つの工程に欠陥が生ずると、全体が不良品になるってしまい、歩留まりが低下するという問題もある。

[0006] 上記Chip on Chip法においては、ウェハから切り出したチップを、ウェハを使用することなく他のチップに積層する。K G D (Known Good Die) と呼ばれる良品のチップのみを積層することができるので、歩留まりを向上させることができる。K G Dとは特性と信頼性が保証されたダイ (die=chip) である。しかし、チップレベルでの積層になるので、製造のスループットが著しく低下するという問題がある。

[0007] 上記Wafer on wafer法においては、素子を形成したウェハをウェハレベルで積層する。すなわち、ウェハのサイズでプロセスを進行させることができるので、スループットを向上させることができる。しかし、ウェハには不良品のチップが含まれる(ウェハ中のチップの歩留まりは100%ではない)ので、ウェハを積み重ねるほど、不良品が発生する確率が高くなる。この結果、歩留まりが低下してしまう。

[0008] 上記Chip on wafer法においては、ウェハ上にチップを並べ、ウェハ上のチップの上にさらに他のチップを積層する。最終的にはウェハの上に多数の三次元集積回路が形成される。Chip on Chip法と同様に良品のチップのみを積層することができるので、歩留まりを向上させることができる。しかし、ウェハを使用することでChip on Chip法よりスループットを向上させることができるものの、ウェハ上にチップを並べるにあたり、数千枚のチップをロボットで一枚ずつ掴み、ウェハ上に位置決めする必要があるので、スループット

トをあまり高くすることはできない。しかも、機械的にチップを位置決めしたのでは、位置決め精度はよくても $1\ \mu\text{m}$ 程度であるので、位置決め精度もあまり高くすることができない。

[0009] Chip on wafer法の上記問題を解決するために、発明者は、自己組織化機能を用いてチップを支持基板に位置決めする三次元集積回路の製造方法を提案している（特許文献1参照）。この三次元集積回路の製造方法においては、水の表面張力を利用して多数のチップを転写用基板に自動的に位置決めしている。そして、多数のチップが仮接着された転写用基板を反転させ、多数のチップを転写用基板から支持基板に一括して移し変えている。

[0010] 具体的には、図2に示すように、チップ6の裏面に表面張力により凸レンズ状に膨らんだ水の膜8を形成する（S1）。転写用基板7の仮接着領域7aにも表面張力により凸レンズ状に膨らんだ水の膜8を形成する（S1）。次に、チップボンダを用いてチップ6を転写用基板7の仮接着領域7aにラフな位置決め精度で載せる（S2）。すると、水の表面張力によってチップ6が転写用基板7の仮接着領域7aに自動的に位置決めされる（S3）。次に、押し付け板9を用いてチップ6を転写用基板7に押し付ける。これにより、チップ6と転写用基板7との間の微細な隙間に水を存在させると共に、不要な水を排除する（S4）。チップ6と転写用基板7との間の隙間に存在する水の吸着力によって、チップ6が転写用基板7に仮接着される。次に、多数のチップ6が仮接着された転写用基板7を反転させる（S5）。このとき、チップ6は水の吸着力によって転写用基板7に接着している。次に、転写用基板7を支持基板10に向かって接近させ、チップ6を支持基板10に本接着する（S6）。チップ6を支持基板に本接着するときのチップ6の加熱により、チップ6と転写用基板7との間の水が蒸発する。このため、転写用基板7から多数のチップ6が剥離する（S7）。以上により、転写用基板7に仮接着されたチップ6を支持基板10に移し変えることができる。

先行技術文献

特許文献

[0011] 特許文献1：国内公表WO2006/77739（段落0149～0164参照）

発明の概要

発明が解決しようとする課題

[0012] 上記自己組織化機能を用いた三次元集積回路の製造方法において、もし、多数のチップが転写用基板に正確に位置決めされていれば、転写用基板をWafer on wafer法におけるウェハと同様に取り扱うことができ、ウェハのサイズでプロセスを進行させることができる。このため、Wafer on wafer法のようにスループットを向上させることができる。その一方、もし、多数のチップが転写用基板に正確に位置決めされていなければ、転写用基板をWafer on wafer法におけるウェハと同様に取り扱うことができなくなる。このため、「チップを転写用基板に仮接着する」、といってもこれらは位置ずれしないように接着されていなければならない。

[0013] しかし、上記三次元集積回路の製造方法にあつては、チップと転写用基板とがこれらの間の隙間に存在する水の吸着力によって仮接着される。水の吸着力でチップと転写用基板とを接着したのでは、接着力が不十分である。例えば転写用基板を反転したり、搬送したりするとき、転写用基板に正確に位置決めしたチップが位置ずれを起こしてしまう可能性がある。ただし、チップを転写用基板にあまり強固に接着したのでは、今度はチップを支持基板に移し変える際、チップを転写用基板から剥離することができなくなる。

[0014] そこで本発明は、位置ずれを起こすことがないようにチップを転写用基板に仮接着することができ、またチップを支持基板に移し変える際、転写用基板からチップを確実に剥離することができる三次元集積回路の製造方法及び装置を提供することを目的とする。

課題を解決するための手段

[0015] 上記課題を解決するために、本発明の一態様は、支持基板にチップを積層してなる三次元集積回路の製造方法において、転写用基板に形成された複数の仮接着領域に液体を塗布する工程と、前記複数の仮接着領域毎に分離された複数の液滴上に複数のチップを解放し、液体の表面張力を利用して各チッ

プを各仮接着領域に位置決めする工程と、前記各チップと前記各仮接着領域との間の液体を蒸発させることによって、前記各チップを前記各仮接着領域に仮接着する工程と、前記複数のチップが仮接着された前記転写用基板を支持基板に接近させ、前記複数のチップの、前記転写用基板に仮接着された面とは反対側を、前記支持基板の複数の本接着領域又は複数の本接着領域に積層された複数の積層チップに、前記各チップと前記支持基板又は前記支持基板上の各積層チップとの接着力が前記各チップと前記転写用基板との接着力よりも強くなるように一括して本接着する工程と、前記支持基板から前記転写用基板を離間させることによって、前記複数のチップを前記支持基板又は前記支持基板上の前記複数の積層チップに接着させたまま、前記複数のチップを前記転写用基板から剥離する工程と、を備える三次元集積回路の製造方法である。

[0016] 本発明の他の態様は、支持基板にチップを積層してなる三次元集積回路の製造装置において、複数の仮接着領域が形成される転写用基板と、転写用基板に形成された複数の仮接着領域に液体を塗布する液体塗布手段と、を備え、前記複数の仮接着領域毎に分離された複数の液滴上に複数のチップを解放し、液体の表面張力を利用して各チップを各仮接着領域に位置決めし、前記各チップと前記各仮接着領域との間の液体を蒸発させることによって、前記各チップを前記各仮接着領域に仮接着し、前記複数のチップが仮接着された前記転写用基板を支持基板に接近させ、前記複数のチップの、前記転写用基板に仮接着された面とは反対側を、前記支持基板の複数の本接着領域又は複数の本接着領域に積層された複数の積層チップに、前記各チップと前記支持基板又は前記支持基板上の各積層チップとの接着力が前記各チップと前記転写用基板との接着力よりも強くなるように一括して本接着し、前記支持基板から前記転写用基板を離間させることによって、前記複数のチップを前記支持基板又は前記支持基板上の前記複数の積層チップに接着させたまま、前記複数のチップを前記転写用基板から剥離する三次元集積回路の製造装置である。

発明の効果

- [0017] チップを転写用基板に仮接着するとき、チップと転写用基板との間に介在される液体を蒸発させることにより、チップと転写用基板とを固体同士で接着させることができる。このため、位置ずれを起こすことがないようにチップを転写用基板に仮接着することができる。また、チップと支持基板（又は積層チップ）との接着力をチップと転写用基板との接着よりも強くすることによって、チップを転写用基板から支持基板（又は積層チップ）に移し変える際、チップを転写用基板から確実に剥離することができる。

図面の簡単な説明

- [0018] [図1]二次元集積回路と三次元集積回路の比較図（図中（a）が二次元集積回路を示し、図中（b）が三次元集積回路を示す）
- [図2]従来の三次元集積回路の製造方法の工程図
- [図3]本発明のチップにTSVを形成するプロセスを示す図（図中（a）がVia First方式を示し、図中（b）がVia Last(front)方式を示し、図中（c）がVia Last(back)方式の三を示す）
- [図4]本発明の三次元集積回路用のチップの断面図
- [図5]本発明のキャリア基板の斜視図
- [図6]本発明のキャリア基板に親水膜及び疎水膜を形成する工程図
- [図7]本発明のキャリア基板に親水膜及び疎水膜を形成する工程図
- [図8]本発明の三次元集積回路の製造方法の工程図
- [図9]一括保持トレイを用いた場合の位置決め工程を示す図
- [図10]キャリア基板の親水膜にピラーを形成した例を示す図
- [図11]チップのバンプ電極とキャリア基板のバンプ電極とを仮接着する例を示す図
- [図12]チップのバンプ電極とキャリア基板のバンプ電極とを仮接着する例を示す図
- [図13]キャリア基板のSiO₂膜とチップのSiO₂膜とを仮接着する例を示す図

[図14]チップの及びキャリア基板にストッパを形成した例を示す図

[図15]支持基板の上に一層のチップを配列した例を示す斜視図

発明を実施するための形態

- [0019] 以下、添付図面に基づいて、本発明の一実施形態の三次元集積回路の製造方法について詳細に説明する。三次元集積回路を構成する支持基板には、縦方向にチップが積層される。まず、支持基板上に積層されるチップについて説明する。チップには、マイクロプロセッサ、ロジック回路等のICが形成される。縦方向に積層される複数のチップを電氣的に接続するため、チップにはTSV(Through Silicon Via;貫通ヴィア)が形成される。
- [0020] 図3に示すように、チップにTSVを形成するプロセスは三つに大別される。図3(a)に示されるVia First方式、図3(b)に示されるVia Last(front)方式、図(c)に示されるVia Last(back)方式の三つである。
- [0021] 図3(a)に示すように、Via First方式とは、IC製造の前工程を行う前にTSVを形成するものである。まず、シリコン基板11の内部にその表面側から内壁面が絶縁膜であるSiO₂膜で覆われたトレンチ12を形成する(a1)。このトレンチ12はシリコン基板11を貫通することではなく、途中で止まっている。トレンチ12の内部には、ポリシリコン、タングステン等の導電性材料を充填して導電性プラグ13が形成される(a1)。次に、シリコン基板11の表面又は内部にCMOS等の半導体素子又は集積回路14を形成する(a2)。次に、半導体素子又は集積回路14が形成されたシリコン基板11の表面を絶縁膜としてのSiO₂膜15で覆う(a2)。最後に、シリコン基板11を裏面側から削り、導電性プラグ13をシリコン基板11の裏面側に露出させる(a3)。シリコン基板11の表面には、導電性プラグ13に接続するようにバンプ電極16が形成される(a3)。
- [0022] 図3(b)に示すように、Via Last(front)方式とは、シリコン基板11に先に半導体素子又は集積回路14を形成し(b1)、その後にTSVを形成するものである(b2, b3)。Via First方式とは、TSV17を形成する順番が異なる。この方式において、TSV17はシリコン基板11の表面側

から形成される（b 2）。また、この方式においてもシリコン基板 1 1 は薄く削られる（b 3）。

[0023] 図 3（c）に示すように、Via Last(back)方式においては、Via Last(front)方式と同様に、シリコン基板 1 1 に先に半導体素子又は集積回路 1 4 が形成される（c 1）。シリコン基板 1 1 を薄く削り、シリコン基板 1 1 をガラス基板 1 8 に貼り付けた後、裏面側から TSV 1 7 を形成する（c 2, c 3）。Via Last(front)方式とは、TSV 1 7 をシリコン基板 1 1 の表面側から形成するか、裏面側から形成するかが相違する。

[0024] 図 4 は、チップ 2 0 の断面図の一例を示す。シリコン基板 2 1 上にはゲート電極 2 1 a が形成されていると共に、ゲート電極 2 1 a の両側にソース領域 2 1 b 及びドレイン領域 2 1 c が形成される。またシリコン基板 2 1 上には、ゲート電極 2 1 a を埋設するようにして SiO_2 からなる絶縁層 2 2 が形成される。絶縁層 2 2 の表層部分には、ニッケル等からなる配線層及び金等からなる配線層 2 4（バンプ電極）が形成される。絶縁層 2 2 の内部には、アルミニウム等からなる追加の配線層 2 3 が埋設されるように形成されており、ゲート電極 2 1 a 及び配線層 2 3 及び 2 4 間を電氣的に接続している。また、シリコン基板 2 1 及び絶縁層 2 2 には追加の配線層 2 2 a に至るヴィアが形成され、そのヴィアの側壁を覆うようにして SiO_2 膜からなる絶縁膜 2 5 が形成される。そして、絶縁膜 2 5 を介して追加の配線層 2 2 a に電氣的に接続される導電性プラグ 2 6 が形成される。

[0025] なお、三次元集積回路に用いられるチップ 2 0 のサイズは、CMOS、メモリ等の用途によって異なるが、例えば $5\text{ mm} \times 5\text{ mm}$ 、 $10\text{ mm} \times 10\text{ mm}$ 等である。チップの厚みは、例えば $20\text{ }\mu\text{ m} \sim 100\text{ }\mu\text{ m}$ である。TSV の孔径は、例えば $0.5\text{ }\mu\text{ m} \sim 100\text{ }\mu\text{ m}$ である。

[0026] 図 5 は、多数のチップ 2 0 が仮接着される転写用基板としてのキャリア基板 3 1 の斜視図を示す。多数のチップ 2 0 は、キャリア基板 3 1 に位置決め・仮接着された後、支持基板に転写される。キャリア基板 3 1 の表面には、多数のチップ 2 0 を所定のレイアウトの鏡像となるレイアウトで配置するた

めの複数の仮接着領域 31 a が一面に形成される。一つの仮接着領域 31 a には、一つのチップ 20 が仮接着される。キャリア基板 31 には、シリコン等の半導体ウェハ、ガラス基板等が使用される。多数のチップ 20 を保持できる剛性を有するものであれば、絶縁体や導電体を用いることもできる。

[0027] 仮接着領域 31 a は矩形に形成される。仮接着領域 31 a の大きさと形状は、その上に仮接着されるチップ 20 の大きさと形状にほぼ一致している。仮接着領域 31 a は、親水性を有する親水膜によって画定される。親水性の膜は、例えば SiO_2 、 Si_3N_4 、アルミニウムとアルミナの二層膜 ($\text{Al}/\text{Al}_2\text{O}_3$)、タンタルと酸化タンタルの二層膜 ($\text{Ta}/\text{Ta}_2\text{O}_5$) 等によって形成することができる。

[0028] 仮接着領域 31 a の周囲は、格子状の疎水膜又は疎水材料 31 b によって囲まれる。疎水膜又は疎水材料 31 b の材料には、水をはじく性質を有する材料、例えば、単結晶シリコン、多結晶シリコン、アモルファスシリコン、弗素樹脂、シリコン樹脂、テフロン（登録商標）樹脂、ポリイミド樹脂、レジスト、ワックス、BCB（ベンゾシクロブテン）等を用いることができる。

[0029] 図 6 は、キャリア基板 31 に親水膜 31 a 及び疎水膜 31 b を形成する工程図の一例を示す。まず、シリコン基板 32 に SiO_2 膜 33 を形成する（S1）。 SiO_2 膜 33 は、熱酸化法、CVD（Chemical Vapor Deposition）法、スパッタリング法等の公知の方法で形成することができる。次に、 SiO_2 膜 33 の上に感光性樹脂であるフォトレジスト 34 を塗布する（S2）。次に、フォトレジスト 34 を塗布したシリコン基板 32 を露光装置にセットし、マスク・パターン 35 を転写する。露光されたフォトレジスト 34 は現像処理される（S3）。次に、フォトレジスト 34 のパターン通りに SiO_2 膜 33 をエッチングする（S4）。エッチングはドライエッチングでもウェットエッチングでもよい。フォトレジスト 34 を剥離すると、仮接着領域に対応するパターンが形成された SiO_2 膜 33 が得られる（S5）。次に、 SiO_2 膜 33 の表面に疎水膜 36 を形成する（S6）。疎水膜 36 はフォトレジ

スト 34 と同様に、液状の疎水材料をシリコン基板 32 に滴下した後、スピン・コーターを用いてシリコン基板 32 を高速回転することで形成することができる。次に、疎水膜 36 の上にハードマスク 37 を堆積する (S7)。疎水膜 36 はフォトレジスト 34 と同様に露光・現像処理によって溶ける。疎水膜 36 が溶けるのを防止するためにハードマスク 37 を堆積する。次に、ハードマスク 37 の上にフォトレジスト 39 を塗布する (S8)。次に、図 7 に示すように、マスク・パターン 41 を用いてフォトレジスト 39 を露光・現像処理する (S9)。次に、ハードマスク 37 をエッチングする (S10)。次に、SiO₂膜 33 上の疎水膜 36 をエッチングする (S11)。疎水膜 36 は、酸素プラズマ等により灰化処理 (アッシング) されてもよい。最後にフォトレジスト 39 を剥離し、ハードマスク 37 を除去する (S12)。

[0030] 以上の工程により、矩形状の親水膜 31a の周りに枠状の疎水膜 31b を形成することができる。親水膜 31a の周りに疎水膜を形成することで、親水部分と疎水部分との区分けが明確になり、親水部分のエッジも明確になる。このため、水の表面張力を用いたチップ 20 の位置決めも高精度に行うことができる。

[0031] なお、シリコン基板 32 に SiO₂膜 33 を形成した後、SiO₂膜 33 上に疎水膜 36 を形成し、疎水膜 36 のみをパターニングしてもよい。この場合、SiO₂膜 33 と疎水膜 36 との間に若干の段差ができ、疎水膜 36 が SiO₂膜 33 よりも若干高くなる。

[0032] この他にもリフトオフによって疎水膜 36 を形成してもよい。すなわち、図 6 の S4 において SiO₂膜 33 をエッチングした後、フォトレジスト 34 を除去しないで、フォトレジスト 34 上に疎水膜 36 を形成し、その後、フォトレジスト 34 を現像液で溶かすことによって、フォトレジスト 34 とフォトレジスト 34 上の疎水膜 36 とを同時に除去する。

[0033] さらに、キャリア基板 31 に疎水材料の単結晶シリコンを使用し、疎水材料の表面に親水膜のみを形成してもよい。

- [0034] キャリア基板 3 1 上に多数のチップを位置決めする工程について説明する。図 8 に示すように、キャリア基板 3 1 の複数の親水膜 3 1 a 上に水を塗布すると、複数の親水膜 3 1 a 上には分離された水滴 4 0 が形成される（S 2）。
- [0035] 水を塗布する工程には、キャリア基板 3 1 に液体を直接接触させる接触法、又はノズルを用いてキャリア基板 3 1 に水を噴霧する噴霧法が採られる。接触法としては、容器に溜められた水中にキャリア基板 3 1 を浸漬させた後、キャリア基板 3 1 を容器から取り出す方法、容器に溜められた水にキャリア基板 3 1 を下向きにして接触させ、キャリア基板 3 1 を引き上げたりする方法、キャリア基板 3 1 上に水を流す方法が採られる。噴霧法としては、キャリア基板 3 1 に対向するノズルを設け、ノズルからキャリア基板 3 1 に向かって水を噴霧する方法が採られる。多数のノズルからキャリア基板 3 1 の全面に水を噴霧してもよいし、親水膜 3 1 a に対応して配置されたノズルから親水膜 3 1 a のみに向かって水を噴霧してもよい。その際、親水膜 3 1 a の面積に応じて噴霧する水の量をコントロールしてもよい。
- [0036] 親水膜 3 1 a の面積に応じて位置決め最適な水の量が存在する。キャリア基板 3 1 の複数の親水膜 3 1 a のうち、相対的に面積が小さい親水膜 3 1 a には相対的に少量の水を塗布し、相対的に面積が大きい親水膜 3 1 a には相対的に多量の水を塗布する。接触法においても噴霧法においても、キャリア基板 3 1 の一面に水を塗布しようとするとき自動的に水の量を最適化することができる。
- [0037] 図 8 に示すように、キャリア基板 3 1 の上に水を塗布すると、水が親水膜 3 1 a の全面に広がり、親水膜 3 1 a の表面全体を覆う水滴 4 0 が形成される。この水滴 4 0 は、その表面張力によって凸形に湾曲する。親水膜 3 1 a の周囲は疎水膜 3 1 b によって囲まれているので、疎水膜 3 1 b まで水が広がることはない。
- [0038] チップ 2 0 の裏面にはあらかじめ親水性を有する SiO_2 膜 2 0 a が形成されている。次に、複数のチップ 2 0 を親水膜 3 1 a 毎に分離された水滴 4 0

上に解放する（S3）。すると、水の表面張力によって水滴40上に解放されたチップ20が自動的に親水膜31aに位置決めされる。この工程は、例えばチップボンダを用いて一つのチップ20毎に行ってもよいし、多数のチップ20を一括して保持する保持トレイを用いて多数のチップ20を同時に多数の水滴40上に解放してもよい。

[0039] 図9は、一括保持トレイを用いた場合の模式図を示す。一括保持トレイ42を用いて多数のチップ20を同時に多数の水滴40上に解放すると、親水膜31aに対して水平方向にずれていたチップ20が水の表面張力によって自動的に親水膜31a上の正確な位置に位置決めされるようになる。チップ20を水滴40上に解放するとき、チップ20を親水膜31a上の正確な位置に位置決めする必要はなく、ラフな位置決めで足りる。

[0040] 再び図8に示すように、次に、チップ20の裏面とキャリア基板31の親水膜31aとの間の水を蒸発させる（S4）。加熱や真空環境において水を蒸発させてもよいし、常温で所定の時間をかけて蒸発させてもよい。

[0041] 水を蒸発させると、チップ20とキャリア基板31が固体同士で接着する。水には、チップ20のSiO₂膜20a及びキャリア基板31の親水膜31aを活性化させる添加剤が添加されてもよい。この実施形態では、チップ20のSiO₂膜20a及びキャリア基板31の親水膜31a（SiO₂膜）に親水基（OH基）を形成し、これらの親水基同士を結合させるフッ酸が添加される。チップ20のSiO₂膜20a及びキャリア基板31の親水膜31aを活性化できれば、フッ酸に限られることはなく、アンモニア、塩酸と過酸化水素水と水とを混合した塩酸過水を添加してもよい。

[0042] 表面張力を位置決めに利用する液体には、水に替えて他の無機又は有機の液体を使用することもできる。例えば、グリセリン、アセトン、アルコール、SOG（Spin-On-Glass）材料等の液体を用いることができる。液体状態の樹脂を用いたり、液体状態の樹脂と水との混合液を用いたりしてもよい。ただし位置決めできる程度に粘度が低い必要がある。

[0043] キャリア基板31上に多数のチップ20を位置決めできたら、多数のチッ

チップ20をキャリア基板31から支持基板50に移し変える転写工程を行う。図8に示すように、複数のチップ20が仮接着されたキャリア基板31を反転させ、支持基板50に向かって降下させる(S5)。キャリア基板31を反転させることなく、反転させた支持基板50をキャリア基板31に向かって降下させてもよい。

[0044] そして、キャリア基板31に仮接着された多数のチップ20の、キャリア基板31に仮接着された面とは反対側を支持基板50の本接着領域50aに一括して本接着する(S6)。支持基板50上に既にチップ20が積層されている場合、チップ20は支持基板50上に積層された積層チップに接着される。ここで、チップ20と支持基板50(又は積層チップ)との接着力は、チップ20とキャリア基板31との接着力よりも強くなるように調整される。

[0045] 次に、支持基板50からキャリア基板31を離間させることによって、多数のチップ20を支持基板50に接着させたまま、多数のチップ20をキャリア基板31から剥離することが可能になる(S7)。以上の転写工程を繰り返すことにより、支持基板50上に縦方向に複数のチップ20を積層することが可能になる。支持基板50上に複数のチップ20を積層した後、ダイシングすれば三次元集積回路が得られる。

[0046] 支持基板50には、シリコン等の半導体ウェハ、ガラス基板等が使用される。多数のチップ20を保持できる剛性を有するものであれば、絶縁体や導電体を用いることもできる。支持基板50の表面には、本接着領域50aとしてSiO₂膜が形成される。

[0047] チップ20とキャリア基板31との接着力を、チップ20と支持基板50との接着力よりも弱くする手法には以下の方法がある。図10に示すように、キャリア基板31の親水膜31a(SiO₂膜)とチップ20のSiO₂膜20aとの接触面積を、親水膜31aと平行な平面におけるチップ20の断面積よりも小さくすれば、チップ20とキャリア基板31との接着力を弱くすることができる。キャリア基板31の親水膜31aに複数のピラー51を点

在させれば、チップ20とキャリア基板31との接触面積を小さくすることができる。このピラー51は、公知のリソグラフィーによって形成することができる。ピラー51の替わりに、親水膜31aの表面に微小な段差を付けることにより接触面積を小さくしてもよい。

[0048] また、支持基板50のSiO₂膜の表面粗さを、キャリア基板31の親水膜31aの表面粗さをよりも小さくすることで、本接着の接着力を仮接着の接着力よりも強くすることができる。CMP（化学的機械的研磨）装置を用いて、支持基板50の本接着領域50aの表面粗さを例えば1nm以下にすると、本接着の接着力を極めて強固にすることができる。他方、キャリア基板31の親水膜31aの表面粗さを粗くすれば、仮接着の接着力を弱くすることができる。親水膜31aのSiO₂膜は、エッチングで化学的に粗くされてもよいし、砥石等で機械的に粗くされてもよい。

[0049] さらに、キャリア基板31の親水膜31aを剥離可能な犠牲層上に形成してもよい。そして、チップ20をキャリア基板31から剥離するとき、キャリア基板31の親水膜31aをチップ20に接着させた状態で犠牲層を境にしてチップ20をキャリア基板31から剥離してもよい。犠牲層には、薬液を注入することで溶ける樹脂や光剥離樹脂を用いることができる。

[0050] なお、チップ20と支持基板50との本接着には、上述のチップ20のSiO₂膜20aと支持基板50のSiO₂膜を接着する場合の他に、チップ20の電極（例えばバンプ電極）と支持基板50の電極（例えばバンプ電極）とを接着する場合、及びこれらを併用する場合がある。支持基板50にバンプ電極の他にダミー電極を形成すると、支持基板50とチップ20との本接着の接着力を強くすることができる。電極用の導電性材料としては、例えば、インジウム（In）と金（Au）の二層構造（In/Au）、錫（Sn）と銀（Ag）の二層構造（Sn/Ag）、銅（Cu）の単層構造あるいはタングステン（W）の単層構造は好適に使用できる。バンプ電極同士を接着する場合、圧力をかけたり温度を上げたりしてもよい。

[0051] チップ20と積層チップとの本接着には、チップ20のSiO₂膜と積層チ

チップの SiO_2 膜を接着する場合、チップ20の電極（例えばバンプ電極）と積層チップの電極（例えばバンプ電極）とを接着する場合、及びこれらを併用する場合とがある。

[0052] チップ20とキャリア基板31との仮接着には、上述のチップ20の SiO_2 膜20aとキャリア基板31の親水膜31a（ SiO_2 膜）を接着する場合の他に、チップ20の電極（例えばバンプ電極）とキャリア基板31の電極（例えばバンプ電極）とを接着する場合、及びこれらを併用する場合がある。

[0053] 図11及び図12は、仮接着において、チップ20のバンプ電極20bとキャリア基板31の親水膜31a内のバンプ電極53とを仮接着する例を示す。チップ20とキャリア基板31との間の水を蒸発させ、セルフアライメントすると、チップ20のバンプ電極20bとキャリア基板31のバンプ電極53との位置が決まり、これらを仮接着させることが可能になる。

[0054] 図13は、キャリア基板31の SiO_2 膜とチップ20の SiO_2 膜とを仮接着する例を示す。チップ20にバンプ電極20bが形成されていても、キャリア基板31にバンプ電極20bに対応する凹み55を形成しておけば、キャリア基板31の SiO_2 膜とチップ20の SiO_2 膜とを仮接着することができる。同様に支持基板50にもチップ20のバンプ電極20bに対応する凹み56を形成しておけば、支持基板50の SiO_2 膜とチップ20の SiO_2 膜とを本接着させることができる。

[0055] 図14は、チップ20の裏面及びキャリア基板31の親水膜31aに互いに噛み合うことができるストッパ52a、52bを形成した例を示す。水の表面張力を利用してチップ20とキャリア基板31の仮接着領域とを位置決めするとき、チップ20が反っているとチップを親水膜31aに正確に位置決めできないおそれがある。この例によれば、水の蒸発に伴ってチップ20のストッパ52aがキャリア基板31のストッパ52bの中に入り、ストッパ52a、52bが互いに噛みあってチップ20が親水膜31aの平面内で位置ずれするのを防止する。ストッパ52a、52bの断面形状は、矩形形

状に形成されてもよいし、チップ20がキャリア基板31に近づくにしたがってチップ20の位置が決まるテーパ形状に形成されてもよい。ストッパ52a, 52bは公知のリソグラフィーによって形成することができる。

[0056] 図15は、支持基板50の上に一層のチップ20を配列した例を示す。各チップ20は、プロセッサ、ロジック、メモリ等の機能を有する。この例では、複数のチップ20が支持基板50上に平面的に配列されるが、縦方向には積層されていない。この例のように支持基板50上に一層のチップ20を配列してもよい。

[0057] なお、本発明は上記実施形態に限られることはなく、本発明の要旨を変更しない範囲で様々に変更可能である。例えば、キャリア基板の表面にリソグラフィーによりSiO₂膜を形成する替わりに、シリコン基板を酸化処理することによりSiO₂膜を形成してもよい。酸化処理には、H₂O₂処理、オゾンを使用した酸化処理を使用することができる。また、シリコン基板を酸化処理することなく、自然酸化によりSiO₂膜を形成してもよい。

[0058] チップをキャリア基板の仮接着領域に位置決め・仮接着した後、押付け板を用いてチップをキャリア基板に押し付けてもよい。押付け板を用いれば、チップが反っている場合でもチップの全面をキャリア基板に仮接着することができる。

[0059] チップを支持基板の積層チップに積層する際、チップと積層チップとの間に電氣的絶縁性接着剤を配置し、この電氣的絶縁性接着剤によりチップと積層チップとを接着させてもよい。

[0060] チップを支持基板に貼り付けた後に、チップにバンプ電極を形成してもよいし、あらかじめバンプ電極が形成されたチップを支持基板に積層してもよい。

[0061] 本明細書は、2009年3月23日出願の特願2009-070769に基づく。この内容はすべてここに含めておく。

符号の説明

[0062] 20…チップ

20 a…チップのSiO₂膜

31…キャリア基板（転写用基板）

31 a…親水膜（仮接着領域）

31 b…疎水膜

40…水滴

50…支持基板

50 a…本接着領域

51…ピラー

52 a, 52 b…ストッパ

請求の範囲

- [請求項1] 支持基板にチップを積層してなる三次元集積回路の製造方法において、
- 転写用基板に形成された複数の仮接着領域に液体を塗布する工程と、
- 、
- 前記複数の仮接着領域毎に分離された複数の液滴上に複数のチップを解放し、液体の表面張力を利用して各チップを各仮接着領域に位置決めする工程と、
- 前記各チップと前記各仮接着領域との間の液体を蒸発させることによって、前記各チップを前記各仮接着領域に仮接着する工程と、
- 前記複数のチップが仮接着された前記転写用基板を支持基板に接近させ、前記複数のチップの、前記転写用基板に仮接着された面とは反対側を、前記支持基板の複数の本接着領域又は複数の本接着領域に積層された複数の積層チップに、前記各チップと前記支持基板又は前記支持基板上の各積層チップとの接着力が前記各チップと前記転写用基板との接着力よりも強くなるように一括して本接着する工程と、
- 前記支持基板から前記転写用基板を離間させることによって、前記複数のチップを前記支持基板又は前記支持基板上の前記複数の積層チップに接着させたまま、前記複数のチップを前記転写用基板から剥離する工程と、を備える三次元集積回路の製造方法。
- [請求項2] 前記液体には、前記液体を蒸発させたとき、前記各チップを前記各仮接着領域に仮接着させる添加剤が添加されることを特徴とする請求項1に記載の三次元集積回路の製造方法。
- [請求項3] 前記転写用基板の前記各仮接着領域、及び前記各チップの前記転写用基板に仮接着される面には、 SiO_2 膜が形成され、
- 前記添加剤は、前記 SiO_2 膜同士を接着させることを特徴とする請求項2に記載の三次元集積回路の製造方法。
- [請求項4] 前記転写用基板の前記各仮接着領域の前記 SiO_2 膜と前記各チッ

ップの前記 SiO_2 膜との接触面積が、前記各仮接着領域と平行な平面における前記各チップの断面積よりも小さいことを特徴とする請求項 3 に記載の三次元集積回路の製造方法。

[請求項5] 前記支持基板の SiO_2 膜の表面粗さが前記転写用基板の前記各仮接着領域の SiO_2 膜の表面粗さよりも小さいことを特徴とする請求項 3 又は 4 に記載の三次元集積回路の製造方法。

[請求項6] 前記転写用基板の前記各仮接着領域の前記 SiO_2 膜は、剥離可能な犠牲層上に形成され、
前記複数のチップを前記転写用基板から剥離するとき、前記転写用基板の前記各仮接着領域の前記 SiO_2 膜を前記各チップに接着させた状態で、前記複数のチップを前記転写用基板から剥離することを特徴とする請求項 3 に記載の三次元集積回路の製造方法。

[請求項7] 前記転写用基板には、前記仮接着領域を画定し、前記液体に対して親液性を有する親液性膜が形成されると共に、前記仮接着領域を囲み、前記液体に対して疎液性を有する疎液性膜が形成されることを特徴とする請求項 1 に記載の三次元集積回路の製造方法。

[請求項8] 前記転写用基板の前記複数の仮接着領域のうち、相対的に面積が小さい仮接着領域には、相対的に少量の液滴が塗布され、相対的に面積が大きい仮接着領域には、相対的に多量の液滴が塗布されることを特徴とする請求項 1 に記載の三次元集積回路の製造方法。

[請求項9] 前記転写用基板に形成された複数の仮接着領域に液体を塗布する工程において、
前記転写用基板に液体を直接接触させるか、又はノズルを用いて前記転写用基板に液体を噴霧することによって、前記複数の仮接着領域に前記複数の液滴を塗布することを特徴とする請求項 1 に記載の三次元集積回路の製造方法。

[請求項10] 前記転写用基板の前記仮接着領域及び前記各チップには、互いに噛み合うことができるストッパが形成され、

前記ストッパは、前記液体の表面張力を利用して各チップを各仮接着領域に位置決めするとき、互いに噛み合って前記各チップが前記各仮接着領域に対して前記各仮接着領域の平面内で位置ずれするのを防止することを特徴とする請求項 1 に記載の三次元集積回路の製造方法。

[請求項11] 支持基板にチップを積層してなる三次元集積回路の製造装置において、

複数の仮接着領域が形成される転写用基板と、

転写用基板に形成された複数の仮接着領域に液体を塗布する液体塗布手段と、を備え、

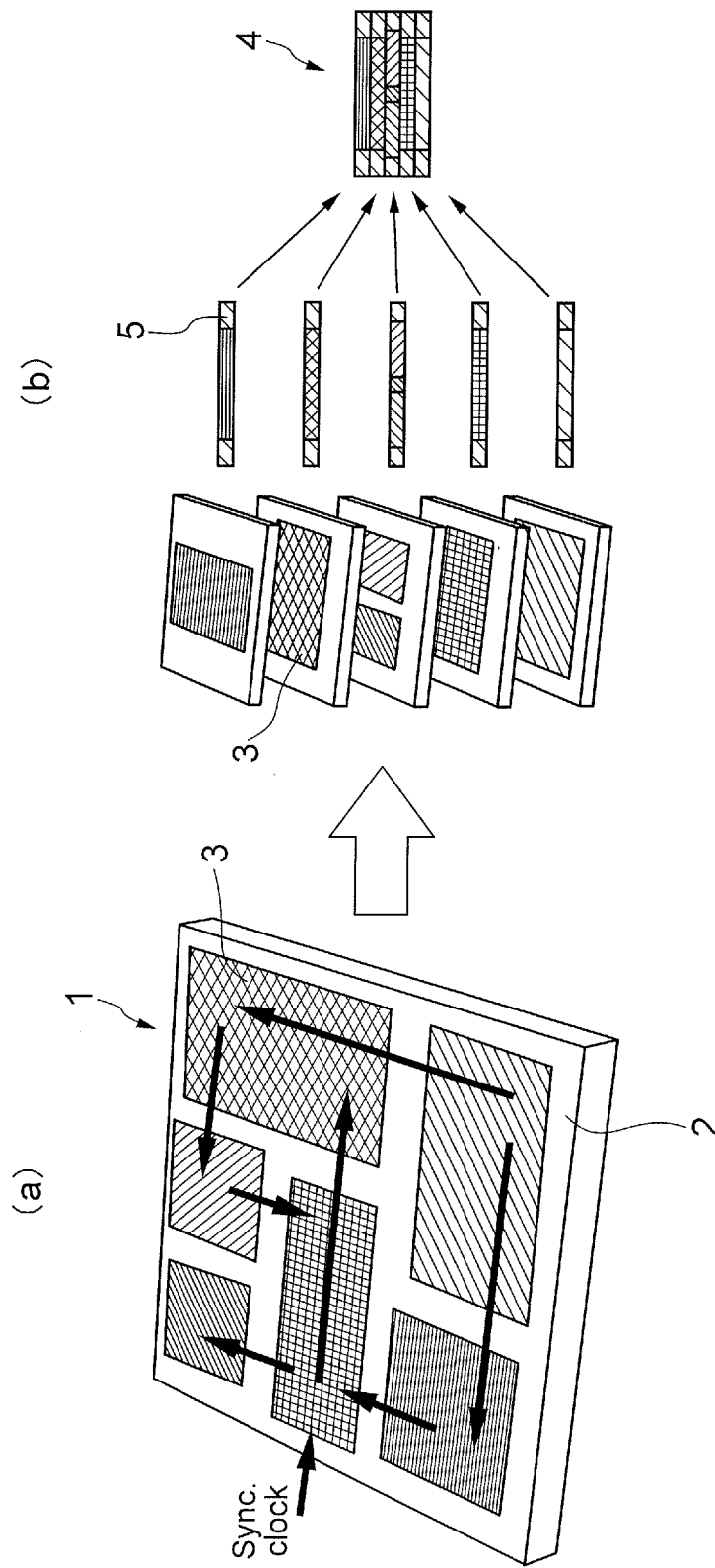
前記複数の仮接着領域毎に分離された複数の液滴上に複数のチップを解放し、液体の表面張力を利用して各チップを各仮接着領域に位置決めし、

前記各チップと前記各仮接着領域との間の液体を蒸発させることによって、前記各チップを前記各仮接着領域に仮接着し、

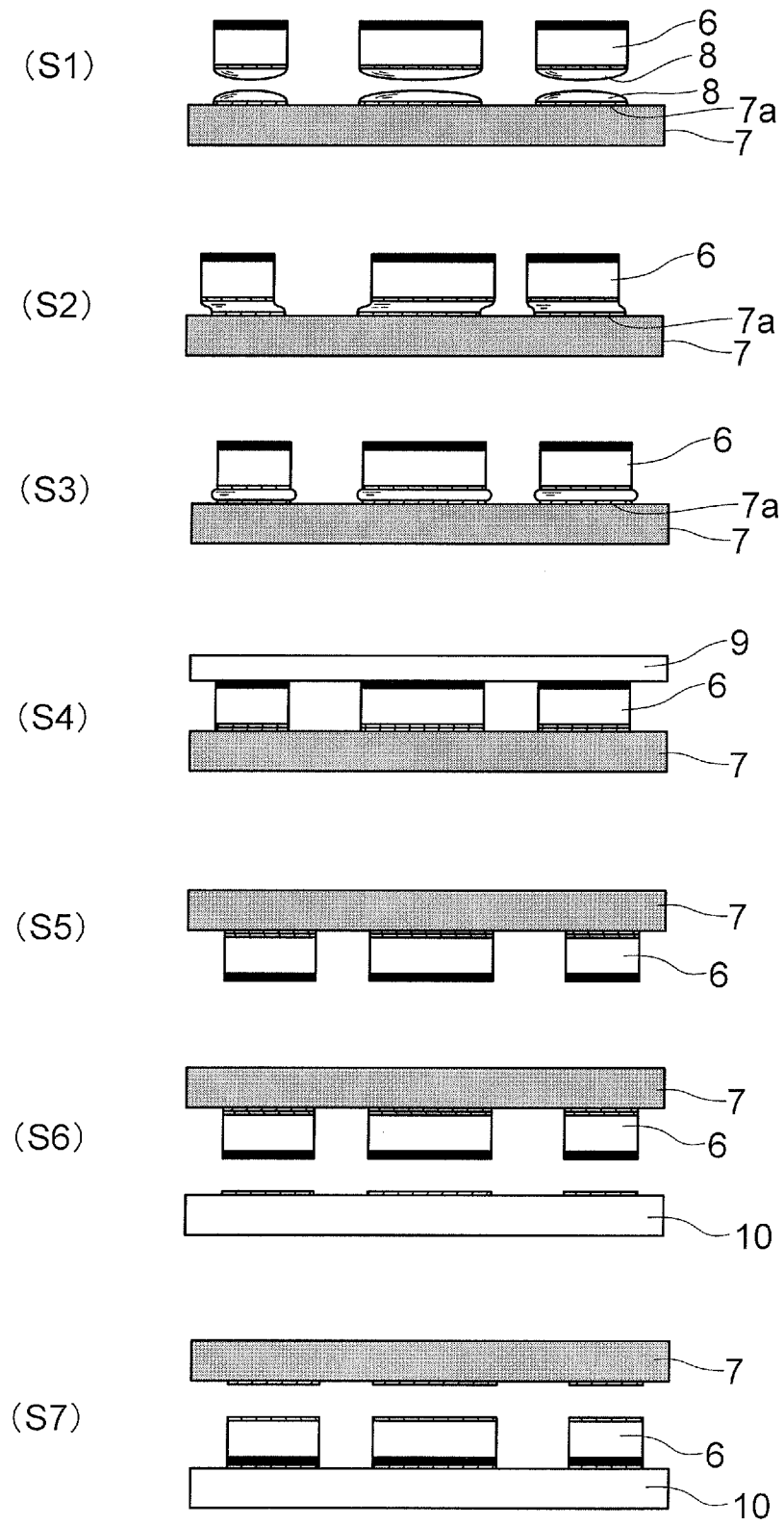
前記複数のチップが仮接着された前記転写用基板を支持基板に接近させ、前記複数のチップの、前記転写用基板に仮接着された面とは反対側を、前記支持基板の複数の本接着領域又は複数の本接着領域に積層された複数の積層チップに、前記各チップと前記支持基板又は前記支持基板上の各積層チップとの接着力が前記各チップと前記転写用基板との接着力よりも強くなるように一括して本接着し、

前記支持基板から前記転写用基板を離間させることによって、前記複数のチップを前記支持基板又は前記支持基板上の前記複数の積層チップに接着させたまま、前記複数のチップを前記転写用基板から剥離する三次元集積回路の製造装置。

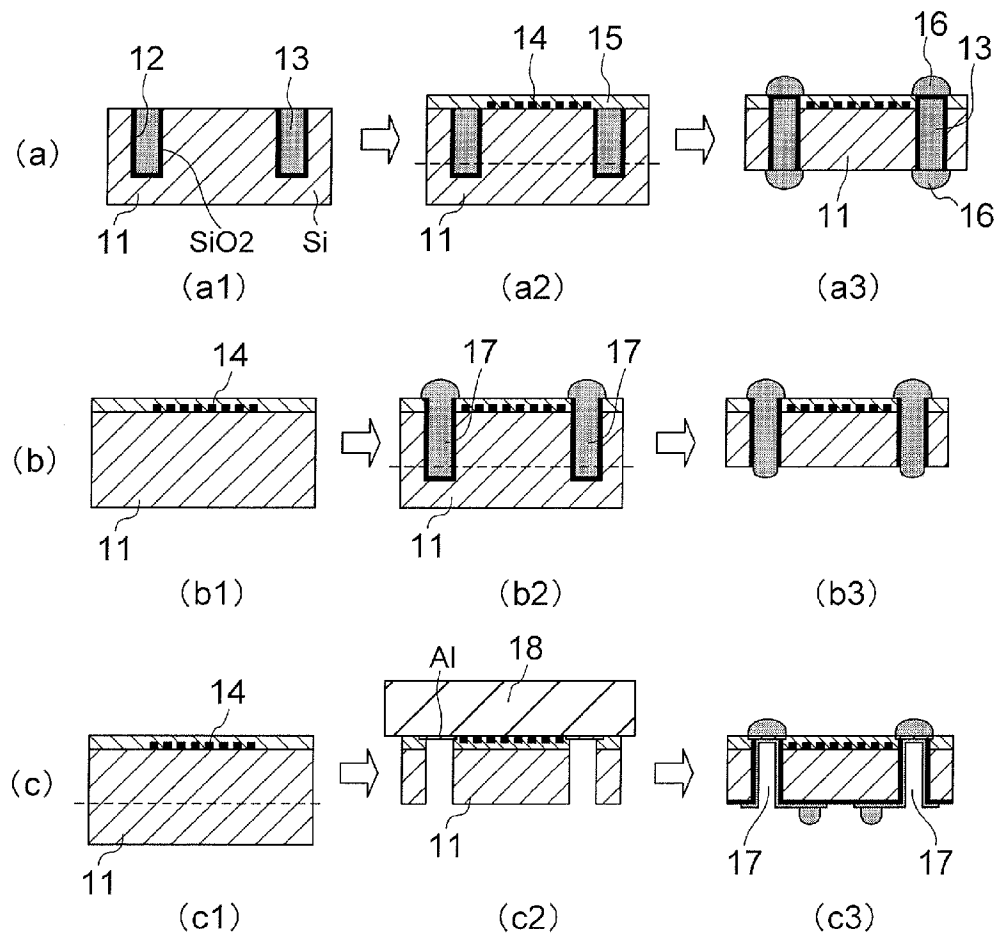
[図1]



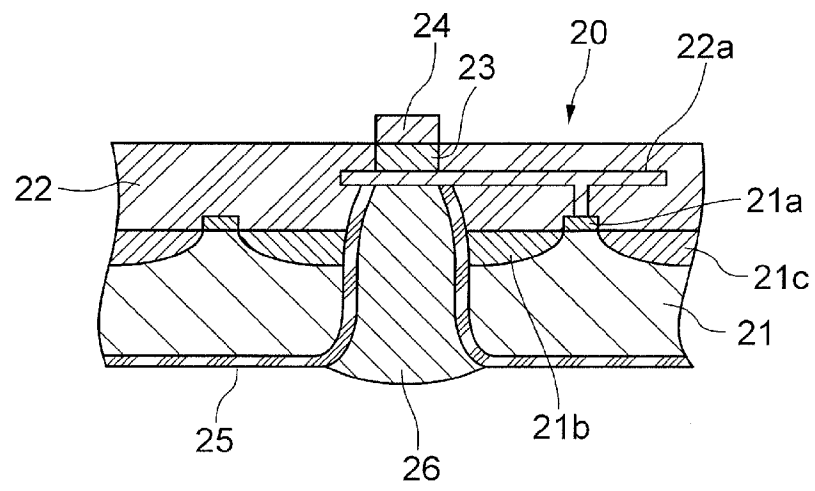
[図2]



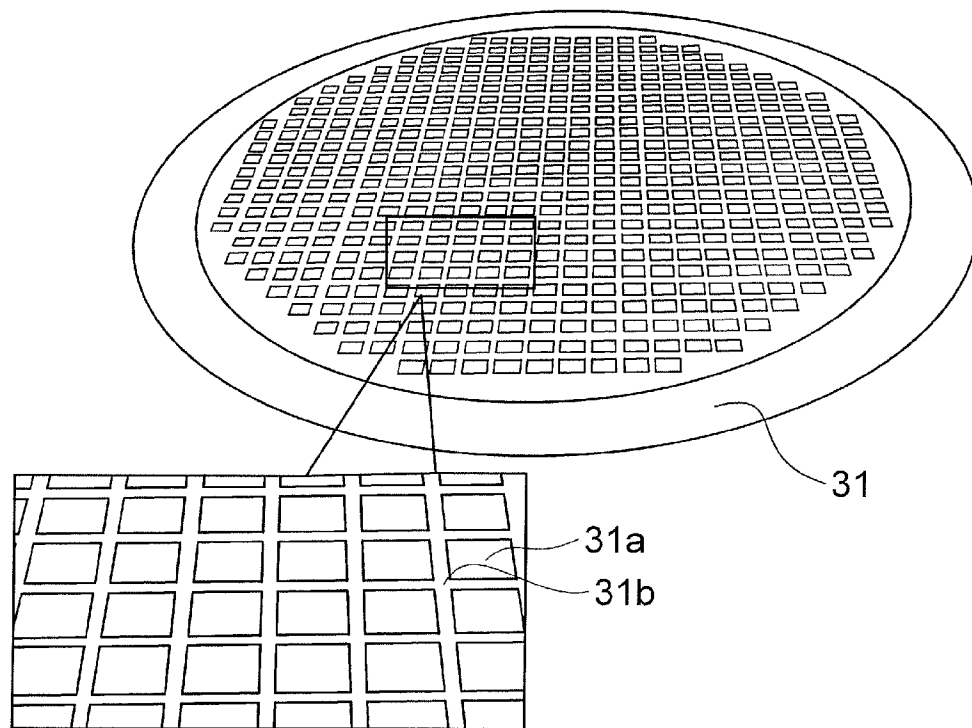
[図3]



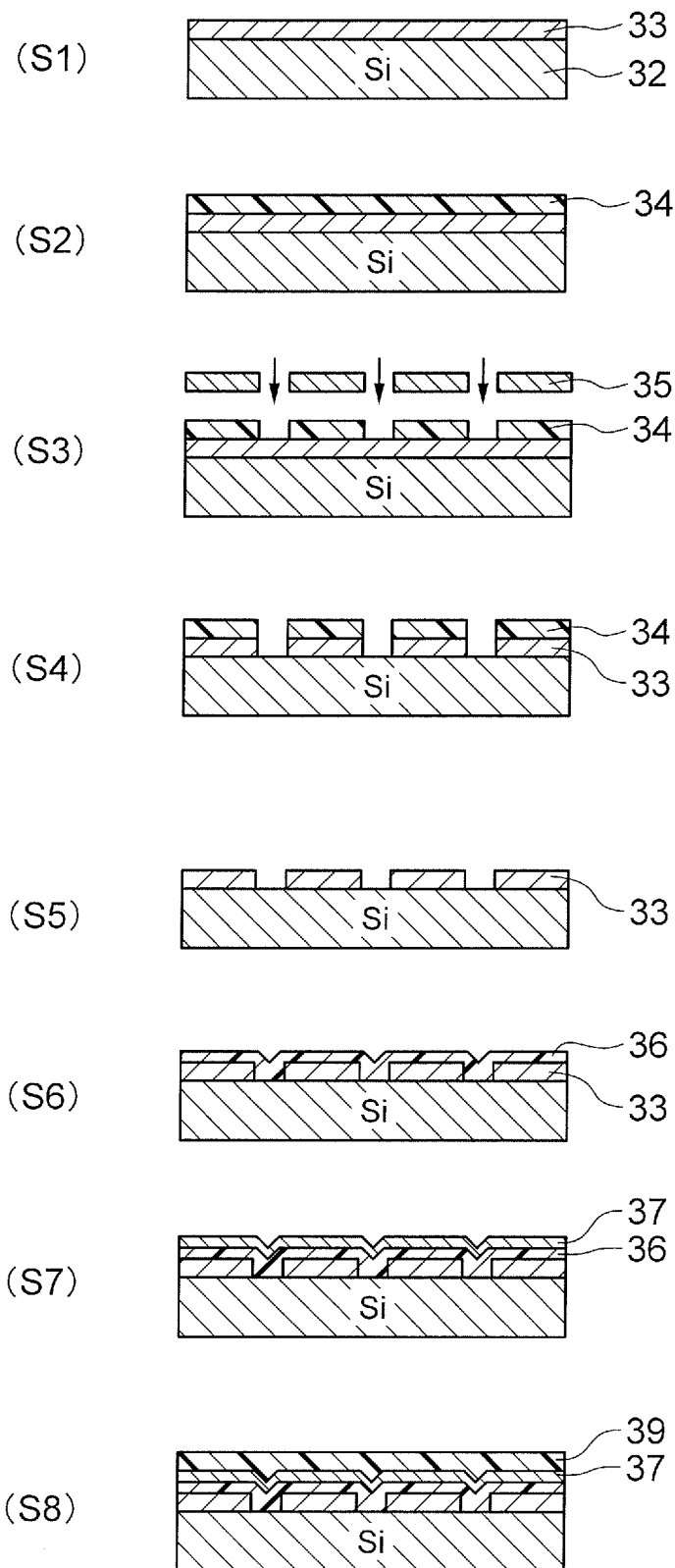
[図4]



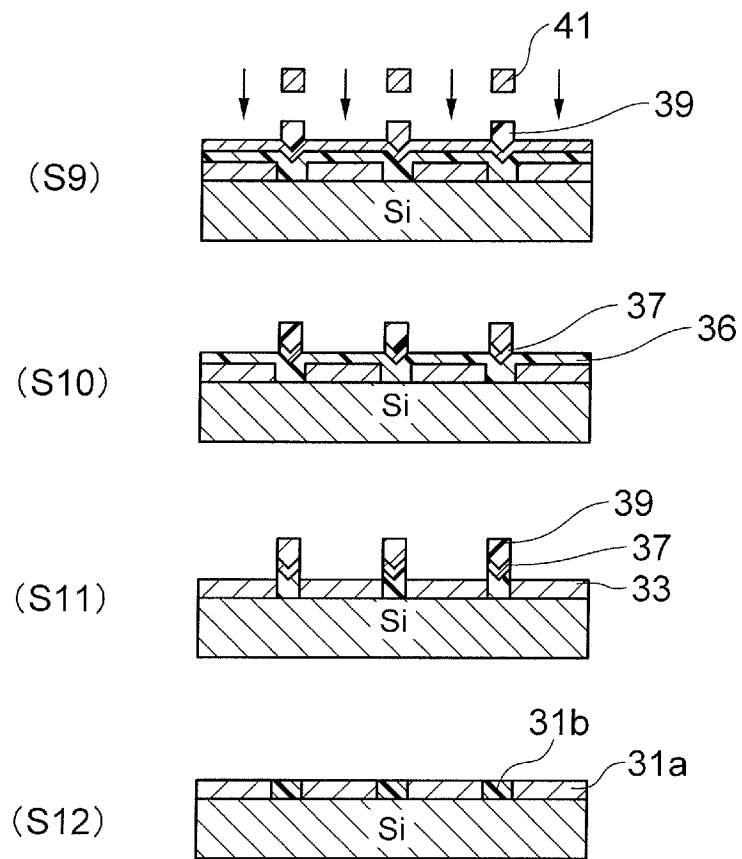
[図5]



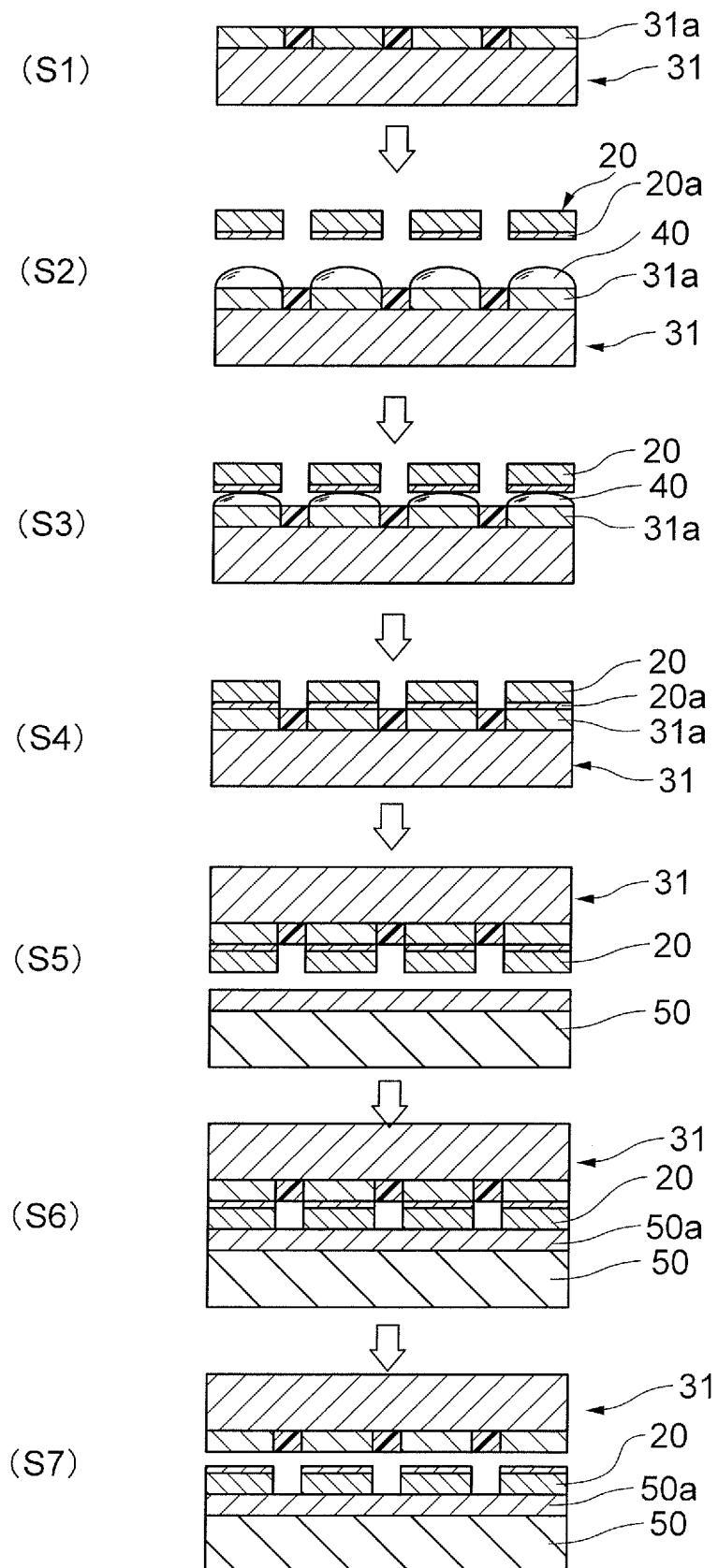
[図6]



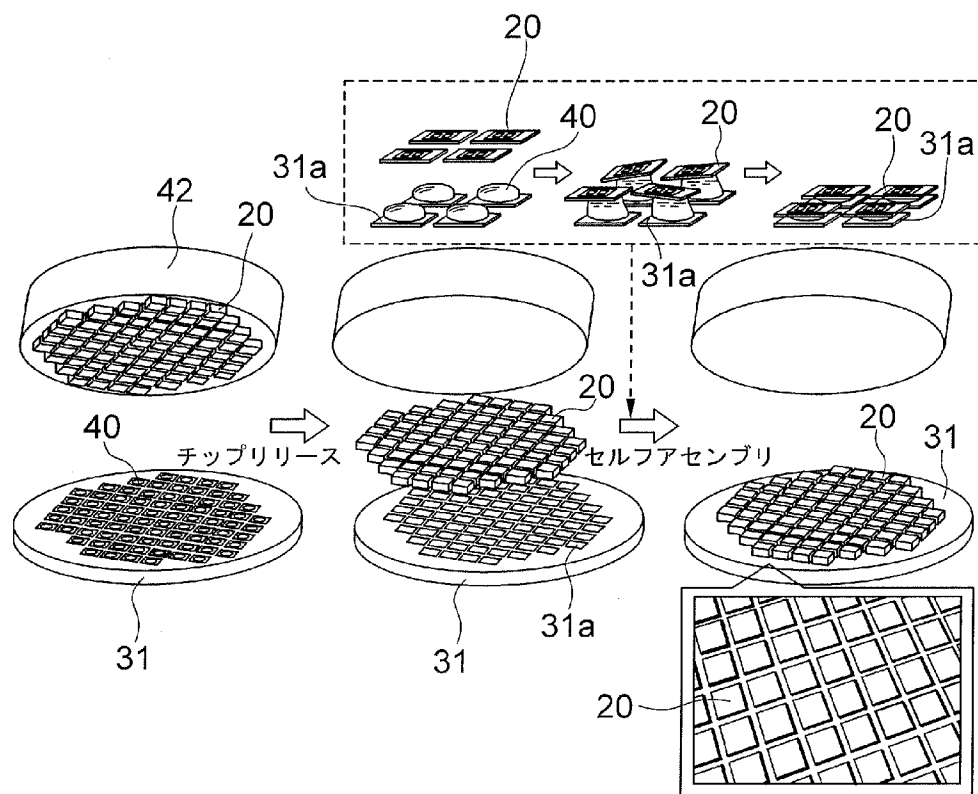
[図7]



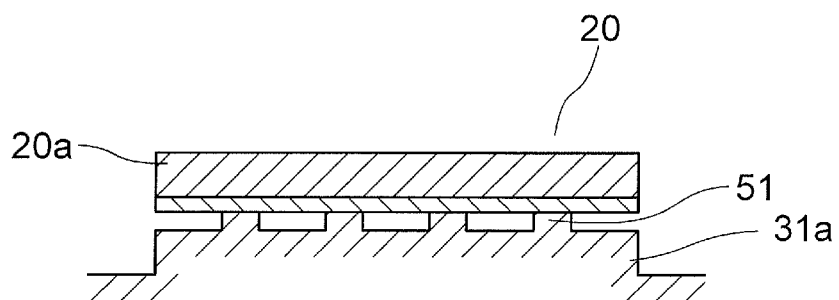
[図8]



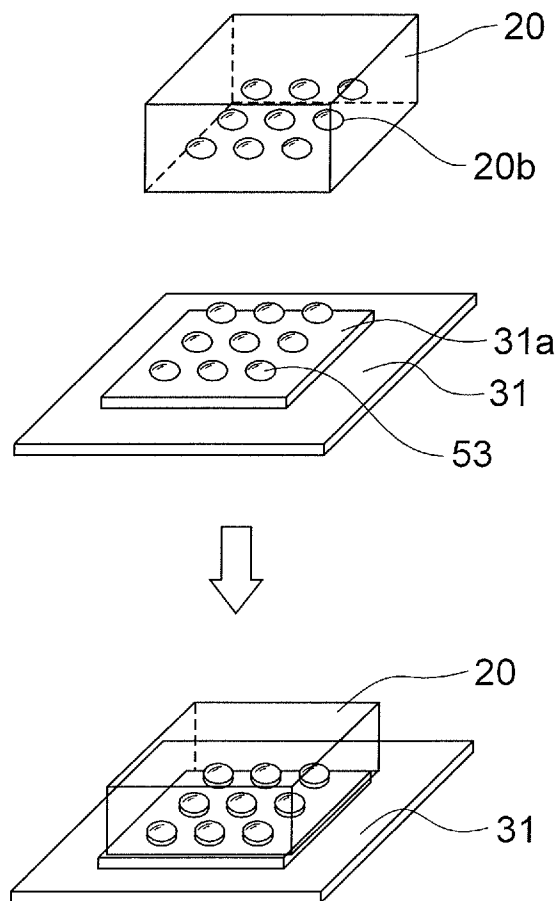
[図9]



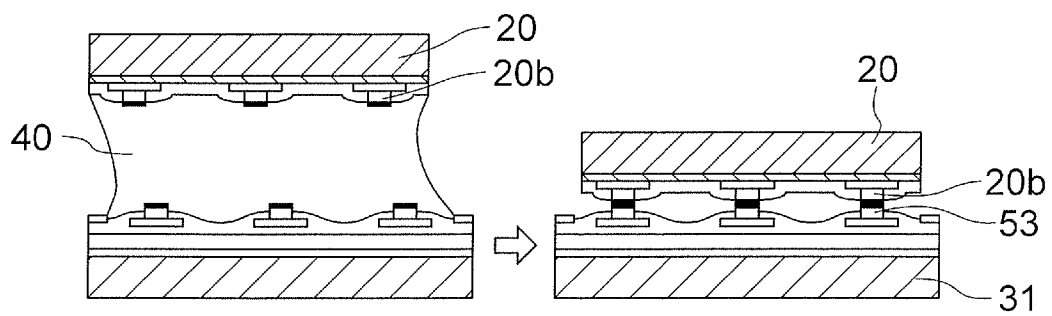
[図10]



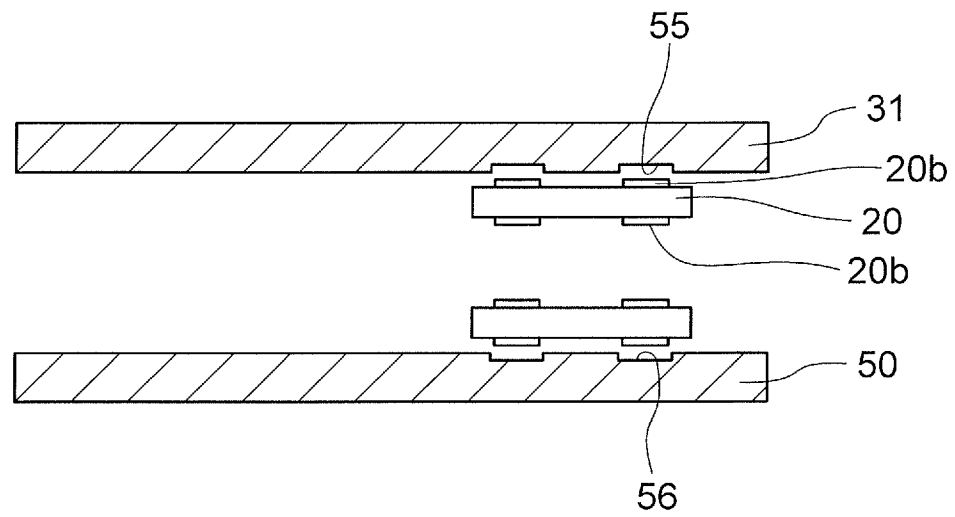
[図11]



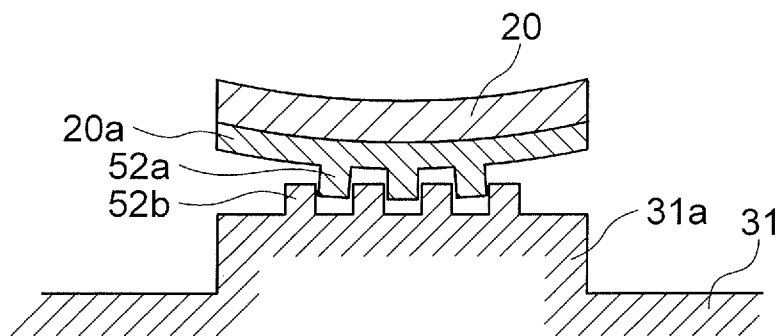
[図12]



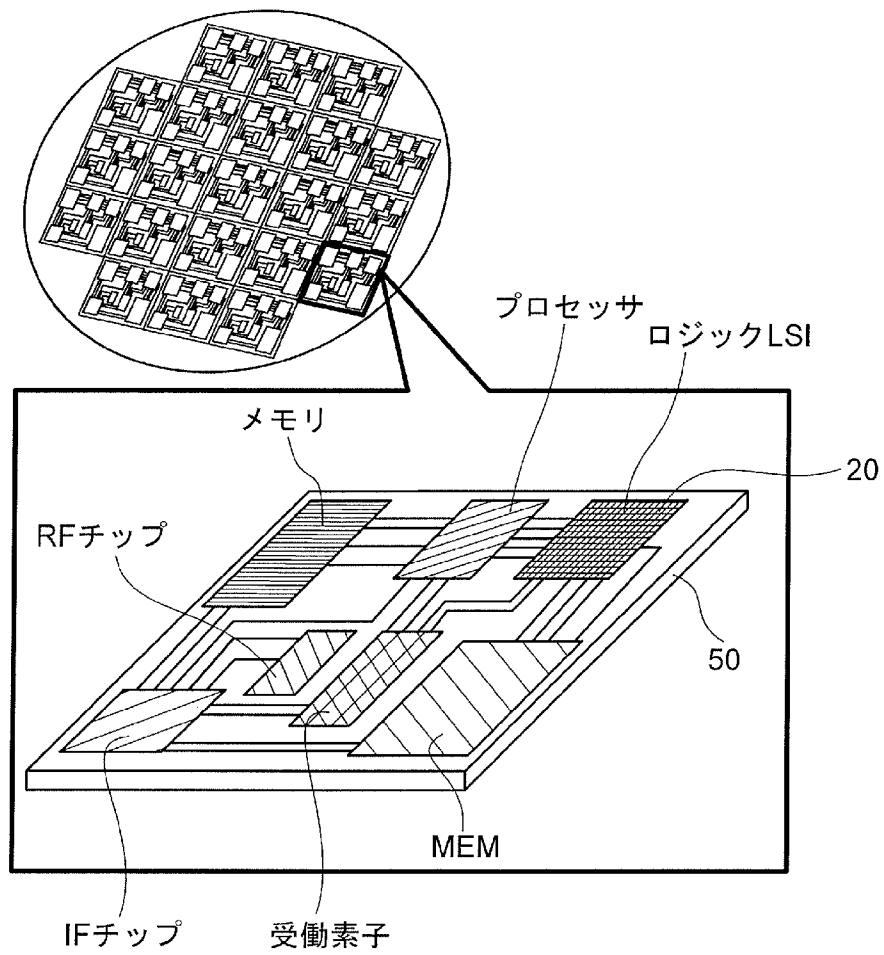
[図13]



[図14]



[図15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054031

A. CLASSIFICATION OF SUBJECT MATTER

H01L25/065(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L25/00-H01L25/18, H01L21/52, H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2006/077739 A1 (Mitsumasa KOYANAGI), 27 July 2006 (27.07.2006), paragraphs [0149] to [0280]; fig. 6 to 13 & US 2009/0023243 A1	1-11
A	JP 2004-537158 A (International Business Machines Corp.), 09 December 2004 (09.12.2004), paragraphs [0023] to [0038]; fig. 1 to 3 & US 2004/0154733 A1 & WO 2002/063678 A1	1-11
A	JP 2001-332710 A (Sharp Corp.), 30 November 2001 (30.11.2001), paragraphs [0023] to [0056]; fig. 1 to 8 (Family: none)	1-11



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 May, 2010 (07.05.10)Date of mailing of the international search report
18 May, 2010 (18.05.10)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/054031

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 6-163634 A (NEC Corp.), 10 June 1994 (10.06.1994), paragraphs [0016] to [0038]; fig. 1 to 8 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L25/065 (2006.01) i, H01L25/07 (2006.01) i, H01L25/18 (2006.01) i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L25/00-H01L25/18, H01L21/52, H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2006/077739 A1 (小柳光正) 2006.07.27, [0149]-[0280], 図 6-13 & US 2009/0023243 A1	1-11
A	JP 2004-537158 A (インターナショナル・ビジネス・マシーンズ・ コーポレーション) 2004.12.09, [0023]-[0038], 図 1-3 & US 2004/0154733 A1 & WO 2002/063678 A1	1-11
A	JP 2001-332710 A (シャープ株式会社) 2001.11.30, [0023]-[0056], 図 1-8 (ファミリーなし)	1-11

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 5 . 2 0 1 0

国際調査報告の発送日

1 8 . 0 5 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

酒井 英夫

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 7 1

4 R

9 6 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 6-163634 A (日本電気株式会社) 1994. 06. 10, [0016]-[0038], 図 1-8 (ファミリーなし)	1-11