



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년09월17일
(11) 등록번호 10-2303589
(24) 등록일자 2021년09월13일

(51) 국제특허분류(Int. Cl.)
H01L 21/78 (2006.01) B23K 26/00 (2014.01)
B23K 26/0622 (2014.01) H01L 21/268 (2006.01)
H01L 21/3065 (2006.01) H01L 21/76 (2006.01)
H01L 21/82 (2006.01) H01L 23/31 (2006.01)
(52) CPC특허분류
H01L 21/78 (2013.01)
B23K 26/0006 (2013.01)
(21) 출원번호 10-2016-7012701
(22) 출원일자(국제) 2014년09월22일
심사청구일자 2019년09월03일
(85) 번역문제출일자 2016년05월13일
(65) 공개번호 10-2016-0073392
(43) 공개일자 2016년06월24일
(86) 국제출원번호 PCT/US2014/056848
(87) 국제공개번호 WO 2015/060968
국제공개일자 2015년04월30일
(30) 우선권주장
14/060,005 2013년10월22일 미국(US)
(56) 선행기술조사문헌
JP2001127206 A*
(뒷면에 계속)

(73) 특허권자
어플라이드 머티어리얼스, 인코포레이티드
미국 95054 캘리포니아 산타 클라라 바우어스 애
브뉴 3050
(72) 발명자
레이, 웨이-성
미국 95130 캘리포니아주 산 호세 두발 드라이브
1786
이튼, 브래드
미국 94025 캘리포니아주 멘로 파크 8번 애비뉴
563
(뒷면에 계속)
(74) 대리인
양영준, 백만기

전체 청구항 수 : 총 14 항

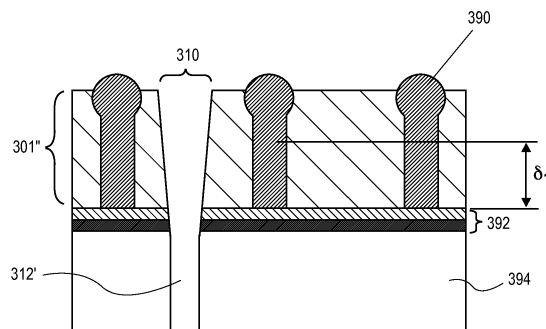
심사관 : 김영진

(54) 발명의 명칭 마스크리스 하이브리드 레이저 스크라이빙 및 플라즈마 에칭 웨이퍼 다이싱 프로세스

(57) 요약

마스크리스 하이브리드 레이저 스크라이빙 및 플라즈마 에칭 웨이퍼 다이싱 프로세스들이 설명된다. 예에서, 복수의 집적 회로를 위에 구비한 정면 표면을 갖고, 집적 회로들의 금속 필라/솔더 범프 쌍들 사이에 배치되어 이러한 금속 필라/솔더 범프 쌍들을 커버하는 패시베이션 층을 갖는 반도체 웨이퍼를 다이싱하는 방법은, 반도체 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 마스크 층의 사용 없이 패시베이션 층을 레이저 스크라이빙하는 단계를 수반한다. 이 방법은, 집적 회로들을 싱글레이션하기 위해 스크라이브 라인들을 통해 반도체 웨이퍼를 플라즈마 에칭하는 단계를 또한 수반하고, 패시베이션 층은 플라즈마 에칭의 적어도 일부 동안 집적 회로들을 보호한다. 이 방법은, 집적 회로들의 금속 필라/솔더 범프 쌍들을 부분적으로 노출시키기 위해 패시베이션 층을 박형화하는 단계를 또한 수반한다.

대표도 - 도3d



(52) CPC특허분류

B23K 26/0624 (2015.10)
B23K 26/50 (2018.08)
B23K 26/53 (2018.08)
B23K 26/57 (2018.08)
H01L 21/268 (2013.01)
H01L 21/3065 (2013.01)
H01L 21/76 (2013.01)
H01L 21/82 (2013.01)
H01L 23/3171 (2013.01)

(72) 발명자

파파누, 제임스 에스.

미국 94903 캘리포니아주 산 라파엘 홀리 드라이브
351

쿠마르, 아제이

미국 95014 캘리포니아주 쿠퍼티노 만자니타 코트
10457

(56) 선행기술조사문헌

JP2012134211 A
JP2006253402 A*
US20120322242 A1*
JP2013535114 A
JP2007273941 A
JP2009141024 A
JP2012124211 A
JP2012243945 A

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

복수의 집적 회로를 위에 갖는 정면 표면을 포함하고, 상기 집적 회로들의 금속 필라/솔더 범프 쌍들 사이에 배치되어 상기 금속 필라/솔더 범프 쌍들을 커버하는 패시베이션 층을 갖는 반도체 웨이퍼를 다이싱하는 방법으로서,

상기 반도체 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 마스크 층의 사용 없이 상기 패시베이션 층을 레이저 스크라이빙하는 단계;

상기 집적 회로들을 싱글레이션하기 위해 상기 스크라이브 라인들을 통해 상기 반도체 웨이퍼를 플라즈마 에칭하는 단계 - 상기 패시베이션 층은 상기 플라즈마 에칭의 적어도 일부 동안 상기 집적 회로들을 보호함 -; 및

상기 집적 회로들의 상기 금속 필라/솔더 범프 쌍들을 부분적으로 노출시키기 위해, 상기 패시베이션 층을 제거하지 않고 상기 패시베이션 층을 박형화(thinning)하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 패시베이션 층을 박형화하는 단계는 O_2 에 기초한 플라즈마 애싱 프로세스(plasma ashing process)를 이용하는 단계를 포함하는, 방법.

청구항 3

제1항에 있어서,

상기 패시베이션 층을 박형화하는 단계는 35-50 마이크로미터 범위의 상기 패시베이션 층의 최종 두께까지 박형화하는 단계를 포함하는, 방법.

청구항 4

제1항에 있어서,

상기 패시베이션 층은 폴리이미드 층을 포함하는, 방법.

청구항 5

제1항에 있어서,

상기 반도체 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 상기 패시베이션 층을 레이저 스크라이빙하는 단계는 상기 반도체 웨이퍼 내에 트렌치들을 형성하는 단계를 포함하고, 상기 스크라이브 라인들을 통해 상기 반도체 웨이퍼를 플라즈마 에칭하는 단계는 상기 트렌치들을 통해 플라즈마 에칭하는 단계를 포함하는, 방법.

청구항 6

제1항에 있어서,

상기 패시베이션 층을 레이저 스크라이빙하는 단계는 펨토초 기반 레이저 스크라이빙 프로세스를 이용하는 단계를 포함하는, 방법.

청구항 7

제6항에 있어서,

상기 펄스 기반 레이저 스크라이빙 프로세스를 이용하는 단계는, 540 나노미터 이하의 파장 및 400 펄스 이하의 레이저 펄스 폭을 갖는 레이저를 이용하는 단계를 포함하는, 방법.

청구항 8

삭제

청구항 9

복수의 집적 회로를 포함하는 반도체 웨이퍼를 다이싱하기 위한 시스템으로서,

팩토리 인터페이스;

상기 팩토리 인터페이스와 결합된 레이저 스크라이브 장치 - 상기 레이저 스크라이브 장치는 반도체 웨이퍼의 집적 회로들 사이의 스트리트들의 레이저 절제(laser ablation)를 수행하도록 구성됨 -;

상기 팩토리 인터페이스와 결합된 플라즈마 에칭 챔버 - 상기 플라즈마 에칭 챔버는, 상기 레이저 절제에 후속하여, 상기 집적 회로들을 싱글레이션하기 위해 상기 반도체 웨이퍼를 에칭하도록 구성됨 -; 및

상기 팩토리 인터페이스와 결합된 플라즈마 애싱 챔버 - 상기 플라즈마 애싱 챔버는 O_2 에 기초한 플라즈마 애싱 프로세스를 이용하여 상기 집적 회로들의 패시베이션 층을 제거하지 않고 상기 패시베이션 층을 제어 가능하게 박형화하도록 구성됨 -

를 포함하는 시스템.

청구항 10

제9항에 있어서,

상기 레이저 스크라이브 장치는 펄스 기반 레이저를 포함하는, 시스템.

청구항 11

제9항에 있어서,

상기 플라즈마 에칭 챔버 및 상기 플라즈마 애싱 챔버는 상기 팩토리 인터페이스에 결합된 클러스터 툴 상에 하우징되고, 상기 클러스터 툴은,

상기 레이저 절제, 에칭, 또는 애싱에 후속하여 상기 반도체 웨이퍼를 세정하도록 구성된 습식/건식 스테이션을 포함하는, 시스템.

청구항 12

복수의 DRAM 회로를 위에 갖는 정면 표면을 포함하고, 상기 DRAM 회로들의 금속 필라/솔더 범프 쌍들 사이에 배치되어 상기 금속 필라/솔더 범프 쌍들을 커버하는 폴리이미드 층을 갖는 실리콘 웨이퍼를 다이싱하는 방법으로,

상기 실리콘 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 마스크 층의 사용 없이 상기 폴리이미드 층을 레이저 스크라이빙하는 단계 - 상기 레이저 스크라이빙하는 단계는 로우 K 재료의 층 및 구리 층을 통하여 수행되고, 상기 로우 K 재료의 층 및 상기 구리 층은 둘 다 상기 폴리이미드 층과 상기 실리콘 웨이퍼 사이에 배치되고, 상기 레이저 스크라이빙하는 단계는 펄스 기반 레이저 스크라이빙 프로세스를 포함함 -;

상기 DRAM 회로들을 싱글레이션하기 위해 상기 스크라이브 라인들을 통해 상기 실리콘 웨이퍼를 플라즈마 에칭하는 단계 - 상기 폴리이미드 층은 상기 플라즈마 에칭의 적어도 일부 동안 상기 DRAM 회로들을 보호함 -; 및

상기 폴리이미드 층을 박형화하여 상기 DRAM 회로들의 상기 금속 필라/솔더 범프 쌍들을 부분적으로 노출시키기 위해, 상기 폴리이미드 층을 제거하지 않고 상기 폴리이미드 층을 플라즈마 애싱하는 단계

를 포함하는 방법.

청구항 13

제12항에 있어서,

상기 폴리이미드 층을 플라즈마 애싱하는 단계는 O_2 에 기초한 플라즈마 애싱 프로세스를 이용하는 단계를 포함하는, 방법.

청구항 14

제12항에 있어서,

상기 폴리이미드 층을 플라즈마 애싱하는 단계는 상기 폴리이미드 층을 35-50 마이크로미터 범위의 최종 두께까지 박형화하는 단계를 포함하는, 방법.

청구항 15

제12항에 있어서,

상기 실리콘 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 상기 폴리이미드 층을 레이저 스크라이빙하는 단계는 상기 실리콘 웨이퍼 내에 트렌치들을 형성하는 단계를 포함하고, 상기 스크라이브 라인들을 통해 상기 실리콘 웨이퍼를 플라즈마 에칭하는 단계는 상기 트렌치들을 통해 플라즈마 에칭하는 단계를 포함하는, 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 반도체 처리 분야에 관한 것이며, 구체적으로는 반도체 웨이퍼들 - 각각의 웨이퍼는 그 위에 복수의 집적 회로를 가짐 - 을 다이싱하는 방법들에 관한 것이다.

배경 기술

[0002] 반도체 웨이퍼 처리에서, 집적 회로들은 실리콘 또는 다른 반도체 재료로 구성되는 웨이퍼(기판이라고도 지칭됨) 상에 형성된다. 일반적으로, 집적 회로들을 형성하기 위해, 반도체성, 전도성 또는 절연성인 다양한 재료의 층들이 이용된다. 이러한 재료들은 집적 회로들을 형성하기 위해 다양한 잘 알려진 프로세스들을 이용하여 도핑, 퇴적 및 에칭된다. 각각의 웨이퍼는 다이스(dice)라고 알려진 집적 회로들을 포함하는 다수의 개별 영역을 형성하기 위해 처리된다.

[0003] 집적 회로 형성 프로세스에 후속하여, 웨이퍼는 더 큰 회로 내에서의 언패키징된 형태의 사용을 위해 또는 패키징을 위해 개별 다이를 서로로부터 분리하도록 "다이싱"된다. 웨이퍼 다이싱을 위해 이용되는 두가지 주된 기술은 스크라이빙(scribing) 및 소잉(sawing)이다. 스크라이빙을 이용하면, 미리 형성된 스크라이브 라인들을 따라 웨이퍼 표면을 가로질러 다이아몬드 팁 스크라이브(diamond tipped scribe)가 이동된다. 이러한 스크라이브 라인들은 다이스들 간의 공간들을 따라 연장된다. 이 공간들은 통상적으로 "스트리트들(streets)"이라고 지칭된다. 다이아몬드 스크라이브는 스트리트들을 따라 웨이퍼 표면 내에 얇은 스크래치들을 형성한다. 예컨대 롤러를 이용하여 압력을 인가하면, 웨이퍼는 스크라이브 라인들을 따라 분리된다. 웨이퍼 내에서의 파괴(break)는 웨이퍼 기판의 결정 격자 구조를 따른다. 스크라이빙은 약 10 밀(1000분의 1 인치) 이하의 두께를 갖는 웨이퍼들을 위해 이용될 수 있다. 더 두꺼운 웨이퍼들에 대하여, 소잉이 현재 다이싱을 위해 선호되는 방법이다.

[0004] 소잉을 이용하면, 높은 rpm(revolutions per minute)으로 회전하는 다이아몬드 팁 소우(diamond tipped saw)가 웨이퍼 표면에 접촉하고, 스트리트들을 따라 웨이퍼를 소잉한다. 웨이퍼는 필름 프레임에 걸쳐 신장된(stretched) 집착 필름과 같은 지지 부재 상에 탑재되고, 소우는 수직 스트리트들 및 수평 스트리트들 둘 다에 대해 반복하여 적용된다. 스크라이빙 또는 소잉에서의 한가지 문제점은 다이스의 절단된 에지들을 따라 칩들(chips) 및 가우지들(gouges)이 형성될 수 있다는 것이다. 추가로, 균열들이 형성되어 다이스의 에지들로부터 기판으로 전파되고, 집적 회로를 동작불능으로 만들 수 있다. 치핑(chipping) 및 균열은 특히 스크라이빙에서 문제가 되는데, 왜냐하면 정사각형 또는 직사각형 다이의 일 측면이 결정질 구조의 <110> 방향으로 스크라이빙될 수 있기 때문이다. 결과적으로, 다이의 다른 측의 클리빙(cleaving)은 들쭉날쭉한 분리 라인을 초래한다. 치핑 및 균열로 인해, 집적 회로들에 대한 손상을 방지하기 위해 웨이퍼 상의 다이스들 간에 추가의 간격이 요구되고, 예를 들어 칩들 및 균열들은 실제 집적 회로들로부터 떨어져서 유지된다. 간격 요건의 결과로서, 표준

크기의 웨이퍼 상에 많지 않은 다이스가 형성될 수 있고, 간격 요건이 아니었으면 회로를 위해 이용되었을 수 있는 웨이퍼 면적(wafer real estate)이 낭비된다. 소우의 사용은 반도체 웨이퍼 상의 면적의 낭비를 악화시킨다. 소우의 블레이드는 대략 15 마이크로미터 두께이다. 이와 같이, 소우에 의해 만들어지는 절단부 주위의 균열 및 다른 손상이 집적 회로들에 해를 끼치지 않는다는 것을 보증하기 위해, 종종 다이스들 각각의 회로는 3백 내지 5백 마이크로미터 분리되어야 한다. 또한, 절단 후에, 각각의 다이스는 소잉 프로세스로부터 기인하는 입자들 및 다른 오염물질들을 제거하기 위해 상당한 세정을 필요로 한다.

[0005] 플라즈마 다이싱도 이용되어 왔지만, 역시 한계를 가질 수 있다. 예를 들어, 플라즈마 다이싱의 구현을 방해하는 하나의 한계는 비용일 수 있다. 레지스트를 패터닝하기 위한 표준 리소그래피 동작은 구현 비용을 막대하게 할 수 있다. 아마도 플라즈마 다이싱의 구현을 방해하는 다른 한계는 스트리트들을 따른 다이싱에서 흔하게 만나는 금속들(예를 들어, 구리)의 플라즈마 처리가 생산 문제 또는 수율 한계를 생성할 수 있다는 것이다.

발명의 내용

[0006] 본 명세서에 설명된 하나 이상의 실시예는 마스크리스(maskless) 하이브리드 레이저 스크라이빙 및 플라즈마 에칭 웨이퍼 다이싱 프로세스들에 관한 것이다.

[0007] 실시예에서, 복수의 집적 회로를 위에 구비한 정면 표면(front surface)을 갖고, 집적 회로들의 금속 필라/솔더 범프 쌍들 사이에 배치되어 이러한 금속 필라/솔더 범프 쌍들을 커버하는 패시베이션 층을 갖는 반도체 웨이퍼를 다이싱하는 방법은, 반도체 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 마스크 층의 사용 없이 패시베이션 층을 레이저 스크라이빙하는 단계를 수반한다. 이 방법은, 집적 회로들을 싱글레이션하기 위해 스크라이브 라인들을 통해 반도체 웨이퍼를 플라즈마 에칭하는 단계를 또한 수반하고, 패시베이션 층은 플라즈마 에칭의 적어도 일부 동안 집적 회로들을 보호한다. 이 방법은, 집적 회로들의 금속 필라/솔더 범프 쌍들을 부분적으로 노출시키기 위해 패시베이션 층을 박형화(thinning)하는 단계를 또한 수반한다.

[0008] 다른 실시예에서, 반도체 웨이퍼를 다이싱하기 위한 시스템은 팩토리 인터페이스를 포함한다. 레이저 스크라이브 장치가 팩토리 인터페이스와 결합된다. 플라즈마 에칭 챔버가 팩토리 인터페이스와 결합된다. 플라즈마 에칭 챔버가 팩토리 인터페이스와 결합된다.

[0009] 다른 실시예에서, 복수의 DRAM 회로를 위에 갖는 정면 표면을 포함하고, DRAM 회로들의 금속 필라/솔더 범프 쌍들 사이에 배치되어 이러한 금속 필라/솔더 범프 쌍들을 커버하는 폴리이미드 층을 갖는 실리콘 웨이퍼를 다이싱하는 방법은, 실리콘 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 마스크 층의 사용 없이 폴리이미드 층을 레이저 스크라이빙하는 단계를 수반한다. 레이저 스크라이빙하는 단계는 로우 K 재료의 층 및 구리 층을 통하여 수행되고, 로우 K 재료의 층 및 구리 층은 둘 다 폴리이미드 층과 실리콘 기판 사이에 배치된다. 레이저 스크라이빙하는 단계는 펨토초 기반 레이저 스크라이빙 프로세스를 수반한다. 이 방법은, DRAM 회로들을 싱글레이션하기 위해 스크라이브 라인들을 통해 실리콘 웨이퍼를 플라즈마 에칭하는 단계를 또한 수반하고, 폴리이미드 층은 플라즈마 에칭의 적어도 일부 동안 DRAM 회로들을 보호한다. 이 방법은, 폴리이미드 층을 박형화하여 DRAM 회로들의 금속 필라/솔더 범프 쌍들을 부분적으로 노출시키기 위해 폴리이미드 층을 플라즈마 에칭하는 단계를 또한 수반한다.

도면의 간단한 설명

[0010] 도 1a는 다이싱될 종래의 반도체 웨이퍼의 상부 평면도를 도시한다.

도 1b는 본 발명의 실시예에 따른, 레이저 스크라이빙 프로세스 이후이자 플라즈마 에칭 프로세스 이전의 두꺼운 패시베이션 층을 갖는 반도체 웨이퍼의 상부 평면도를 도시한다.

도 2a는 최신 기술의 DRAM 웨이퍼의 일부의 단면도를 도시한다.

도 2b는 도 2a의 최신 기술의 DRAM 웨이퍼의 일부에 대한 다이싱 프로세스에서의 동작을 나타내는 단면도를 도시한다.

도 3a 내지 도 3e는 본 발명의 실시예에 따른, 반도체 웨이퍼를 다이싱하는 방법의 수행 동안의 복수의 집적 회로를 포함하는 반도체 웨이퍼의 단면도를 도시한다.

도 4는 반도체 웨이퍼를 다이싱하는 비교 방법(comparative method)의 수행 동안의 복수의 집적 회로를 포함하는 반도체 웨이퍼의 단면도를 도시한다.

도 5는 본 발명의 실시예에 따른, 더 긴 펄스 시간들에 비해 펄스 범위의 레이저 펄스를 이용하는 것의 효과를 도시한다.

도 6은 본 발명의 실시예에 따른, 반도체 웨이퍼 또는 기판의 스트리트 영역에서 이용될 수 있는 재료들의 스택의 단면도를 도시한다.

도 7은 본 발명의 실시예에 따른, 결정질 실리콘(c-Si), 구리(Cu), 결정질 실리콘 이산화물(c-SiO₂) 및 비정질 실리콘 이산화물(a-SiO₂)에 대한 광자 에너지의 함수로서의 흡수 계수의 플롯을 포함한다.

도 8은 레이저 펄스 에너지, 레이저 펄스 폭 및 레이저 빔 반경의 함수로서의 주어진 레이저에 대한 레이저 강도의 관계를 나타내는 수학적식이다.

도 9는 본 발명의 실시예에 따른, 웨이퍼들 또는 기판들의 레이저 및 플라즈마 다이싱을 위한 툴 레이아웃의 블록도를 도시한다.

도 10은 본 발명의 실시예에 따른 예시적인 컴퓨터 시스템의 블록도를 도시한다.

발명을 실시하기 위한 구체적인 내용

[0011] 마스크리스 하이브리드 레이저 스크라이빙 및 플라즈마 에칭 웨이퍼 다이싱 프로세스들이 설명된다. 이하의 설명에서, 본 발명의 실시예들의 철저한 이해를 제공하기 위해서 레이저 스크라이빙 및 플라즈마 에칭 조건들 및 재료 레짐들과 같은 다수의 구체적 상세가 제시된다. 본 발명의 실시예들은 이러한 구체적 상세 없이도 실시될 수 있다는 것이 관련 기술분야의 통상의 기술자에게 명백할 것이다. 다른 경우들에서, 본 발명의 실시예들을 불필요하게 모호하게 하지 않기 위해, 집적 회로 제조와 같은 잘 알려진 양태들은 상세하게 설명되지 않는다. 또한, 도면들에 도시된 다양한 실시예들은 예시적인 표현들이며, 반드시 비례에 맞춰 그려지지 않는다는 점이 이해되어야 한다.

[0012] 초기 레이저 스크라이브 및 후속하는 플라즈마 에칭을 수반하는 하이브리드 웨이퍼 또는 기판 다이싱 프로세스가 다이싱글레이션을 위해 구현될 수 있다. 레이저 스크라이브 프로세스는 두꺼운 패시베이션 층, 유기 및/또는 무기 유전체 층들 및 디바이스 층들을 청결하게 제거하기 위해 이용될 수 있다. 다음으로, 하부 웨이퍼 또는 기판의 노출 또는 부분적 에칭 시에 레이저 에칭 프로세스가 종료될 수 있다. 다음으로, 다이싱 프로세스의 플라즈마 에칭 부분은, 다이 또는 칩 싱글레이션 또는 다이싱을 야기하기 위해, 벌크 단결정질 실리콘을 관통하는 것과 같이, 웨이퍼 또는 기판의 벌크를 관통하여 에칭하는데 이용될 수 있다. 본 명세서의 구체적인 실시예들에서, 두꺼운 패시베이션 폴리머 층을 갖는 웨이퍼들을 다이싱하는 방법이 설명된다. 실시예에서, 수행되는 레이저 스크라이빙은, 스크라이빙 및 플라즈마 에칭 동안 추가의 상부 마스크의 사용 없이 두꺼운 패시베이션 층이 집적 회로들 상에 포함되어 이용된다는 점에서 마스크리스 프로세스이다.

[0013] 보다 일반적으로, 본 명세서에 설명된 실시예들은 하이브리드 웨이퍼 다이싱 접근법을 제공하기 위한 펄스초 기반 레이저 스크라이빙 및 후속하는 플라즈마 에칭에 관한 것이다. 일반적인 웨이퍼 다이싱 기술들에 관하여, 대부분의 기존의 다이싱 기술들은 다이싱 프로세스의 소정 스테이지에서의 습식 프로세스들의 이용을 수반한다. 예를 들어, 하이브리드 레이저 스크라이빙 및 플라즈마 에칭 접근법들에서, 레이저 및 플라즈마 프로세스들 동안 웨이퍼들을 보호하기 위해 마스크 코팅 형성 프로세스가 종종 이용된다. 그러나, 무결함 마스크 코팅, 및 다이싱-후(post-dicing) 마스크 제거 및 세정을 획득하는 것에 관하여 과제가 존재한다. 또한, 스핀 코팅을 위한 기존의 반도체 그레이트 상용 툴들(semiconductor grade commercial tools)은 고가이다. 다른 양태에서, 레이저 다이싱 프로세스들은 마스크 코팅 및 후속하는 다이싱-후 마스크 제거를 요구할 수 있으며, 또 다른 양태에서, 블레이드 다이싱은 다이싱 프로세스들 동안 연속적인 냉각수/윤활제를 요구할 수 있다. 집적 회로(IC) 기술들에 관하여, 3차원(3D) 패키징을 위한 신세대/차세대 메모리 칩들은 패시베이션 층으로서 디바이스 층들 상단의 대략 40 마이크로미터 두께의 폴리머 필름을 지닐 수 있다. 그에 비해서, 현재의 마이크로프로세서 디바이스 웨이퍼들은 최상부 층 폴리머 패시베이션을 이용하고 있고, 여기서 (a) 웨이퍼들 상에 폴리머 필름 층을 도포하기 위해 건식 필름 라미네이션 기술(dry film lamination technology)이 이용되었고/되었거나 (b) 폴리머 패시베이션 층은 목표 두께를 가지며, 건식 필름 라미네이션 프로세스가 라미네이팅 두께를 제어할 수 있다.

[0014] 이와 같이, 더 구체적으로, 하나 이상의 실시예는 결과적인 IC의 목표 패시베이션 층보다 두꺼운 층을 형성하기 위해 웨이퍼 정면의 최상부 상에 폴리머 필름을 이용하는 것을 수반하는 접근법들에 관한 것이다. 예를 들어, 폴리머 패시베이션 층 형성을 위한 동일한 건식 필름 라미네이션 프로세스에서, 결과적인 싱글레이션된 IC 상에서 궁극적으로 요구되는 것보다 두꺼운 패시베이션 층이 형성된다. 일 실시예에서, 폴리머 또는 패시베이션 층

의 추가의 두께는 하부 IC 범프들 전부를 커버하기에 충분하고, 그에 의해 레이저 스크라이빙 동안, 방출된 잔해는 폴리머 또는 패시베이션 층의 최상부에 떨어지고, 솔더 범프들을 손상시키지 않는다. 더욱이, 추가의 두께는 솔더 범프들을 포함하는 IC 디바이스들을 플라즈마 다이싱 동안 노출로부터 보호하기에 충분하다. 웨이퍼들을 관통하여 다이싱하기 위해 플라즈마 에칭이 수행된 후, 목표 패시베이션 층 두께를 초과하는 남아있는 폴리머 층은, 목표 패시베이션 층 두께가 달성될 때까지, 산소 또는 산소 함유 가스들을 이용한 플라즈마 에칭 프로세스에 의해 제거된다. 하나의 그러한 실시예에서, 에칭 프로세스는, 플라즈마 에칭 프로세스 동안 범프 최상부들뿐만 아니라 싱글레이션된 다이들의 측벽 상에 형성되었을 수 있는 화학적 잔류물들을 제거하기에 또한 적합하다.

[0015] 실시예들에서, 본 명세서에 설명된 바와 같은 마스크리스 다이싱 방식의 이점들은, (1) 추가의 마스크 코팅 동작이 필요하지 않다는 것, (2) 건식 패시베이션 필름 라미네이션 프로세스들을 이용할 기회, 즉 라미네이션 동안 더 두꺼운 초기 패시베이션 층이 형성될 수 있다는 것(이는 목표 최종 두께보다 두꺼움), (3) 두꺼운 마스크 스핀 코팅과 연관된 문제들의 제거, 및 (4) 건식 마스크 프로세스 흐름이 다이싱 시스템 상에 통합된 전용 퇴적 챔버를 포함할 것으로 예상된다는 것 중 하나 이상을 포함한다.

[0016] 일반적인 비용을 제공하기 위해, 종래의 웨이퍼 다이싱 접근법들은, 전적으로 기계적인 분리에 기초한 다이아몬드 소우 절단, 초기 레이저 스크라이빙 및 후속하는 다이아몬드 소우 다이싱, 또는 나노초 또는 피코초 레이저 다이싱을 포함한다. 얇은 웨이퍼 또는 기판 싱글레이션, 예컨대 50 마이크로미터 두께 벌크 실리콘 싱글레이션에 있어서, 종래의 접근법들은 불량한 프로세스 품질만을 산출할 뿐이다. 얇은 웨이퍼들 또는 기판들로부터 다이를 싱글레이션할 때 직면할 수 있는 과제들 중 일부는 상이한 층들 간의 미소균열(microcrack) 형성 또는 박리, 무기 유전체 층들의 치핑, 엄격한 커프 폭(kerf width) 제어의 유지, 또는 정밀한 절제 깊이 제어를 포함할 수 있다. 본 발명의 실시예들은 전술한 과제들 중 하나 이상을 극복하는 데에 유용할 수 있는 하이브리드 레이저 스크라이빙 및 플라즈마 에칭 다이 싱글레이션 접근법을 포함한다.

[0017] 본 발명의 실시예에 따르면, 반도체 웨이퍼를 개별화된 또는 싱글레이션된 집적 회로들로 다이싱하기 위해 레이저 스크라이빙과 플라즈마 에칭의 조합이 이용된다. 일 실시예에서, 펄토초 기반 레이저 스크라이빙이 전적으로는 아니더라도 본질적으로 비-열적 프로세스(non-thermal process)로서 이용된다. 예를 들어, 펄토초 기반 레이저 스크라이빙은 열 손상 구역 없이 또는 무시할 수 있을 정도의 열 손상 구역을 갖고서 국소화될 수 있다. 실시예에서, 본 명세서의 접근법들은 울트라-로우 k 필름들을 갖는 집적 회로들을 싱글레이션하는데 이용된다. 종래의 다이싱에서는, 그러한 로우 k 필름들을 수용하기 위해 소우들의 속도가 느려질 필요가 있을 수 있다. 또한, 이제 반도체 웨이퍼들은 다이싱 이전에 종종 박형화된다. 이와 같이, 실시예에서, 펄토초 기반 레이저를 이용한 부분적 웨이퍼 스크라이빙과 마스크 패터닝의 조합, 및 그에 후속하는 플라즈마 에칭 프로세스가 이제 실용적이다. 일 실시예에서, 레이저를 이용한 다이렉트 라이팅(direct writing)은 포토레지스트 층의 리소그래피 패터닝 동작에 대한 필요성을 제거할 수 있고, 매우 적은 비용으로 구현될 수 있다. 일 실시예에서, 플라즈마 에칭 환경에서 다이싱 프로세스를 완료하기 위해 관통 비아 타입 실리콘 에칭이 이용된다.

[0018] 따라서, 본 발명의 양태에서, 반도체 웨이퍼를 싱글레이션된 집적 회로들로 다이싱하기 위해 레이저 스크라이빙과 플라즈마 에칭의 조합이 이용될 수 있다. 그러나, 특정 실시예들은 마스크리스 프로세스에 관한 것이고, 여기서 IC의 패시베이션 층은 다이싱 프로세스 동안 IC의 범프들을 보호하기 위해 이용된다. 추가의 맥락을 제공하기 위해, 도 1a는 다이싱될 종래의 반도체 웨이퍼의 상부 평면도를 도시한다. 도 1b는 본 발명의 실시예에 따른, 레이저 스크라이빙 프로세스 이후이지만 플라즈마 에칭 프로세스 이전의 두꺼운 패시베이션 층을 갖는 반도체 웨이퍼의 상부 평면도를 도시한다.

[0019] 도 1a를 참조하면, 반도체 웨이퍼(100)는 집적 회로들을 포함하는 복수의 영역(102)을 갖는다. 영역들(102)은 수직 스트리트들(104) 및 수평 스트리트들(106)에 의해 분리된다. 스트리트들(104 및 106)은 집적 회로들을 포함하지 않는 반도체 웨이퍼의 영역들이고, 웨이퍼가 다이싱될 위치들로서 설계된다. 본 발명의 일부 실시예들은, 다이스가 개별 칩들 또는 다이로서 분리되도록, 스트리트들을 따라 반도체 웨이퍼를 관통하여 트랜치들을 절단하기 위해 펄토초 기반 레이저 스크라이브와 플라즈마 에칭 기술의 조합을 이용하는 것을 수반한다. 레이저 스크라이브 및 플라즈마 에칭 프로세스 둘 다는 결정 구조 배향에 독립적이므로, 다이싱될 반도체 웨이퍼의 결정 구조는 웨이퍼를 관통하는 수직 트랜치를 달성하는 데에 중요하지 않을 수 있다.

[0020] 도 1b를 참조하면, 마스크리스 접근법에 관한 실시예에 따르면, 반도체 웨이퍼(100)는 두꺼운 패시베이션 층(200)을 갖는다. 두꺼운 패시베이션 층(200) 및 반도체 웨이퍼(100)의 일부는 반도체 웨이퍼(100)가 다이싱될 스트리트들(104 및 106)을 따른 위치들(예를 들어, 갭들(202 및 204))을 정의하기 위해 레이저 스크라이빙 프로

세스를 이용하여 패터닝된다. 반도체 웨이퍼(100)의 집적 회로 영역들은 두꺼운 패시베이션 층(200)에 의해 커버되고 보호된다. 두꺼운 패시베이션 층(200)의 영역들(206)은, 후속하는 에칭 프로세스 동안 집적 회로들이 에칭 프로세스에 의해 열화되지 않도록 위치된다. 수평 갭들(204) 및 수직 갭들(202)은 반도체 웨이퍼(100)를 최종적으로 다이싱하기 위해 에칭 프로세스 동안 에칭될 영역들을 정의하도록 영역들(206) 사이에 형성된다. 아래에 설명되는 바와 같이, 패시베이션 층(200)은 집적 회로들의 금속 범프들/필라들의 부분들을 노출시키도록 후속하여 박형화될 수 있다.

[0021] 더 구체적인 실시예들은, 인터커넥트들을 위한 50 마이크로미터 이상의 높이의 범프들을 지니며 이러한 범프들을 둘러싸는 두꺼운 폴리이미드 층을 갖는 신세대 DRAM 메모리 칩들에 대한 싱글레이션 고려사항에 관한 것이다. 두꺼운 폴리이미드 층은, 솔더링을 위해 범프 최상부 표면만을 노출시킨 채로, 기계적 지지, 전기적 격리 및 패시베이션을 제공하도록 포함된다. 그러나, 그러한 두꺼운 패시베이션 층은 다이싱 방식에서 고려되어야 한다. 실시예에서, 웨이퍼에는, 전술한 초기 두께를 가지며 범프들을 커버하는 패시베이션 층이 먼저 제공되고, 다음으로 이 웨이퍼는 Si 기판 위의 층들 전부를 제거하기 위해 레이저로 스크라이빙된다. Si 기판의 노출된 부분들을 제거하기 위해 플라즈마 다이싱이 레이저 스크라이빙에 후속한다. 다음으로, 두꺼운 폴리이미드 패시베이션 층은 금속 범프들에 대한 접근을 제공하기 위해 애싱(ashing)에 의해 대략 35-50 마이크로미터 범위의 최종 두께로 박형화된다.

[0022] 완전한 맥락을 제공하기 위해, 도 2a는 최신 기술의 DRAM 웨이퍼의 일부의 단면도를 도시한다. 도 2a를 참조하면, 웨이퍼(250)는 전형적으로 10-35um 높이의 솔더 볼들 및 금속 범프들을 갖는 DRAM 메모리 칩들을 그 위에 갖는다. DRAM 메모리 칩들은 디바이스 및 패시베이션 층들을 또한 포함하고, 그들 모두는 Si 기판 상에 배치된다. 도 2b는 도 2a의 최신 기술의 DRAM 웨이퍼의 일부에 대한 다이싱 프로세스에서의 동작을 나타내는 단면도를 도시한다. 도 2b를 참조하면, 도 2a의 구조체 위에 마스크 층이 배치된다. 개방된 트렌치를 제공하도록 범프/솔더 볼들 사이에 트렌치를 제공하기 위해 레이저 스크라이빙이 수행된다. 다음으로, 웨이퍼 다이싱을 위해 트렌치를 통하여 플라즈마 에칭이 수행될 수 있다.

[0023] 도 2a 및 도 2b와는 대조적으로, 도 3a 내지 도 3e는 본 발명의 실시예에 따른, 반도체 웨이퍼를 다이싱하는 방법의 수행 동안의 복수의 DRAM 칩(집적 회로)을 포함하는 새로운 DRAM 웨이퍼(350)의 일부의 단면도를 도시한다.

[0024] 도 3a를 참조하면, 웨이퍼(350)는 대략 50 마이크로미터 이상의 높이의 금속 범프/솔더 볼 쌍들(390)을 갖는 DRAM 메모리 칩들을 그 위에 갖는다. 폴리이미드 층과 같은 대략 35-50 마이크로미터 유기 층이 금속 범프/솔더 볼 쌍들의 최상부 부분만을 노출시킨 채로 이러한 쌍들 사이에서 패시베이션 층(301)으로서 이용된다. 패시베이션 층(301)은 DRAM 다이들의 필수적인 구조적 컴포넌트일 수 있다. DRAM 메모리 칩들은 디바이스 및 패시베이션 층들(392)을 또한 포함하고, 그들 모두는 실리콘(Si) 기판과 같은 기판(394) 상에 배치된다.

[0025] 도 3b를 참조하면, 도 3a의 패시베이션 층(301)은, 노출된 범프/솔더 볼 쌍들(390)을 커버하고 보호하는 두꺼운 패시베이션 층(301')으로서 도시되어 있다. 일 실시예에 따르면, 패시베이션 층(301)의 패시베이션 층(301')으로의 후형화(thickening)는 도 3a로부터 도 3b로 단계적인 것으로 도시되어 있는데, 즉 이미 형성된 필름에 추가의 패시베이션 층(예컨대, 추가의 폴리이미드)이 추가된다. 그러나, 다른 실시예에서, 패시베이션 층의 초기 두께는 도 3b에 도시된 바와 같은데, 즉 초기 두께는 노출된 범프/솔더 볼 쌍들(390) 위에 형성되어 그들을 커버하는 층(301')의 두께이다. 어느 경우에도, 실시예에서, 패시베이션 층은 건식 라미네이션 프로세스에 의해 형성된다. 도 3b를 다시 참조하면, δ_1 는 전체 필름 두께를 나타내고, δ_1 은 원하는 최종 패시베이션 층 두께로서의 목표 필름 두께를 나타내고, δ_2 는 플라즈마 다이싱 및/또는 애싱 동안 소모될 추가 필름 두께를 나타내고, δ_3 은 다이싱 동안 노출로부터 범프들을 보호하는 데에 필요한 최소 필름 두께를 나타낸다.

[0026] 도 3c를 참조하면, 패시베이션 층(301')은 갭들(310)을 제공하기 위해 레이저 스크라이빙 프로세스를 이용하여 패터닝된다. 또한, 레이저 스크라이빙 프로세스는 디바이스 및 패시베이션 층들(392)을 스크라이빙하여 집적 회로들 사이에(즉, 개별 DRAM 칩들 사이에) 기판(394)의 영역들을 노출시키기 위해 이용된다. 레이저 스크라이빙 프로세스는 디바이스 및 패시베이션 층들(392)에 형성된 스트리트들(여기에는 도시되지 않으며 도 6과 관련하여 설명됨)을 따라 수행될 수 있다. 본 발명의 실시예에 따르면, 레이저 스크라이빙 프로세스는, 도 3c에 도시된 바와 같이, 집적 회로들 사이의 기판(394)의 영역들 내로 부분적으로 트렌치들(312)을 추가로 형성한다.

[0027] 이제 도 3d를 참조하면, DRAM 웨이퍼(350)는, 집적 회로들을 싱글레이션하기 위해, 패터닝된 패시베이션 층(301)에서의 스크라이브 라인들을 통해 에칭된다. 본 발명의 실시예에 따르면, DRAM 웨이퍼(350)를 에칭하는

것은 궁극적으로 도 3d에 도시된 바와 같이 DRAM 웨이퍼(350)를 완전히 관통하여 에칭하는 것을 포함한다. 일 실시예에서, 에칭은 기관(394)을 통해 완전한 트렌치들(312')을 확장하고 형성하기 위해 트렌치들(312)을 따른다. 도 3d를 다시 참조하면, 플라즈마 에칭은 패시베이션 층(301')을 감소된 두께(301'')로 또한 리세싱한다. 하나의 그러한 실시예에서, 다소 리세싱되기는 하지만, 남아있는 폴리머 두께(301'')는 목표 패시베이션 층 두께 δ_1 보다 여전히 더 크다.

[0028] 도 3e를 참조하면, 패시베이션 층(301'')은 목표 값 δ_1 을 갖는 최종 패시베이션 층(301''')으로 추가로 박형화된다. 일 실시예에서, 플라즈마 애싱 프로세스를 이용하여 추가의 박형화가 수행된다. 구체적인 그러한 실시예에서, 플라즈마 애싱 프로세스는 폴리머 두께를 트리밍하기 위해 O_2 를 이용한 애싱을 수반한다. 플라즈마 애싱 프로세스에 후속하여, 추가의 처리는 웨이퍼/다이 세정, 다이 팩킹(die pack), 다이 부착, 솔더링 등을 포함할 수 있다.

[0029] 도 3a 내지 도 3e와 연관하여 설명된 전술한 프로세스를 마스크리스 프로세스로서 더 차별화하기 위해, 도 4는 반도체 웨이퍼를 다이싱하는 마스크 이용 방법의 수행 동안의 복수의 집적 회로를 포함하는 반도체 웨이퍼의 단면도를 도시한다. 도 4를 참조하면, 마스크(302)가 도 3a의 구조체 위에 형성된다. 마스크(302)는 노출된 범프/솔더 볼 쌍들을 커버하고 보호하는 층으로 구성된다. 도 4를 다시 참조하면, 마스크(302)는 갭들(310)을 갖는 패터닝된 마스크(308)를 제공하기 위해 레이저 스크라이빙 프로세스를 이용하여 패터닝된다. 레이저 스크라이브 프로세스는 디바이스 및 패시베이션 층들과 함께 패시베이션 층(301)을 스크라이빙하여 집적 회로들 사이에(즉, 개별 DRAM 칩들 사이에) Si 기관의 영역들을 노출시키기 위해 또한 이용된다. 레이저 스크라이빙 프로세스는 디바이스 및 패시베이션 층들에 형성된 스트리트들(도시되지 않음)을 따라 수행될 수 있다. 레이저 스크라이빙 프로세스는, 도 4에 도시된 바와 같이, 집적 회로들 사이의 Si 웨이퍼의 영역들 내로 부분적으로 트렌치들(312)을 추가로 형성할 수 있다.

[0030] 도 3a 내지 도 3e를 다시 참조하면, 실시예에서, DRAM 웨이퍼(350)는 제조 프로세스를 견디기에 적합한 재료로 실질적으로 구성되고, 그 위에는 반도체 처리 층들이 적합하게 배치될 수 있다. 예를 들어, 일 실시예에서, 반도체 웨이퍼 또는 기관은, (도시된 바와 같은) 결정질 실리콘, 게르마늄 또는 실리콘/게르마늄과 같지만 이에 제한되지는 않는 IV족계 재료로 구성된다. 구체적인 실시예에서, 반도체 웨이퍼를 제공하는 것은 단결정질 실리콘 기관을 제공하는 것을 포함한다. 구체적인 실시예에서, 단결정질 실리콘 기관은 불순물 원자들로 도핑된다. 다른 실시예에서, 반도체 웨이퍼 또는 기관은 예를 들어 발광 다이오드(LED들)의 제조에서 이용되는 III-V 재료 기관과 같은 III-V 재료로 구성된다.

[0031] 실시예에서, 반도체 웨이퍼는 그 위에 또는 내부에 집적 회로들(DRAM 집적 회로들로서 도시됨)의 일부로서 배치된 반도체 디바이스들의 어레이를 갖는다. 그러한 반도체 디바이스들의 예들은, 실리콘 기관 내에 제조되고 유전체 층 내에 인캡슐레이션(encased) 메모리 디바이스들 또는 상보성 금속 산화물 반도체(CMOS) 트랜지스터들을 포함하지만 그에 제한되지는 않는다. 복수의 금속 인터커넥트는 디바이스들 또는 트랜지스터들 위에 그리고 주위의 유전체 층들 내에 형성될 수 있고, 집적 회로들을 형성하도록 디바이스들 또는 트랜지스터들을 전기적으로 결합하기 위해 이용될 수 있다. 스트리트들을 구성하는 재료들은 집적 회로들을 형성하기 위해 이용되는 재료들과 유사하거나 동일할 수 있다. 예를 들어, 스트리트들은 유전체 재료들, 반도체 재료들, 및 금속화(metallization)의 층들로 구성될 수 있다. 일 실시예에서, 스트리트들 중 하나 이상은 집적 회로들의 실제 디바이스들과 유사한 테스트 디바이스들을 포함한다.

[0032] 실시예에서, 레이저 스크라이빙 프로세스를 이용하여 두꺼운 패시베이션 층(301')을 패터닝하는 것은 펄스 폭을 갖는 레이저를 이용하는 것을 포함한다. 구체적으로, 가시 스펙트럼에 자외선(UV) 및 적외선(IR)을 더한 범위(이들을 합하여 광대역 광학 스펙트럼이 됨) 내의 파장을 갖는 레이저가 펄스 기반 레이저, 즉 대략 펄스(10⁻¹⁵초)의 펄스 폭을 갖는 레이저를 제공하기 위해 이용될 수 있다. 일 실시예에서, 절제는 파장 의존적이지 않거나 본질적으로 파장 의존적이지 않으며, 따라서 복합 필름들(complex films), 예컨대 패시베이션 층의 필름들, 스트리트들, 및 아마도 Si 웨이퍼의 일부에 적합하다.

[0033] 도 5는 본 발명의 실시예에 따른, 더 긴 주파수들에 비해 펄스 폭 범위의 레이저 펄스를 이용하는 것의 효과를 도시한다. 도 5를 참조하면, 펄스 폭 범위의 펄스 폭을 갖는 레이저를 이용함으로써, 열 손상 문제들이 더 긴 펄스 폭들(예를 들어, 비아(500B)의 피코초 처리에 의한 손상(502B) 및 비아(500A)의 나노초 처리에 의한 상당한 손상(502A)) 대비 완화되거나 제거된다(예를 들어, 비아(500C)의 펄스 처리에 의한 손상(502C)은 최소이거나 없음). 도 5에 도시된 바와 같이, 비아(500C)의 형성 동안의 손상의 제거 또는 완화는 (피코초 기반 레이저

절제에 대해 보여지는 것과 같은) 저에너지 재결합(low energy recoupling)의 부재 또는 (나노초 기반 레이저 절제에 대해 보여지는 것과 같은) 열 평형의 부재로 인한 것일 수 있다.

[0034] 펄스 폭과 같은 레이저 파라미터들의 선택은 청결한 레이저 스크라이브 절단부를 달성하기 위해 치핑, 미세균열 및 박리를 최소화하는 성공적인 레이저 스크라이빙 및 다이싱 프로세스를 전개하는 데에 매우 중요할 수 있다. 레이저 스크라이브 절단부가 청결할수록, 궁극적인 다이 싱글레이션을 위해 수행될 수 있는 에칭 프로세스가 더 원활해진다. 반도체 디바이스 웨이퍼들에서, 상이한 재료 타입들(예를 들어, 전도체들, 절연체들, 반도체들) 및 두께들의 많은 기능 층이 전형적으로 웨이퍼들 위에 배치된다. 그러한 재료들은 폴리머와 같은 유기 재료, 금속, 또는 실리콘 이산화물 및 실리콘 질화물과 같은 무기 유전체를 포함할 수 있지만, 그에 제한되지는 않는다.

[0035] 웨이퍼 또는 기판 상에 배치된 개별 집적 회로들 사이의 스트리트는 집적 회로 자체와 유사하거나 동일한 층들을 포함할 수 있다. 예를 들어, 도 6은 본 발명의 실시예에 따른 반도체 웨이퍼 또는 기판의 스트리트 영역에서 이용될 수 있는 재료들의 스택의 단면도를 도시한다.

[0036] 도 6을 참조하면, 스트리트 영역(600)은, 예시적인 재료 스택으로서, 실리콘 기판의 최상부 부분(602), 제1 실리콘 이산화물 층(604), 제1 에칭 정지 층(606), 제1 로우 K 유전체 층(608)(예를 들어, 실리콘 이산화물에 대해 유전 상수 4.0 미만의 유전 상수를 가짐), 제2 에칭 정지 층(610), 제2 로우 K 유전체 층(612), 제3 에칭 정지 층(614), 도핑되지 않은 실리카 글래스(undoped silica glass)(USG) 층(616), 제2 실리콘 이산화물 층(618)을 포함한다. 도 6을 다시 참조하면, 위에서 설명된 바와 같이, 매우 두꺼운 패시베이션 층(620)(예컨대, 층(301')과 같이 50 마이크로미터보다 큰 두께의 폴리이미드 층)이 포함된다. 본 발명의 실시예에 따르면, 패시베이션 층(620)과 별개의 마스크 층이 다이싱 프로세스 동안 이용되지 않는다. 구리 금속화(622)가 제1 에칭 정지 층(606)과 제3 에칭 정지 층(614) 사이에 그리고 제2 에칭 정지 층(610)을 관통하여 배치된다. 구체적인 실시예에서, 제1, 제2 및 제3 에칭 정지 층(606, 610 및 614)은 실리콘 질화물로 구성되는 한편, 로우 K 유전체 층들(608 및 612)은 탄소 도핑된 실리콘 산화물 재료로 구성된다.

[0037] 종래의 레이저 조사(laser irradiation)(예컨대, 나노초 기반 또는 피코초 기반 레이저 조사) 하에서, 스트리트(600)의 재료들은 광학적 흡수 및 절제 메커니즘들에 있어서 상당히 상이하게 작용한다. 예를 들어, 실리콘 이산화물과 같은 유전체 층들은 일반적인 조건들 하에서 상용화되어 있는 레이저 파장들 전부에 대해 본질적으로 투명하다. 대조적으로, 금속, 유기물(예를 들어, 로우 K 재료) 및 실리콘은 특히 나노초 기반 또는 피코초 기반 레이저 조사에 응답하여 광자들을 매우 쉽게 결합할 수 있다. 예를 들어, 도 7은 본 발명의 실시예에 따른, 결정질 실리콘(c-Si, 702), 구리(Cu, 704), 결정질 실리콘 이산화물(c-SiO₂, 706) 및 비정질 실리콘 이산화물(a-SiO₂, 708)에 대한 광자 에너지의 함수로서의 흡수 계수의 플롯(700)을 포함한다. 도 8은 레이저 펄스 에너지, 레이저 펄스 폭 및 레이저 빔 반경의 함수로서 주어진 레이저에 대한 레이저 강도의 관계를 나타내는 수학적 식(800)이다.

[0038] 흡수 계수들의 플롯(700) 및 수학적 식(800)을 이용하면, 실시예에서, 펨토초 레이저 기반 프로세스를 위한 파라미터들은 무기 및 유기 유전체들, 금속들 및 반도체들에 대해 본질적으로 공통 절제 효과를 갖도록 선택될 수 있지만, 그러한 재료들의 일반적인 에너지 흡수 특성들은 특정 조건들 하에서 광범위하게 상이할 수 있다. 예를 들어, 실리콘 이산화물의 흡수율은 비선형이고, 적절한 레이저 절제 파라미터들 하에서 유기 유전체들, 반도체들 및 금속들의 흡수율과 더 일치하게(in-line) 될 수 있다. 하나의 그러한 실시예에서, 높은 강도 및 짧은 펄스 폭의 펨토초 기반 레이저 프로세스는 실리콘 이산화물 층, 및 유기 유전체, 반도체 또는 금속 중 하나 이상을 포함하는 층들의 스택을 절제하기 위해 이용된다. 구체적인 실시예에서, 두꺼운 폴리이미드 층, 스트리트, 및 실리콘 기판의 일부를 제거하기 위해 펨토초 기반 레이저 조사 프로세스에서 대략 400 펨토초 이하의 펄스들이 이용된다.

[0039] 대조적으로, 최적이지 아닌 레이저 파라미터들이 선택되는 경우, 무기 유전체, 유기 유전체, 반도체 또는 금속 중 둘 이상을 수반하는 적층된 구조체들에서, 레이저 절제 프로세스는 박리 문제를 야기할 수 있다. 예를 들어, 레이저는 측정가능한 흡수 없이 고 밴드갭 에너지 유전체들(예컨대, 대략 9eV 밴드갭을 갖는 실리콘 이산화물)을 관통한다. 그러나, 레이저 에너지는 하부 금속 또는 실리콘 층에서 흡수되어, 금속 또는 실리콘 층들의 상당한 기화(vaporization)를 야기할 수 있다. 기화는 높은 압력을 생성하여, 상부 실리콘 이산화물 유전체 층을 들어올릴 수 있고, 잠재적으로는 심각한 층간 박리 및 미소균열을 야기한다. 실시예에서, 피코초 기반 레이저 조사 프로세스들은 복합 스택들에서의 박리 및 미소균열을 초래하는 반면, 펨토초 기반 레이저 조사 프로세스들은 동일한 재료 스택들의 박리 또는 미소균열을 초래하지 않는 것으로 입증되었다.

- [0040] 유전체 층들을 직접 절제할 수 있게 하기 위해, 유전체 재료들이 광자들을 강하게 흡수함으로써 전도성 재료와 유사하게 작용하도록 유전체 재료들의 이온화가 발생할 필요가 있을 수 있다. 흡수는 레이저 에너지의 대부분이 유전체 층의 궁극적인 절제 이전에 하부 실리콘 또는 금속 층들까지 침투하는 것을 차단할 수 있다. 실시예에서, 무기 유전체들의 이온화는, 레이저 강도가 무기 유전체 재료들에서의 이온화에 영향을 미치고 광자-이온화(photon-ionization)를 개시하기에 충분히 높을 때 실현가능하다.
- [0041] 본 발명의 실시예에 따르면, 적합한 펄스초 기반 레이저 프로세스들은 다양한 재료들에서의 비선형 상호작용을 통상적으로 초래하는 높은 피크 강도(복사 조도(irradiance))를 특징으로 한다. 하나의 그러한 실시예에서, 펄스초 레이저 소스들은 대략 10 펄스초 내지 500 펄스초의 범위, 바람직하게는 100 펄스초 내지 400 펄스초의 범위 내의 펄스 폭을 갖는다. 일 실시예에서, 펄스초 레이저 소스들은 대략 1570 나노미터 내지 200 나노미터의 범위, 바람직하게는 540 나노미터 내지 250 나노미터의 범위 내의 파장을 갖는다. 일 실시예에서, 레이저 및 이에 대응하는 광학 시스템은 작업 표면에서 대략 3 마이크로미터 내지 15 마이크로미터의 범위, 바람직하게는 대략 5 마이크로미터 내지 10 마이크로미터 또는 10-15 마이크로미터의 범위 내의 초점 스폿(focal spot)을 제공한다.
- [0042] 작업 표면들에서의 공간 빔 프로파일은 싱글 모드(가우시안)일 수 있거나 성형된 톱-햇 프로파일(shaped top-hat profile)을 가질 수 있다. 실시예에서, 레이저 소스는 대략 200kHz 내지 10MHz의 범위, 바람직하게는 대략 500kHz 내지 5MHz의 범위 내의 펄스 반복률을 갖는다. 실시예에서, 레이저 소스는 작업 표면에서 대략 0.5uJ 내지 100uJ의 범위, 바람직하게는 대략 1uJ 내지 5uJ의 범위 내의 펄스 에너지를 전달한다. 실시예에서, 레이저 스크라이빙 프로세스는 대략 500mm/sec 내지 5m/sec의 범위, 바람직하게는 대략 600mm/sec 내지 2m/sec의 범위 내의 속도로 워크피스 표면(work piece surface)을 따라 진행된다.
- [0043] 스크라이빙 프로세스는 단일 과정(pass)으로만 또는 복수의 과정으로 진행될 수 있지만, 실시예에서는 바람직하게 1-2회 과정으로 진행될 수 있다. 레이저는 주어진 펄스 반복률에서의 단일 펄스들의 트레인, 또는 펄스 버스트들의 트레인으로 인가될 수 있다. 실시예에서, 생성되는 레이저 빔의 커프 폭은, 디바이스/실리콘 계면에서 측정될 때, 대략 2 마이크로미터 내지 15 마이크로미터의 범위 내이지만, 실리콘 웨이퍼 스크라이빙/다이싱에서는 바람직하게는 대략 6 마이크로미터 내지 10 마이크로미터의 범위 내에 있다.
- [0044] 무기 유전체(예를 들어, 실리콘 이산화물)의 이온화를 달성하고 무기 유전체의 직접적인 절제 전에 하부층 손상에 의해 야기되는 박리 및 칩핑을 최소화하기 위해 충분히 높은 레이저 강도를 제공하는 것과 같은 혜택 및 이점을 갖는 레이저 파라미터들이 선택될 수 있다. 또한, 파라미터들은 정밀하게 제어되는 절제 폭(예를 들어, 커프 폭) 및 깊이를 갖는 산업 응용을 위한 의미있는 프로세스 수율을 제공하도록 선택될 수 있다. 위에서 설명된 바와 같이, 펄스초 기반 레이저는, 피코초 기반 및 나노초 기반 레이저 절제 프로세스들과 비교하여, 그러한 이점들을 제공하는 데에 훨씬 더 적합하다. 그러나, 펄스초 기반 레이저 절제의 스펙트럼에서조차도, 특정 파장들이 다른 파장들보다 더 양호한 성능을 제공할 수 있다. 예를 들어, 일 실시예에서, UV 범위에 더 가깝거나 UV 범위 내에 있는 파장을 갖는 펄스초 기반 레이저 프로세스는 IR 범위에 더 가깝거나 IR 범위 내에 있는 파장을 갖는 펄스초 기반 레이저 프로세스보다 더 청결한 절제 프로세스를 제공한다. 그러한 구체적인 실시예에서, 반도체 웨이퍼 또는 기판 스크라이빙에 적합한 펄스초 기반 레이저 프로세스는 대략 540 나노미터 이하의 파장을 갖는 레이저에 기초한다. 구체적인 그러한 실시예에서, 대략 540 나노미터 이하의 파장을 갖는 레이저의 대략 400 펄스초 이하의 펄스들이 이용된다. 그러나, 대안적인 실시예에서, 이중 레이저 파장(예를 들어, IR 레이저와 UV 레이저의 조합)이 이용된다.
- [0045] 실시예에서, 반도체 웨이퍼의 에칭은 플라즈마 에칭 프로세스를 이용하는 것을 포함한다. 실시예에서, 관통 실리콘 비아 타입 에칭 프로세스가 이용된다. 예를 들어, 구체적인 실시예에서, 반도체 웨이퍼의 재료(예를 들어, 실리콘)의 에칭률은 분당 25 마이크로미터 초과이다. 다이 싱글레이션 프로세스의 플라즈마 에칭 부분을 위해 초고밀도 플라즈마 소스가 이용될 수 있다. 그러한 플라즈마 에칭 프로세스를 수행하기에 적합한 프로세스 챔버의 예는 미국 캘리포니아주 서니베일에 있는 Applied Materials로부터 입수가능한 Applied Centura® Silvia™ 에칭 시스템이다. Applied Centura® Silvia™ 에칭 시스템은 용량성 및 유도성 RF 커플링을 결합하는데, 이는 자기적 증대(magnetic enhancement)에 의해 제공되는 개선을 가지면서도, 용량성 커플링만을 이용할 때 가능한 것에 비해, 이온 밀도 및 이온 에너지에 대한 훨씬 더 독립적인 제어를 제공한다. 이러한 조합은, 매우 낮은 압력에서조차도, 잠재적으로 손상을 주는 높은 DC 바이어스 레벨 없이 비교적 고밀도의 플라즈마를 달성하기 위해, 이온 에너지로부터 이온 밀도를 효과적으로 디커플링하는 것을 가능하게 한다. 이는 예외적으로 넓은 프로세스 윈도우를 초래한다. 그러나, 실리콘을 에칭할 수 있는 임의의 플라즈마 에칭 챔버가 이용될

수 있다. 예시적인 실시예에서, 본질적으로 정밀한 프로파일 제어 및 사실상 스칼롭(scallop)이 없는 측벽들을 유지하면서, 종래의 실리콘 에칭물의 대략 40%보다 큰 에칭물로 단결정질 실리콘 기판 또는 웨이퍼(404)를 에칭하기 위해 깊은 실리콘 에칭(deep silicon etch)이 이용된다. 구체적인 실시예에서, 관통 실리콘 비아 타입 에칭 프로세스가 이용된다. 에칭 프로세스는 반응성 가스로부터 생성된 플라즈마에 기초하며, 이러한 반응성 가스는 일반적으로 SF_6 , C_4F_8 , CHF_3 , XeF_2 와 같은 불소계 가스, 또는 비교적 빠른 에칭물로 실리콘을 에칭할 수 있는 임의의 다른 반응성 가스이다. 실시예에서, 두꺼운 패시베이션 층을 추가로 박형화하기 위한 후속하는 플라즈마 애싱 동작이 O_2 플라즈마 애싱 프로세스를 수행하기에 적합한 플라즈마 애싱 챔버에서 수행된다. 하나의 그러한 실시예에서, 이 챔버는 플라즈마 에칭 프로세스에 대해 설명된 챔버와 유사하다.

[0046] 따라서, 도 3a 내지 도 3e를 다시 참조하면, 웨이퍼 다이싱은 마스크 층을 통하여, (금속화를 포함하여) 웨이퍼 스트리트들을 통하여, 그리고 부분적으로는 실리콘 기판 내로의 초기 레이저 절제에 의해 수행될 수 있다. 레이저 펄스 폭은 펨토초 범위에서 선택될 수 있다. 다음으로, 후속하는 관통 실리콘 딥 플라즈마 에칭에 의해 다이싱(single-dicing)이 완료될 수 있다. 다음으로, 집적 회로들의 두꺼운 패시베이션 층이 범프들/필라들의 노출된 부분들까지 박형화될 수 있다.싱글레이션 프로세스는 다이 부착 필름을 패터닝하는 것, 백킹 테이프(backing tape)의 최상부 부분을 노출시키는 것, 및 다이 부착 필름을 싱글레이션하는 것을 더 포함할 수 있다. 실시예에서, 다이 부착 필름은 레이저 프로세스에 의해 또는 에칭 프로세스에 의해 싱글레이션된다. 추가의 실시예들은 (예를 들어, 개별 집적 회로들로서) 기판의 싱글레이션된 부분들을 백킹 테이프로부터 후속하여 제거하는 것을 포함할 수 있다. 일 실시예에서, 싱글레이션된 다이 부착 필름은 기판의 싱글레이션 부분들의 후면들 상에 유지된다. 실시예에서, 싱글레이션된 집적 회로들은 패키징을 위해 백킹 테이프로부터 제거된다. 하나의 그러한 실시예에서, 패터닝된 다이 부착 필름은 각각의 집적 회로의 후면 상에 유지되고, 최종 패키징에 포함된다. 그러나, 다른 실시예에서, 패터닝된 다이 부착 필름은 싱글레이션 프로세스 동안 또는 싱글레이션 프로세스에 후속하여 제거된다. 대안적인 실시예에서, 기판이 대략 50 마이크로미터보다 얇은 경우, 추가 플라즈마 프로세스의 사용 없이 기판을 완전하게 싱글레이션하기 위해 레이저 절제 프로세스가 이용된다.

[0047] 단일 프로세스 툴이 하이브리드 레이저 절제 및 플라즈마 에칭 싱글레이션 프로세스에서의 동작들 중 다수 또는 전부를 수행하도록 구성될 수 있다. 예를 들어, 도 9는 본 발명의 실시예에 따른, 웨이퍼들 또는 기판들의 레이저 및 플라즈마 다이싱을 위한 툴 레이아웃의 블록도를 도시한다.

[0048] 도 9를 참조하면, 프로세스 툴(900)은 팩토리 인터페이스(902)(FI)를 포함하고, 이 팩토리 인터페이스에는 복수의 로드 록(904)이 결합되어 있다. 클러스터 툴(906)이 팩토리 인터페이스(902)와 결합된다. 클러스터 툴(906)은 하나 이상의 플라즈마 에칭 챔버, 예컨대 플라즈마 에칭 챔버(908)를 포함한다. 또한, 레이저 스크라이브 장치(910)가 팩토리 인터페이스(902)에 결합된다. 일 실시예에서, 프로세스 툴(900)의 전체 풋프린트는 도 9에 도시된 바와 같이 대략 3500 밀리미터(3.5 미터) × 대략 3800 밀리미터(3.8 미터)일 수 있다.

[0049] 실시예에서, 레이저 스크라이브 장치(910)는 펨토초 기반 레이저를 하우징한다. 펨토초 기반 레이저는 위에서 설명된 레이저 절제 프로세스들과 같은 하이브리드 레이저 및 에칭 싱글레이션 프로세스의 레이저 절제 부분을 수행하기에 적합하다. 일 실시예에서, 레이저 스크라이브 장치(910) 내에 이동가능 스테이지가 또한 포함되고, 이동가능 스테이지는 펨토초 기반 레이저에 대하여 웨이퍼 또는 기판(또는 그것의 캐리어)을 이동시키도록 구성된다. 구체적인 실시예에서, 펨토초 기반 레이저도 이동가능하다. 일 실시예에서, 레이저 스크라이브 장치(910)의 전체 풋프린트는 도 9에 도시된 바와 같이 대략 2240 밀리미터 × 대략 1270 밀리미터일 수 있다. 그러나, 다른 실시예들에서, 나노초 또는 피코초 기반 레이저가 이용된다는 점이 이해되어야 한다.

[0050] 실시예에서, 하나 이상의 플라즈마 에칭 챔버(908)는 복수의 집적 회로를 싱글레이션하기 위해 패터닝된 마스크 내의 갭들을 통해 웨이퍼 또는 기판을 에칭하도록 구성된다. 하나의 그러한 실시예에서, 하나 이상의 플라즈마 에칭 챔버(908)는 깊은 실리콘 에칭 프로세스를 수행하도록 구성된다. 구체적인 실시예에서, 하나 이상의 플라즈마 에칭 챔버(908)는 미국 캘리포니아주 서니베일에 있는 Applied Materials로부터 입수가 가능한 Applied Centura® SilviaTM 에칭 시스템이다. 에칭 챔버는, 단결정질 실리콘 기판들 또는 웨이퍼들 상에 또는 내에 하우징되는 싱글레이션 집적 회로들을 생성하기 위해 이용되는 깊은 실리콘 에칭을 위해 구체적으로 설계될 수 있다. 실시예에서, 높은 실리콘 에칭률을 용이하게 하기 위해, 고밀도 플라즈마 소스가 플라즈마 에칭 챔버(908) 내에 포함된다. 실시예에서, 싱글레이션 또는 다이싱 프로세스의 높은 제조 수율을 가능하게 하기 위해, 하나보다 많은 에칭 챔버가 프로세스 툴(900)의 클러스터 툴(906) 부분에 포함된다. 예를 들어, 하나의 그러한 실시예에서, 도시된 바와 같이 전용 플라즈마 애싱 챔버(912)가 포함된다.

- [0051] 팩토리 인터페이스(902)는 외부 제조 설비와 레이저 스크라이브 장치(910) 및 클러스터 툴(906) 사이의 인터페이스를 위한 적합한 대기 포트(atmospheric port)일 수 있다. 팩토리 인터페이스(902)는 웨이퍼들(또는 그것의 캐리어들)을 저장 유닛들(예컨대, 정면 개구 통합 포트들(front opening unified pods))로부터 클러스터 툴(906) 또는 레이저 스크라이브 장치(910) 중 어느 하나 또는 둘 다에 이송하기 위한 암 또는 블레이드를 갖는 로봇들을 포함할 수 있다.
- [0052] 클러스터 툴(906)은 싱글레이션의 방법에서의 기능들을 수행하기에 적합한 다른 챔버들을 포함할 수 있다. 예를 들어, 일 실시예에서, 추가의 예칭 챔버를 대신하여, 습식/건식 스테이션(914)이 포함된다. 습식/건식 스테이션은 기관 또는 웨이퍼의 레이저 스크라이브 및 플라즈마 예칭/애싱 싱글레이션 프로세스에 후속하여 잔류물들 및 파편들을 세정하기에 적합할 수 있다. 실시예에서, 계측 스테이션이 프로세스 툴(900)의 컴포넌트로서 또한 포함된다.
- [0053] 본 발명의 실시예들은 본 발명의 실시예들에 따른 프로세스를 수행하도록 컴퓨터 시스템(또는 다른 전자 디바이스들)을 프로그래밍하기 위해 이용될 수 있는 명령어들이 저장되어 있는 머신 판독가능 매체를 포함할 수 있는 컴퓨터 프로그램 제품 또는 소프트웨어로서 제공될 수 있다. 일 실시예에서, 컴퓨터 시스템은 도 9와 연관하여 설명된 프로세스 툴(900)과 결합된다. 머신 판독가능 매체는 머신(예를 들어, 컴퓨터)에 의해 판독가능한 형태로 정보를 저장 또는 전송하기 위한 임의의 메커니즘을 포함한다. 예를 들어, 머신 판독가능(예를 들어, 컴퓨터 판독가능) 매체는 머신(예를 들어, 컴퓨터) 판독가능 저장 매체(예를 들어, 판독 전용 메모리("ROM"), 랜덤 액세스 메모리("RAM"), 자기 디스크 저장 매체, 광학 저장 매체, 플래시 메모리 디바이스들 등), 머신(예를 들어, 컴퓨터) 판독가능 전송 매체(전기적, 광학적, 음향적 또는 다른 형태의 전파 신호들(예를 들어, 적외선 신호들, 디지털 신호들 등)) 등을 포함한다.
- [0054] 도 10은 머신으로 하여금 본 명세서에 설명된 방법론들 중 임의의 하나 이상을 수행하게 하기 위한 명령어들의 세트가 실행될 수 있는 컴퓨터 시스템(1000)의 예시적인 형태의 머신의 도식적인 표현을 도시한다. 대안적인 실시예들에서, 머신은 근거리 네트워크(LAN), 인트라넷, 엑스트라넷 또는 인터넷에서 다른 머신들에 접속(예를 들어, 네트워킹)될 수 있다. 머신은 클라이언트-서버 네트워크 환경에서의 서버 또는 클라이언트 머신으로서, 또는 피어-투-피어(또는 분산형) 네트워크 환경에서의 피어 머신으로서 동작할 수 있다. 머신은 개인용 컴퓨터(PC), 태블릿 PC, 셋톱 박스(STB), PDA(Personal Digital Assistant), 셀룰러 전화기, 웹 어플라이언스, 서버, 네트워크 라우터, 스위치 또는 브리지, 또는 그 머신에 의해 취해질 액션들을 특징하는 명령어들의 세트(순차적 또는 다른 방식)를 실행할 수 있는 임의의 머신일 수 있다. 또한, 단일 머신만이 도시되어 있지만, "머신"이라는 용어는 또한 본 명세서에 설명된 방법론들 중 임의의 하나 이상을 수행하도록 명령어들의 세트(또는 복수의 세트)를 개별적으로 또는 공동으로 실행하는 머신들(예를 들어, 컴퓨터들)의 임의의 집합을 포함하는 것으로 간주되어야 한다.
- [0055] 예시적인 컴퓨터 시스템(1000)은, 버스(1030)를 통해 서로 통신하는 프로세서(1002), 메인 메모리(1004)(예를 들어, 판독 전용 메모리(ROM), 플래시 메모리, 동기식 DRAM(SDRAM) 또는 램버스 DRAM(RDRAM)과 같은 동적 랜덤 액세스 메모리(DRAM) 등), 정적 메모리(1006)(예를 들어, 플래시 메모리, 정적 랜덤 액세스 메모리(SRAM) 등), 및 2차 메모리(1018)(예를 들어, 데이터 저장 디바이스)를 포함한다.
- [0056] 프로세서(1002)는 마이크로프로세서, 중앙 처리 유닛 등과 같은 하나 이상의 범용 처리 디바이스를 나타낸다. 더 구체적으로, 프로세서(1002)는 CISC(complex instruction set computing) 마이크로프로세서, RISC(reduced instruction set computing) 마이크로프로세서, VLIW(very long instruction word) 마이크로프로세서, 다른 명령어 세트들을 구현하는 프로세서, 또는 명령어 세트들의 조합을 구현하는 프로세서들일 수 있다. 또한, 프로세서(1002)는 주문형 집적 회로(ASIC), 필드 프로그램가능 게이트 어레이(FPGA), 디지털 신호 프로세서(DSP), 네트워크 프로세서 등과 같은 하나 이상의 특수 목적 처리 디바이스일 수 있다. 프로세서(1002)는 본 명세서에 설명된 동작들을 수행하기 위한 처리 로직(1026)을 실행하도록 구성된다.
- [0057] 컴퓨터 시스템(1000)은 네트워크 인터페이스 디바이스(1008)를 더 포함할 수 있다. 컴퓨터 시스템(1000)은 비디오 디스플레이 유닛(1010)(예를 들어, 액정 디스플레이(LCD), 발광 다이오드 디스플레이(LED) 또는 CRT(cathode ray tube)), 영숫자 입력 디바이스(1012)(예를 들어, 키보드), 커서 제어 디바이스(1014)(예를 들어, 마우스), 및 신호 생성 디바이스(1016)(예를 들어, 스피커)를 또한 포함할 수 있다.
- [0058] 2차 메모리(1018)는, 본 명세서에 설명된 방법론들 또는 기능들 중 임의의 하나 이상을 구현하는 명령어들의 하나 이상의 세트(예를 들어, 소프트웨어(1022))가 저장되어 있는 머신 액세스가능 저장 매체(또는 더 구체적으로는 컴퓨터 판독가능 저장 매체)(1031)를 포함할 수 있다. 또한, 소프트웨어(1022)는 컴퓨터 시스템(1000)에 의

한 소프트웨어의 실행 동안 완전하게 또는 적어도 부분적으로 메인 메모리(1004) 내에 그리고/또는 프로세서(1002) 내에 상주할 수 있으며, 메인 메모리(1004) 및 프로세서(1002)는 머신 판독가능 저장 매체를 또한 구성한다. 소프트웨어(1022)는 네트워크 인터페이스 디바이스(1008)를 통해 네트워크(1020)를 경유하여 또한 송신 또는 수신될 수 있다.

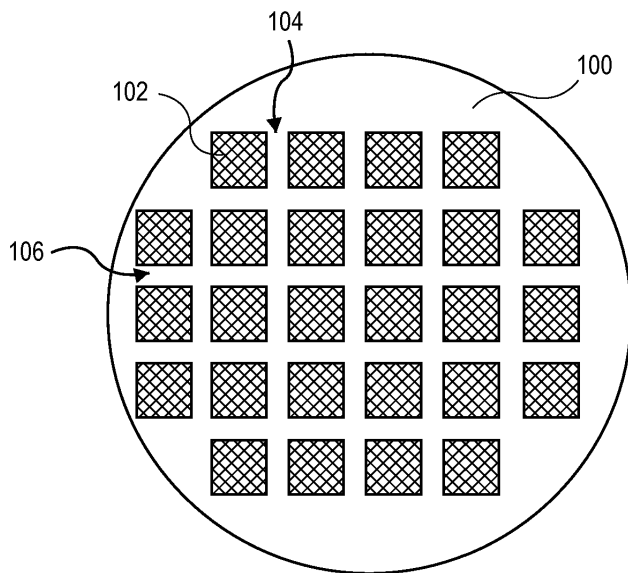
[0059] 예시적인 실시예에서는 머신 액세스가능 저장 매체(1031)가 단일의 매체인 것으로 도시되어 있지만, "머신 판독가능 저장 매체"라는 용어는 명령어들의 하나 이상의 세트를 저장하는 단일의 매체 또는 복수의 매체(예를 들어, 중앙집중형 또는 분산형 데이터베이스 및/또는 연관된 캐시들 및 서버들)를 포함하는 것으로 간주되어야 한다. "머신 판독가능 저장 매체"라는 용어는, 머신에 의한 실행을 위해 명령어들의 세트를 저장하거나 인코딩할 수 있으며 머신으로 하여금 본 발명의 방법론들 중 임의의 하나 이상을 수행하게 하는 임의의 매체를 포함하는 것으로 또한 간주되어야 한다. 따라서, "머신 판독가능 저장 매체"라는 용어는 고체 상태 메모리, 및 광학 및 자기 매체를 포함하지만 그에 제한되지는 않는 것으로 간주되어야 한다.

[0060] 본 발명의 실시예에 따르면, 머신 액세스가능 저장 매체에는, 복수의 집적 회로를 위에 구비한 정면 표면을 갖고 집적 회로들의 금속 필라/숄더 범프 쌍들 사이에 배치되어 이러한 금속 필라/숄더 범프 쌍들을 커버하는 패시베이션 층을 갖는 반도체 웨이퍼를 다이싱하는 방법을 데이터 처리 시스템이 수행하게 하는 명령어들이 저장되어 있다. 이 방법은, 반도체 웨이퍼를 노출시키는 스크라이브 라인들을 제공하기 위해 마스크 층의 사용 없이 패시베이션 층을 레이저 스크라이빙하는 단계를 수반한다. 이 방법은, 집적 회로들을 싱글레이션하기 위해 스크라이브 라인들을 통해 반도체 웨이퍼를 플라스마 에칭하는 단계를 또한 수반하고, 패시베이션 층은 플라스마 에칭의 적어도 일부 동안 집적 회로들을 보호한다. 이 방법은, 집적 회로들의 금속 필라/숄더 범프 쌍들을 부분적으로 노출시키기 위해 패시베이션 층을 박형화하는 단계를 또한 수반한다.

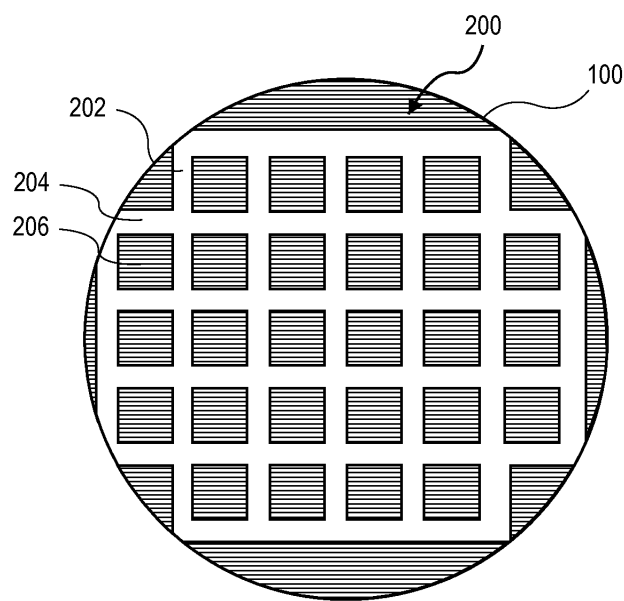
[0061] 이와 같이, 마스크리스 하이브리드 레이저 스크라이빙 및 플라스마 에칭 웨이퍼 다이싱 프로세스들이 개시되었다.

도면

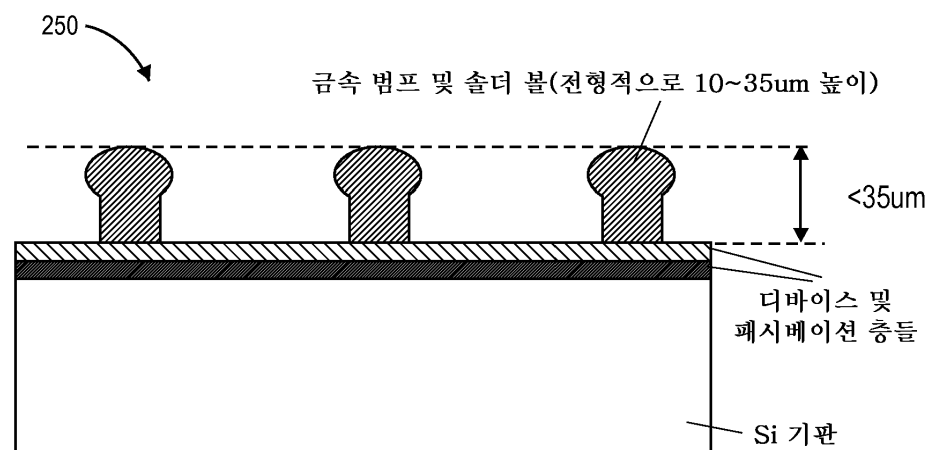
도면1a



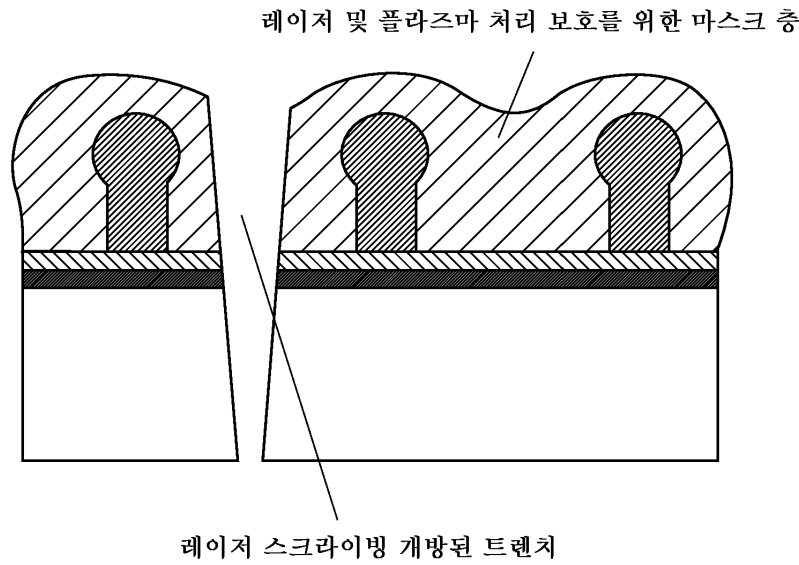
도면1b



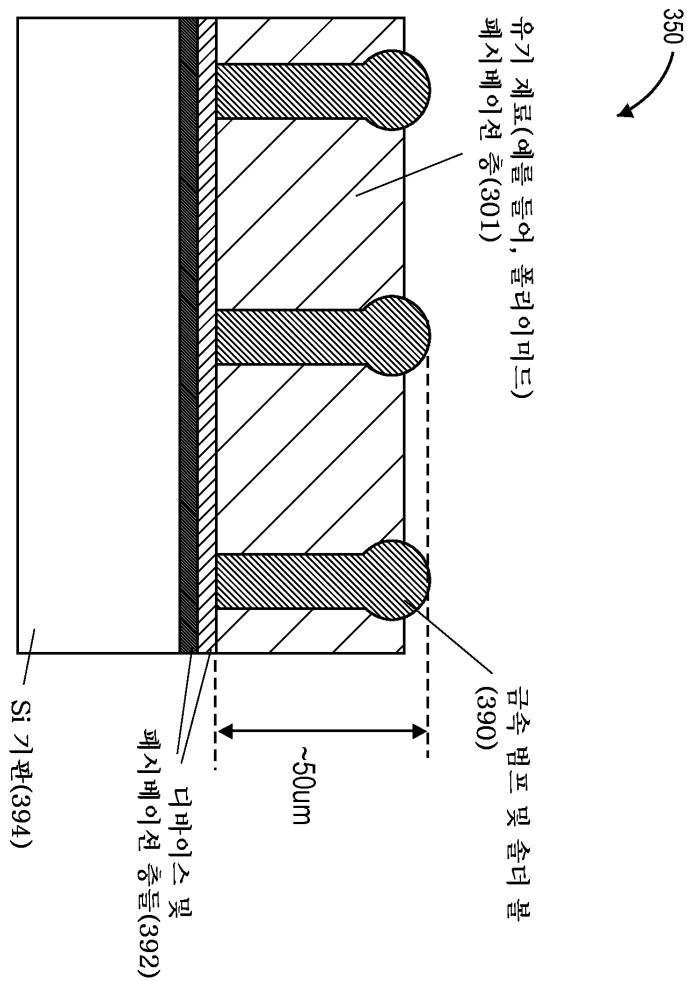
도면2a



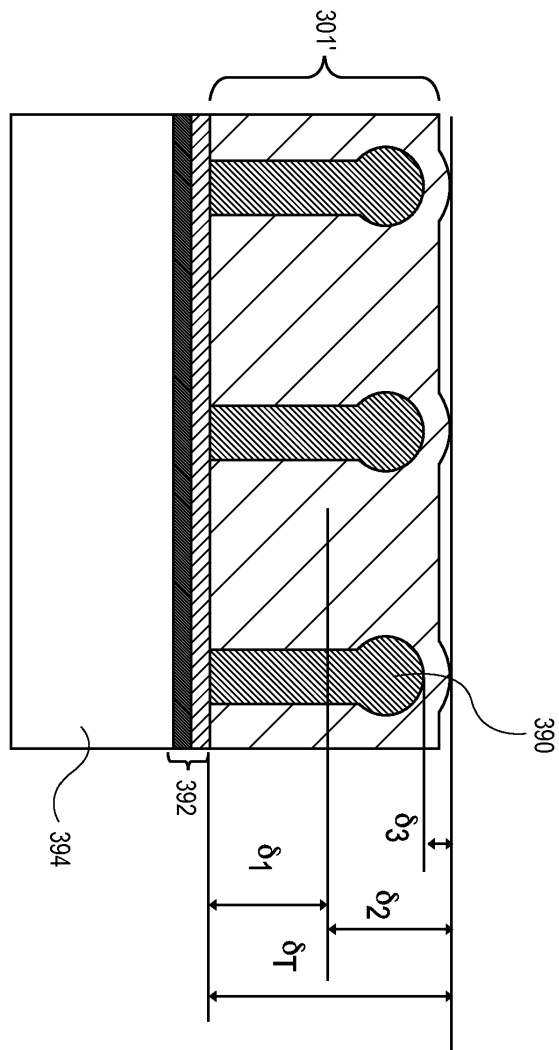
도면2b



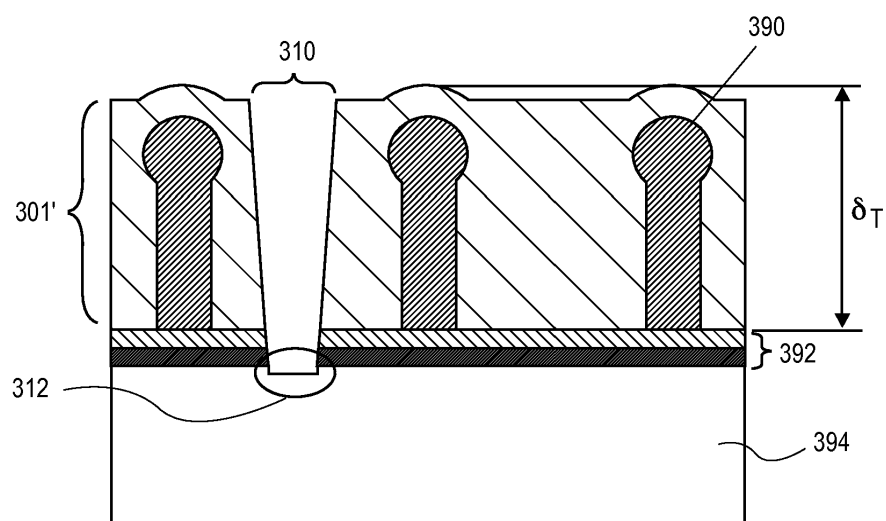
도면3a



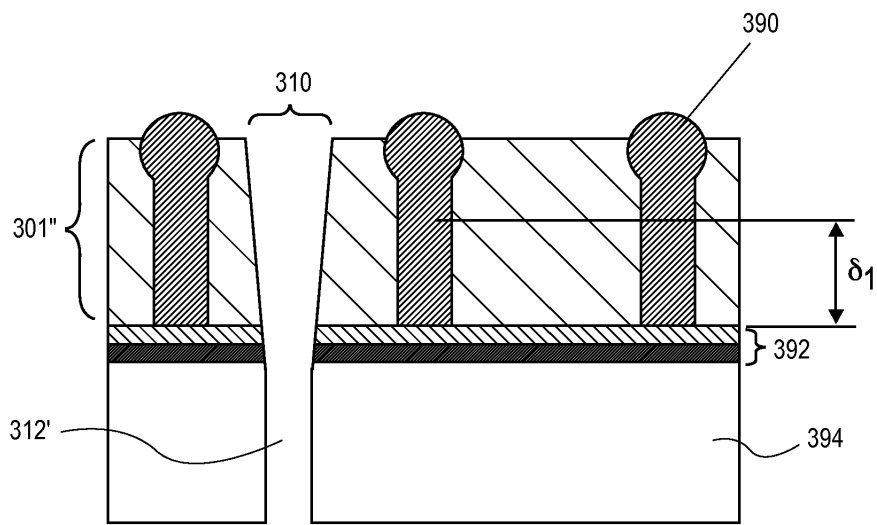
도면3b



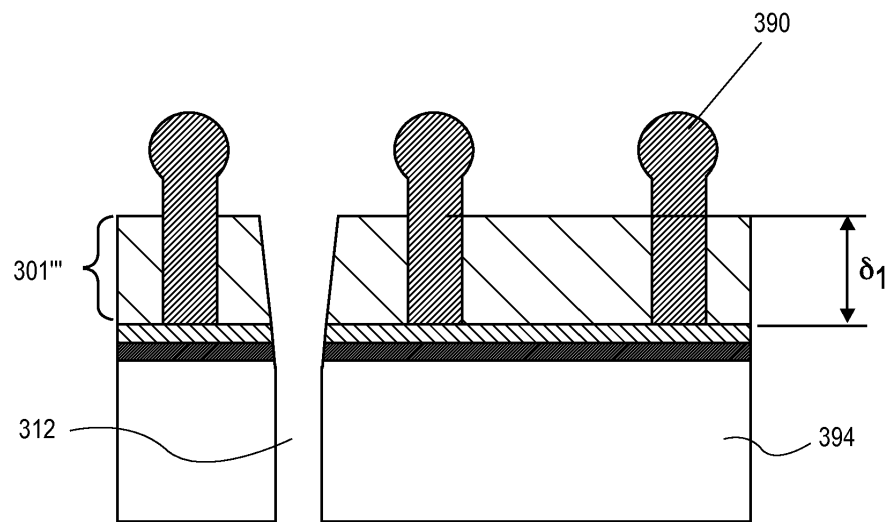
도면3c



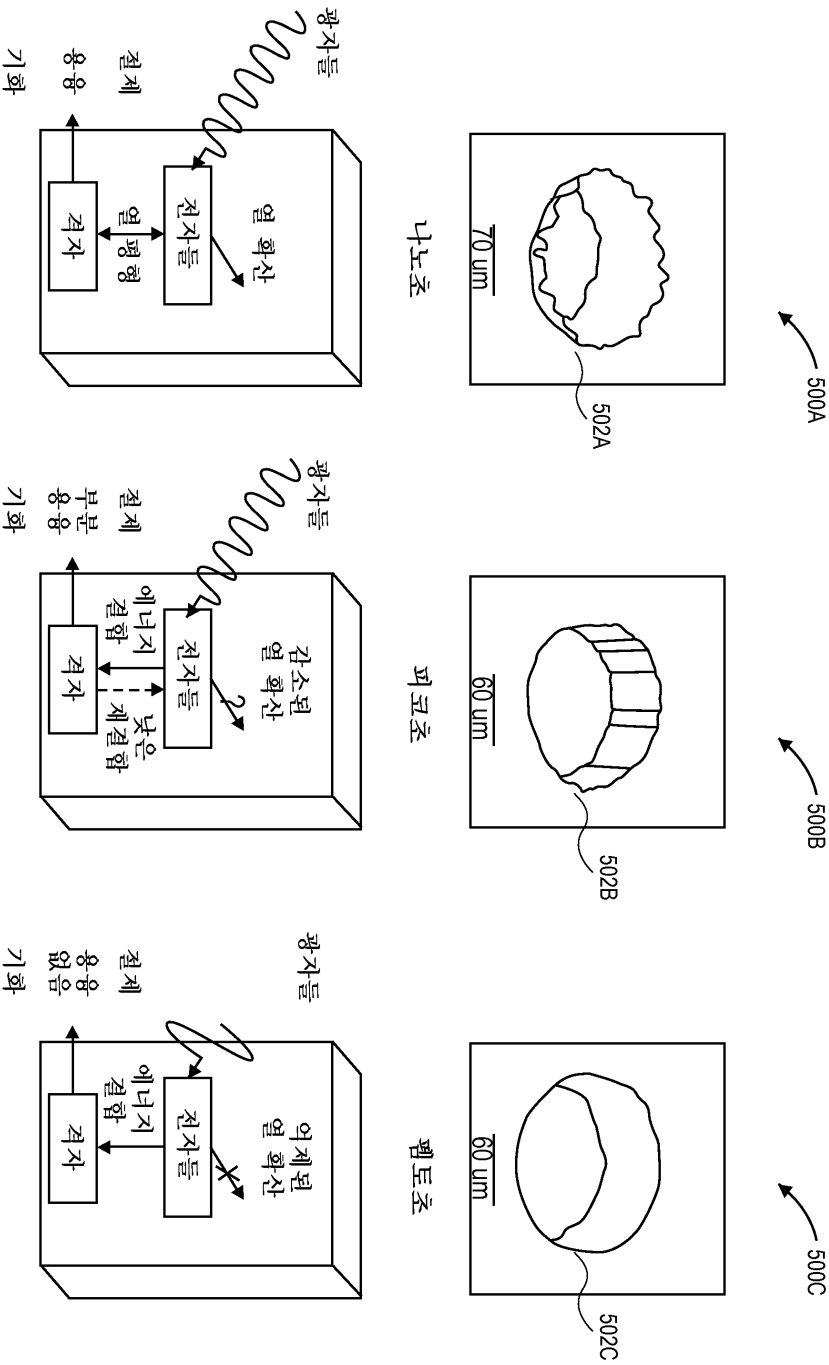
도면3d



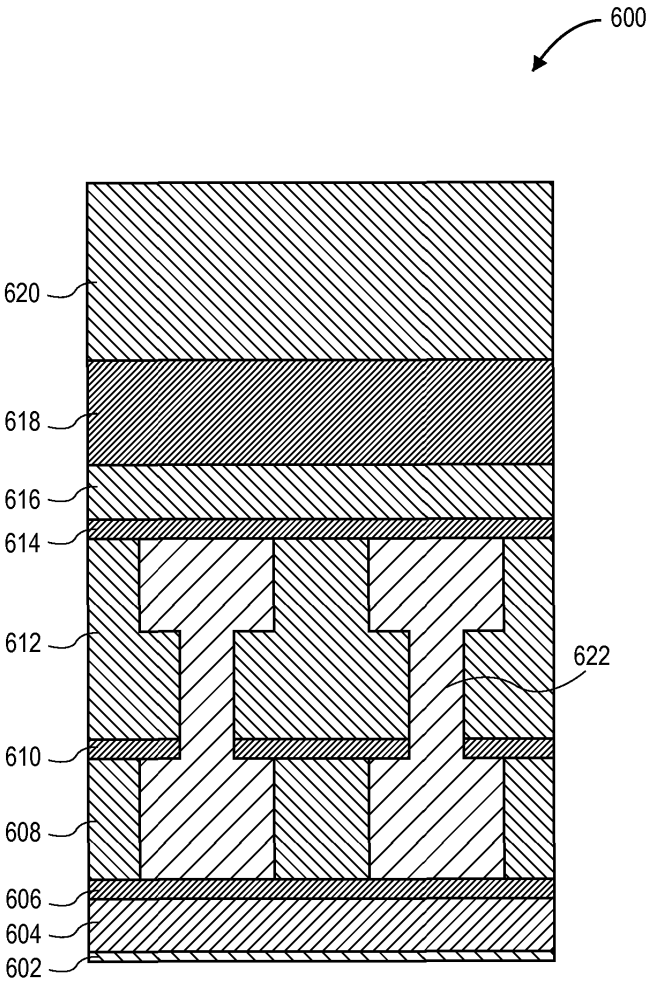
도면3e



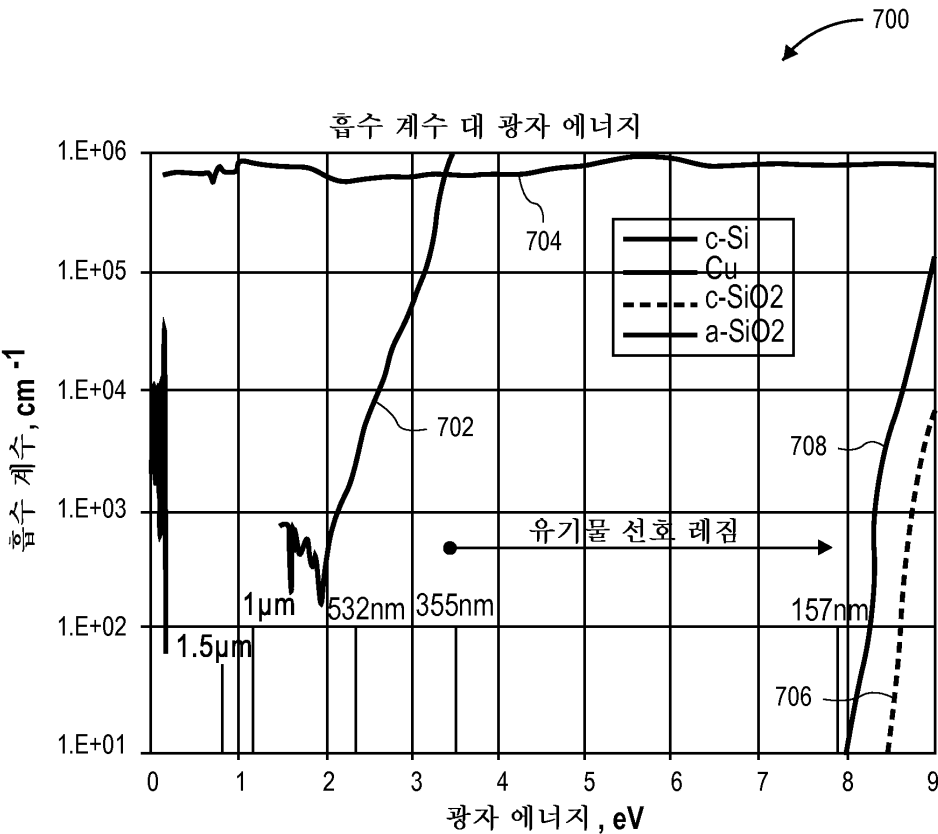
도면5



도면6



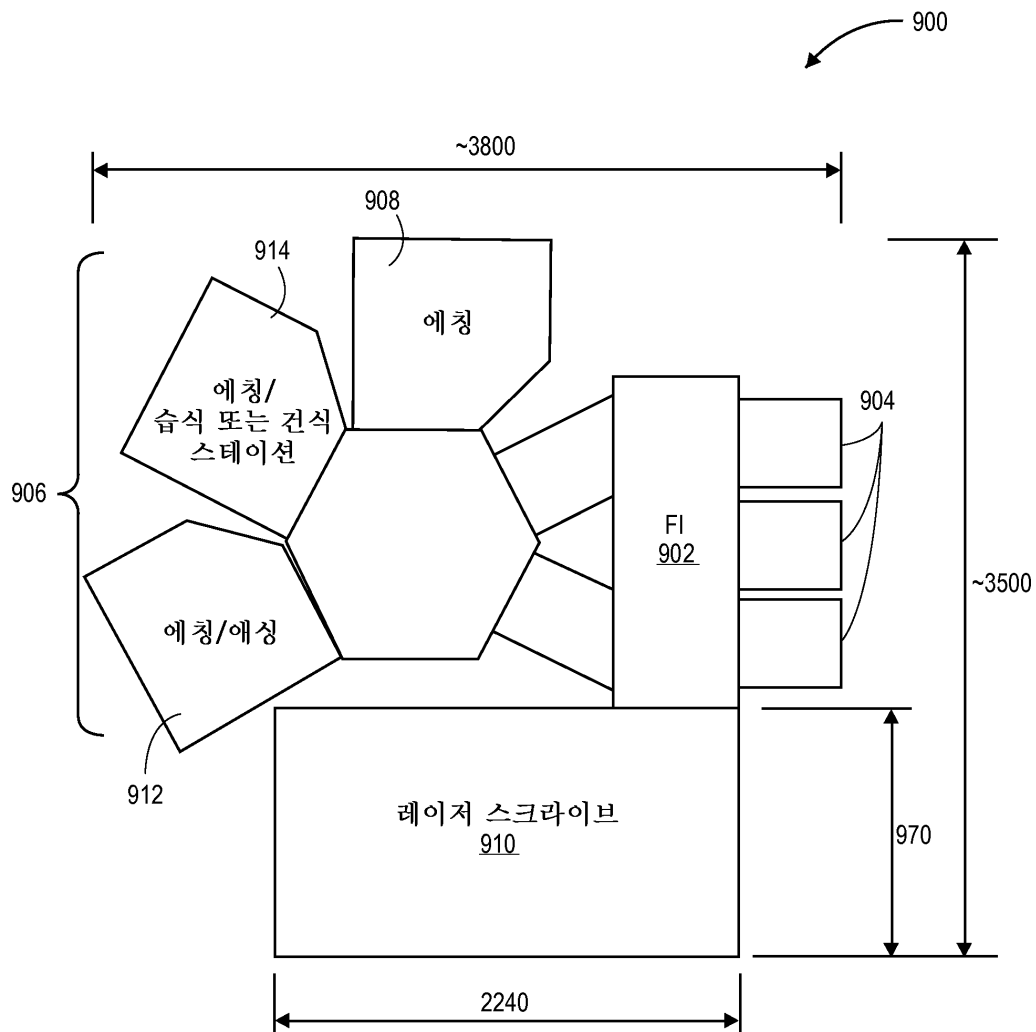
도면7



도면8

Figure 8 shows a formula for pulse energy and pulse width. The formula is:
$$I = \frac{E_p}{\pi \cdot w_0^2 \cdot \tau}$$
 where E_p is labeled "펄스 에너지" (Pulse energy), w_0 is labeled "빔 반경" (Beam radius), and τ is labeled "펄스 폭" (Pulse width). The y-axis is labeled "강도" (Intensity) and the x-axis is labeled "I".

도면9



도면10

