



(12) 发明专利

(10) 授权公告号 CN 101937419 B

(45) 授权公告日 2013. 09. 25

(21) 申请号 201010219047. 9

JP 特開 2006-277332 A, 2006. 10. 12, 全文 .

(22) 申请日 2010. 06. 25

US 2007/0214336 A1, 2007. 09. 13, 全文 .

(30) 优先权数据

审查员 李强

2009-155315 2009. 06. 30 JP

(73) 专利权人 佳能株式会社

地址 日本东京都大田区下丸子 3-30-2

(72) 发明人 松井信明

(74) 专利代理机构 北京怡丰知识产权代理有限公司 11293

代理人 迟军

(51) Int. Cl.

G06F 15/177(2006. 01)

G06F 1/32(2006. 01)

(56) 对比文件

CN 1653407 A, 2005. 08. 10, 全文 .

CN 1829952 A, 2006. 09. 06, 全文 .

CN 101086722 A, 2007. 12. 12, 全文 .

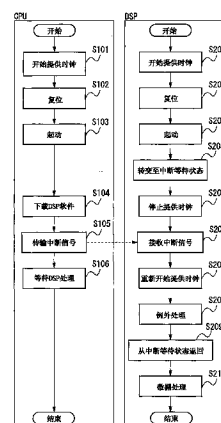
权利要求书2页 说明书4页 附图5页

(54) 发明名称

信息处理装置及用于信息处理装置的控制方法

(57) 摘要

本发明提供一种信息处理装置及用于信息处理装置的控制方法, 该信息处理装置包括: 第一处理单元; 第二处理单元, 其不同于所述第一处理单元; 提供单元, 其被构造为向所述第一处理单元和所述第二处理单元提供时钟; 以及控制单元, 其被构造为以响应于所述第二处理单元的起动的完成停止向所述第二处理单元提供所述时钟、并响应于所述第一处理单元的起动的完成重新开始向所述第二处理单元提供所述时钟的方式, 来控制所述提供单元。



1. 一种信息处理装置,该信息处理装置包括:

第一处理单元,其被构造成控制所述信息处理装置;

第二处理单元,其被构造成根据从所述第一处理单元发出的命令执行数据处理;

提供单元,其被构造为向所述第一处理单元提供时钟以及向所述第二处理单元提供时钟;以及

控制单元,其被构造为在所述第二处理单元的起动完成之后且在启动后的所述第二处理单元执行数据处理之前,停止向所述第二处理单元提供时钟,并且在所述第一处理单元的起动完成之后重新开始向所述第二处理单元提供时钟。

2. 根据权利要求1所述的信息处理装置,

其中,所述第一处理单元是中央处理单元,并且

其中,所述第二处理单元是数字信号处理器。

3. 根据权利要求1所述的信息处理装置,该信息处理装置还包括:

第一存储单元,其被构造为存储要用来起动所述第一处理单元的第一引导程序;以及

第二存储单元,其被构造为存储要用来起动所述第二处理单元的第二引导程序。

4. 根据权利要求3所述的信息处理装置,其中,所述第一存储单元和所述第二存储单元为非易失性存储单元。

5. 根据权利要求3所述的信息处理装置,该信息处理装置还包括:

第三存储单元,其被构造为存储要用来执行数据处理的第三程序。

6. 根据权利要求5所述的信息处理装置,其中,所述第三存储单元为易失性存储单元。

7. 根据权利要求5所述的信息处理装置,其中,所述第一处理单元控制所述第三存储单元响应于所述第一处理单元的起动的完成存储所述第三程序。

8. 根据权利要求5所述的信息处理装置,其中,所述第二处理单元响应于重新开始向所述第二处理单元提供时钟,使用所述第三程序执行所述数据处理。

9. 根据权利要求5所述的信息处理装置,其中,所述第二存储单元存储用于访问所述第三程序的第一信息,并且

其中,所述第二处理单元基于所述第一信息来访问所述第三程序。

10. 根据权利要求9所述的信息处理装置,其中,所述第一信息是指示所述第三存储单元中存储所述第三程序的存储区域的第一地址。

11. 根据权利要求9所述的信息处理装置,该信息处理装置还包括:

第四存储单元,其被构造为存储指示所述第三存储单元中存储所述第三程序的存储区域的第一地址,

其中,所述第一信息是指示所述第四存储单元中存储所述第一地址的存储区域的第二地址。

12. 一种信息处理装置的控制方法,

所述信息处理装置包括:

第一处理单元,其被构造成控制所述信息处理装置;

第二处理单元,其被构造成根据从所述第一处理单元发出的命令执行数据处理;以及

提供单元,其被构造为向所述第一处理单元提供时钟以及向所述第二处理单元提供时钟;

所述控制方法包括以下步骤：

在所述第二处理单元的起动完成之后且在启动后的所述第二处理单元执行数据处理之前，停止向所述第二处理单元提供时钟；以及

在所述第一处理单元的起动完成之后，重新开始向所述第二处理单元提供时钟。

信息处理装置及用于信息处理装置的控制方法

技术领域

[0001] 本发明涉及信息处理装置及用于该信息处理装置的控制方法。

背景技术

[0002] 近来,由结合中央处理单元(CPU)(通用处理器)和数字信号处理器(DSP)(专门用于数据处理的处理器)的非对称多处理器系统所构成的信息处理装置不断增加。

[0003] 在非对称多处理器系统中,在很多情况下,CPU和DSP采用主从结构。在该主从结构中,CPU用作主处理器,DSP用作从处理器。CPU和DSP共享存储器,CPU控制DSP的起动和操作。

[0004] 以往,在由主从非对称多处理器系统所构成的信息处理装置中,系统起动时执行图5所示的处理。首先,CPU执行CPU的起动处理(时间t1至t3)。然后,CPU下载DSP的软件(时间t3至t4)。接着,CPU解除DSP的复位(reset)(时间t4至t5)。接着,DSP执行DSP的起动处理(时间t5至t6)。

[0005] 作为用于降低硬件的耗电量的技术,存在一种被称为时钟门控(clockgating)的技术。时钟门控是指在硬件不工作的情况下、停止向硬件提供时钟的技术(参见日本专利特开平5-235710号公报)。

[0006] 一般来说,硬件复位时,要继续对该硬件提供时钟。因此,在上述结构的信息处理装置中,即使在CPU执行起动处理等时,DSP不执行任何处理,也不能通过应用时钟门控来降低耗电量。

发明内容

[0007] 根据本发明的一方面,提供一种信息处理装置,该信息处理装置包括:第一处理单元;第二处理单元;提供单元,其被构造为向所述第一处理单元和所述第二处理单元提供时钟;以及控制单元,其被构造为以响应于所述第二处理单元的起动的完成停止向所述第二处理单元提供所述时钟、并响应于所述第一处理单元的起动的完成重新开始向所述第二处理单元提供所述时钟的方式,来控制所述提供单元。

[0008] 通过下面参照附图对示例性实施例的详细描述,本发明的其他特征和方面将变得清楚。

附图说明

[0009] 包括在说明书中并构成说明书的一部分的附图例示了本发明的示例性实施例、特征以及各方面,并与文字描述一起用于解释本发明的原理。

[0010] 图1是例示本发明的示例性实施例的系统的结构的框图。

[0011] 图2是例示DSP的结构框图。

[0012] 图3是例示当多功能外围设备(MFP)起动时CPU和DSP所执行的处理的序列的流程图。

[0013] 图 4 是例示当 MFP 起动时 CPU 和 DSP 所执行的处理的序列的时序图。

[0014] 图 5 是例示现有技术的时序图。

具体实施方式

[0015] 以下将参照附图详细说明本发明的各种示例性实施例、特征、以及方面。

[0016] 图 1 是例示根据第一示例性实施例的系统的结构的框图。

[0017] 在图 1 中,该系统包括 MFP 001,个人计算机 (PC) 002,以及网络 003。MFP 001 可以通过网络 003 与 PC 002 通信。

[0018] MFP 001 包括系统大规模集成电路 (LSI) 101、随机存取存储器 (RAM) 102 (易失性存储介质)、只读存储器 (ROM) 103 (非易失性存储介质)。ROM 103 存储 CPU 201 的引导程序、CPU 201 的控制程序、DSP 203 的数据处理程序等。MFP 001 还包括操作单元 (UI) 104、打印机 105 以及扫描器 106。

[0019] 当从 PC 002 接收到打印命令时,MFP 001 通过系统 LSI 101 对图像数据执行图像处理,并通过打印机 105 在片材 (sheet) 上打印图像。另外,在利用操作单元 104 从用户接收到复印命令时,MFP 001 通过扫描器 106 读取原稿,通过系统 LSI 101 对图像数据执行图像处理,并通过打印机 105 在片材上打印图像。

[0020] 系统 LSI 101 经总线 216 包括 CPU 201。CPU 201 控制 MFP 001。CPU 201 将 ROM 103 中存储的程序展开到 RAM 102 中并执行。中断控制器 202 将来自网络 003 等的中断通知给 CPU 201。DSP 203 执行绘制处理 (rendering processing)、扫描器图像处理等,以协助 CPU 201 的处理。CPU 201 和 DSP 203 处于 CPU 201 为主、DSP 203 为从的关系。

[0021] ROM 204 (非易失性存储介质) 存储 DSP 203 的引导程序等。ROM 204 也存储 DSP 203 的数据处理程序在 RAM 102 上的存储地址。中断控制器 205 将来自网络 003 等的中断通知给 DSP 203。RAM 控制器 206 响应于来自 CPU 201 等的存储器存取请求,执行从 RAM 102 读取数据以及将数据写至 RAM 102 的处理。ROM 控制器 207 响应于来自 CPU 201 等的 ROM 存取请求,执行从 ROM 103 中读取数据的处理。

[0022] 网络接口 208 响应于来自 CPU 201 等的网络访问请求,执行向网络 003 发送数据以及接收来自网络 003 的数据的处理。用户界面 (UI) 控制器 209 将用于在操作单元 104 中显示的数据从 CPU 201 传送到操作单元 104,并将用户在操作单元 104 中输入的数据从操作单元 104 传送到 CPU 201。打印机接口 210 将 RAM 102 中存储的图像数据传送到打印机 105。扫描器接口 211 将扫描器 106 读取的图像数据传送到 RAM 102。

[0023] 图像处理器 212 执行用于打印 RAM 102 中存储的图像的图像处理。联合二值图像专家组 (JBIG) 编码器 213 对 RAM 102 中存储的 JBIG 压缩前的图像数据执行 JBIG 压缩。JBIG 解码器 214 对 RAM 102 中存储的 JBIG 压缩后的图像数据执行 JBIG 解压缩。总线 215 作为系统 LSI 101 中各构成要素之间进行数据通信的媒介。总线 216 作为在 DSP 203 与 ROM 204 或总线 215 之间进行数据通信的媒介。

[0024] 时钟发生器 217 产生用于 CPU 201 和 DSP 203 操作的时钟,并向 CPU 201 和 DSP 203 提供所产生的时钟。时钟发生器 217 可以根据需要向 CPU 201 和 DSP 203 之外的构成要素,提供所产生的时钟。

[0025] 图 2 是例示根据本示例性实施例的 DSP 203 的结构的框图。

[0026] DSP 203 可以划分为主域 301 和次域 302。主域 301 包括管线 303、指令缓存 (IC) 304、通用寄存器 (GPR) 305、数据缓存 (DC) 306、以及总线接口单元 (BIU) 307。次域包括片上调试单元 (OCD) 308、中断处理单元 (INT) 309、时钟控制单元 310、时钟门电路 311。

[0027] 作为 DSP 203 的状态,存在操作状态、复位状态和中断等待状态。当 DSP 203 处于操作状态时,向主域 301 和次域 302 提供时钟,消耗电力。当 DSP 203 处于复位状态时,向主域 301 和次域 302 提供时钟,消耗比操作状态下更低的电力。当 DSP 203 处于中断等待状态时,不向主域 301 提供时钟,仅向次域 302 提供时钟,因此消耗比复位状态下更低的电力。在管线 303 中执行将 DSP 203 的状态切换至中断等待状态的指令。用于停止时钟的信息从管线 303 被传输到时钟控制单元 310,时钟被停止。

[0028] 图 3 为例示 MFP 001 起动时要被执行的 CPU 201 以及 DSP 203 的处理的序列的流程图。

[0029] 在 MFP 001 打开电源时或者 MFP 001 从省电模式返回到正常模式时执行该流程图中所示的序列。

[0030] 首先,在步骤 S 101,时钟发生器 217 开始向 CPU 201 提供时钟。同时,在步骤 S201,时钟发生器 217 开始向 DSP 203 提供时钟。

[0031] 接着,在步骤 S102,CPU 201 复位 CPU 201。同时,在步骤 S202,DSP 203 复位 DSP 203。

[0032] 接着,在步骤 S103,CPU 201 使用 ROM 103 中存储的 CPU 201 的引导程序,执行 CPU 201 的起动处理。同时,在步骤 S203,DSP 203 使用 ROM 204 中存储的 DSP 203 的引导程序,执行 DSP 203 的起动处理。

[0033] 在步骤 S104,在 CPU 201 的起动处理完成时,CPU 201 即从 ROM 103 中将 CPU 201 的控制程序以及 DSP 203 的数据处理程序下载到 RAM 102 中。

[0034] 在步骤 S204,在 DSP 203 的起动处理完成时,DSP 203 即转变至中断等待状态。然后,在步骤 S205,在 DSP 203 已经转变至中断等待状态时,DSP 203 利用时钟控制单元 310,停止向 DSP 203 提供时钟。

[0035] 在步骤 S105,在 DSP 203 的程序下载完成时,CPU 201 即向 DSP 203 传输中断信号。然后,在步骤 S206,DSP 203 利用中断处理单元 309,从 CPU 201 接收中断信号。

[0036] 在步骤 S106,向 DSP 203 发送中断信号后,CPU 201 待机直至 DSP203 完成数据处理。

[0037] 在步骤 S207,当从 CPU 201 接收到中断信号时,DSP 203 利用时钟控制单元 310,重新开始向 DSP 203 提供时钟。

[0038] 接下来,在步骤 S208,在接收到从 CPU 201 发送的中断信号时,DSP203 执行以下说明的例外处理(用于使 DSP 203 从中断状态返回的各种处理)。首先,DSP 203 解析中断原因。接着,如果中断原因为使用主域 301 的数据处理,则 DSP 203 清除中断原因,并执行用于从中断状态返回的中断返回命令。根据中断返回命令,DSP 203 基于指示 DSP 203 的数据处理程序存储于 ROM 204 中的存储区域的地址,访问 RAM 102 中存储的 DSP 203 的数据处理程序。

[0039] 接下来,在步骤 S209,DSP 203 从中断等待状态中返回。

[0040] 在步骤 S210,DSP 203 使用 RAM 102 中存储的 DSP 203 的数据处理程序,执行数据

的处理。

[0041] 图 4 是例示执行图 3 中的序列时 CPU 201 以及 DSP 203 的操作状态的时序图。

[0042] 在时间 t2 至 t5,可以看出通过对 DSP 应用时钟门控,能够降低 DSP 的耗电量。

[0043] 根据本示例性实施例,在 CPU 201 的起动过程中,通过在 DSP 203 的起动完成的同时对 DSP 203 应用时钟门控,能够降低 DSP 203 消耗的电力。

[0044] 在第一示例性实施例中,ROM 204 存储了 DSP 203 的数据处理程序在 RAM 102 上的存储地址。当在步骤 S206 执行例外处理中的中断返回命令时,DSP 203 基于 ROM 204 中存储的地址,访问 RAM 102 中存储的 DSP 203 的数据处理程序。

[0045] 然而,所述程序在 RAM 102 上的存储地址在所述程序被编译 (Compile) 时确定。因此,在创建系统 LSI 101 时必须完成对 DSP 203 的数据处理程序的编译。如果这样,即使用户以后希望改变 DSP 203 的数据处理程序也改变不了。

[0046] 为了解决上述情况,在第二示例性实施例中,对第一示例性实施例的结构作如下变更。

[0047] 首先,将预定寄存器 (register) (未图示) 的地址存储在 ROM 204 中。接着,在执行步骤 S206 中的例外处理的中断返回命令前,将 DSP 203 的数据处理程序在 RAM 102 上的存储地址存储在前述的预定寄存器 (未图示) 中。该处理可以在 CPU 201 将 DSP 203 的数据处理程序下载至 RAM102 中时执行。

[0048] 然后,在执行步骤 S206 中的例外处理的中断返回命令时,DSP 203 基于 ROM 204 中存储的地址,访问预定寄存器。基于预定寄存器中存储的地址,DSP 203 访问 RAM 102 中存储的 DSP 203 的数据处理程序。

[0049] 根据本示例性实施例,能够在没有完成对 DSP 203 的数据处理程序的编译的状态下,创建系统 LSI 101。因而,以后能够改变 DSP 203 的数据处理程序。

[0050] 本发明的各方面还可以通过读出并执行记录在存储装置上的用于执行上述实施例的功能的程序的系统或设备的计算机 (或诸如 CPU 或 MPU 的装置)、以及由系统或设备的计算机例如读出并执行记录在存储装置上的用于执行上述实施例的功能的程序来执行各步骤的方法来实现。鉴于此,例如经由网络或者从用作存储装置的各种类型的记录介质 (例如计算机可读介质) 向计算机提供程序。

[0051] 虽然参照示例性实施例对本发明进行了说明,但是应当理解,本发明不限于所公开的示例性实施例。应当对所附权利要求的范围给予最宽的解释,以使其涵盖所有变型、等同结构及功能。

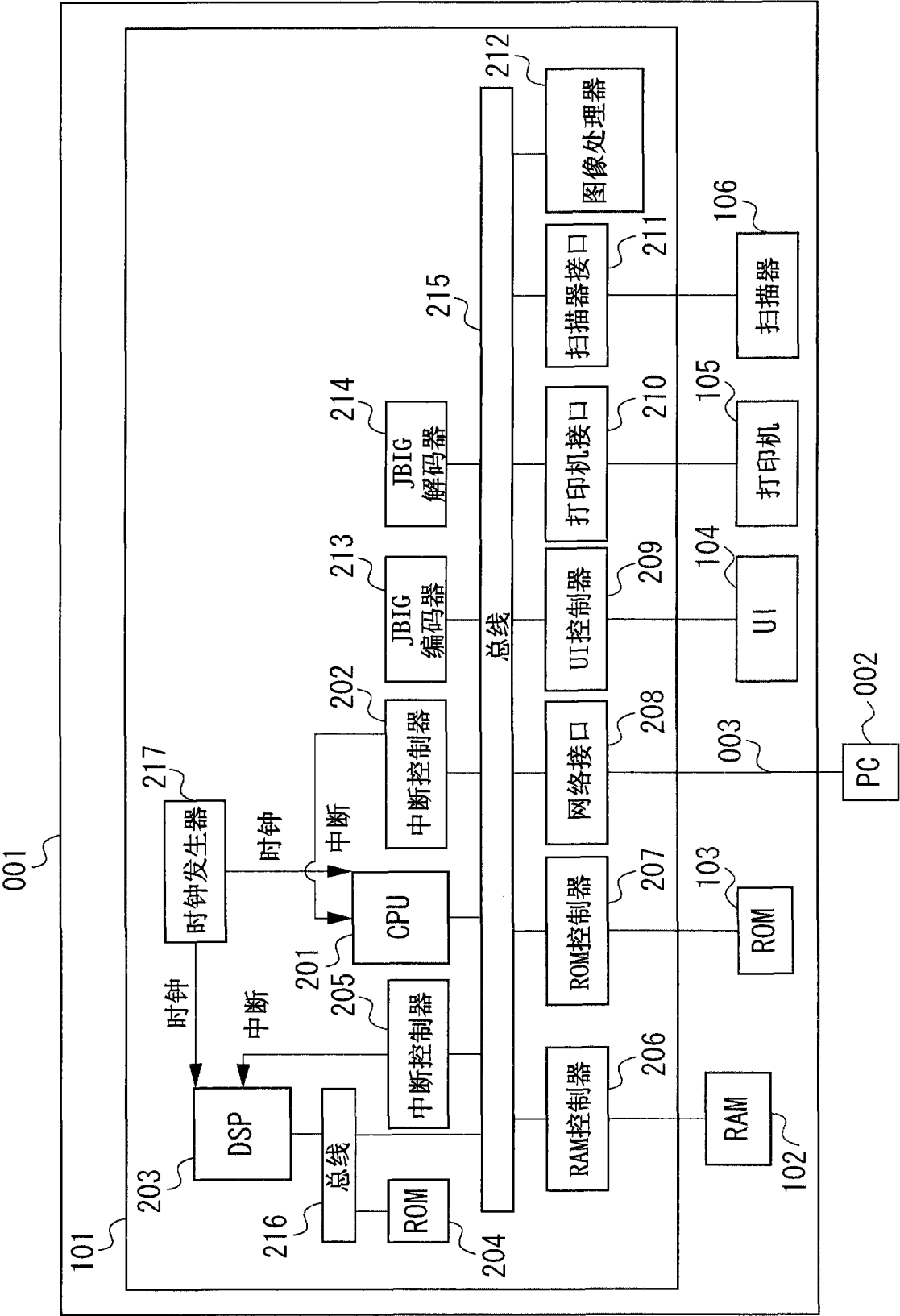


图 1

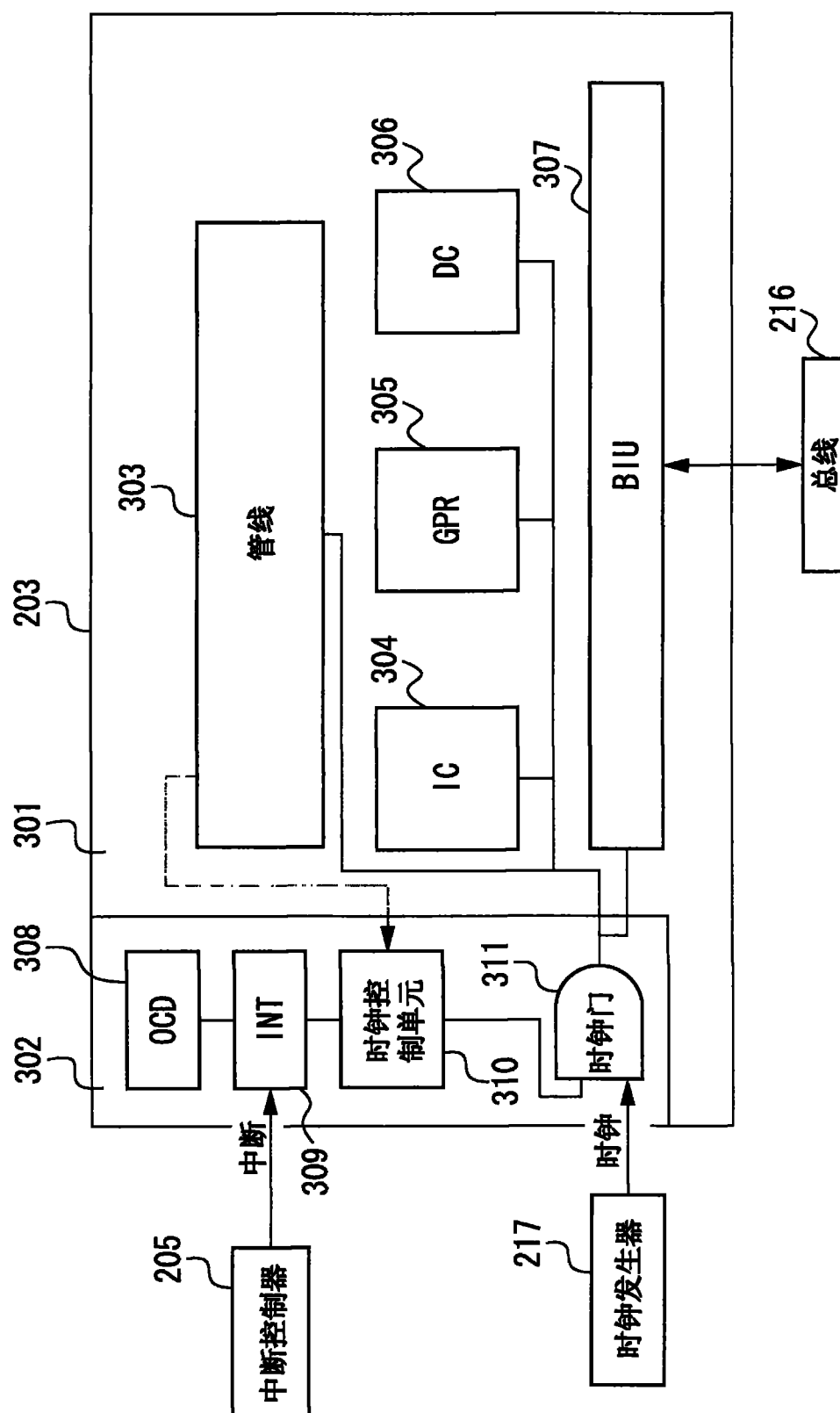


图 2

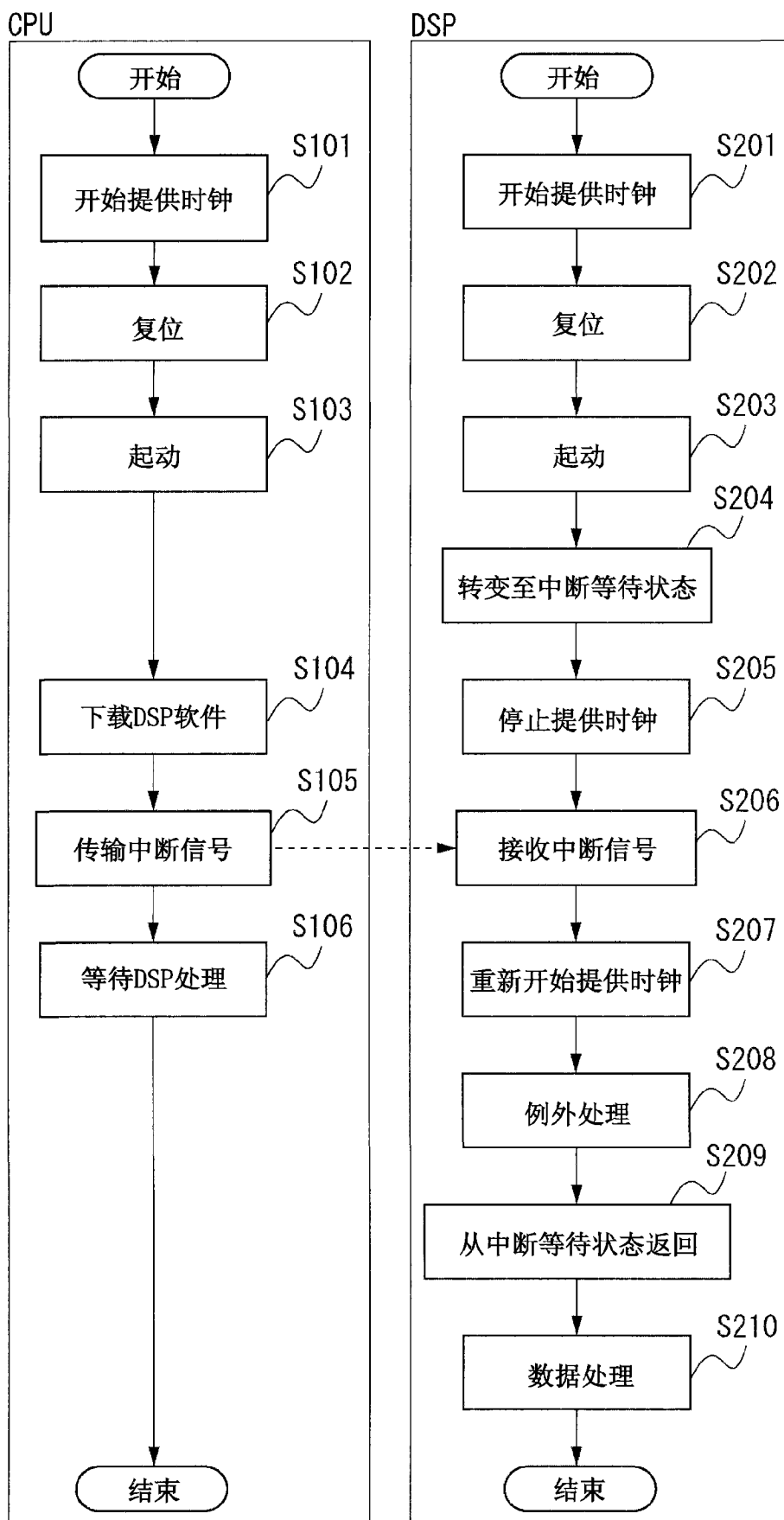


图 3

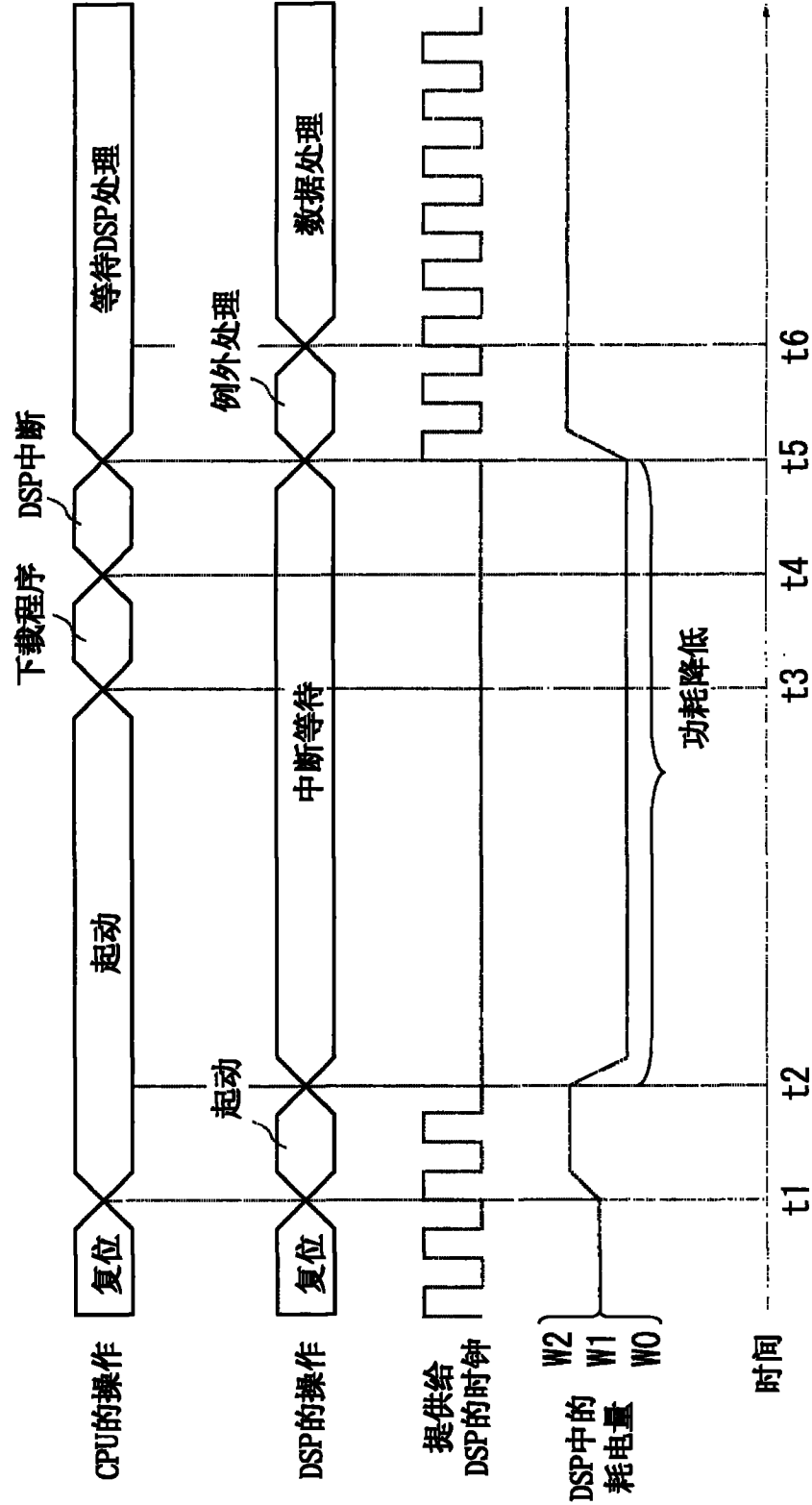


图 4

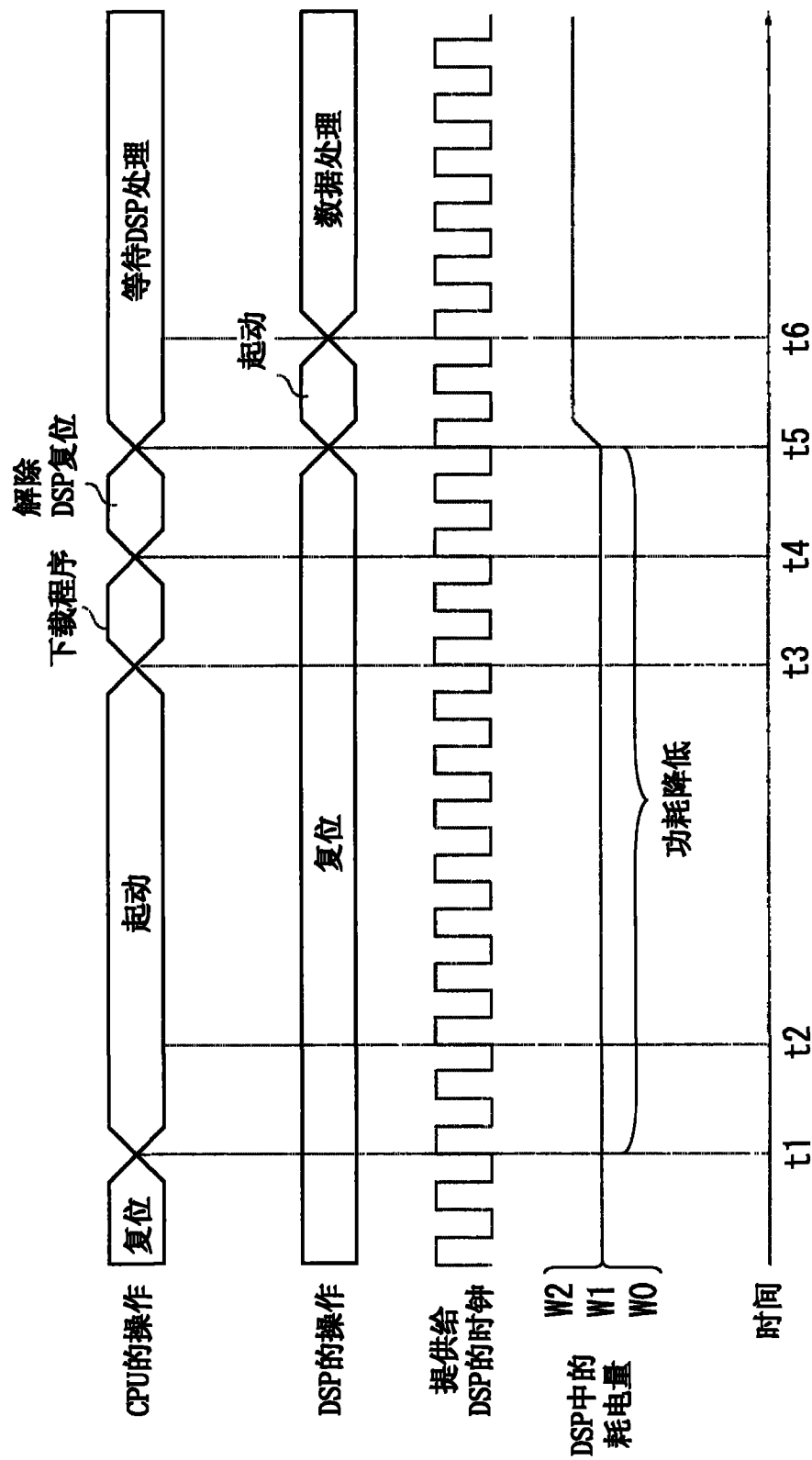


图 5