



(12) 发明专利

(10) 授权公告号 CN 102655086 B

(45) 授权公告日 2015. 07. 01

(21) 申请号 201210053193. 8

(56) 对比文件

(22) 申请日 2012. 03. 02

US 7786020 B1, 2010. 08. 31, 说明书第 12 栏第 2 段 - 第 16 栏倒数第 5 段、附图 5A-5H.

(30) 优先权数据

2011-046772 2011. 03. 03 JP

2012-033954 2012. 02. 20 JP

审查员 杨燕

(73) 专利权人 东京毅力科创株式会社

地址 日本东京都

(72) 发明人 渡部诚一 佐藤学 成重和树

佐藤孝纪 胜沼隆幸

(74) 专利代理机构 北京尚诚知识产权代理有限公司

11322

代理人 龙淳

(51) Int. Cl.

H01L 21/311(2006. 01)

H01L 21/3213(2006. 01)

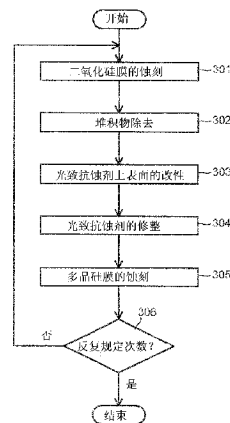
权利要求书1页 说明书7页 附图4页

(54) 发明名称

半导体器件的制造方法

(57) 摘要

本发明提供半导体器件的制造方法和计算机存储介质。本发明提供一种半导体器件的制造方法,其蚀刻基板形成台阶状结构,上述基板具有:多层膜,交替叠层有第一介电常数的第一膜和与第一介电常数不同的第二介电常数的第二膜;和位于多层膜的上层作为蚀刻掩模发挥作用的光致抗蚀剂层,该半导体器件的制造方法,包括:第一工序,以光致抗蚀剂层为掩模,对第一膜进行等离子体蚀刻;第二工序,将光致抗蚀剂层暴露于含氢等离子体;第三工序,修整光致抗蚀剂层;和第四工序:以通过第三工序修整过的光致抗蚀剂层和在第一工序中进行了等离子体蚀刻的第一膜为掩模,蚀刻第二膜,通过反复进行第一工序至第四工序,使多层膜为台阶状结构。



1. 一种半导体器件的制造方法,其在处理腔室内蚀刻基板形成台阶状结构,所述基板具有:多层膜,交替叠层有具有第一介电常数的第一膜和具有与第一介电常数不同的第二介电常数的第二膜;和位于所述多层膜的上层作为蚀刻掩模发挥作用的光致抗蚀剂层,所述半导体器件的制造方法的特征在于,包括:

第一工序,以所述光致抗蚀剂层为掩模,对暴露在所述处理腔室内的所述第一膜进行等离子体蚀刻,使层叠在被蚀刻的部分的所述第一膜之下的所述第二膜暴露在所述处理腔室内;

第二工序,将所述光致抗蚀剂层暴露于含氢等离子体;

第三工序,修整所述光致抗蚀剂层;和

第四工序,以通过所述第三工序修整过的光致抗蚀剂层和在所述第一工序中进行了等离子体蚀刻的所述第一膜为掩模,蚀刻暴露在所述处理腔室内的所述第二膜,使层叠在被蚀刻的部分的所述第二膜之下的所述第一膜暴露在所述处理腔室内,

通过反复进行所述第一工序至所述第四工序,使所述多层膜为台阶状结构。

2. 如权利要求 1 所述的半导体器件的制造方法,其特征在于:

所述第一膜为绝缘膜,所述第二膜为导电膜。

3. 如权利要求 1 所述的半导体器件的制造方法,其特征在于:

所述第一膜和所述第二膜为

二氧化硅膜和掺杂多晶硅膜、

二氧化硅膜和氮化硅膜、和

多晶硅膜和掺杂多晶硅膜中的任一者。

4. 如权利要求 1 ~ 3 之任一项所述的半导体器件的制造方法,其特征在于:

在所述第一工序和所述第二工序之间,具备除去附着于所述光致抗蚀剂层上的堆积物的堆积物除去工序。

5. 如权利要求 1 ~ 3 之任一项所述的半导体器件的制造方法,其特征在于:

在所述第二工序中使用氢气和氦气的混合气体的等离子体。

6. 如权利要求 1 ~ 3 之任一项所述的半导体器件的制造方法,其特征在于:

在所述第二工序中使用氢气、氦气和含硅气体的混合气体的等离子体。

7. 如权利要求 5 所述的半导体器件的制造方法,其特征在于:

在所述第二工序中,所述处理腔室内的压力调整为 1.33 ~ 6.66Pa。

8. 如权利要求 1 ~ 3 之任一项所述的半导体器件的制造方法,其特征在于:

所述第一膜和所述第二膜合计叠层 64 层以上。

## 半导体器件的制造方法

### 技术领域

[0001] 本发明涉及半导体器件的制造方法和计算机存储介质。

### 背景技术

[0002] 目前,在半导体器件的制造工序中,进行使等离子体作用于半导体晶片等的基板上,实施蚀刻或成膜等处理的等离子体处理。在这样的半导体器件的制造工序例如 NAND 型闪存的制造工序中,已知有对介电常数不同的两种膜例如交替叠层有绝缘膜和导电膜的多层膜,进行等离子体蚀刻和掩模的修整(塑形),形成台阶状结构(例如参照专利文献 1)。

[0003] 现有技术文献

[0004] 专利文献 1:日本特开 2009-170661 号公报

### 发明内容

[0005] 发明想要解决的问题

[0006] 如上述方式,在由介电常数不同的两种膜例如交替叠层有绝缘膜和导电膜的多层膜形成台阶状结构的半导体器件的制造工序中,存在如下问题:工序数多,制造效率差,并且由于堆积物的影响,难以形成多级形状良好的台阶状结构。

[0007] 本发明是对应上述现有情况而完成的,提供能够高效地形成多级形状良好的台阶状结构的半导体器件的制造方法和计算机存储介质。

[0008] 本发明的半导体器件的制造方法的一个方式,其蚀刻基板形成台阶状结构,上述基板具有:多层膜,交替叠层有具有第一介电常数的第一膜和具有与第一介电常数不同的第二介电常数的第二膜;和位于上述多层膜的上层作为蚀刻掩模发挥作用的光致抗蚀剂层,上述半导体器件的制造方法的特征在于,包括:第一工序,以上述光致抗蚀剂层为掩模,对上述第一膜进行等离子体蚀刻;第二工序,将上述光致抗蚀剂层暴露于含氢等离子体;第三工序,修整上述光致抗蚀剂层;和第四工序,以通过上述第三工序修整过的光致抗蚀剂层和在上述第一工序中进行了等离子体蚀刻的上述第一膜为掩模,蚀刻上述第二膜,通过反复进行上述第一工序至上述第四工序,使上述多层膜为台阶状结构。

[0009] 发明效果

[0010] 根据本发明,能够提供能够高效地形成多级形状良好的台阶状结构的半导体器件的制造方法和计算机存储介质。

### 附图说明

[0011] 图 1 是示意性表示用于本发明的一个实施方式的等离子体处理装置的概略结构的图。

[0012] 图 2 是示意性表示用于本发明的一个实施方式的半导体晶片的截面的概略结构的图。

[0013] 图 3 是表示本发明的一个实施方式的工序的流程图。

- [0014] 图 4 表示  $\text{SiF}_4$  的流量和修整比的关系。
- [0015] 符号说明
- [0016] 200……光致抗蚀剂膜
- [0017] 201……二氧化硅膜
- [0018] 202……多晶硅膜
- [0019] 210……叠层膜
- [0020] W……半导体晶片

## 具体实施方式

[0021] 以下,参照附图对本发明的实施方式进行说明。图 1 表示用于实施方式的半导体器件的制造方法的等离子体处理装置的结构。等离子体处理装置,具有:气密地构成,为电气接地电位的处理腔室 1。

[0022] 该处理腔室 1 呈圆筒状,例如由在表面形成有阳极氧化被膜的铝等构成。在处理腔室 1 内设置有载置台 2,其大致水平地载置有作为被处理基板的半导体晶片 W。该载置台 2 兼为下部电极,例如由铝等导电性材料构成,隔着绝缘板 3 被支承于导体的支承台 4 上。另外,在载置台 2 上的外周部分,以包围半导体晶片 W 的周围的方式设置有形成为环状的聚焦环 5。

[0023] 载置台 2,经由第一匹配箱 11a 与第一高频电源 10a 连接,并经由第二匹配箱 11b 与第二高频电源 10b 连接。从第一高频电源 10a 向载置台 2 供给规定频率(例如 100MHz)的高频电力。另一方面,从第二高频电源 10b 向载置台 2 供给比第一高频电源 10a 低的规定频率(例如 13.56MHz)的高频电力。

[0024] 另一方面,与载置台 2 相对地在其上方以与载置台 2 平行相对的方式设置有喷淋头 16,该喷淋头 16 为接地电位。所以,这些喷淋头 16 和载置台 2 作为一对相对电极(上部电极和下部电极)发挥作用。

[0025] 在载置台 2 的上表面设置有用于静电吸附半导体晶片 W 的静电卡盘 6。该静电卡盘 6 构成为在绝缘体 6b 之间夹有电极 6a,电极 6a 与直流电源 12 连接。而且,通过从直流电源 12 向电极 6a 施加直流电压,由此通过库仑力等吸附半导体晶片 W。

[0026] 在载置台 2 的内部形成有未图示的冷却剂通道,能够使适合的冷却剂在其中循环来控制其温度。另外,载置台 2 与用于向半导体晶片 W 的背面侧供给氦气等背面气体(背面侧导热气体)的背面气体供给配管 30a、30b 连接,能够从背面气体供给源 31 向半导体晶片 W 的背面侧供给背面气体。此外,背面气体供给配管 30a 用于向半导体晶片 W 的中央部供给背面气体,背面气体供给配管 30b 用于向半导体晶片 W 的周缘部供给背面气体。通过这样的结构,能够将半导体晶片 W 控制在规定的温度。另外,在聚焦环 5 的外侧下方设置有排气环 13。排气环 13 通过支承台 4 与处理腔室 1 导通。

[0027] 以与载置台 2 相对的方式设置在处理腔室 1 的顶壁部分的喷淋头 16 上,在其下表面设置有多数排气孔 18,且在喷淋头 16 的上部设置有气体导入部 16a。而且,在喷淋头 16 的内部形成有空间 17。气体导入部 16a 与气体供给配管 15a 连接,该气体供给配管 15a 的另一端与供给等离子体蚀刻用的气体(蚀刻气体)等的处理气体供给系统 15 连接。

[0028] 从处理气体供给系统 15 供给的气体经由气体供给配管 15a、气体导入部 16a 到达

喷淋头 16 内部的空间 17,从排气孔 18 向半导体晶片 W 排出。

[0029] 在处理腔室 1 的下部形成有排气口 19,该排气口 19 与排气系统 20 连接。而且,通过使设置于排气系统 20 上的真空泵工作,能够将处理腔室 1 内减压至规定的真空度。另一方面,在处理腔室 1 的侧壁上设置有打开和关闭半导体晶片 W 的搬入搬出口的闸阀 24。

[0030] 另一方面,在处理腔室 1 的周围呈同心状配置有环形磁铁 21。该环形磁铁 21 由上侧环形磁铁 21a 和配置于该上侧环形磁铁 21a 的下侧的下侧环形磁铁 21b 构成,在载置台 2 和喷淋头 16 之间的空间中形成有规定的磁场。该环形磁铁 21 能够通过未图示的马达等的旋转机构进行旋转。

[0031] 上述结构的等离子体处理装置通过控制部 60 来统一控制其动作。该控制部 60 具备:过程控制器 61,具备 CPU,控制等离子体处理装置的各部分;用户界面部 62;和存储部 63。

[0032] 用户界面部 62,包括:用于工序管理者管理等离子体处理装置而进行指令的输入操作的键盘;和将等离子体处理装置的工作状况进行可视化显示的显示器。

[0033] 在存储部 63 收纳有方案,该方案存储有用于将在等离子体处理装置执行的各种处理通过过程控制器 61 的控制来实现的控制程序(软件)和处理条件数据等。而且,根据需要,通过利用来自用户界面部 62 的指示等从存储部 63 读出任意的处理程式,并通过过程控制器 61 对其进行执行,由此在过程控制器 61 的控制下,在等离子体处理装置上能够进行所期望的处理。控制程序或处理条件数据等的方案,可以利用收纳于通过计算机可读取的计算机存储介质(例如硬盘、CD、软磁盘、半导体存储器等)等中的状态的方案,或者也可以从其它装置经由例如专用线路随时传输并在线利用。

[0034] 接着,说明利用上述结构的等离子体处理装置对半导体晶片 W 进行等离子体蚀刻的步骤。首先,打开闸阀 24,通过未图示的输送机器人等将半导体晶片 W 经由未图示的加载闭锁真空室搬入处理腔室 1 内,载置于载置台 2 上。然后,使搬运机器人退避至处理腔室 1 外,关闭闸阀 24。然后,利用排气系统 20 的真空泵,经由排气口 19 对处理腔室 1 内进行排气。

[0035] 在处理腔室 1 内到达规定的真空度后,从处理气体供给系统 15 向处理腔室 1 内导入规定的处理气体,将处理腔室 1 内保持为规定的压力例如 13.3Pa(100mTorr),在该状态下从第一高频电源 10a、第二高频电源 10b 向载置台 2 供给高频电力。此时,从直流电源 12 向静电卡盘 6 的电极 6a 施加规定的直流电压,半导体晶片 W 通过库仑力等向静电卡盘 6 吸附。

[0036] 该情况下,通过如上述方式向作为下部电极的载置台 2 施加高频电力,在作为上部电极的喷淋头 16 和作为下部电极的载置台 2 之间形成有电场。另一方面,在作为上部电极的喷淋头 16 和作为下部电极的载置台 2 之间通过环形磁铁 21 形成有磁场,因此在半导体晶片 W 存在的处理空间中,由于电子的漂移而产生磁控管放电,通过由此形成的处理气体的等离子体的作用,对半导体晶片 W 实施规定的等离子体处理。

[0037] 而且,当规定的等离子体处理结束时,停止高频电力的供给和处理气体的供给,按照与上述顺序相反的步骤,将半导体晶片 W 从处理腔室 1 内搬出。

[0038] 然后,参照图 2、图 3,对本发明的半导体器件的制造方法的一个实施方式进行说明。图 2 示意性表示作为本实施方式的被处理基板的半导体晶片 W 的截面结构,表示本实

施方式的工序,图 3 是表示本实施方式的工序的流程图。

[0039] 如 2(a) 所示,半导体晶片 W 的最上部图案为规定形状,形成有作为掩模发挥功能的光致抗蚀剂膜 200。该光致抗蚀剂膜 200 的厚度例如为 5 μm 左右。在光致抗蚀剂膜 200 的下侧形成有作为绝缘膜的二氧化硅 (SiO<sub>2</sub>) 膜 201a,在二氧化硅膜 201a 的下侧形成有作为导电膜的多晶硅膜 (掺杂多晶硅膜) 202a。

[0040] 另外,在多晶硅膜 202a 的下侧形成有二氧化硅膜 201b,在二氧化硅膜 201b 的下侧形成有多晶硅膜 202b。这样,交替叠层有二氧化硅膜 201 和多晶硅膜 202,构成叠层膜 210。叠层膜 210 的叠层数量,例如二氧化硅膜 201 为 32 层,多晶硅膜 202 为 32 层,合计 64 层等。

[0041] 此外,在本实施方式中,以叠层有二氧化硅 (SiO<sub>2</sub>) 膜和多晶硅膜 (掺杂多晶硅膜) 的叠层膜为例进行了说明,但作为叠层膜,能够适用于叠层有具有第一介电常数的第一膜和具有与第一介电常数不同的第二介电常数的第二膜的结构叠层膜。更加具体地将,例如能够适用于:叠层二氧化硅膜和氮化硅膜而构成的叠层膜;叠层多晶硅膜和掺杂多晶硅膜而构成的叠层膜等。

[0042] 从图 2(a) 所示的状态,首先,以光致抗蚀剂膜 200 为掩模,对二氧化硅膜 201a 进行等离子体蚀刻,使其成为图 2(b) 的状态 (图 3 所示的工序 301)。该等离子体蚀刻处理例如使用 CF<sub>4</sub>+CHF<sub>3</sub> 等处理气体的等离子体进行。

[0043] 接着,进行用于除去由等离子体蚀刻产生的堆积物,特别是堆积在光致抗蚀剂膜 200 的侧壁部上的堆积物 220 的堆积物除去处理,使其成为图 2(c) 的状态 (图 3 所示的工序 302)。该堆积物除去处理例如使用 O<sub>2</sub>+CF<sub>4</sub> 等处理气体的等离子体进行。

[0044] 接着,对光致抗蚀剂膜 200 的上表面进行改性的改性处理 (固化),在光致抗蚀剂膜 200 的上表面形成改性膜 200a,使其成为图 2(d) 的状态 (图 3 所述的工序 303)。该改性处理 (固化) 通过将光致抗蚀剂膜 200 暴露在含氢的等离子体下进行。

[0045] 接着,进行光致抗蚀剂膜 200 的修整 (塑形) 处理,扩大光致抗蚀剂膜 200 的开口面积。即,使光致抗蚀剂膜 200 的下侧的二氧化硅膜 201a 的局部露出,使其成为图 2(e) 的状态 (图 3 所示的工序 304),该修整处理例如使用 O<sub>2</sub>+N<sub>2</sub> 等处理气体的等离子体进行。

[0046] 接着,以光致抗蚀剂膜 200 和局部露出的二氧化硅膜 201a 为掩模,等离子体蚀刻二氧化硅膜 201a 的下侧的多晶硅膜 202a,使其成为图 2(f) 的状态。(图 3 所示的工序 305)。该等离子体蚀刻处理使用例如 HBr+SF<sub>6</sub>+He 等处理气体的等离子体进行。

[0047] 通过上述的工序,形成第一级台阶形状。然后,将从上述二氧化硅膜 201 的等离子体蚀刻至多晶硅膜 202 的等离子体蚀刻的工序反复实施规定次数 (图 3 所示的工序 306),形成规定级数的台阶状结构。

[0048] 如上所述,在本实施方式中,在进行多晶硅膜 202 的等离子体蚀刻之前的工序中,进行光致抗蚀剂膜 200 的修整处理。这是因为,在刚刚进行了多晶硅膜 202 的等离子体蚀刻后,光致抗蚀剂膜 200 的侧壁等的堆积物的堆积量增大,不能容易地进行光致抗蚀剂膜 200 的修整。

[0049] 例如当在进行了二氧化硅膜 201 的等离子体蚀刻之后,接着进行多晶硅膜 202 的等离子体蚀刻,然后进行光致抗蚀剂膜 200 的修整时,因向光致抗蚀剂膜 200 的侧壁等的多晶硅膜 202 的蚀刻导致的堆积的堆积物的堆积量增大,不能容易地进行光致抗蚀剂膜 200 的修整。

[0050] 与此相对,如本实施方式的方式,通过在进行多晶硅膜 202 的等离子体蚀刻之前的工序中进行光致抗蚀剂膜 200 的修整处理,由此能够更加容易地以短时间进行大量的修整。

[0051] 另外,当形成台阶状结构的下一个阶时,在多晶硅膜 202 的等离子体蚀刻之后,实施二氧化硅膜 201 的等离子体蚀刻和堆积物除去工序,所以同样能够更加容易地以短时间进行大量的修整。

[0052] 另外,在本实施方式中,在修整处理前进行光致抗蚀剂膜 200 的上表面的改性处理,所以当修整处理时,能够控制光致抗蚀剂膜 200 的上表面被修整的量。所以,在修整处理中,光致抗蚀剂膜 200 的膜厚的减少(图 2(e)所示的  $y$ )被抑制,光致抗蚀剂膜 200 的水平方向上的修整量(图 2(e)所示的  $x$ )增多,能够减小修整比  $y/x$ 。

[0053] 作为实施例,使用图 1 所示的结构等离子体处理装置,如图 2 所示,对交替叠层有作为绝缘膜的二氧化硅膜和作为导电膜的多晶硅膜的叠层膜,以下列处理条件进行处理,形成有台阶状结构。

[0054] (二氧化硅膜的蚀刻)

[0055] 处理气体 : $CF_4/CHF_3 = 175/25$ sccm

[0056] 压力 = 16.0Pa (120mTorr)

[0057] 高频电力(高频率的高频/低频率的高频):500W/200W

[0058] (堆积物除去)

[0059] 处理气体 : $O_2/CF_4 = 150/350$ sccm

[0060] 压力 :26.6Pa (200mTorr)

[0061] 高频电力(高频率的高频/低频率的高频):1500W/0W

[0062] (光致抗蚀剂膜的改性)

[0063] 处理气体 : $H_2/He = 300/500$ sccm

[0064] 压力 :2.66Pa (20mTorr)

[0065] 高频电力(高频率的高频/低频率的高频):300W/0W

[0066] (光致抗蚀剂膜的修整)

[0067] 处理气体 : $O_2/N_2 = 300/75$ sccm

[0068] 压力 :33.3Pa (250mTorr)

[0069] 高频电力(高频率的高频/低频率的高频):500W/0W

[0070] (多晶硅膜的蚀刻)

[0071] 处理气体 : $HBr/SF_6/He = 400/70/200$ sccm

[0072] 压力 :6.66Pa (50mTorr)

[0073] 高频电力(高频率的高频/低频率的高频):0W/500W

[0074] 在多次反复实施上述工序后,当用电子显微镜放大观察半导体晶片 W 时,能够确认形成有形状良好的台阶状结构。

[0075] 另外,上述修整工序中的修整比 ( $y/x$ ) 为 0.7 左右。另一方面,作为比较例,对于在修整工序之前不进行光致抗蚀剂的改性的情况,测量修整比 ( $y/x$ ),为 1.6 左右。所以,能够确认通过如本实施例的方式进行光致抗蚀剂的改性,能够大幅度改善修整比。此外,如上述方式,在光致抗蚀剂的改性中,作为处理气体使用  $H_2/He$  的混合气体是因为当使用  $H_2$  的单

一气体进行光致抗蚀剂改性时,改性的效果过高,修整工序中的修整变得困难,通过增加 He 气体,能够抑制光致抗蚀剂的改性效果。

[0076] 此外,在光致抗蚀剂的改性工序中能够使用的 H<sub>2</sub>/He 的流量比,在考虑改性效果和修整的操作容易度的基础上,能够在大概 0 ~ 10% 的范围内进行调整。另外,压力可以使用 1.33 ~ 6.66Pa (10 ~ 50mT) 的范围,压力越高,越能优化修整比,但与光致抗蚀剂层的侧壁的粗糙处于折衷选择 (trade-off) 的关系。进而,用于等离子体生成的高频电力的功率可以使用 200 ~ 500W 的范围,功率越高,越能优化修整比,但与光致抗蚀剂层的侧壁的粗糙处于折衷选择 (trade-off) 的关系。

[0077] 另外,上述修整工序中的 x 方向上的修正量,当多次反复上述工序时,从第一次到第十次为 300nm 左右,大致固定。另一方面,在不进行堆积物除去的比较例中,第一次的 x 方向上的修正量为 220nm 左右,在第十次下降至 180nm 左右。所以,能够确认通过如本实施例的方式进行堆积物除去,能够增大 x 方向上的修正量,且当多次反复工序时,也能够获得稳定的 x 方向上的修整量。

[0078] 在上述的光致抗蚀剂膜 200 的上表面的改性处理中,作为处理气体使用了 H<sub>2</sub> 气体和 He 气体的混合气体,但作为处理气体也能够使用 H<sub>2</sub> 气体、He 气体和含硅气体 (例如 SiF<sub>4</sub> 气体、SiCl<sub>4</sub> 气体等) 的混合气体。在使用这样的混合气体的情况下,除因 H<sub>2</sub> 气体的作用而发生的光致抗蚀剂的改性之外,还能够光致抗蚀剂的表面形成硅酸盐碳 (silicate carbon) 等的涂层,由此能够减少修整比 (y/x)。

[0079] 图 4 的图表表示对 SiF<sub>4</sub> 气体流量与修整比的关系进行调查后的结果,其中纵轴为修整比 (y/x),横轴为 SiF<sub>4</sub> 气体流量。此外,该情况的光致抗蚀剂膜 200 的上表面的改性处理在以下条件下进行。

[0080] 处理气体 :H<sub>2</sub>/He/SiF<sub>4</sub> = 100/700/XXsccm

[0081] 压力 :20.0Pa (150mTorr)

[0082] 高频电力 (高频率的高频 / 低频率的高频) :300W/300W

[0083] 如图 4 的图表所示,能够确认 :当使 SiF<sub>4</sub> 气体的流量从 0 增加至 20sccm 时,修整比与 SiF<sub>4</sub> 的流量对应地降低。此外,为了获得使修整比降低的效果,需要流过某程度量的 SiF<sub>4</sub> 气体。另一方面,当过度增加 SiF<sub>4</sub> 气体流量时,虽然修整比降低,但光致抗蚀剂膜的修整速度也降低,用于获得希望的修整量的处理时间变长。因此,优选 SiF<sub>4</sub> 气体的流量对 H<sub>2</sub> 气体的流量比 (SiF<sub>4</sub> 气体流量 / H<sub>2</sub> 气体流量) 在 5 ~ 30% 的范围内,进一步优选在 10 ~ 20% 的范围内。

[0084] 另外,在上述实施方式和实施例,对叠层膜 210 构成为包括作为绝缘膜的二氧化硅 (SiO<sub>2</sub>) 膜 210a 等和作为导电膜的多晶硅膜 (掺杂多晶硅膜) 202a 等的情况进行了说明。但是,如上所述,也能够适用于介电常数不同的 2 种膜,例如叠层二氧化硅膜和氮化硅膜而构成的叠层膜、叠层多晶硅膜和掺杂多晶硅膜而构成的叠层膜等。

[0085] 在该情况下,对于堆积物的除去、光致抗蚀剂上表面的改性、光致抗蚀剂的修整,能够与上述的实施例同样地进行。另外,对于蚀刻,在二氧化硅膜、多晶硅膜和掺杂多晶硅膜,也能够与上述的实施例同样地进行。对于氮化硅膜的蚀刻,例如能够使用 CH<sub>2</sub>F<sub>2</sub>、CHF<sub>3</sub>、CF<sub>4</sub>、CH<sub>3</sub>F 等的气体种类。更加具体地说,例如能够在

[0086] 处理气体 :CF<sub>4</sub>/CHF<sub>3</sub> = 25/175sccm



[0087] 压力 :16.0Pa(120mTorr)

[0088] 高频电力(高频率的高频/低频率的高频):500W/200W等的条件下进行氮化硅膜的蚀刻。

[0089] 另外,本发明不限于上述实施方式和实施例,能够进行各种变形。例如,等离子体处理装置不限于图示的平行平板型的下部双频施加型,可以使用例如分别对上部电极和下部电极施加高频的类型的等离子体处理装置、或对下部电极施加单频的高频电力的类型的等离子体处理装置等各种离子体处理装置。

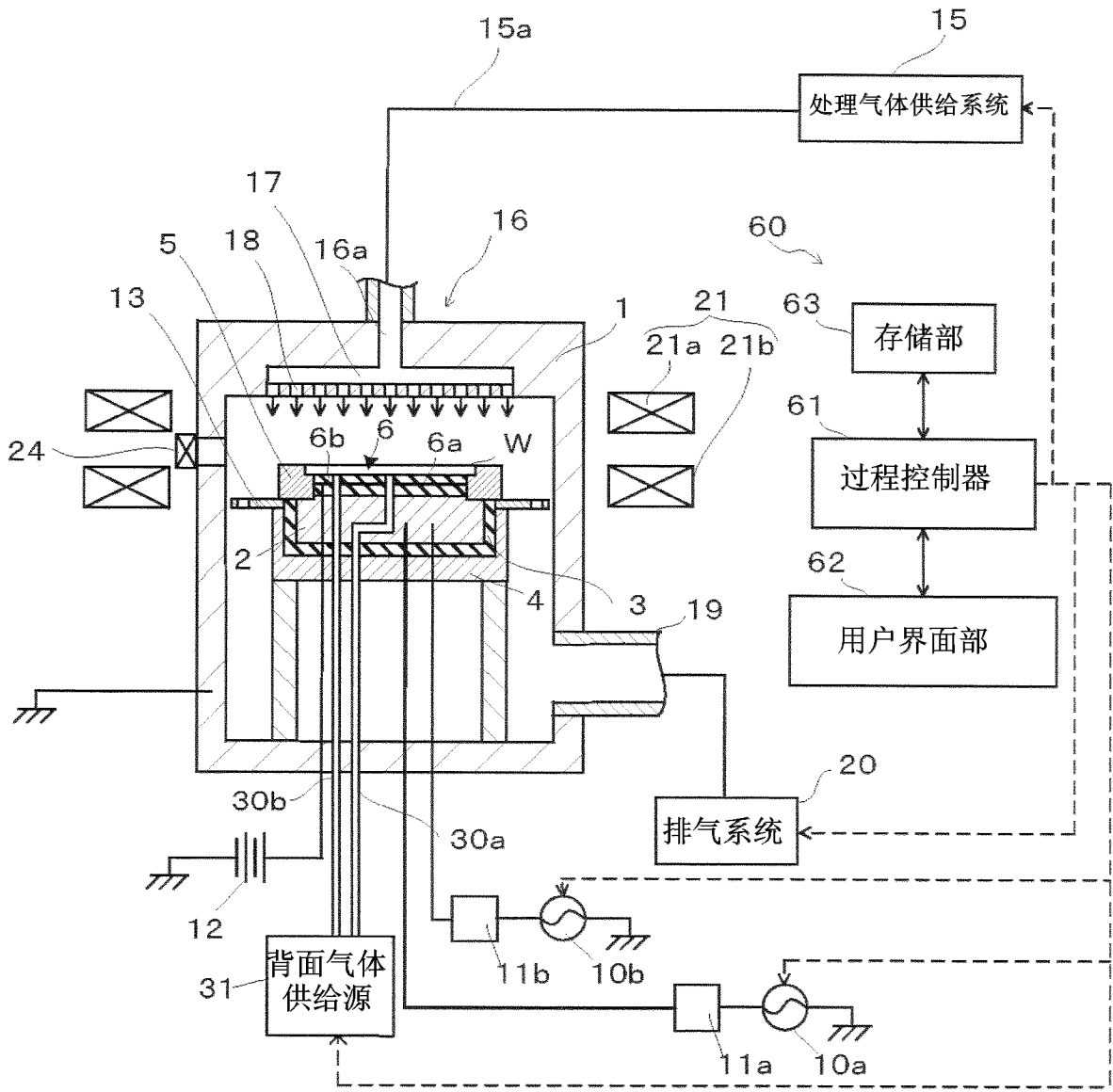


图 1

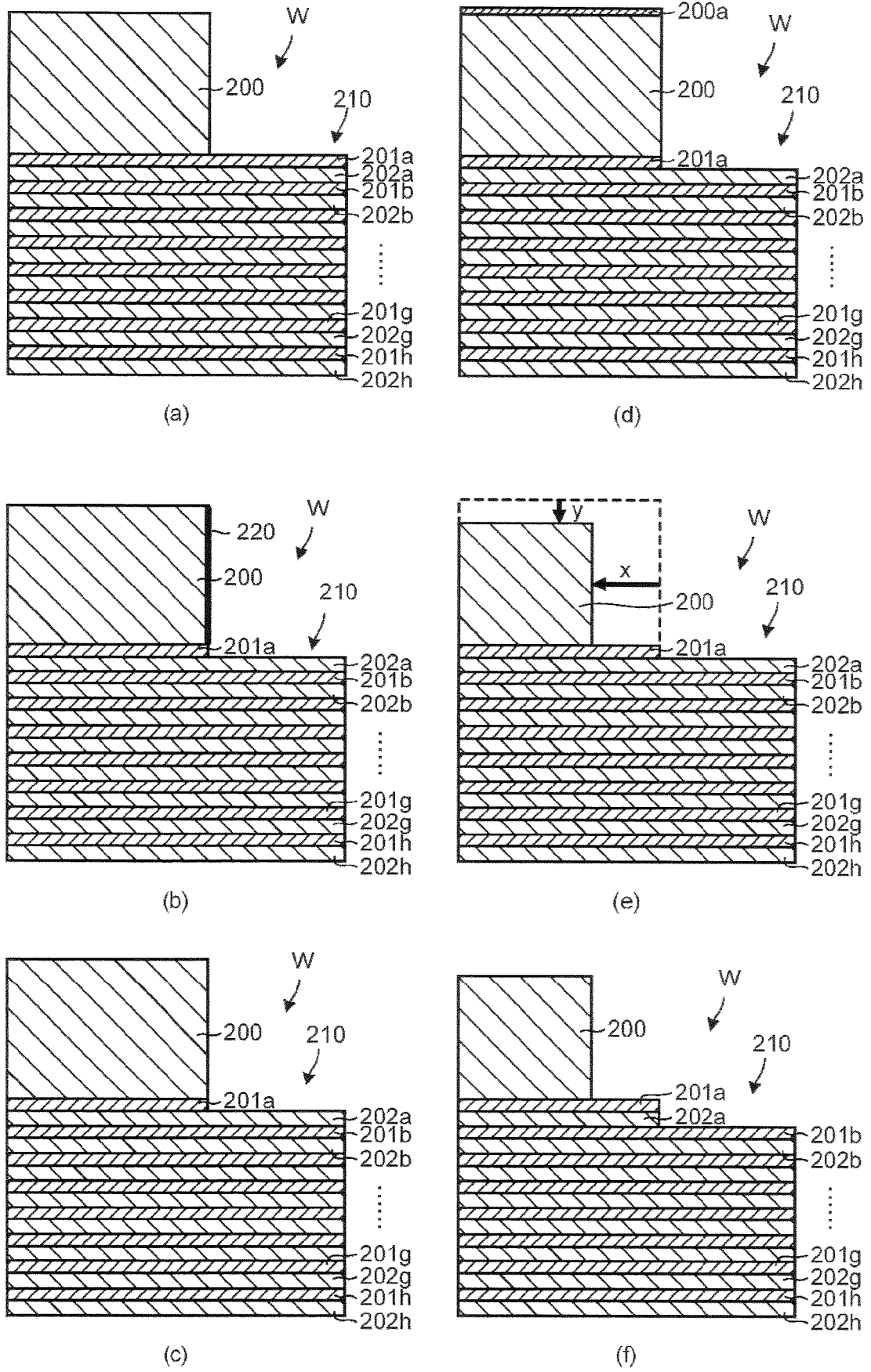


图 2

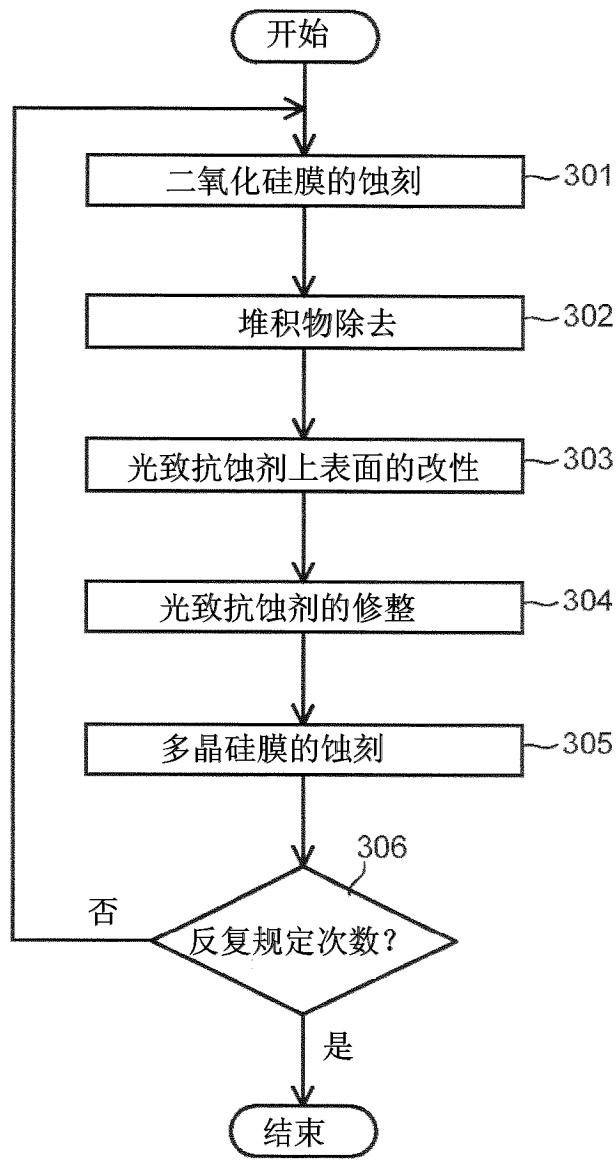


图 3

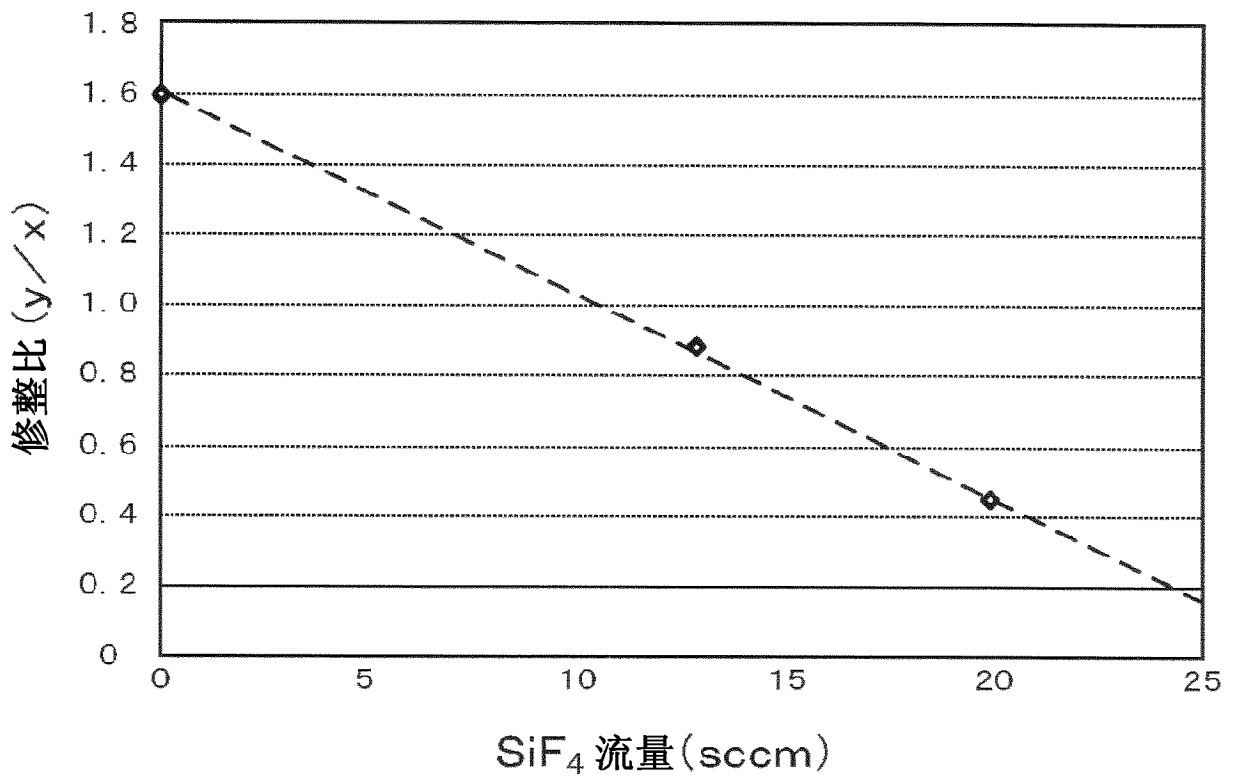


图 4