



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0096237
(43) 공개일자 2020년08월11일

(51) 국제특허분류(Int. Cl.)
G09G 3/3233 (2016.01) G09F 9/30 (2006.01)
G09G 3/20 (2006.01) H01L 27/32 (2006.01)
H01L 29/786 (2006.01) H01L 51/50 (2006.01)
(52) CPC특허분류
G09G 3/3233 (2013.01)
G09F 9/30 (2013.01)
(21) 출원번호 10-2020-7017275
(22) 출원일자(국제) 2018년12월04일
심사청구일자 없음
(85) 번역문제출일자 2020년06월16일
(86) 국제출원번호 PCT/IB2018/059593
(87) 국제공개번호 WO 2019/111137
국제공개일자 2019년06월13일
(30) 우선권주장
JP-P-2017-233931 2017년12월06일 일본(JP)
(뒷면에 계속)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
(72) 발명자
도요다까, 고헤이
일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내
다까하시, 게이
일본 259-1116 가나가와켄 이세하라시 이시다
722-1 리푸이아레지텐스아이코우이시다106
(뒷면에 계속)
(74) 대리인
양영준, 윤선근, 박충범

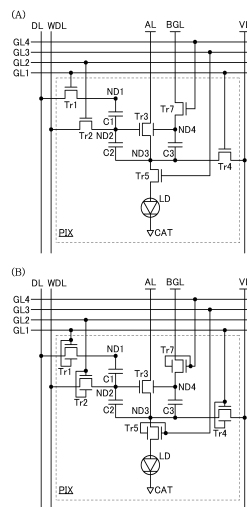
전체 청구항 수 : 총 18 항

(54) 발명의 명칭 반도체 장치, 표시 장치, 전자 기기, 및 동작 방법

(57) 요약

구동 트랜지스터의 특성 편차를 억제하고, 또한 화상 데이터를 보정하는 반도체 장치를 제공한다. 화상 데이터 유지부와, 보정 데이터 유지부와, 구동 회로부와, 표시 소자와, 문턱 전압 보정 회로부를 포함하는 반도체 장치이다. 화상 데이터 유지부는 제 1 화상 데이터를 유지하는 기능을 갖고, 보정 데이터 유지부는 보정 데이터를 유지하는 기능과, 화상 데이터 유지부가 제 1 화상 데이터를 유지함으로써 제 1 화상 데이터 및 보정 데이터에 따른 제 2 화상 데이터를 생성하는 기능을 갖는다. 구동 회로부는 제 2 화상 데이터에 따른 전류를 생성하는 기능과, 상기 전류를 표시 소자에 흘리는 기능을 갖고, 문턱 전압 보정 회로부는 구동 회로부의 구동 트랜지스터의 문턱 전압을 보정하는 기능을 갖는다. 상기 구성에 의하여, 반도체 장치는 화상 데이터의 보정, 구동 트랜지스터의 문턱 전압의 보정, 및 제 2 화상 데이터에 따른 표시를 수행할 수 있다.

대표도 - 도6



(52) CPC특허분류

G09G 3/20 (2013.01)
H01L 27/3262 (2013.01)
H01L 29/7869 (2013.01)
H01L 51/50 (2013.01)

(30) 우선권주장

JP-P-2018-020851 2018년02월08일 일본(JP)
JP-P-2018-224142 2018년11월29일 일본(JP)

(72) 발명자

가와시마, 스스무

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

야마자끼, 슌페이

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키키가이샤 한도오파이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치로서,

화상 데이터 유지부와, 보정 데이터 유지부와, 구동 회로부와, 표시 소자와, 문턱 전압 보정 회로부를 포함하고,

상기 구동 회로부는 백 게이트를 갖는 제 1 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 제 1 단자는 상기 표시 소자의 입력 단자에 전기적으로 접속되고,

상기 화상 데이터 유지부는 제 1 화상 데이터를 유지하는 기능을 갖고,

상기 보정 데이터 유지부는,

보정 데이터를 유지하는 기능과,

상기 화상 데이터 유지부가 상기 제 1 화상 데이터를 유지함으로써 상기 제 1 화상 데이터 및 상기 보정 데이터에 따른 제 2 화상 데이터를 생성하는 기능을 갖고,

상기 구동 회로부는 상기 제 1 트랜지스터의 게이트에 상기 제 2 화상 데이터에 따른 제 1 전위가 인가됨으로써, 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에서 제 1 전류를 생성하는 기능과, 상기 제 1 전류를 상기 표시 소자에 흘리는 기능을 갖고,

상기 문턱 전압 보정 회로부는 상기 구동 회로부에 포함되는 상기 제 1 트랜지스터의 문턱 전압을 보정하는 기능을 갖는, 반도체 장치.

청구항 2

제 1 항에 있어서,

제 1 용량 소자 내지 제 3 용량 소자를 포함하고,

상기 화상 데이터 유지부는 제 2 트랜지스터를 포함하고,

상기 보정 데이터 유지부는 제 3 트랜지스터를 포함하고,

상기 문턱 전압 보정 회로는 제 4 트랜지스터를 포함하고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 용량 소자의 제 2 단자와 상기 제 3 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 백 게이트는 상기 제 4 트랜지스터의 제 1 단자와 상기 제 3 용량 소자의 제 2 단자에 전기적으로 접속되는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 제 1 트랜지스터 내지 상기 제 4 트랜지스터의 각각은 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는, 반도체 장치.

청구항 4

제 2 항 또는 제 3 항에 있어서,

상기 구동 회로부는 제 5 트랜지스터를 포함하고,

상기 제 3 트랜지스터의 제 1 단자와 상기 표시 소자의 입력 단자는 상기 제 5 트랜지스터의 제 1 단자와 제 2 단자 간을 통하여 전기적으로 접속되는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제 5 트랜지스터는 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는, 반도체 장치.

청구항 6

제 2 항 내지 제 5 항 중 어느 한 항에 있어서,

제 6 트랜지스터를 포함하고,

상기 제 6 트랜지스터의 제 1 단자는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 6 트랜지스터의 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자에 전기적으로 접속되는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 제 6 트랜지스터는 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는, 반도체 장치.

청구항 8

제 2 항 내지 제 7 항 중 어느 한 항에 있어서,

제 1 기능 내지 제 3 기능을 갖고,

상기 제 1 기능은,

상기 제 3 트랜지스터를 온 상태로 하여 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 제 1 초기화 전위를 인가하는 기능과,

상기 제 4 트랜지스터를 온 상태로 하여 상기 제 1 트랜지스터의 백 게이트와 상기 제 3 용량 소자의 제 2 단자에 제 2 초기화 전위를 인가하는 기능과,

상기 제 1 트랜지스터의 제 1 단자와, 상기 제 2 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자에 제 3 초기화 전위를 인가하는 기능과,

상기 제 3 트랜지스터를 오프 상태로 하여 상기 제 2 용량 소자에 의하여 상기 제 1 초기화 전위와 상기 제 3 초기화 전위의 전위차를 유지하는 기능과,

상기 제 1 트랜지스터의 제 1 단자로부터 상기 표시 소자의 입력 단자로의 전류를 차단하고, 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에 전압을 인가하여 제 1 트랜지스터를 온 상태로 한 후, 상기 제 1 트랜지스터의 제 1 단자의 전위가 제 2 전위가 되고 제 1 트랜지스터가 오프 상태가 되었을 때, 상기 제 3 용량 소자에 의하여 상기 제 2 초기화 전위와 상기 제 2 전위의 전위차를 유지하는 기능을 갖고,

상기 제 2 기능은,

상기 제 3 트랜지스터를 온 상태로 하여 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 상기 보정 데이터에 따른 제 3 전위를 기록하는 기능과,

상기 제 3 트랜지스터를 오프 상태로 하여 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 의하여 상기 제 3 전위를 유지하는 기능을 갖고,

상기 제 3 기능은,

상기 제 2 트랜지스터를 온 상태로 하여 상기 제 1 용량 소자의 제 1 단자에 상기 제 1 화상 데이터에 따른 제

4 전위를 기록하는 기능과,

상기 제 1 용량 소자의 제 1 단자에 상기 제 4 전위가 기록됨으로써 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 유지된 상기 제 3 전위가 상기 제 2 화상 데이터에 따른 상기 제 1 전위로 변동하는 기능을 갖는, 반도체 장치.

청구항 9

표시 장치로서,

제 1 항 내지 제 8 항 중 어느 한 항에 기재된 반도체 장치와, 주변 회로를 포함하는, 표시 장치.

청구항 10

전자 기기로서,

제 9 항에 기재된 표시 장치와, 하우징을 포함하는, 전자 기기.

청구항 11

반도체 장치의 동작 방법으로서,

화상 데이터 유지부와, 보정 데이터 유지부와, 구동 회로부와, 표시 소자와, 문턱 전압 보정 회로부를 포함하고,

상기 구동 회로부는 백 게이트를 갖는 제 1 트랜지스터를 포함하고,

상기 제 1 트랜지스터의 제 1 단자는 상기 표시 소자의 입력 단자에 전기적으로 접속되고,

상기 반도체 장치의 동작 방법은 문턱 전압 보정 기간과, 보정 데이터 기록 기간과, 화상 데이터 기록 기간과, 화상 표시 기간을 갖고,

상기 문턱 전압 보정 기간은 상기 문턱 전압 보정 회로부가 상기 제 1 트랜지스터의 백 게이트에 전위를 인가함으로써 상기 제 1 트랜지스터의 문턱 전압을 보정하는 기간을 갖고,

상기 보정 데이터 기록 기간은 상기 보정 데이터 유지부에 보정 데이터를 기록하는 기간을 갖고,

상기 화상 데이터 기록 기간은 상기 화상 데이터 유지부에 제 1 화상 데이터를 기록하고, 상기 보정 데이터 유지부가 상기 제 1 화상 데이터 및 상기 보정 데이터에 따른 제 2 화상 데이터를 생성하는 기간을 갖고,

상기 화상 표시 기간은 상기 제 1 트랜지스터의 게이트에 상기 제 2 화상 데이터에 따른 제 1 전위가 인가됨으로써 상기 구동 회로부가 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에서 제 1 전류를 생성하고, 상기 제 1 전류를 상기 표시 소자에 흘리는 기간을 갖는, 반도체 장치의 동작 방법.

청구항 12

제 11 항에 있어서,

상기 반도체 장치의 동작 방법은 초기화 기간을 갖고,

상기 반도체 장치는 제 1 용량 소자 내지 제 3 용량 소자를 포함하고,

상기 화상 데이터 유지부는 제 2 트랜지스터를 포함하고,

상기 보정 데이터 유지부는 제 3 트랜지스터를 포함하고,

상기 문턱 전압 보정 회로는 제 4 트랜지스터를 포함하고,

상기 제 2 트랜지스터의 제 1 단자는 상기 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 3 트랜지스터의 제 1 단자는 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 제 1 단자는 상기 제 2 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자와, 상기 표시 소자의 입력 단자에 전기적으로 접속되고,

상기 제 1 트랜지스터의 백 게이트는 상기 제 4 트랜지스터의 제 1 단자와, 상기 제 3 용량 소자의 제 2 단자에 전기적으로 접속되고,

상기 초기화 기간은,

상기 제 3 트랜지스터가 온 상태가 되어 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 제 1 초기화 전위가 인가되는 기간과,

상기 제 4 트랜지스터가 온 상태가 되어 상기 제 1 트랜지스터의 백 게이트와, 상기 제 3 용량 소자의 제 2 단자에 제 2 초기화 전위가 인가되는 기간과,

상기 제 1 트랜지스터의 제 1 단자와, 상기 제 2 용량 소자의 제 2 단자와, 상기 제 3 용량 소자의 제 1 단자에 제 3 초기화 전위가 인가되는 기간을 갖고,

상기 문턱 전압 보정 기간은,

상기 제 1 트랜지스터의 제 1 단자로부터 표시 소자로의 전류를 차단하는 기간과,

상기 제 3 트랜지스터가 오프 상태가 되어 상기 제 2 용량 소자가 상기 제 1 초기화 전위와 상기 제 3 초기화 전위의 전위차를 유지하는 기간과,

상기 제 1 트랜지스터의 제 2 단자에 고전위가 인가됨으로써 상기 제 1 트랜지스터의 제 1 단자의 전위가 상기 제 1 트랜지스터가 오프 상태가 되는 제 2 전위에 달할 때까지 상기 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에 제 2 전류가 흐르는 기간과,

상기 제 4 트랜지스터가 오프 상태가 되어 상기 제 3 용량 소자가 상기 제 2 전위와 상기 제 2 초기화 전위의 전위차를 유지하는 기간을 갖고,

상기 보정 데이터 기록 기간은,

상기 제 3 트랜지스터가 온 상태가 되어 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 상기 보정 데이터에 따른 제 3 전위가 인가되는 기간과,

상기 제 3 트랜지스터가 오프 상태가 되어 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 의하여 상기 제 3 전위가 유지되는 기간을 갖고,

상기 화상 데이터 기록 기간은,

상기 제 2 트랜지스터가 온 상태가 되어 상기 제 1 용량 소자의 제 1 단자에 상기 제 1 화상 데이터에 따른 제 4 전위가 인가되는 기간과,

상기 제 1 용량 소자의 제 1 단자에 상기 제 4 전위가 기록됨으로써 상기 제 1 트랜지스터의 게이트와, 상기 제 1 용량 소자의 제 2 단자와, 상기 제 2 용량 소자의 제 1 단자에 유지된 상기 제 3 전위가 상기 제 2 화상 데이터에 따른 상기 제 1 전위로 변동하는 기간을 갖는, 반도체 장치의 동작 방법.

청구항 13

제 12 항에 있어서,

상기 제 1 트랜지스터 내지 상기 제 4 트랜지스터의 각각은 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는, 표시 장치의 동작 방법.

청구항 14

제 12 항 또는 제 13 항에 있어서,

상기 구동 회로부는 제 5 트랜지스터를 포함하고,

상기 제 3 트랜지스터의 제 1 단자와 상기 표시 소자의 입력 단자는 상기 제 5 트랜지스터의 제 1 단자와 제 2 단자 간을 통하여 전기적으로 접속되고,

상기 초기화 기간과, 상기 보정 데이터 기록 기간과, 상기 화상 데이터 기록 기간은 상기 제 5 트랜지스터가 오프 상태가 되는 기간을 갖고,

상기 화상 표시 기간은 상기 제 5 트랜지스터가 온 상태가 되는 기간을 갖는, 반도체 장치의 동작 방법.

청구항 15

제 14 항에 있어서,

상기 제 5 트랜지스터는 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는, 반도체 장치의 동작 방법.

청구항 16

제 12 항 내지 제 15 항 중 어느 한 항에 있어서,

상기 반도체 장치는 제 6 트랜지스터를 포함하고,

상기 제 6 트랜지스터의 제 1 단자는 상기 제 1 트랜지스터의 게이트에 전기적으로 접속되고,

상기 제 6 트랜지스터의 제 2 단자는 상기 제 1 트랜지스터의 제 1 단자에 전기적으로 접속되고,

상기 문턱 전압 보정 기간은 상기 제 6 트랜지스터가 온 상태가 되는 기간을 갖는, 반도체 장치의 동작 방법.

청구항 17

제 16 항에 있어서,

상기 제 6 트랜지스터는 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는, 반도체 장치의 동작 방법.

청구항 18

표시 장치의 동작 방법으로서,

제 11 항 내지 제 17 항 중 어느 한 항에 기재된 반도체 장치의 동작 방법을 포함하는 표시 장치의 동작 방법이고,

상기 표시 장치는 복수의 상기 반도체 장치가 매트릭스상으로 배치된 표시부를 갖고,

상기 복수의 상기 반도체 장치의 일부는 제 1 화소 및 제 2 화소로서 기능하고,

상기 제 1 화소와 상기 제 2 화소는 상기 표시부에서 서로 상이한 행에 위치하고,

상기 제 1 화소가 상기 문턱 전압 보정 기간의 동작을 수행할 때, 상기 제 2 화소는 상기 보정 데이터 기록 기간 및 상기 화상 데이터 기록 기간의 각각의 동작을 수행하는, 표시 장치의 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명의 일 형태는 반도체 장치, 표시 장치, 전자 기기, 및 동작 방법에 관한 것이다.

[0002] 또한 본 발명의 일 형태는 상기 기술분야에 한정되지 않는다. 본 명세서 등에서 개시(開示)하는 발명의 기술분야는 물건, 방법, 또는 제조 방법에 관한 것이다. 또는 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 그러므로 더 구체적으로 본 명세서에서 개시하는 본 발명의 일 형태의 기술분야로서는 반도체 장치, 표시 장치, 액정 표시 장치, 발광 장치, 축전 장치, 촬상 장치, 기억 장치, 프로세서, 전자 기기, 시스템, 이들의 구동 방법, 이들의 제조 방법, 또는 이들의 검사 방법을 일례로서 들 수 있다.

배경 기술

[0003] 근년, 스마트폰 등의 휴대 전화, 태블릿형 정보 단말기, 노트북형 PC(퍼스널 컴퓨터), 휴대 게임기 등에 포함되는 표시 장치는 다양한 면에서 개량되고 있다. 예를 들어, 해상도가 높아지거나, 색 재현성이 높아지거나, 구동 회로가 축소되거나, 소비전력이 저감되는 등의 표시 장치가 개발되고 있다. 또한 예를 들어, 표시 장치의 표시 품질을 높이기 위하여, 화소에 포함되는 구동 트랜지스터의 특성 편차를 저감하는 회로 등도 개발되고 있

다. 특히, 구동 트랜지스터의 문턱 전압을 보정하는 회로를 포함하는 화소 회로의 발명이 특허문헌 1에 개시되어 있다.

- [0004] 또한 표시 장치가 갖는 화소 회로에 포함되는 스위칭 소자로서, 산화물 반도체를 반도체 박막으로 한 트랜지스터를 적용하는 기술 등을 들 수 있다.
- [0005] 트랜지스터에 적용할 수 있는 반도체 박막으로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외의 재료로서 산화물 반도체가 주목을 받고 있다. 산화물 반도체로서는, 예를 들어 산화 인듐, 산화 아연 등의 단성분계 금속의 산화물뿐만 아니라, 다성분계 금속의 산화물도 알려져 있다. 다성분계 금속의 산화물 중에서도, 특히 In-Ga-Zn 산화물(이하, IGZO라고도 함)에 관한 연구가 활발히 진행되고 있다.
- [0006] IGZO에 관한 연구에 의하여, 산화물 반도체에서 단결정도 비정질도 아닌 CAAC(c-axis aligned crystalline) 구조 및 nc(nanocrystalline) 구조가 발견되었다(비특허문헌 1 내지 비특허문헌 3 참조). 비특허문헌 1 및 비특허문헌 2에는, CAAC 구조를 갖는 산화물 반도체를 사용하여 트랜지스터를 제작하는 기술도 개시되어 있다. 또한 CAAC 구조 및 nc 구조보다 결정성이 낮은 산화물 반도체이어도 미소한 결정을 갖는다는 것이 비특허문헌 4 및 비특허문헌 5에 개시되어 있다.
- [0007] 또한 IGZO를 활성층으로서 사용한 트랜지스터는 오프 전류가 매우 낮고(비특허문헌 6 참조), 그 특성을 이용한 LSI 및 표시 장치가 보고되어 있다(비특허문헌 7 및 비특허문헌 8 참조). 또한 특허문헌 2에는, IGZO를 활성층에 포함하는 트랜지스터를 표시 장치의 화소 회로에 사용하는 발명이 개시되어 있다.

선행기술문헌

특허문헌

- [0008] (특허문헌 0001) 일본 공개특허공보 특개2017-10000호
(특허문헌 0002) 일본 공개특허공보 특개2010-156963호

비특허문헌

- [0009] (비특허문헌 0001) S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p.183-186
(비특허문헌 0002) S. Yamazaki et al., "Japanese Journal of Applied Physics", 2014, volume 53, Number 4S, p.04ED18-1-04ED18-10
(비특허문헌 0003) S. Ito et al., "The Proceedings of AM-FPD'13 Digest of Technical Papers", 2013, p.151-154
(비특허문헌 0004) S. Yamazaki et al., "ECS Journal of Solid State Science and Technology", 2014, volume 3, issue 9, p.Q3012-Q3022
(비특허문헌 0005) S. Yamazaki, "ECS Transactions", 2014, volume 64, issue 10, p.155-164
(비특허문헌 0006) K. Kato et al., "Japanese Journal of Applied Physics", 2012, volume 51, p.021201-1-021201-7
(비특허문헌 0007) S. Matsuda et al., "2015 Symposium on VLSI Technology Digest of Technical Papers", 2015, p.T216-T217
(비특허문헌 0008) S. Amano et al., "SID Symposium Digest of Technical Papers", 2010, volume 41, issue 1, p.626-629

발명의 내용

해결하려는 과제

[0010] 표시 장치가 고품위의 화상을 표시하는 조건으로서, 표시 장치에는 예를 들어 고해상도이고, 다계조이고, 색역이 넓은 것 등이 요구된다. 예를 들어, 유기 EL(Electro Luminescence) 소자 등의 발광 소자를 포함하는 표시 장치에서 표시 품질이 높은 화상을 표시하기 위해서는, 구동 트랜지스터의 특성 편차를 억제하고, 또한 화소에 전송되는 화상 데이터를 적절히 보정할 필요가 있다.

[0011] 본 발명의 일 형태는 구동 트랜지스터의 특성 편차를 억제하고, 또한 화상 데이터를 보정할 수 있는 화소 회로(본 명세서 등에서는 반도체 장치라고 기재함)를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 반도체 장치를 포함하는 표시 장치를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 표시 장치를 포함하는 전자 기기를 제공하는 것을 과제 중 하나로 한다. 또는 본 발명의 일 형태는 상기 반도체 장치, 상기 표시 장치, 상기 전자 기기의 동작 방법을 제공하는 것을 과제 중 하나로 한다.

[0012] 또한 본 발명의 일 형태의 과제는 위에서 열거한 과제에 한정되지 않는다. 위에서 열거한 과제는 다른 과제의 존재를 방해하는 것이 아니다. 또한 다른 과제는 이하에 기재되고 본 항목에서는 언급되지 않은 과제이다. 본 항목에서 언급되지 않은 과제는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 중 적어도 하나의 과제를 해결하는 것이다. 또한 본 발명의 일 형태는 위에서 열거한 과제 및 다른 과제 모두를 해결할 필요는 없다.

과제의 해결 수단

[0013] (1)

[0014] 본 발명의 일 형태는 화상 데이터 유지부와, 보정 데이터 유지부와, 구동 회로부와, 표시 소자와, 문턱 전압 보정 회로부를 포함하고, 구동 회로부는 백 게이트를 갖는 제 1 트랜지스터를 포함하고, 제 1 트랜지스터의 제 1 단자는 표시 소자의 입력 단자에 전기적으로 접속되고, 화상 데이터 유지부는 제 1 화상 데이터를 유지하는 기능을 갖고, 보정 데이터 유지부는 보정 데이터를 유지하는 기능과, 화상 데이터 유지부가 제 1 화상 데이터를 유지함으로써 제 1 화상 데이터 및 보정 데이터에 따른 제 2 화상 데이터를 생성하는 기능을 갖고, 구동 회로부는 제 1 트랜지스터의 게이트에 제 2 화상 데이터에 따른 제 1 전위가 인가됨으로써, 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에서 제 1 전류를 생성하는 기능과, 제 1 전류를 표시 소자에 흘리는 기능을 갖고, 문턱 전압 보정 회로부는 구동 회로부에 포함되는 제 1 트랜지스터의 문턱 전압을 보정하는 기능을 갖는 반도체 장치이다.

[0015] (2)

[0016] 또는 본 발명의 일 형태는 상기 (1)의 구성에서 제 1 용량 소자 내지 제 3 용량 소자를 포함하고, 화상 데이터 유지부는 제 2 트랜지스터를 포함하고, 보정 데이터 유지부는 제 3 트랜지스터를 포함하고, 문턱 전압 보정 회로는 제 4 트랜지스터를 포함하고, 제 2 트랜지스터의 제 1 단자는 제 1 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 제 1 단자는 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 제 1 단자는 제 2 용량 소자의 제 2 단자와 제 3 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 백 게이트는 제 4 트랜지스터의 제 1 단자와 제 3 용량 소자의 제 2 단자에 전기적으로 접속되는 반도체 장치이다.

[0017] (3)

[0018] 또는 본 발명의 일 형태는 상기 (2)의 구성에서 제 1 트랜지스터 내지 제 4 트랜지스터의 각각이 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는 반도체 장치이다.

[0019] (4)

[0020] 또는 본 발명의 일 형태는 상기 (2) 또는 (3)의 구성에서 구동 회로부가 제 5 트랜지스터를 포함하고, 제 3 트랜지스터의 제 1 단자와 표시 소자의 입력 단자가 제 5 트랜지스터의 제 1 단자와 제 2 단자 간을 통하여 전기적으로 접속되는 반도체 장치이다.

[0021] (5)

[0022] 또는 본 발명의 일 형태는 상기 (4)의 구성에서 제 5 트랜지스터가 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는 반도체 장치이다.

- [0023] (6)
- [0024] 또는 본 발명의 일 형태는 상기 (2) 내지 (5) 중 어느 하나의 구성에서 제 6 트랜지스터를 포함하고, 제 6 트랜지스터의 제 1 단자가 제 1 트랜지스터의 게이트에 전기적으로 접속되고, 제 6 트랜지스터의 제 2 단자가 제 1 트랜지스터의 제 1 단자에 전기적으로 접속되는 반도체 장치이다.
- [0025] (7)
- [0026] 또는 본 발명의 일 형태는 상기 (6)의 구성에서 제 6 트랜지스터가 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는 반도체 장치이다.
- [0027] (8)
- [0028] 또는 본 발명의 일 형태는 상기 (2) 내지 (7) 중 어느 하나의 구성에서 제 1 기능 내지 제 3 기능을 갖고, 제 1 기능은 제 3 트랜지스터를 온 상태로 하여 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 제 1 초기화 전위를 인가하는 기능과, 제 4 트랜지스터를 온 상태로 하여 제 1 트랜지스터의 백 게이트에 제 2 초기화 전위를 인가하는 기능과, 제 1 트랜지스터의 제 1 단자와, 제 2 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자에 제 3 초기화 전위를 인가하는 기능과, 제 3 트랜지스터를 오프 상태로 하여 제 2 용량 소자에 의하여 제 1 초기화 전위와 제 3 초기화 전위의 전위차를 유지하는 기능과, 제 1 트랜지스터의 제 1 단자로부터 표시 소자의 입력 단자로의 전류를 차단하고, 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에 전압을 인가하여 제 1 트랜지스터를 온 상태로 한 후, 제 1 트랜지스터의 제 1 단자의 전위가 제 2 전위가 되고 제 1 트랜지스터가 오프 상태가 되었을 때, 제 3 용량 소자에 의하여 제 2 초기화 전위와 제 2 전위의 전위차를 유지하는 기능을 갖고, 제 2 기능은 제 3 트랜지스터를 온 상태로 하여 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 보정 데이터에 따른 제 3 전위를 기록하는 기능과, 제 3 트랜지스터를 오프 상태로 하여 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 의하여 제 3 전위를 유지하는 기능을 갖고, 제 3 기능은 제 2 트랜지스터를 온 상태로 하여 제 1 용량 소자의 제 1 단자에 제 1 화상 데이터에 따른 제 4 전위를 기록하는 기능과, 제 1 용량 소자의 제 1 단자에 제 4 전위가 기록됨으로써 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 유지된 제 3 전위가 제 2 화상 데이터에 따른 제 1 전위로 변동하는 기능을 갖는 반도체 장치이다.
- [0029] (9)
- [0030] 또는 본 발명의 일 형태는 상기 (1) 내지 (8) 중 어느 하나의 구성의 반도체 장치와, 주변 회로를 포함하는 표시 장치이다.
- [0031] (10)
- [0032] 또는 본 발명의 일 형태는 상기 (9)의 구성의 표시 장치와, 하우징을 포함하는 전자 기기이다.
- [0033] (11)
- [0034] 또는 본 발명의 일 형태는 화상 데이터 유지부와, 보정 데이터 유지부와, 구동 회로부와, 표시 소자와, 문턱 전압 보정 회로부를 포함하는 반도체 장치의 동작 방법이고, 구동 회로부는 백 게이트를 갖는 제 1 트랜지스터를 포함하고, 반도체 장치의 동작 방법은 문턱 전압 보정 기간과, 보정 데이터 기록 기간과, 화상 데이터 기록 기간과, 화상 표시 기간을 갖고, 문턱 전압 보정 기간은 문턱 전압 보정 회로부가 제 1 트랜지스터의 백 게이트에 전위를 인가함으로써 제 1 트랜지스터의 문턱 전압을 보정하는 기간을 갖고, 보정 데이터 기록 기간은 보정 데이터 유지부에 보정 데이터를 기록하는 기간을 갖고, 화상 데이터 기록 기간은 화상 데이터 유지부에 제 1 화상 데이터를 기록하고, 보정 데이터 유지부가 제 1 화상 데이터 및 보정 데이터에 따른 제 2 화상 데이터를 생성하는 기간을 갖고, 화상 표시 기간은 제 1 트랜지스터의 게이트에 제 2 화상 데이터에 따른 제 1 전위가 인가됨으로써 구동 회로부가 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에서 제 1 전류를 생성하고, 제 1 전류를 표시 소자에 흘리는 기간을 갖는 반도체 장치의 동작 방법이다.
- [0035] (12)
- [0036] 또는 본 발명의 일 형태는 상기 (11)의 동작 방법에서 초기화 기간을 갖고, 반도체 장치는 제 1 용량 소자 내지 제 3 용량 소자를 포함하고, 화상 데이터 유지부는 제 2 트랜지스터를 포함하고, 보정 데이터 유지부는 제 3 트랜지스터를 포함하고, 문턱 전압 보정 회로는 제 4 트랜지스터를 포함하고, 제 2 트랜지스터의 제 1 단자는 제

1 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 3 트랜지스터의 제 1 단자는 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 전기적으로 접속되고, 제 1 트랜지스터의 제 1 단자는 제 2 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자와, 표시 소자의 입력 단자에 전기적으로 접속되고, 제 1 트랜지스터의 백 게이트는 제 4 트랜지스터의 제 1 단자와, 제 3 용량 소자의 제 2 단자에 전기적으로 접속되고, 초기화 기간은 제 3 트랜지스터가 온 상태가 되어 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 제 1 초기화 전위가 인가되는 기간과, 제 4 트랜지스터가 온 상태가 되어 제 1 트랜지스터의 백 게이트와, 제 3 용량 소자의 제 2 단자에 제 2 초기화 전위가 인가되는 기간과, 제 1 트랜지스터의 제 1 단자와, 제 2 용량 소자의 제 2 단자와, 제 3 용량 소자의 제 1 단자에 제 3 초기화 전위가 인가되는 기간을 갖고, 문턱 전압 보정 기간은 제 1 트랜지스터의 제 1 단자로부터 표시 소자의 전류를 차단하는 기간과, 제 3 트랜지스터가 오프 상태가 되어 제 2 용량 소자가 제 1 초기화 전위와 제 3 초기화 전위의 전위차를 유지하는 기간과, 제 1 트랜지스터의 제 2 단자에 고전위가 인가됨으로써 제 1 트랜지스터의 제 1 단자의 전위가 제 1 트랜지스터가 오프 상태가 되는 제 2 전위에 달할 때까지 제 1 트랜지스터의 제 1 단자와 제 2 단자 간에 제 2 전류가 흐르는 기간과, 제 4 트랜지스터가 오프 상태가 되어 제 3 용량 소자가 제 2 전위와 제 2 초기화 전위의 전위차를 유지하는 기간을 갖고, 보정 데이터 기록 기간은 제 3 트랜지스터가 온 상태가 되어 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 보정 데이터에 따른 제 3 전위가 인가되는 기간과, 제 3 트랜지스터가 오프 상태가 되어 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 의하여 제 3 전위가 유지되는 기간을 갖고, 화상 데이터 기록 기간은 제 2 트랜지스터가 온 상태가 되어 제 1 용량 소자의 제 1 단자에 제 1 화상 데이터에 따른 제 4 전위가 인가되는 기간과, 제 1 용량 소자의 제 1 단자에 제 4 전위가 기록됨으로써 제 1 트랜지스터의 게이트와, 제 1 용량 소자의 제 2 단자와, 제 2 용량 소자의 제 1 단자에 유지된 제 3 전위가 제 2 화상 데이터에 따른 제 1 전위로 변동하는 기간을 갖는 반도체 장치의 동작 방법이다.

(13)

또는 본 발명의 일 형태는 상기 (12)의 동작 방법에서 제 1 트랜지스터 내지 제 4 트랜지스터의 각각이 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는 표시 장치의 동작 방법이다.

(14)

또는 본 발명의 일 형태는 상기 (12) 또는 (13)의 동작 방법에서 구동 회로부가 제 5 트랜지스터를 포함하고, 제 3 트랜지스터의 제 1 단자와 표시 소자의 입력 단자가 제 5 트랜지스터의 제 1 단자와 제 2 단자 간을 통하여 전기적으로 접속되고, 초기화 기간과, 보정 데이터 기록 기간과, 화상 데이터 기록 기간이 제 5 트랜지스터가 오프 상태가 되는 기간을 갖고, 화상 표시 기간이 제 5 트랜지스터가 온 상태가 되는 기간을 갖는 반도체 장치의 동작 방법이다.

(15)

또는 본 발명의 일 형태는 상기 (14)의 동작 방법에서 제 5 트랜지스터가 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는 반도체 장치의 동작 방법이다.

(16)

또는 본 발명의 일 형태는 상기 (12) 내지 (15) 중 어느 하나의 동작 방법에서 반도체 장치가 제 6 트랜지스터를 포함하고, 제 6 트랜지스터의 제 1 단자가 제 1 트랜지스터의 게이트에 전기적으로 접속되고, 제 6 트랜지스터의 제 2 단자가 제 1 트랜지스터의 제 1 단자에 전기적으로 접속되고, 문턱 전압 보정 기간이 제 6 트랜지스터가 온 상태가 되는 기간을 갖는 반도체 장치의 동작 방법이다.

(17)

또는 본 발명의 일 형태는 상기 (16)의 동작 방법에서 제 6 트랜지스터가 채널 형성 영역에 금속 산화물 및 실리콘 중 한쪽을 포함하는 반도체 장치의 동작 방법이다.

(18)

또는 본 발명의 일 형태는 상기 (11) 내지 (17) 중 어느 하나에 기재된 반도체 장치의 동작 방법을 포함하는 표시 장치의 동작 방법이고, 표시 장치는 복수의 반도체 장치가 매트릭스상으로 배치된 표시부를 갖고, 복수의 반도체 장치의 일부는 제 1 화소 및 제 2 화소로서 기능하고, 제 1 화소와 제 2 화소는 표시부에서 서로 상이한 행에 위치하고, 제 1 화소가 문턱 전압 보정 기간의 동작을 수행할 때, 제 2 화소는 보정 데이터 기록 기간 및

화상 데이터 기록 기간의 각각의 동작을 수행하는 표시 장치의 동작 방법이다.

발명의 효과

- [0049] 본 발명의 일 형태에 의하여, 구동 트랜지스터의 특성 편차를 억제하고, 또한 화상 데이터를 보정할 수 있는 반도체 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 상기 반도체 장치를 포함하는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 상기 표시 장치를 포함하는 전자 기기를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 상기 반도체 장치, 상기 표시 장치, 상기 전자 기기의 동작 방법을 제공할 수 있다.
- [0050] 또는 본 발명의 일 형태에 의하여, 회로 면적이 작은 소스 드라이버 회로를 포함하는 표시 장치를 제공할 수 있다. 또는 본 발명의 일 형태에 의하여, 소비전력이 낮은 소스 드라이버 회로를 포함하는 표시 장치를 제공할 수 있다.
- [0051] 또한 본 발명의 일 형태의 효과는 위에서 열거한 효과에 한정되지 않는다. 위에서 열거한 효과는 다른 효과의 존재를 방해하는 것이 아니다. 또한 다른 효과는 이하에 기재되고 본 항목에서는 언급되지 않은 효과이다. 본 항목에서 언급되지 않은 효과는 통상의 기술자라면 명세서 또는 도면 등의 기재로부터 도출할 수 있는 것이고, 이들 기재로부터 적절히 추출할 수 있다. 또한 본 발명의 일 형태는 위에서 열거한 효과 및 다른 효과 중 적어도 하나의 효과를 갖는 것이다. 따라서 본 발명의 일 형태는 경우에 따라서는 위에서 열거한 효과를 갖지 않는 경우도 있다.

도면의 간단한 설명

- [0052] 도 1은 표시 장치의 일례를 나타낸 블록도.
 도 2는 화소의 구성예를 설명하기 위한 블록도.
 도 3은 화소의 구성예를 설명하기 위한 블록도.
 도 4는 화소의 구성예를 나타낸 회로도.
 도 5는 화소의 구성예를 설명하기 위한 블록도.
 도 6은 화소의 구성예를 나타낸 회로도.
 도 7은 화소의 구성예를 나타낸 회로도.
 도 8은 화소의 동작예를 나타낸 타이밍 차트.
 도 9는 화소의 동작과 배선에 대한 전압 인가의 타이밍의 일례를 설명하기 위한 도면.
 도 10은 표시부와 그 주변 회로의 구성예를 나타낸 블록도.
 도 11은 표시 장치의 일례를 나타낸 상면도.
 도 12는 터치 패널의 일례를 나타낸 사시도.
 도 13은 표시 장치의 일례를 나타낸 단면도.
 도 14는 트랜지스터의 구성예를 나타낸 단면도.
 도 15는 트랜지스터의 구성예를 나타낸 단면도.
 도 16은 전자 기기의 일례를 나타낸 사시도.
 도 17은 전자 기기의 일례를 나타낸 사시도.
 도 18은 문턱 전압의 보정에 따른 전류의 변화율을 나타낸 그래프.
 도 19는 화상 데이터(전압)와 트랜지스터를 흐르는 전류량의 관계를 나타낸 그래프.
 도 20은 트랜지스터의 드레인 전류와 게이트-소스 간 전압의 특성을 나타낸 그래프.
 도 21은 시작(試作)한 표시 장치의 외관 사진.

발명을 실시하기 위한 구체적인 내용

- [0053] 본 명세서 등에서 금속 산화물(metal oxide)이란, 넓은 의미로의 금속의 산화물이다. 금속 산화물은 산화물 절연체, 산화물 도전체(투명 산화물 도전체를 포함함), 산화물 반도체(Oxide Semiconductor 또는 단순히 OS라고도 함) 등으로 분류된다. 예를 들어, 트랜지스터의 활성층에 금속 산화물을 사용한 경우, 상기 금속 산화물을 산화물 반도체라고 하는 경우가 있다. 즉, 금속 산화물이 증폭 작용, 정류 작용, 및 스위칭 작용 중 적어도 하나를 갖는 트랜지스터의 채널 형성 영역을 구성할 수 있는 경우, 상기 금속 산화물을 금속 산화물 반도체(metal oxide semiconductor), 줄여서 OS라고 할 수 있다. 또한 OS FET 또는 OS 트랜지스터라고 기재하는 경우에는, 금속 산화물 또는 산화물 반도체를 포함하는 트랜지스터라고 바꿔 말할 수 있다.
- [0054] 또한 본 명세서 등에서, 질소를 포함하는 금속 산화물도 금속 산화물(metal oxide)이라고 총칭하는 경우가 있다. 또한 질소를 포함하는 금속 산화물을 금속 산질화물(metal oxynitride)이라고 하여도 좋다.
- [0055] (실시형태 1)
- [0056] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치 또는 상기 반도체 장치를 포함하는 표시 장치에 대하여 설명한다.
- [0057] <표시 장치의 구성>
- [0058] 먼저, 표시 장치의 구성예에 대하여 설명한다. 도 1은 무기 EL 소자, 유기 EL 소자 등의 발광 소자를 포함하는 표시 장치의 일례를 나타낸 블록도이다. 표시 장치(DD)는 표시부(PA)와, 표시부(PA)의 주변 회로로서 소스 드라이버 회로(SD)와 게이트 드라이버 회로(GD)를 포함한다.
- [0059] 표시부(PA)는 복수의 화소(PIX)를 포함한다. 또한 도 1에는 표시부(PA)에 포함되는 복수의 화소(PIX) 중 하나만을 도시하였으며, 다른 화소(PIX)는 생략하였다. 또한 표시부(PA)에 포함되는 복수의 화소(PIX)는 매트릭스 상으로 배치되어 있는 것이 바람직하다.
- [0060] 도 1에서 화소(PIX)는 배선(DL)을 통하여 소스 드라이버 회로(SD)에 전기적으로 접속되어 있다. 또한 화소(PIX)는 배선(GL)을 통하여 게이트 드라이버 회로(GD)에 전기적으로 접속되어 있다. 또한 표시부(PA)는 화소(PIX)를 복수로 포함하기 때문에, 배선(DL)에 전기적으로 접속되는 화소(PIX)는 복수로 하여도 좋다. 마찬가지로 배선(GL)에 전기적으로 접속되는 화소(PIX)도 복수로 하여도 좋다. 또한 배선(DL) 및 배선(GL)의 각각은, 표시부(PA)에 포함되는 화소(PIX)의 개수에 따라 복수로 제공하여도 좋다. 또한 화소(PIX)의 회로 구성에 따라서는, 하나의 화소(PIX)에 대하여 복수의 배선(DL) 또는 복수의 배선(GL)을 전기적으로 접속하는 구성으로 하여도 좋다.
- [0061] 화소(PIX)는 하나 이상의 부화소를 포함하는 구성으로 할 수 있다. 예를 들어 화소(PIX)에는 부화소를 하나 포함하는 구성(적색(R), 녹색(G), 청색(B), 백색(W) 등 중 어느 하나의 색), 부화소를 3개 포함하는 구성(적색(R), 녹색(G), 및 청색(B)의 3색 등), 또는 부화소를 4개 포함하는 구성(적색(R), 녹색(G), 청색(B), 백색(W)의 4색, 또는 적색(R), 녹색(G), 청색(B), 황색(Y)의 4색 등)을 적용할 수 있다. 또한 부화소에 적용되는 색 요소는 상기에 한정되지 않고, 필요에 따라 시안(C) 및 마젠타(M) 등을 조합하여도 좋다.
- [0062] 소스 드라이버 회로(SD)는 표시부(PA)에 포함되는 화소(PIX)에 입력하기 위한 화상 데이터를 생성하는 기능과, 상기 화상 데이터를 화소(PIX)에 전송하는 기능을 갖는다.
- [0063] 소스 드라이버 회로(SD)는 예를 들어 시프트 레지스터(SR)와, 래치 회로(LAT)와, 레벨 시프트 회로(LVS)와, 디지털 아날로그 변환 회로(DAC)와, 앰프 회로(AMP)와, 데이터 버스 배선(DB)을 포함할 수 있다. 도 1에서는 시프트 레지스터(SR)의 출력 단자가 래치 회로(LAT)의 클럭 입력 단자에 전기적으로 접속되고, 래치 회로(LAT)의 입력 단자가 데이터 버스 배선(DB)에 전기적으로 접속되고, 래치 회로(LAT)의 출력 단자가 레벨 시프트 회로(LVS)의 입력 단자에 전기적으로 접속되고, 레벨 시프트 회로(LVS)의 출력 단자가 디지털 아날로그 변환 회로(DAC)의 입력 단자에 전기적으로 접속되고, 디지털 아날로그 변환 회로(DAC)의 출력 단자가 앰프 회로(AMP)의 입력 단자에 전기적으로 접속되고, 앰프 회로(AMP)의 출력 단자가 표시부(PA)에 전기적으로 접속되어 있다.
- [0064] 또한 도 1에 도시된 래치 회로(LAT)와, 레벨 시프트 회로(LVS)와, 디지털 아날로그 변환 회로(DAC)와, 앰프 회로(AMP)는 하나의 배선(DL)에 제공되어 있다. 즉, 배선(DL)의 개수에 따라 래치 회로(LAT)와, 레벨 시프트 회로(LVS)와, 디지털 아날로그 변환 회로(DAC)와, 앰프 회로(AMP)의 각각을 복수로 제공할 필요가 있다. 또한 이 경우, 시프트 레지스터(SR)는 복수의 래치 회로(LAT)의 클럭 입력 단자의 각각에 순차적으로 펄스 신호를 전송

하는 구성으로 하면 좋다.

- [0065] 데이터 버스 배선(DB)은 표시부(PA)에 입력하기 위한 화상 데이터를 포함하는 디지털 신호를 전송하기 위한 배선이다. 상기 화상 데이터는 계조도를 갖고, 계조도가 클수록 색 또는 밝기의 변화를 매끄러운 그라데이션으로 표현할 수 있고, 더 자연스러운 화상을 표시부(PA)에 표시할 수 있다. 다만 계조도가 클수록 상기 화상 데이터의 데이터양은 커지고, 또한 분해능이 높은 디지털 아날로그 변환 회로를 사용할 필요가 있다.
- [0066] 래치 회로(LAT)의 입력 단자에는 데이터 버스 배선(DB)으로부터 화상 데이터를 포함하는 디지털 신호가 입력된다. 그리고 래치 회로(LAT)는 시프트 레지스터(SR)로부터 전송되는 신호에 따라, 상기 화상 데이터의 유지 및 유지한 상기 화상 데이터의 출력 단자로부터의 출력 중 어느 한쪽의 동작을 수행한다.
- [0067] 레벨 시프트 회로(LVS)는 입력 신호를 더 큰 진폭 전압 또는 더 작은 진폭 전압의 출력 신호로 변환하는 기능을 갖는다. 도 1에서는, 래치 회로(LAT)로부터 전송되는 화상 데이터를 포함하는 디지털 신호의 진폭 전압을 디지털 아날로그 변환 회로(DAC)가 적절히 동작하는 진폭 전압으로 변환하는 역할을 갖는다.
- [0068] 디지털 아날로그 변환 회로(DAC)는, 입력된 화상 데이터를 포함하는 디지털 신호를 아날로그 신호로 변환하는 기능과, 상기 아날로그 신호를 출력 단자로부터 출력하는 기능을 갖는다. 특히, 표시부(PA)에 다계조의 화상 데이터를 표시하는 경우, 디지털 아날로그 변환 회로(DAC)를 고분해능의 디지털 아날로그 변환 회로로 할 필요가 있다.
- [0069] 앰프 회로(AMP)는 입력 단자에 입력된 아날로그 신호를 증폭하여 아날로그 신호를 출력 단자로부터 출력하는 기능을 갖는다. 디지털 아날로그 변환 회로(DAC)와 표시부(PA) 사이에 앰프 회로(AMP)를 제공함으로써, 화상 데이터를 표시부(PA)에 안정적으로 전송할 수 있다. 앰프 회로(AMP)로서는, 연산 증폭기 등을 포함하는 전압 폴로어 회로 등을 적용할 수 있다. 또한 앰프 회로로서 차동 입력 회로를 포함하는 회로를 사용하는 경우, 상기 차동 입력 회로의 오프셋 전압은 가능한 한 0V로 하는 것이 바람직하다.
- [0070] 소스 드라이버 회로(SD)는 상술한 동작을 수행함으로써, 데이터 버스 배선(DB)으로부터 전송되는 화상 데이터를 포함하는 디지털 신호를 아날로그 신호로 변환하여 표시부(PA)에 전송할 수 있다.
- [0071] 게이트 드라이버 회로(GD)는 표시부(PA)에 포함되는 복수의 화소(PIX) 중 화상 데이터가 입력되는 화소(PIX)를 선택하는 기능을 갖는다.
- [0072] 표시부(PA)에 화상 데이터를 입력하는 방법으로서, 예를 들어 게이트 드라이버 회로(GD)는 어떤 하나의 배선(GL)에 전기적으로 접속되는 복수의 화소(PIX)에 선택 신호를 전송하여, 복수의 화소(PIX)에 포함되는 화상 데이터의 기록 스위칭 소자를 온 상태로 한 후, 소스 드라이버 회로(SD)로부터 배선(DL)을 통하여 복수의 화소(PIX)에 화상 데이터를 전송하여 기록을 하면 좋다.
- [0073] 또한 본 발명의 일 형태는 도 1에 나타난 표시 장치(DD)의 구성에 한정되지 않는다. 본 발명의 일 형태는 예를 들어, 설계 사양, 목적 등의 상황에 따라 표시 장치(DD)의 구성 요소를 적절히 변경한 것으로 할 수 있다.
- [0074] <화소의 구성예 1>
- [0075] 다음으로, 화소(PIX)의 구성예에 대하여 설명한다. 화소(PIX)로서는, 예를 들어 도 2의 (A)의 블록도에 나타난 화소(PIX)를 적용할 수 있다. 또한 도 2의 (A)에는, 화소(PIX)와의 전기적인 접속 관계도 나타내기 위하여, 게이트 드라이버 회로(GD)와, 소스 드라이버 회로(SD)와, 표시부(PA)와, 배선(DL)과, 배선(GL)도 도시하였다.
- [0076] 도 2의 (A)에 나타난 화소(PIX)는 화상 데이터 유지부(101)와, 구동 회로부(102)와, 표시 소자(103)를 포함한다.
- [0077] 화상 데이터 유지부(101)는 구동 회로부(102)에 전기적으로 접속되고, 구동 회로부(102)는 표시 소자(103)에 전기적으로 접속되어 있다.
- [0078] 화상 데이터 유지부(101)는 소스 드라이버 회로(SD)로부터 배선(DL)을 통하여 전송되는 화상 데이터를 유지하는 기능을 갖는다. 또한 화상 데이터 유지부(101)는 화상 데이터를 유지하기 위한 기록 스위칭 소자, 용량 소자 등을 포함할 수 있다.
- [0079] 표시 소자(103)는 화소(PIX)로부터 사출되는 광을 제어하는 기능을 갖는다. 상기 광의 강도(휘도, 계조의 높이 등이라고 바꿔 말할 수 있음)는 화상 데이터 유지부(101)에 유지된 화상 데이터에 따라 결정된다.
- [0080] 표시 소자(103)로서는 예를 들어 무기 EL 소자, 유기 EL 소자 등의 발광 소자, 투과형 액정 소자, 반사형 액정

소자 등을 적용할 수 있다.

- [0081] 구동 회로부(102)는 화상 데이터 유지부(101)에 유지된 화상 데이터에 따라 표시 소자(103)를 구동하는 기능을 갖는다. 예를 들어, 표시 소자(103)로서, 유기 EL 소자 등 전류에 따라 발광 휘도가 결정되는 소자를 적용하는 경우, 구동 회로부(102)는 상기 전류를 제어하는 구동 트랜지스터를 포함할 수 있다. 또한 구동 트랜지스터는 표시 소자(103)에 구동 전류를 흘리는 기능을 갖는다.
- [0082] 배선(VA)은 화소(PIX)에 전기적으로 접속되어 있다. 배선(VA)은 예를 들어, 화상 데이터 유지부(101)에 화상 데이터를 유지하기 위한 용량선, 구동 회로부(102)를 구동하기 위한 전압 공급선 등으로 할 수 있다. 그러므로 배선(VA)을 하나 또는 복수의 배선으로 할 수 있다. 또한 배선(VA)의 구성은, 상술한 것에 한정되지 않고, 화소(PIX)의 구성에 따라 적절히 변경할 수 있다. 예를 들어, 표시 소자(103)가 유기 EL 소자 등의 발광 소자인 경우, 배선(VA)으로서는 상기 발광 소자를 구동하기 위한 전류 공급선으로 할 수 있다. 또한 예를 들어 표시 소자(103)를 액정 소자로 하는 경우에는, 발광 소자와는 달리 배선(VA)을 전류 공급선으로 할 필요는 없다.
- [0083] 도 1의 표시 장치(DD)에 대한 설명에서는, 배선(GL)은 화소(PIX)에 화상 데이터를 기록할 때 미리 선택 신호를 전송하는 기능을 갖는다고 설명하였지만, 도 2의 (A)에 나타난 화소(PIX)를 포함하는 표시 장치(DD)에서 배선(GL)은 도 2의 (A)의 화소(PIX)와 배선(VA) 사이의 도통 상태, 비도통 상태를 전환하기 위한 신호를 전송하는 기능을 가져도 좋다. 그러므로 배선(GL)은 복수의 신호를 전송하기 때문에, 복수의 배선으로 할 수 있다. 이에 의하여, 배선(VA)으로부터 공급되는 전압 및/또는 전류를 일시적으로 정지할 수 있다.
- [0084] <화소의 구성예 2>
- [0085] 또한 화소(PIX)는 화상 데이터를 보정하는 기능을 가져도 좋다. 이 경우의 화소(PIX)의 구성을 도 2의 (B)의 블록도에 나타내었다. 도 2의 (B)에 나타난 화소(PIX)는 도 2의 (A)의 화소(PIX)에 보정 데이터 유지부(104)를 제공한 구성을 갖는다.
- [0086] 보정 데이터 유지부(104)는 화상 데이터 유지부(101)와 구동 회로부(102)에 전기적으로 접속되어 있다.
- [0087] 보정 데이터 유지부(104)는 회로(WSD)로부터 배선(WDL)을 통하여 전송되는 보정 데이터를 유지하는 기능과, 상기 보정 데이터에 기초하여 화상 데이터 유지부(101)에 유지된 화상 데이터를 보정하는 기능을 갖는다.
- [0088] 이 경우, 구동 회로부(102)는 보정 데이터 유지부(104)에서 보정된 화상 데이터에 따라 표시 소자(103)를 구동하는 기능을 갖는다.
- [0089] 또한 보정 데이터 유지부(104)는 보정 데이터를 유지하기 위한 기록 스위칭 소자, 용량 소자 등을 포함할 수 있다.
- [0090] 화상 데이터의 보정 방법으로서, 예를 들어 용량 소자를 사용한 방법이 있다. 구체적으로는, 보정 데이터 유지부(104)에서 용량 소자의 한 쌍의 단자 중 한쪽에 보정 데이터에 해당하는 제 1 전위를 유지한 후, 상기 용량 소자의 한 쌍의 단자 중 한쪽을 전기적으로 부유 상태로 하고, 화상 데이터 유지부(101)에서 상기 용량 소자의 한 쌍의 단자 중 다른 쪽에 화상 데이터에 해당하는 제 2 전위를 유지한다. 이에 의하여, 상기 용량 소자의 한 쌍의 단자 중 한쪽의 제 1 전위는 용량 결합에 의하여 제 2 전위에 따라 증강되고 제 3 전위가 된 것으로 가정된다. 이 제 3 전위가, 보정된 화상 데이터에 상당한다. 그 후, 제 3 전위를 구동 회로부(102)에 인가함으로써, 구동 회로부(102)는 제 3 전위에 따라 표시 소자(103)를 구동할 수 있다.
- [0091] 회로(WSD)는 표시부(PA)에 포함되는 화소(PIX)로 표시하는 화상을 보정하기 위한 보정 데이터를 생성하는 기능과, 상기 보정 데이터를 화소(PIX)에 전송하는 기능을 갖는다. 또한 도 2의 (B)에는 회로(WSD)와 소스 드라이버 회로(SD)의 양쪽을 도시하였지만, 예를 들어 소스 드라이버 회로(SD)가 상술한 회로(WSD)의 기능을 갖는 구성으로 하여도 좋다. 구체적으로는, 소스 드라이버 회로(SD)의 내부 또는 출력처에 디멀티플렉서 등을 제공하여, 하나의 회로로부터 배선(DL), 배선(WDL)의 각각에 화상 데이터와 보정 데이터를 전송하는 구성으로 하여도 좋다.
- [0092] 도 2의 (B)에 나타난 화소(PIX)를 표시 장치(DD)에 적용함으로써, 화상 데이터 유지부(101)에 유지된 화상 데이터에 대하여, 보정 데이터 유지부(104)에 유지된 보정 데이터에 따라 화상 보정을 실시할 수 있다. 여기서 화상 보정으로서, 예를 들어 휘도의 증폭, 다계조 화상으로의 변환 등이 있다.
- [0093] 또한 도 2의 (B)에서, 회로(WSD)로부터 화소(PIX)로 전송하는 보정 데이터가 소스 드라이버 회로(SD)에 의하여 생성될 수 있는 경우, 회로(WSD)를 생략하고 배선(WDL)을 소스 드라이버 회로(SD)에 전기적으로 접속된 구성으

로 할 수 있다. 이와 같은 구성을 도 3에 나타내었다. 도 3에 나타낸 화소(PIX) 및 그 주변 회로는, 소스 드라이버 회로(SD)가 화상 데이터를 생성하고, 상기 화상 데이터를 배선(DL)을 통하여 화상 데이터 유지부(101)에 전송하고, 또한 소스 드라이버 회로(SD)가 보정 데이터를 생성하고, 상기 보정 데이터를 배선(WDL)을 통하여 보정 데이터 유지부(104)에 전송하는 구성을 갖는다. 도 3에 나타낸 회로 구성을 표시 장치(DD)에 적용함으로써, 표시 장치(DD)의 회로 면적을 축소할 수 있다.

[0094] <<화소의 회로 구성에 1>>

[0095] 다음으로, 도 2의 (B)에 나타낸 화소(PIX)의 구체적인 회로 구성에 대하여 설명한다. 도 4는 도 2의 (B)에 나타낸 화소(PIX)의 회로 구성예를 도시한 것이다.

[0096] 도 4에 도시된 화소(PIX)는 트랜지스터(Tr1) 내지 트랜지스터(Tr5)와, 용량 소자(C1)와, 용량 소자(C2)와, 발광 소자(LD)를 포함한다. 또한 배선(DL), 배선(WDL), 배선(GL1) 내지 배선(GL3), 배선(VL), 배선(AL), 배선(CAT)은 화소(PIX)에 전기적으로 접속되어 있다.

[0097] 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr4), 및 트랜지스터(Tr5)의 각각은 스위칭 소자로서 기능한다. 트랜지스터(Tr3)는 발광 소자(LD)를 흐르는 전류를 제어하는 구동 트랜지스터로서 기능한다. 또한 트랜지스터(Tr1) 내지 트랜지스터(Tr5)에는, 나중의 실시형태 3에서 기재하는 트랜지스터의 구성을 적용할 수 있다.

[0098] 배선(DL)은 화소(PIX)에 화상 데이터를 전송하기 위한 배선이고, 도 2의 (B)에 나타낸 배선(DL)에 해당하는 배선으로 할 수 있다. 또한 배선(WDL)은 상기 화상 데이터에 대한 보정 데이터를 전송하기 위한 배선이고, 도 2의 (B)에 나타낸 배선(WDL)에 해당하는 배선으로 할 수 있다. 또한 배선(GL1) 내지 배선(GL3)의 각각은 화소(PIX)에 대한 선택 신호선이고, 도 2의 (B)에 나타낸 배선(GL)에 해당하는 배선으로 할 수 있다.

[0099] 배선(VL)은 화소(PIX) 내의 특정의 노드에 소정의 전위를 인가하기 위한 배선이다. 또한 배선(AL)은 발광 소자(LD)에 흘리기 위한 전류를 공급하기 위한 배선이다. 배선(VL) 및 배선(AL)은 도 2의 (B)에 나타낸 배선(VA)에 해당하는 배선으로 할 수 있다.

[0100] 배선(CAT)은 발광 소자(LD)의 출력 단자에 소정의 전위를 인가하기 위한 배선이다. 소정의 전위로서는, 예를 들어 기준 전위, 저레벨 전위, 이들보다 낮은 전위 등으로 할 수 있다. 또한 배선(CAT)은 도 2의 (B)에 나타낸 배선(VA)에 해당하는 배선으로 할 수 있다. 배선(CAT)은 표시부(PA)에 포함되는 복수의 화소(PIX)에서 공통 전위를 인가하는 배선으로서 기능하는 것이 바람직하다.

[0101] 트랜지스터(Tr1)의 제 1 단자는 용량 소자(C1)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(Tr1)의 제 2 단자는 배선(DL)에 전기적으로 접속되고, 트랜지스터(Tr1)의 게이트는 배선(GL1)에 전기적으로 접속되어 있다. 트랜지스터(Tr2)의 제 1 단자는 트랜지스터(Tr3)의 게이트와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C2)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(Tr2)의 제 2 단자는 배선(WDL)에 전기적으로 접속되고, 트랜지스터(Tr2)의 게이트는 배선(GL2)에 전기적으로 접속되어 있다.

[0102] 또한 본 실시형태에서는 트랜지스터(Tr1)의 제 1 단자와 용량 소자(C1)의 제 1 단자의 전기적 접속점을 노드(ND1)라고 하고, 트랜지스터(Tr2)의 제 1 단자와, 트랜지스터(Tr3)의 게이트와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C2)의 제 1 단자의 전기적 접속점을 노드(ND2)라고 한다.

[0103] 트랜지스터(Tr3)의 제 1 단자는 배선(AL)에 전기적으로 접속되고, 트랜지스터(Tr3)의 제 2 단자는 트랜지스터(Tr4)의 제 1 단자와, 트랜지스터(Tr5)의 제 1 단자와, 용량 소자(C2)의 제 2 단자에 전기적으로 접속되어 있다. 트랜지스터(Tr4)의 제 2 단자는 배선(VL)에 전기적으로 접속되고, 트랜지스터(Tr4)의 게이트는 배선(GL1)에 전기적으로 접속되어 있다. 트랜지스터(Tr5)의 제 2 단자는 발광 소자(LD)의 입력 단자에 전기적으로 접속되고, 트랜지스터(Tr5)의 게이트는 배선(GL3)에 전기적으로 접속되어 있다. 발광 소자(LD)의 출력 단자는 배선(CAT)에 전기적으로 접속되어 있다.

[0104] 트랜지스터(Tr3)의 제 2 단자와 발광 소자(LD)는 트랜지스터(Tr5)의 제 1 단자와 제 2 단자 사이를 통하여 전기적으로 접속되기 때문에, 트랜지스터(Tr5)는 트랜지스터(Tr3)의 제 2 단자와 발광 소자(LD)의 입력 단자 사이를 도통 상태 및 비도통 상태 중 어느 쪽으로 전환할 수 있는 스위칭 소자로서 기능한다.

[0105] 용량 소자(C1)는 노드(ND1)와 노드(ND2) 사이의 전위차를 유지하는 기능을 갖고, 용량 소자(C2)는 트랜지스터(Tr3)의 제 2 단자와 게이트 사이의 전위차를 유지하는 기능을 갖는다.

[0106] 도 4의 화소(PIX)에서, 트랜지스터(Tr1) 내지 트랜지스터(Tr5) 중 적어도 하나는 OS 트랜지스터인 것이 바람직

하다. 특히, OS 트랜지스터는 채널 형성 영역에 인듐, 원소 M(원소 M은 알루미늄, 갈륨, 이트륨, 또는 주석), 아연 중 적어도 하나를 포함한 산화물을 포함하는 것이 바람직하다. 또한 상기 산화물에 대해서는 실시형태 4에서 자세히 설명한다. 이러한 OS 트랜지스터를 트랜지스터(Tr1) 내지 트랜지스터(Tr5) 중 적어도 하나에 적용함으로써, 적용한 트랜지스터의 오프 전류를 매우 낮게 할 수 있다. 용량 소자(C1)의 제 1 단자(노드(ND1))에 데이터를 유지하는 경우, 트랜지스터(Tr1)를 OS 트랜지스터로 함으로써, 오프 전류로 인한, 노드(ND1)에 유지된 데이터의 파괴를 방지할 수 있다. 마찬가지로 트랜지스터(Tr3)의 게이트와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C2)의 제 1 단자(노드(ND2))에 데이터를 유지하는 경우, 트랜지스터(Tr2)를 OS 트랜지스터로 함으로써, 오프 전류로 인한, 노드(ND2)에 유지된 데이터의 파괴를 방지할 수 있다. 또한 발광 소자(LD)의 발광을 일시적으로 정지하는 경우, 트랜지스터(Tr5)를 OS 트랜지스터로 함으로써, 오프 전류로 인한 발광 소자(LD)의 발광을 방지할 수 있다. 또한 트랜지스터(Tr1) 내지 트랜지스터(Tr5) 모두에 OS 트랜지스터를 적용함으로써, 각 트랜지스터를 동시에 형성할 수 있기 때문에, 표시부(PA)의 제작 공정을 단축할 수 있는 경우가 있다. 즉, 표시부(PA)의 생산 시간을 단축할 수 있기 때문에, 일정 시간당 생산수를 증가시킬 수 있다.

[0107] 또한 트랜지스터(Tr1) 내지 트랜지스터(Tr5) 중 적어도 하나에 예를 들어 채널 형성 영역에 실리콘을 포함하는 트랜지스터를 적용할 수 있다(이하, Si 트랜지스터라고 기재함). 실리콘으로서는 예를 들어 수소화 비정질 실리콘, 미결정 실리콘, 다결정 실리콘, 단결정 실리콘 등을 사용할 수 있다. 또한 트랜지스터(Tr1) 내지 트랜지스터(Tr5) 중 일부의 트랜지스터를 Si 트랜지스터로 하고, 나머지 트랜지스터를 OS 트랜지스터로 하여도 좋다.

[0108] 도 2의 (B)에 나타난 화상 데이터 유지부(101)는, 예를 들어 도 4에 나타난 트랜지스터(Tr1)를 포함할 수 있다. 또한 구동 회로부(102)는, 예를 들어 도 4에 나타난 트랜지스터(Tr3) 내지 트랜지스터(Tr5)를 포함할 수 있다. 또한 표시 소자(103)는, 예를 들어 도 4에 나타난 발광 소자(LD)를 포함할 수 있다. 보정 데이터 유지부(104)는, 예를 들어 도 4에 나타난 트랜지스터(Tr2)를 포함할 수 있다. 또한 화상 데이터 유지부(101), 구동 회로부(102), 보정 데이터 유지부(104)의 각각은, 도 4에 나타난 용량 소자(C1), 용량 소자(C2)의 각각의 전위를 유지하는 기능을 공유하기 때문에, 용량 소자(C1), 용량 소자(C2)의 각각이 어느 회로에 포함되는지를 일의적으로 정할 수는 없다. 바꿔 말하면, 용량 소자(C1), 용량 소자(C2)의 각각은 화상 데이터 유지부(101), 구동 회로부(102), 보정 데이터 유지부(104) 중 어느 하나에 포함된다고 할 수 있다.

[0109] 그런데 도 2에서는, 표시 장치(DD)의 표시 품위가 구동 회로부(102)에 포함되는 구동 트랜지스터의 특성 편차의 영향을 받는 경우가 있다. 특히, 표시 소자(103)로서 발광 소자(LD)를 적용하는 경우, 그 영향은 커지기 때문에, 표시 장치(DD)의 표시 품위를 높이기 위해서는 구동 트랜지스터로서 기능하는 트랜지스터(Tr3)의 문턱 전압을 보정할 필요가 있다. 문턱 전압의 보정을 표시부(PA)의 외부 회로에 의하여 수행하는 경우, 상기 외부 회로는 구동 트랜지스터의 제 1 단자와 제 2 단자 사이를 흐르는 전류를 취득하고, 상기 전류를 사용하여 순차적으로 화상 데이터의 연산을 수행할 필요가 있기 때문에, 문턱 전압의 보정에 시간이 걸려 소비전력이 증가되는 경우가 있다.

[0110] <화소의 구성예 3>

[0111] 본 발명의 일 형태는 상기를 감안한 것이고, 화상 데이터 유지부(101), 보정 데이터 유지부(104)를 포함하는 화소(PIX)에, 구동 회로부(102)에 포함되는 구동 트랜지스터의 문턱 전압의 보정을 수행하는 문턱 전압 보정 회로부를 제공한 구성을 갖는다. 이로써, 표시부(PA)의 외부 회로에 의하여 구동 트랜지스터의 문턱 전압에 따른 화상 데이터의 연산을 수행할 필요가 없기 때문에, 표시 장치(DD)에서 상기 외부 회로를 생략할 수 있다. 또한 문턱 전압 보정 회로부를, 구동 트랜지스터의 백 게이트에 소정의 전위를 인가하여 문턱 전압을 보정하는 방식으로 함으로써, 구동 트랜지스터의 문턱 전압을 보정하기 위한 화상 데이터의 연산 처리를 생략할 수 있다.

[0112] 본 발명의 일 형태의 반도체 장치인 화소(PIX)의 회로 구성예를 도 5의 (A)의 블록도에 나타내었다.

[0113] 도 5의 (A)에 도시된 화소(PIX)는 화상 데이터 유지부(101)와, 구동 회로부(102)와, 표시 소자(103)와, 보정 데이터 유지부(104)와, 문턱 전압 보정 회로부(105)를 포함한다. 도 5의 (A)에 나타난 화소(PIX)는 도 2의 (B)의 화소(PIX)에 문턱 전압 보정 회로부(105)를 제공한 구성을 갖는다.

[0114] 문턱 전압 보정 회로부(105)는 구동 회로부(102)에 전기적으로 접속되어 있다.

[0115] 문턱 전압 보정 회로부(105)는 구동 회로부(102)에 포함되는 구동 트랜지스터의 문턱 전압을 보정하는 기능을 갖는다. 또한 문턱 전압 보정 회로부(105)는 문턱 전압을 보정하는 내용을 유지하기 위한 스위칭 소자, 용량 소자 등을 포함할 수 있다.

[0116] 문턱 전압 보정 회로부(105)는 배선(GL), 배선(VA) 등에 전기적으로 접속됨으로써, 배선(GL)으로부터 전송되는

선택 신호, 배선(VA)으로부터 전송되는 전압 및/또는 전류에 의하여 동작될 수 있다.

- [0117] 도 5의 (A)에 나타난 화소(PIX)를 표시 장치(DD)에 적용함으로써, 화상 데이터 유지부(101)와 보정 데이터 유지부(104)에 의한 화상 데이터의 보정에 더하여, 문턱 전압 보정 회로부(105)에 의한 구동 회로부(102)에 포함되는 구동 트랜지스터의 문턱 전압의 보정을 수행할 수 있다.
- [0118] 또한 도 5의 (A)에 나타난 화소(PIX)를 적용한 표시 장치(DD)는, 예를 들어 유기 EL 소자 등의 발광 소자를 표시 소자로 하는 표시 장치에 적합하다. 유기 EL 소자 등의 발광 소자는 발광 소자를 흐르는 전류의 크기에 따라 휘도가 결정되기 때문에, 상기 전류를 흘리는 구동 트랜지스터의 특성에 편차가 발생한 경우에는, 표시 장치의 표시 품질이 저하된다. 표시 장치에 도 5의 (A)에 나타난 화소(PIX)를 적용함으로써, 구동 트랜지스터의 문턱 전압을 보정할 수 있기 때문에, 상기 구동 트랜지스터를 흐르는 전류가 트랜지스터의 특성 편차로 인하여 증감하지 않아, 표시 장치의 표시 품질의 저하를 방지할 수 있다. 또한 도 5의 (A)에 나타난 화소(PIX)에 포함되는 보정 데이터 유지부(104)에 의하여 화상 데이터를 보정함으로써, 표시 장치의 표시 품질을 높일 수 있다. 특히, 대형 표시 장치의 경우, 구동 트랜지스터의 특성 편차가 커지는 경향이 있기 때문에, 상기 표시 장치에 도 5의 (A)에 나타난 화소(PIX)를 적용함으로써, 상기 특성 편차의 영향을 저감할 수 있다. 또한 문턱 전압의 보정을 화소(PIX) 내부에서 수행하기 때문에, 문턱 전압의 보정을 수행하는 외부 회로가 필요하지 않아 비용을 삭감할 수 있다.
- [0119] 또한 도 5의 (A)에 나타난 화소(PIX) 및 그 주변 회로의 구성은, 도 3과 마찬가지로 회로(WSD)를 생략하고, 보정 데이터를 소스 드라이버 회로(SD)에 의하여 생성하고, 상기 보정 데이터를 배선(WDL)을 통하여 보정 데이터 유지부(104)에 전송하는 구성으로 하여도 좋다. 이와 같은 구성을 도 5의 (B)에 나타내었다. 도 5의 (B)에 나타난 회로 구성을 표시 장치(DD)에 적용함으로써, 회로(WSD)를 생략할 수 있기 때문에, 표시 장치(DD)의 회로 면적을 축소할 수 있다.
- [0120] <<화소의 회로 구성예 2>>
- [0121] 다음으로, 도 5의 (A), (B)에 나타난 화소(PIX)의 구체적인 회로 구성에 대하여 설명한다. 도 6의 (A)는 도 5의 (A), (B)에 나타난 화소(PIX)의 회로 구성예를 도시한 것이다.
- [0122] 도 6의 (A)에 나타난 화소(PIX)는 도 4에 나타난 화소(PIX)에 트랜지스터(Tr7)와 용량 소자(C3)가 제공된 구성을 갖는다. 또한 도 6의 (A)에 나타난 화소(PIX)는 트랜지스터(Tr3)가 백 게이트를 갖는다는 점에서 도 4에 나타난 화소(PIX)와 상이하다.
- [0123] 트랜지스터(Tr3)의 백 게이트는 트랜지스터(Tr7)의 제 1 단자와 용량 소자(C3)의 제 1 단자에 전기적으로 접속되어 있다. 트랜지스터(Tr7)의 제 2 단자는 배선(BGL)에 전기적으로 접속되고, 트랜지스터(Tr7)의 게이트는 배선(GL4)에 전기적으로 접속되어 있다. 용량 소자(C3)의 제 2 단자는 트랜지스터(Tr3)의 제 2 단자와, 트랜지스터(Tr4)의 제 1 단자와, 트랜지스터(Tr5)의 제 1 단자와, 용량 소자(C2)의 제 2 단자에 전기적으로 접속되어 있다.
- [0124] 또한 본 실시예에서는 트랜지스터(Tr3)의 제 2 단자와, 트랜지스터(Tr4)의 제 1 단자와, 트랜지스터(Tr5)의 제 1 단자와, 용량 소자(C2)의 제 2 단자와, 용량 소자(C3)의 제 2 단자의 전기적 접속점을 노드(ND3)라고 하고, 트랜지스터(Tr3)의 백 게이트와, 트랜지스터(Tr7)의 제 1 단자와, 용량 소자(C3)의 제 1 단자의 전기적 접속점을 노드(ND4)라고 한다.
- [0125] 배선(GL4)은 배선(GL1) 내지 배선(GL3)의 각각과 마찬가지로 화소(PIX)에 대한 선택 신호선이고, 도 5의 (A), (B)에 나타난 배선(GL)에 상당하는 배선이다.
- [0126] 배선(BGL)은 화소(PIX) 내의 특정의 노드에 소정의 전위를 인가하기 위한 배선이다. 또한 배선(BGL)은 도 5의 (A), (B)에 나타난 배선(VA)에 상당하는 배선으로 할 수 있다.
- [0127] 트랜지스터(Tr7)는 스위칭 소자로서 기능한다. 또한 트랜지스터(Tr7)에는, 실시형태 3에 기재되는 트랜지스터의 구성을 적용할 수 있다. 또한 트랜지스터(Tr7)는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr5)와 마찬가지로 OS 트랜지스터인 것이 바람직하다. 또한 트랜지스터(Tr7)의 기타 사항에 관해서는, 트랜지스터(Tr1) 내지 트랜지스터(Tr5)에 관한 기재를 참작한다.
- [0128] 도 5의 (A), (B)에 나타난 문턱 전압 보정 회로부(105)는, 예를 들어 트랜지스터(Tr7)를 포함할 수 있다. 또한 구동 회로부(102), 문턱 전압 보정 회로부(105)는 도 6의 (A)에 나타난 용량 소자(C3)의 전위를 유지하는 기능을 공유하기 때문에, 용량 소자(C3)가 어느 회로에 포함되는지를 일의적으로 정할 수는 없다. 바꿔 말하면, 용

량 소자(C3)는 구동 회로부(102), 문턱 전압 보정 회로부(105) 중 어느 하나에 포함된다고 할 수 있다.

- [0129] 또한 도 6의 (A)에 나타낸 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr4), 트랜지스터(Tr5), 트랜지스터(Tr7)는 백 게이트를 갖는 트랜지스터이어도 좋다. 도 6의 (B)에 나타낸 화소(PIX)는, 도 6의 (A)에 나타낸 화소(PIX)에 포함되는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr4), 트랜지스터(Tr5), 트랜지스터(Tr7)의 각각에 백 게이트를 제공한 구성을 갖는다. 도 6의 (B)에서 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr4), 트랜지스터(Tr5), 트랜지스터(Tr7)의 각각은 게이트와 백 게이트가 전기적으로 접속되어 있다. 게이트와 백 게이트가 전기적으로 접속된 트랜지스터는 상기 트랜지스터의 온 전류를 높일 수 있기 때문에, 도 6의 (B)에 나타낸 구성으로 함으로써, 화소(PIX)를 고속으로 동작시킬 수 있다. 또한 도 6의 (B)에 나타낸 화소(PIX)는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr4), 트랜지스터(Tr5), 트랜지스터(Tr7) 모두에 게이트와 백 게이트가 접속된 구성을 갖지만, 백 게이트에 다른 배선에 의하여 전위를 공급하는 구성으로 하여도 좋다. 또한 도 6의 (B)에 나타낸 화소(PIX)는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr4), 트랜지스터(Tr5), 트랜지스터(Tr7) 모두에 백 게이트가 제공되어 있지만, 일부의 트랜지스터에만 백 게이트를 제공한 구성으로 하여도 좋다.
- [0130] <<화소의 회로 구성에 3>>
- [0131] 도 7의 (A)에는 도 6의 (A)에 나타낸 PIX와는 다른, 도 5의 (A), (B)에 나타낸 화소(PIX)의 회로 구성예를 도시하였다.
- [0132] 도 7의 (A)에 나타낸 화소(PIX)는 도 6의 (A)에 나타낸 화소(PIX)에 트랜지스터(Tr6)가 제공된 구성을 갖는다.
- [0133] 트랜지스터(Tr6)의 제 1 단자는 트랜지스터(Tr2)의 제 2 단자와, 트랜지스터(Tr3)의 게이트와, 용량 소자(C1)의 제 2 단자와, 용량 소자(C2)의 제 1 단자에 전기적으로 접속되고, 트랜지스터(Tr6)의 제 2 단자는 트랜지스터(Tr3)의 제 2 단자와, 트랜지스터(Tr4)의 제 1 단자와, 트랜지스터(Tr5)의 제 1 단자와, 용량 소자(C2)의 제 2 단자와, 용량 소자(C3)의 제 2 단자에 전기적으로 접속되고, 트랜지스터(Tr6)의 게이트는 배선(GL4)에 전기적으로 접속되어 있다.
- [0134] 트랜지스터(Tr6)는 스위칭 소자로서 기능한다. 또한 트랜지스터(Tr6)에는, 실시형태 3에 기재되는 구성을 적용할 수 있다. 또한 트랜지스터(Tr6)는 트랜지스터(Tr1), 트랜지스터(Tr2), 트랜지스터(Tr5)와 마찬가지로 OS 트랜지스터인 것이 바람직하다. 또한 트랜지스터(Tr6)의 기타 사항에 관해서는, 트랜지스터(Tr1) 내지 트랜지스터(Tr5)에 관한 기재를 참작한다.
- [0135] 구동 트랜지스터인 트랜지스터(Tr3)의 문턱 전압의 보정을 도 6의 (A)에 나타낸 화소(PIX)보다 높은 정밀도로 수행하고자 하는 경우에는, 도 7의 (A)에 나타낸 바와 같이 화소(PIX)에 트랜지스터(Tr6)를 제공하는 것이 바람직하다. 문턱 전압을 보정할 때는 그 동작 원리상, 트랜지스터(Tr3)의 제 2 단자(노드(ND3))와 노드(ND2) 각각의 전위를 가능한 한 같게 하는 것이 바람직하기 때문에, 도 7의 (A)에 나타낸 화소(PIX)를 적용함으로써, 문턱 전압의 보정 시의 노드(ND3)와 노드(ND2)의 전위차를 도 6의 (A)에 나타낸 화소(PIX)보다 0V에 가깝게 할 수 있다.
- [0136] 그런데 트랜지스터(Tr6)의 스위칭 기능은 구동 회로부(102)와 보정 데이터 유지부(104)에서 공유되기 때문에, 트랜지스터(Tr6)가 어느 회로에 포함되는지를 일의적으로 정할 수는 없다. 바꿔 말하면, 트랜지스터(Tr6)는 구동 회로부(102), 보정 데이터 유지부(104) 중 어느 하나에 포함된다고 할 수 있다.
- [0137] <<화소의 회로 구성에 4>>
- [0138] 도 7의 (B)에는 도 6의 (A), (B) 및 도 7의 (A) 각각에 나타낸 PIX와는 다른, 도 5의 (A), (B)에 나타낸 화소(PIX)의 회로 구성예를 도시하였다.
- [0139] 도 7의 (B)에 나타낸 화소(PIX)는 도 6의 (A)에 나타낸 화소(PIX)에서 트랜지스터(Tr5)를 제외한 구성을 갖는다. 도 7의 (B)에 나타낸 화소(PIX)는 도 6의 (A), (B), 도 7의 (A)에 나타낸 화소(PIX)보다 트랜지스터의 개수가 적기 때문에, 화소 회로의 면적을 축소하고 개구율을 높일 수 있다. 또한 도 7의 (B)에 나타낸 화소(PIX)에서 발광 소자(LD)를 발광시키지 않는 경우에는, 발광 소자(LD)의 입력 단자에 전류를 흘리지 않으면 되기 때문에, 그 타이밍에 맞추어 배선(AL)에 인가된 전위를 저감하거나, 또는 트랜지스터(Tr3)를 오프 상태로 하는 전위를 트랜지스터(Tr3)의 게이트에 인가하면 좋다. 특히, 배선(AL)에 인가된 전위를 저감하는 경우에는, 배선(AL)의 전위를 배선(CAT)의 전위보다 낮게 하는 것이 바람직하다.

- [0140] <화소의 동작예>
- [0141] 다음으로, 상술한 화소 회로, 특히 도 6의 (A)에 나타난 화소(PIX)의 동작예에 대하여 설명한다.
- [0142] 도 8은, 도 6의 (A)에 도시된 화소(PIX)의 동작예를 나타낸 타이밍 차트이다. 도 8에 나타난 타이밍 차트는 시각 T1 이전, 시각 T1부터 시각 T7까지, 및 시각 T7 이후의 배선(DL), 배선(WDL), 배선(VL), 배선(BGL), 배선(GL1) 내지 배선(GL4), 노드(ND1) 내지 노드(ND4)의 전위의 변화를 나타낸다. 또한 도 8에 기재된 high는 고레벨 전위를 가리키고, low는 저레벨 전위를 가리킨다. 또한 도 8에 기재된 V_{GND} 는 기준 전위를 가리킨다.
- [0143] 또한 시각 T1 이전, 시각 T1부터 시각 T7까지, 및 시각 T7 이후, 배선(VL)에는 항상 V_1 이 인가되어 있고, 배선(BGL)에는 항상 V_0 이 인가되어 있는 것으로 한다. 전위(V_1)는 배선(AL)이 공급하는 전압보다 낮은 전위로 하고, 전위(V_0)는 V_1 보다 높은 전위로 한다.
- [0144] 또한 본 동작예에서 트랜지스터(Tr1)와, 트랜지스터(Tr2)와, 트랜지스터(Tr4)와, 트랜지스터(Tr5)와, 트랜지스터(Tr7)는 특별히 언급이 없는 한, 온 상태에서는 선형 영역에서 동작하는 것으로 한다. 즉, 트랜지스터(Tr1)와, 트랜지스터(Tr2)와, 트랜지스터(Tr4)와, 트랜지스터(Tr5)와, 트랜지스터(Tr7)의 게이트 전압, 소스 전압, 및 드레인 전압은 선형 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 것으로 한다.
- [0145] 또한 본 동작예에서 트랜지스터(Tr3)는 특별히 언급이 없는 한, 포화 영역에서 동작하는 것으로 한다. 즉, 트랜지스터(Tr3)의 게이트 전압, 소스 전압, 및 드레인 전압은 포화 영역에서 동작하는 범위의 전압으로 적절히 바이어스되어 있는 것으로 한다. 또한 트랜지스터(Tr3)의 동작이 이상적인 포화 영역에서의 동작에서 벗어나 있어도, 출력되는 전류의 정밀도가 원하는 범위 내에 있는 경우에는, 트랜지스터(Tr3)의 게이트 전압, 소스 전압, 및 드레인 전압은 적절히 바이어스되어 있는 것으로 간주한다.
- [0146] [시각 T1 직전]
- [0147] 시각 T1 직전에는 배선(GL1) 및 배선(GL3)에 고레벨 전위가, 배선(GL2) 및 배선(GL4)에 저레벨 전위가 인가되어 있다. 배선(GL1)의 전위가 고레벨 전위일 때, 트랜지스터(Tr1) 및 트랜지스터(Tr4)의 각각의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(Tr1) 및 트랜지스터(Tr4)가 온 상태가 된다. 즉, 배선(DL)과 노드(ND1) 사이가 도통 상태가 되고, 배선(VL)과 노드(ND3) 사이가 도통 상태가 된다. 또한 배선(GL2)의 전위가 저레벨 전위일 때, 트랜지스터(Tr2)의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(Tr2)가 오프 상태가 된다. 즉, 배선(WDL)과 노드(ND2) 사이가 비도통 상태가 된다. 또한 배선(GL3)의 전위가 고레벨 전위일 때, 트랜지스터(Tr5)의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(Tr5)가 온 상태가 된다. 즉, 발광 소자(LD)의 입력 단자와 트랜지스터(Tr5)의 제 1 단자 사이가 도통 상태가 된다. 또한 배선(GL4)의 전위가 저레벨 전위일 때, 트랜지스터(Tr7)의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(Tr7)가 오프 상태가 된다. 즉, 배선(BGL)과 노드(ND4) 사이는 비도통 상태가 된다.
- [0148] 시각 T1 직전에는 배선(DL)에 전위(V_{GND})가 인가되고, 배선(WDL)에 전위(V_1)가 인가되어 있다. 트랜지스터(Tr1)가 온 상태이므로, 노드(ND1)의 전위는 V_{GND} 가 된다. 또한 트랜지스터(Tr4)가 온 상태이므로, 노드(ND3)와 전위(V_1)를 공급하는 배선(VL)이 도통 상태가 되지만, 이때 트랜지스터(Tr5)도 온 상태이므로, 노드(ND3)의 전위는 V_1 보다 낮은 전위가 된다. 그리고 배선(WDL)에는 전위(V_1)가 인가되어 있다.
- [0149] 그런데 노드(ND2)의 전위와 트랜지스터(Tr3)의 소스의 전위의 차이(게이트-소스 전압)가 트랜지스터(Tr3)의 문턱 전압보다 높은 경우, 트랜지스터(Tr3)는 온 상태가 되고, 트랜지스터(Tr3)의 게이트-소스 전압에 따라 트랜지스터(Tr3)의 소스와 드레인 사이를 흐르는 전류가 결정된다. 이때 트랜지스터(Tr3)의 제 2 단자가 소스인 경우, 배선(AL)으로부터 트랜지스터(Tr3) 및 트랜지스터(Tr5)를 통하여 발광 소자(LD)의 입력 단자로 전류가 흐른다. 이에 의하여, 발광 소자(LD)가 발광한다. 또한 본 동작예에서 노드(ND2)의 전위는 트랜지스터(Tr3)가 오프 상태가 되는 전위이고, 도 8에 나타난 타이밍 차트에서는 노드(ND2)의 전위를 V_{GND} 라고 기재하였다.
- [0150] [시각 T1부터 시각 T2까지(제 1 초기화 기간)]
- [0151] 시각 T1부터 시각 T2까지, 배선(GL2) 및 배선(GL4)에는 고레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr2), 트랜지스터(Tr7)의 각각의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(Tr2), 트랜지스터(Tr7)의 각각은 온 상태가 된다. 이에 의하여, 노드(ND2)의 전위는 V_1 이 되고, 노드(ND4)의 전위는 V_0 이 된다.

그런데 노드(ND3)는 트랜지스터(Tr5)가 온 상태이므로, 시각 T1 이전부터 계속 전위(V_1)보다 낮은 전위이다.

[0152] [시각 T2부터 시각 T3까지(제 2 초기화 기간)]

[0153] 시각 T2부터 시각 T3까지, 배선(GL3)에는 저레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr5)의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(Tr5)가 오프 상태가 된다. 그러므로 노드(ND3)로부터 트랜지스터(Tr5)를 통하여 발광 소자(LD)의 입력 단자로 전류가 흐르지 않는다.

[0154] 트랜지스터(Tr5)가 오프 상태이고, 또한 트랜지스터(Tr4)가 온 상태이므로, 노드(ND3)의 전위는 V_1 까지 상승한다. 엄밀하게는, 배선(VL)과 노드(ND3) 사이에 트랜지스터(Tr4)를 개재(介在)하기 때문에 노드(ND3)의 전위는 V_1 보다 낮지만 V_1 에 가까운 값이 된다. 이때 노드(ND2)(트랜지스터(Tr3)의 게이트)의 전위와, 노드(ND3)(트랜지스터(Tr3)의 제 2 단자)의 전위는 모두 거의 V_1 이기 때문에, 용량 소자(C2)의 제 1 단자와 제 2 단자 사이의 전위는 거의 0V가 된다.

[0155] 그런데 도 7의 (A)에 나타난 화소(PHX)를 적용하는 경우에는, 시각 T2부터 시각 T3까지 배선(GL4)에는 고레벨 전위가 인가되기 때문에, 트랜지스터(Tr6)가 온 상태가 된다. 이에 의하여, 트랜지스터(Tr3)의 게이트와 제 2 단자 사이가 도통 상태가 되기 때문에, 용량 소자(C2)의 제 1 단자와 제 2 단자 사이의 전위는 거의 0V가 된다.

[0156] [시각 T3부터 시각 T4까지(문턱 전압 보정 기간)]

[0157] 시각 T3부터 시각 T4까지, 배선(GL1) 및 배선(GL2)에는 저레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr1)와, 트랜지스터(Tr2)와, 트랜지스터(Tr4)의 각각의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(Tr1)와, 트랜지스터(Tr2)와, 트랜지스터(Tr4)가 오프 상태가 된다. 트랜지스터(Tr1)가 오프 상태가 됨으로써 용량 소자(C1)의 제 1 단자(노드(ND1))에 전위(V_{GND})가 유지되고, 트랜지스터(Tr2)가 오프 상태가 됨으로써 용량 소자(C1)의 제 2 단자, 용량 소자(C2)의 제 1 단자, 트랜지스터(Tr3)의 게이트(노드(ND2))에 전위(V_1)가 유지된다.

[0158] 여기서, 노드(ND3)의 전위(V_1)와 배선(AL)의 전위에 의하여, 트랜지스터(Tr3)의 제 1 단자와 제 2 단자 사이에 높은 바이어스가 가해지는 것으로 한다. 이때, 트랜지스터(Tr3)는 온 상태가 되고, 트랜지스터(Tr3)의 제 1 단자로부터 제 2 단자의 방향으로 전류가 흐른다.

[0159] 그런데 트랜지스터(Tr4) 및 트랜지스터(Tr5)가 오프 상태이므로, 노드(ND3)의 전위는 상기 전류에 의하여 상승된다. 또한 용량 소자(C2)의 제 1 단자와 제 2 단자 사이의 전압은 거의 0V이고, 또한 트랜지스터(Tr2)가 오프 상태이므로(노드(ND2)가 전기적으로 부유 상태이므로), 트랜지스터(Tr3)의 게이트-소스 전압은 노드(ND3)의 전위의 상승에 의하여 거의 0V인 채로 변화되지 않는다.

[0160] 노드(ND3)의 전위는 트랜지스터(Tr3)가 오프 상태가 될 때까지 상승된다. 트랜지스터(Tr3)의 게이트-소스 전압은 거의 0V이기 때문에, 트랜지스터(Tr3)의 문턱 전압이 0 이상이 되었을 때 또는 0을 초과하였을 때 트랜지스터(Tr3)는 오프 상태가 된다. 즉, 트랜지스터(Tr3)의 백 게이트-소스 간 전압이 트랜지스터(Tr3)의 문턱 전압을 0으로 하는 전압이 되었을 때, 트랜지스터(Tr3)가 오프 상태가 된다. 트랜지스터(Tr3)의 문턱 전압을 0으로 하는 트랜지스터(Tr3)의 백 게이트-소스 간 전압을 V_c 로 하였을 때 노드(ND3)의 전위는 V_0-V_c 가 된다.

[0161] 또한 노드(ND2)는 전기적으로 부유 상태이므로, 노드(ND3)의 전위가 V_1 로부터 V_0-V_c 로 상승됨으로써, 노드(ND2)의 전위도 동시에 상승된다. 노드(ND2)에서 상승된 전압은 노드(ND2)와 노드(ND3) 사이의 용량 결합 계수에 따라 결정된다.

[0162] 또한 트랜지스터(Tr1)가 오프 상태이므로, 노드(ND1)도 전기적으로 부유 상태이다. 그러므로 노드(ND2)의 전위가 상승됨으로써, 노드(ND1)의 전위도 상승된다. 노드(ND1)에서 상승된 전압은 노드(ND1)와 노드(ND2) 사이의 용량 결합 계수에 따라 결정된다.

[0163] 또한 도 7의 (A)에 나타난 화소(PHX)를 적용하는 경우에는, 시각 T3부터 시각 T4까지 트랜지스터(Tr3)의 게이트와 제 2 단자 사이가 도통 상태가 되어 있기 때문에, 도 7의 (A)에 나타난 화소(PHX)는 상술한 도 6의 (A)에 나타난 화소(PHX)와 같은 식으로 동작한다. 또한 도 7의 (A)에 나타난 화소(PHX)의 시각 T4 이후의 동작에는, 이하에서 기재하는 도 6의 (A)에 나타난 화소(PHX)의 동작의 설명을 참작한다.

[0164] [시각 T4부터 시각 T5까지(보정 데이터 기록 기간)]

- [0165] 시각 T4부터 시각 T5까지, 배선(GL1) 및 배선(GL2)에 고레벨 전위가 인가되고, 배선(GL4)에 저레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr1)와, 트랜지스터(Tr2)와, 트랜지스터(Tr4)의 각각의 게이트에 고레벨 전위가 인가되므로 트랜지스터(Tr1)와, 트랜지스터(Tr2)와, 트랜지스터(Tr4)가 온 상태가 되고, 트랜지스터(Tr7)의 게이트에 저레벨 전위가 인가되므로 트랜지스터(Tr7)가 오프 상태가 된다. 그러므로 노드(ND4)는 전기적으로 부유 상태가 되고, 노드(ND4)의 전위는 용량 소자(C3)의 제 1 단자에 의하여 유지된다.
- [0166] 또한 본 동작예에서는 시각 T4에서 배선(GL1), 배선(GL2), 및 배선(GL4)에 신호를 동시에 입력하지만, 실제 회로에서는 각 배선으로부터 전송되는 각 신호는 지연될 수 있기 때문에, 각 신호가 화소(PIX)에 동시에 입력되지 않는 경우가 있다. 신호의 지연을 고려한 경우, 시각 T4의 배선(GL1) 및 배선(GL2)에 대한 고레벨 전위의 인가는 노드(ND4)를 확실히 전기적으로 부유 상태로 하고 나서 수행하는 것이 바람직하다. 즉, 배선(GL4)에 대한 저레벨 전위의 인가는 시각 T4보다 전에 수행하는 것이 바람직하다.
- [0167] 또한 시각 T4부터 시각 T5까지, 보정 데이터에 해당하는 전위(V_W)가 배선(WDL)에 인가된다.
- [0168] 트랜지스터(Tr1)가 온 상태이므로, 배선(DL)과 노드(ND1) 사이는 도통 상태가 된다. 그러므로 배선(DL)으로부터 노드(ND1)에 전위(V_{GD})가 인가된다. 또한 트랜지스터(Tr2)가 온 상태이므로, 배선(WDL)과 노드(ND2) 사이는 도통 상태가 된다. 그러므로 배선(WDL)으로부터 노드(ND2)에 전위(V_W)가 인가된다.
- [0169] 트랜지스터(Tr4)가 온 상태이므로, 배선(VL)과 노드(ND3) 사이는 도통 상태가 된다. 그러므로 배선(VL)으로부터 노드(ND3)에 전위(V_i)가 인가된다. 그런데 트랜지스터(Tr7)는 오프 상태이므로(노드(ND4)는 전기적으로 부유 상태이므로), 노드(ND3)의 전위의 변화에 의하여 노드(ND4)의 전위도 변화된다. 여기서, 노드(ND3)와 노드(ND4)의 용량 결합 계수를 1로 하면, 노드(ND4)의 전위는 V_0 으로부터 V_i+V_c 로 변화된다. 이때 트랜지스터(Tr3)의 백 게이트-소스 간 전압은, 시각 T3부터 시각 T4까지의 상기 전압으로부터 V_c 인 채로 변화되지 않기 때문에, 시각 T4부터 시각 T5의 트랜지스터(Tr3)의 문턱 전압은 0이 된다.
- [0170] [시각 T5부터 시각 T6까지(화상 데이터 기록 기간)]
- [0171] 시각 T5부터 시각 T6까지, 배선(GL2)에 저레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr2)의 게이트에 저레벨 전위가 인가되므로 트랜지스터(Tr2)가 오프 상태가 된다. 트랜지스터(Tr2)가 오프 상태가 됨으로써, 용량 소자(C1)의 제 2 단자, 용량 소자(C2)의 제 1 단자, 트랜지스터(Tr3)의 게이트(노드(ND2))에 전위(V_W)가 유지된다.
- [0172] 또한 시각 T5부터 시각 T6까지, 화상 데이터에 해당하는 전위(V_{DATA})가 배선(DL)에 인가된다.
- [0173] 트랜지스터(Tr1)가 온 상태이므로, 배선(DL)과 노드(ND1) 사이는 도통 상태가 된다. 그러므로 배선(DL)으로부터 노드(ND1)에 전위(V_{DATA})가 인가된다. 그런데 트랜지스터(Tr2)는 오프 상태이므로(노드(ND2)는 전기적으로 부유 상태이므로), 노드(ND1)의 전위의 변화에 의하여 노드(ND2)의 전위도 변화한다. 특히, 용량 소자(C1)의 정전 용량의 값이 용량 소자(C2)의 정전 용량의 값보다 충분히 클 때, 노드(ND1)와 노드(ND2) 사이의 용량 결합 계수는 한없이 1로 가까워지기 때문에, 노드(ND1)의 전위의 변화량은 노드(ND2)의 전위의 변화량과 거의 같게 된다. 이 경우, 노드(ND2)는 $V_{DATA}+V_W$ 가 된다.
- [0174] [시각 T6부터 시각 T7까지(화상 표시 기간)]
- [0175] 시각 T6부터 시각 T7까지, 배선(GL1)에 저레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr1)의 게이트에 저레벨 전위가 인가되기 때문에, 트랜지스터(Tr1)가 오프 상태가 된다. 트랜지스터(Tr1)가 오프 상태가 됨으로써, 용량 소자(C1)의 제 1 단자(노드(ND1))에 전위(V_{DATA})가 유지된다.
- [0176] 배선(GL1)에 저레벨 전위가 인가된 후에 배선(GL3)에 고레벨 전위가 인가된다. 이에 의하여, 트랜지스터(Tr5)의 게이트에 고레벨 전위가 인가되기 때문에, 트랜지스터(Tr5)가 온 상태가 된다. 트랜지스터(Tr5)가 온 상태가 됨으로써, 배선(AL)으로부터 흐르는 전류는 트랜지스터(Tr3) 및 트랜지스터(Tr5)를 통하여 발광 소자(LD)의 입력 단자에 입력되기 때문에, 발광 소자(LD)가 발광한다.
- [0177] 이때, 발광 소자(LD)의 휘도는 발광 소자(LD)를 흐르는 전류에 따라 결정된다. 키르히호프의 법칙에 따르면, 발광 소자(LD)를 흐르는 전류는 트랜지스터(Tr3)의 소스와 드레인 사이를 흐르는 전류와 실질적으로 같기 때문에, 발광 소자(LD)의 휘도는 트랜지스터(Tr3)의 게이트-소스 전압에 따라 결정된다. 트랜지스터(Tr3)의 게이트

및 소스의 각각은, 용량 소자(C2)의 제 1 단자 및 제 2 단자에 전기적으로 접속되기 때문에, 발광 소자(LD)의 휘도는 트랜지스터(Tr3)의 게이트의 전위($V_{DATA}+V_W$)에 의하여 결정된다. 따라서 발광 소자(LD)는 보정 데이터와 화상 데이터에 따른 휘도로 발광한다.

[0178] 또한 이때 발광 소자(LD)의 입력 단자와 출력 단자 사이에 전압이 가해지고, 또한 배선(CAT)에 소정의 전위가 인가되기 때문에, 트랜지스터(Tr3)의 제 2 단자와, 트랜지스터(Tr4)의 제 1 단자와, 트랜지스터(Tr5)의 제 1 단자와, 용량 소자(C2)의 제 2 단자와, 용량 소자(C3)의 제 2 단자의 전기적 접속점의 전위가 높아진다. 그리고 노드(ND1), 노드(ND2), 노드(ND4)의 각각은 전기적으로 부유 상태이기 때문에, 상기 전기적 접속점의 전위가 높아짐으로써, 노드(ND1), 노드(ND2), 노드(ND4)의 각각의 전위도 용량 결합에 의하여 높아지는 경우가 있다. 도 8의 타이밍 차트에서는, 시각 T7 이후의 노드(ND1), 노드(ND2)의 각각의 전위를 시각 T6부터 시각 T7까지의 노드(ND1), 노드(ND2)의 각각의 전위보다 높게 나타내었다.

[0179] 상술한 바와 같이, 도 6의 (A)에 나타난 화소(PIX)에 대하여, 도 8의 타이밍 차트의 시각 T1 내지 시각 T7 및 그 근방의 시각의 동작을 수행함으로써, 화상 데이터의 보정과 구동 트랜지스터의 문턱 전압의 보정을 수행할 수 있다.

[0180] <표시 장치의 동작예>

[0181] 그런데 도 6의 (A)에 나타난 화소(PIX)를 포함하는 표시 장치(DD)가 대형인 경우, 화소(PIX)에 전기적으로 접속되는 배선의 저항이 커져, 구동 트랜지스터의 문턱 전압의 보정 등의 처리에 시간이 걸리는 경우가 있다. 그러므로 상기 표시 장치에 화상을 정상적으로 표시하는 경우, 상기 표시 장치의 동작 주파수가 낮아지는 경우가 있다.

[0182] 그래서 상기를 감안한 동작예에 대하여 설명한다. 본 동작예에서는, 도 6의 (A)에 나타난 화소(PIX)를, 매트릭스상으로 복수로 배치된 표시부(PA)가 상기 표시 장치에 적용된 것으로 상정하여 설명한다.

[0183] 도 9는 표시부(PA)에 포함되는 제 i 행, 제 i+1 행, 제 i+2 행(i는 3 이상의 정수(整數)로 함)의 각각에 포함되는 화소(PIX)의 동작의 순서와, 배선(DL)으로부터의 데이터 전송의 타이밍과, 배선(WDL)으로부터의 데이터 전송의 타이밍을 나타낸 것이다.

[0184] 도 9에 기재된 시각 T1 내지 시각 T6은, 도 8의 타이밍 차트에 기재된 시각 T1 내지 시각 T6에 상당한다. 즉, 제 i 행에 기재된 기간 PD1 내지 기간 PD5는 각각 상술한 화소 회로의 동작예에서의 "제 1 초기화 기간", "제 2 초기화 기간", "문턱 전압 보정 기간", "보정 데이터 기록 기간", "화상 데이터 기록 기간"에 상당한다. 도 9에서는 일례로서 기간 PD1 내지 기간 PD5의 각각의 시간을 $0.5\mu s$, $1.5\mu s$, $19\mu s$, $2.0\mu s$, $2.0\mu s$ 로 하였다.

[0185] 특히, 상술한 바와 같이, 화소(PIX)를 포함하는 표시 장치가 대형인 경우, 구동 트랜지스터의 문턱 전압의 보정 등의 처리에 시간이 걸리는 경우가 있다. 그러므로 기간 PD3의 시간을 다른 기간(PD1, PD2, PD4, PD5)에 비하여 길게 설정하였다.

[0186] 또한 도 9에 도시된 화소(PIX)의 동작, 특히 기간 PD4 및 기간 PD5의 각각의 동작에서, 제 i 행, 제 i+1 행, 및 제 i+2 행의 각각이 갖는 각 화소(PIX)에는, 각각에 적절한 보정 데이터 및 화상 데이터가 기록되는 것으로 한다. 그러므로 이하의 설명에서는 제 i 행, 제 i+1 행, 및 제 i+2 행이 갖는 복수의 화소(PIX) 중 서로 같은 열의 화소(PIX)에 대하여 설명한다.

[0187] 도 9에 도시된 바와 같이, 제 i 행의 화소(PIX)에 더하여, 제 i+1 행, 제 i+2 행의 각각의 화소(PIX)에 대해서도 기간 PD1 내지 기간 PD5의 동작이 수행된다. 다만 제 i 행, 제 i+1 행, 제 i+2 행의 각각에서는, 기간 PD1, 기간 PD2, 기간 PD4, 기간 PD5가 서로 겹치지 않도록 하고 있다. 바꿔 말하면, 어떤 행의 화소(PIX)가 기간 PD1, 기간 PD2, 기간 PD4, 기간 PD5 중 어느 하나일 때, 그 행 이외의 화소(PIX)는 기간 PD3이 되도록 하고 있다.

[0188] 도 9에 도시된 표시 장치의 동작예에서, 배선(DL)으로부터의 데이터 전송의 동작은 기간 PD_{GND} 와, 기간 $PD_{DATA}[i-2]$ 내지 기간 $PD_{DATA}[i+2]$ 를 갖는다. 기간 PD_{GND} 는 배선(DL)에 전위(V_{GND})가 인가되는 기간이다. 기간 $PD_{DATA}[k]$ (k는 i-2 이상 i+2 이하의 정수임)는, 배선(DL)에, 제 k 행에 갖는 화소(PIX)의 노드(ND1)에 기록하는 화상 데이터에 따른 전위가 인가되는 기간이다.

[0189] 또한 도 9에 도시된 표시 장치의 동작예에서, 배선(WDL)으로부터의 데이터 전송의 동작은 기간 PD_{V1} 과, 기간

$PD_{\#}[i-2]$ 내지 기간 $PD_{\#}[i+2]$ 를 갖는다. 기간 PD_{V_1} 은 배선(WDL)에 전위(V_1)가 인가되는 기간이다. 기간 $PD_{\#}[k]$ 는 배선(WDL)에 제 k 행에 갖는 화소(PIX)의 노드(ND2)에 기록하는 보정 데이터에 따른 전위(위의 화소 회로의 동작예에서 설명한 $V_{\#}$ 에 상당함)가 인가되는 기간이다.

[0190] 복수의 행 중 하나의 행이 갖는 화소(PIX)의 동작에서, 기간 PD1(제 1 초기화 기간)에는 노드(ND1)의 전위(V_{GD})로 하기 위하여 배선(DL)에 전위(V_{GD})가 인가된다. 즉, 상기 행의 화소(PIX)에서 기간 PD1의 동작이 수행될 때, 배선(DL)에서 기간 PD_{GD} 의 동작이 수행된다. 또한 기간 PD1에는 노드(ND2)의 전위를 V_1 로 하기 위하여 배선(WDL)에 전위(V_1)가 인가된다. 즉, 상기 행의 화소(PIX)에서 기간 PD1의 동작이 수행될 때, 배선(WDL)에서 기간 PD_{V_1} 의 동작이 수행된다.

[0191] 복수의 행 중 하나의 행이 갖는 화소(PIX)의 동작에서, 기간 PD4(보정 데이터 기록 기간)에는 노드(ND2)에 보정 데이터를 기록하기 위하여 배선(WDL)에 상기 보정 데이터에 따른 전위가 인가된다. 즉, 제 I 행(I 는 1 이상의 정수임)의 화소(PIX)에서 기간 PD4의 동작이 수행될 때, 배선(WDL)에서 기간 $PD_{\#}[I]$ 의 동작이 수행된다.

[0192] 복수의 행 중 하나의 행이 갖는 화소(PIX)의 동작에서, 기간 PD5(화상 데이터 기록 기간)에는 노드(ND1)에 화상 데이터를 기록하기 위하여 배선(DL)에 상기 화상 데이터에 따른 전위가 인가된다. 즉, 제 I 행의 화소(PIX)에서 기간 PD5의 동작이 수행될 때, 배선(DL)에서 기간 $PD_{DATA}[I]$ 의 동작이 수행된다.

[0193] 도 9에 나타난 바와 같이 제 $i+1$ 행의 화소(PIX)에서 구동 트랜지스터의 문턱 전압을 보정할 때, 상기 행의 화소(PIX)는 기간 PD3의 동작을 수행한다. 이때, 제 $i+1$ 행의 화소(PIX)에서는 배선(DL)을 통하여 노드(ND1)에 전위를 기록하거나 배선(WDL)을 통하여 노드(ND2)에 전위를 기록할 필요가 없기 때문에, 배선(DL) 및 배선(WDL)의 전위를 변동시킬 수 있다. 그러므로 제 $i+1$ 행의 화소(PIX)가 기간 PD3의 동작을 수행하고 있을 때, 제 i 행의 화소(PIX)에서 기간 PD4 및 기간 PD5의 각각의 동작으로 배선(DL)의 전위 및 배선(WDL)의 전위를 변동시킬 수 있다. 즉, 제 $i+1$ 행의 화소(PIX)의 구동 트랜지스터의 문턱 전압을 보정하는 동안에, 제 i 행의 화소(PIX)에 대하여 화상 데이터 및 보정 데이터를 기록할 수 있다. 또한 도 9에 나타난 바와 같이, 제 $i+2$ 행의 화소(PIX)의 구동 트랜지스터의 문턱 전압을 보정할 때도 마찬가지로, 배선(DL)의 전위 및 배선(WDL)의 전위를 변동시킬 수 있기 때문에, 제 $i+1$ 행의 화소(PIX)에 대하여 화상 데이터 및 보정 데이터를 기록할 수 있다.

[0194] 또한 도 9에서는 제 i 행 내지 제 $i+2$ 행의 순서로 각 행의 화소(PIX)에 보정 데이터 및 화상 데이터를 기록하지만, 화소(PIX)에 보정 데이터 및 화상 데이터를 기록하는 순서는 도 9의 것에 한정되지 않는다. 화소(PIX)에 보정 데이터 및 화상 데이터를 기록하는 순서로서는, 예를 들어 먼저 홀수 행의 화소(PIX)에 순차적으로 기록하고, 그 후에 짝수 행의 화소(PIX)에 순차적으로 기록하는 순서로 하여도 좋다.

[0195] 또한 본 발명의 일 형태의 동작 방법은 상술한 기간 PD1 내지 기간 PD5의 것에 한정되지 않는다. 본 명세서 등에서 도 9에 나타난 각 동작 기간은 기능마다 분류되고 서로 독립한 동작 기간이다. 그러나 실제의 동작 등에서는 화소(PIX)의 동작을 기능마다 분류하기가 어렵고, 하나의 동작에 복수의 다른 동작이 관련되는 경우나, 복수의 동작에 하나의 동작이 관련되는 경우가 있을 수 있다. 그러므로 도 9에 나타난 동작 기간은 명세서에서 설명한 동작 기간에 한정되지 않고, 상황에 따라 적절히 바뀌 말할 수 있다. 구체적으로는, 상황에 따라 각 동작 기간의 순서를 바꾸거나, 동작의 추가 및 삭제 등을 수행할 수 있다. 예를 들어, 본 명세서 등에서는, 도 9에 나타난 화소(PIX)의 동작에서 기간 PD1 및 기간 PD2의 각각을 제 1 초기화 기간, 제 2 초기화 기간으로 나누어 설명하지만, 제 1 초기화 기간 및 제 2 초기화 기간의 각각은 동시에 수행할 수 있다. 그러므로 제 1 초기화 기간 및 제 2 초기화 기간을 총합하여 초기화 기간이라고 기재할 수 있다.

[0196] 상술한 바와 같이, 어떤 행의 화소(PIX)의 구동 트랜지스터의 문턱 전압을 보정하는 동안에, 다른 행의 화소(PIX)에 화상 데이터 및 보정 데이터를 기록하는 동작을 수행함으로써, 표시 장치의, 구동 트랜지스터의 문턱 전압 보정으로 인한 동작 주파수의 저하를 억제할 수 있어, 종래의 동작 방법보다 동작 주파수를 높일 수 있다.

[0197] <소스 드라이버 회로(SD) 및 회로(WSD)의 회로 구성예>

[0198] 여기서 화소(PIX) 및 그 주변 회로가 도 5의 (A)에 나타난 구성을 갖고, 또한 화소(PIX)가 도 8에 나타난 타이밍 차트의 동작을 수행하는 경우의, 소스 드라이버 회로(SD)와 회로(WSD)의 회로 구성예에 대하여 설명한다.

[0199] 도 10의 (A)에는, 도 5의 (A)에서의 소스 드라이버 회로(SD)와 회로(WSD)의 각각의 회로 구성예를 나타내었다. 또한 도 10의 (A)에는, 화소(PIX)와의 접속 구성을 나타내기 위하여, 표시부(PA)도 도시하였다.

- [0200] 소스 드라이버 회로(SD)는 트랜지스터(Tr11)와, 트랜지스터(Tr12)와, 회로(SDa)를 포함한다. 또한 회로(WSD)는 트랜지스터(Tr13)와, 트랜지스터(Tr14)와, 회로(WSDa)를 포함한다.
- [0201] 도 10에서, 트랜지스터(Tr11) 내지 트랜지스터(Tr14)는 각각 n채널형 트랜지스터이지만, 트랜지스터(Tr11) 내지 트랜지스터(Tr14)의 모두 또는 일부는 p채널형 트랜지스터이어도 좋다. 또한 트랜지스터(Tr11) 내지 트랜지스터(Tr14)는 오프 전류가 낮은 OS 트랜지스터인 것이 바람직하다.
- [0202] 또한 도 10에는 트랜지스터(Tr11) 내지 트랜지스터(Tr14)를 백 게이트를 갖는 트랜지스터로서 도시하였지만, 트랜지스터(Tr11) 내지 트랜지스터(Tr14)의 모두 또는 일부는 백 게이트를 갖지 않는 트랜지스터이어도 좋다. 또한 트랜지스터(Tr11) 내지 트랜지스터(Tr14)의 각각은 온 전류를 증가시키기 위하여 게이트와 백 게이트가 전기적으로 접속된 구성을 갖지만, 트랜지스터(Tr11) 내지 트랜지스터(Tr14)의 각각의 백 게이트의 모두 또는 일부는 임의의 전위가 인가되는 배선에 전기적으로 접속된 구성을 가져도 좋다.
- [0203] 소스 드라이버 회로(SD)에서 트랜지스터(Tr11)의 제 1 단자는 회로(SDa)에 전기적으로 접속되고, 트랜지스터(Tr11)의 제 2 단자는 트랜지스터(Tr12)의 제 1 단자와 배선(DL)에 전기적으로 접속되어 있다. 트랜지스터(Tr11)의 게이트는 배선(SELD)에 전기적으로 접속되고, 트랜지스터(Tr12)의 제 2 단자는 배선(GNDL)에 전기적으로 접속되고, 트랜지스터(Tr12)의 게이트는 배선(SELG)에 전기적으로 접속되어 있다.
- [0204] 회로(SDa)는 표시부(PA)에 화상을 표시하기 위하여, 상기 화상에 따른 전위(V_{DATA})를 생성하고 전위(V_{DATA})를 트랜지스터(Tr11)의 제 1 단자에 출력하는 기능을 갖는다. 회로(SDa)는 예를 들어, 도 1에 나타난 소스 드라이버 회로(SD)의 구성을 가질 수 있다. 즉, 회로(SDa)는 화상 데이터를 생성하기 위하여 시프트 레지스터(SR)와, 래치 회로(LAT)와, 레벨 시프트 회로(LVS)와, 디지털 아날로그 변환 회로(DAC)와, 앰프 회로(AMP)와, 데이터 버스 배선(DB)을 포함할 수 있다. 이 경우, 앰프 회로(AMP)의 출력 단자는 트랜지스터(Tr11)의 제 1 단자에 전기적으로 접속되는 구성으로 하면 좋다.
- [0205] 회로(WSD)에서 트랜지스터(Tr13)의 제 1 단자는 회로(WSDa)에 전기적으로 접속되고, 트랜지스터(Tr13)의 제 2 단자는 트랜지스터(Tr14)의 제 1 단자와 배선(WDL)에 전기적으로 접속되어 있다. 트랜지스터(Tr13)의 게이트는 배선(SELW)에 전기적으로 접속되고, 트랜지스터(Tr14)의 제 2 단자는 배선(V_{iL})에 전기적으로 접속되고, 트랜지스터(Tr14)의 게이트는 배선(SELV)에 전기적으로 접속되어 있다.
- [0206] 회로(WSDa)는 보정 데이터를 사용하여 표시부(PA)에 표시하는 화상을 보정하기 위하여, 상기 보정 데이터에 따른 전위($V_{\#}$)를 생성하고 전위($V_{\#}$)를 트랜지스터(Tr13)의 제 1 단자에 출력하는 기능을 갖는다. 회로(WSDa)는 예를 들어 회로(SDa)와 마찬가지로, 시프트 레지스터(SR)와, 래치 회로(LAT)와, 레벨 시프트 회로(LVS)와, 디지털 아날로그 변환 회로(DAC)와, 앰프 회로(AMP)와, 데이터 버스 배선(DB)을 포함하는 구성으로 할 수 있다. 또한 이 경우, 앰프 회로(AMP)의 출력 단자는 트랜지스터(Tr13)의 제 1 단자에 전기적으로 접속되는 구성으로 하면 좋다.
- [0207] 배선(SELD), 배선(SELG), 배선(SELW), 배선(SELV)의 각각은, 트랜지스터(Tr11) 내지 트랜지스터(Tr14)의 게이트에 전위를 인가하기 위한 배선이고, 상기 전위에 의하여 트랜지스터(Tr11) 내지 트랜지스터(Tr14)의 각각의 온 상태와 오프 상태를 전환할 수 있다.
- [0208] 배선(GNDL)은 배선(DL)에 기준 전위(V_{GND})를 인가하는 배선이고, 배선(V_{iL})은 배선(WDL)에 전위(V_i)를 인가하는 배선이다.
- [0209] 여기서, 화소(PIX)의 동작이 도 8의 타이밍 차트에 나타난 동작예인 경우의, 도 10의 (A)의 소스 드라이버 회로(SD)와 회로(WSD)의 동작에 대하여 구체적으로 설명한다.
- [0210] 시각 T4 전 및 시각 T5 후에 배선(WDL)의 전위는 V_{i1} 이 된다. 시각 T4 전 및 시각 T5 후의 회로(WSD)에서는, 배선(SELW)에 저레벨 전위를 인가하여 트랜지스터(Tr13)를 오프 상태로 하고, 배선(SELV)에 고레벨 전위를 인가하여 트랜지스터(Tr14)를 온 상태로 하는 동작이 수행된다. 이에 의하여, 배선(V_{iL})과 배선(WDL) 사이가 도통 상태가 되므로, 배선(WDL)의 전위는 V_{i1} 이 된다.
- [0211] 또한 시각 T4부터 시각 T5까지, 배선(WDL)의 전위는 $V_{\#}$ 가 된다. 시각 T4부터 시각 T5까지의 회로(WSD)에서는, 배선(SELW)에 고레벨 전위를 인가하여 트랜지스터(Tr13)를 온 상태로 하고, 배선(SELV)에 저레벨 전위를 인가하여 트랜지스터(Tr14)를 오프 상태로 하는 동작이 수행된다. 그리고 회로(WSDa)로부터 보정 데이터에 따른 전위

(V_W)가 출력되기 때문에, 배선(WDL)의 전위는 V_W 가 된다.

- [0212] 시각 T5 전 및 시각 T6 후에 배선(DL)의 전위는 V_{GND} 가 된다. 시각 T5 전 및 시각 T6 후의 소스 드라이버 회로(SD)에서는, 배선(SELD)에 저레벨 전위를 인가하여 트랜지스터(Tr11)를 오프 상태로 하고, 배선(SELG)에 고레벨 전위를 인가하여 트랜지스터(Tr12)를 온 상태로 하는 동작이 수행된다. 이에 의하여, 배선(GNDL)과 배선(DL) 사이가 도통 상태가 되므로, 배선(DL)의 전위는 V_{GND} 가 된다.
- [0213] 또한 시각 T5부터 시각 T6까지, 배선(DL)의 전위는 V_{DATA} 가 된다. 시각 T5부터 시각 T6까지의 소스 드라이버 회로(SD)에서는, 배선(SELD)에 고레벨 전위를 인가하여 트랜지스터(Tr11)를 온 상태로 하고, 배선(SELG)에 저레벨 전위를 인가하여 트랜지스터(Tr12)를 오프 상태로 하는 동작이 수행된다. 그리고 회로(SDa)로부터 화상 데이터에 따른 전위(V_{DATA})가 출력되기 때문에, 배선(DL)의 전위는 V_{DATA} 가 된다.
- [0214] 도 5의 (A)에 나타난 화소(PIX)가 도 8에 나타난 타이밍 차트의 동작을 수행하는 경우, 소스 드라이버 회로(SD) 및 회로(WSD)를 도 10의 (A)에 나타난 구성으로 함으로써, 배선(DL) 및 배선(WDL)의 각각에 적절한 전위를 알맞은 때에 인가할 수 있다.
- [0215] 또한 화소(PIX) 및 그 주변 회로가 도 5의 (B)에 나타난 구성을 갖고, 화소(PIX)가 도 8에 나타난 타이밍 차트의 동작을 수행하는 경우에는, 소스 드라이버 회로(SD)는 예를 들어 도 10의 (B)의 회로 구성을 가지면 좋다.
- [0216] 도 10의 (B)에 나타난 소스 드라이버 회로(SD)는 트랜지스터(Tr11) 내지 트랜지스터(Tr14)와 회로(SDa)를 포함한다. 또한 트랜지스터(Tr11) 내지 트랜지스터(Tr14) 및 회로(SDa)에 대해서는, 도 10의 (A)의 트랜지스터(Tr11) 내지 트랜지스터(Tr14) 및 회로(SDa)에 대한 설명의 기재를 참작한다.
- [0217] 회로(SDa)는 트랜지스터(Tr11)의 제 1 단자와 트랜지스터(Tr13)의 제 1 단자에 전기적으로 접속되어 있다. 트랜지스터(Tr11)의 제 2 단자는 트랜지스터(Tr12)의 제 1 단자와 배선(DL)에 전기적으로 접속되고, 트랜지스터(Tr13)의 제 2 단자는 트랜지스터(Tr14)의 제 1 단자와 배선(WDL)에 전기적으로 접속되어 있다. 트랜지스터(Tr12)의 제 2 단자는 배선(GNDL)에 전기적으로 접속되고, 트랜지스터(Tr14)의 제 2 단자는 배선(V_{IL})에 전기적으로 접속되어 있다. 트랜지스터(Tr11)의 게이트는 배선(SELD)에 전기적으로 접속되고, 트랜지스터(Tr12)의 게이트는 배선(SELG)에 전기적으로 접속되고, 트랜지스터(Tr13)의 게이트는 배선(SELW)에 전기적으로 접속되고, 트랜지스터(Tr14)의 게이트는 배선(SELV)에 전기적으로 접속되어 있다.
- [0218] 배선(SELD), 배선(SELG), 배선(SELW), 배선(SELV), 배선(V_{IL}), 및 배선(GNDL)의 각각에 대해서는, 도 10의 (A)의 배선(SELD), 배선(SELG), 배선(SELW), 배선(SELV), 배선(V_{IL}), 및 배선(GNDL)에 대한 설명의 기재를 참작한다.
- [0219] 트랜지스터(Tr11), 트랜지스터(Tr13), 회로(SDa)의 접속 구성에 따라 도 5의 (B)에 나타난 소스 드라이버 회로(SD)는 배선(DL) 및 배선(WDL) 중 한쪽을 선택하고, 선택한 배선에 전위를 인가하는 구성을 갖는다. 또한 회로(SDa)는 배선(DL)에 인가하기 위한 화상 데이터에 따른 전위(V_{DATA})와, 배선(WDL)에 인가하기 위한 보정 데이터에 따른 전위(V_W)를 생성하는 기능을 갖는다. 그러므로 회로(SDa)에서 전위(V_{DATA})를 생성하고 출력하는 경우에는, 트랜지스터(Tr11)를 온 상태로 하고 트랜지스터(Tr13)를 오프 상태로 함으로써 배선(DL)에 전위(V_{DATA})를 인가할 수 있고, 회로(SDa)에서 전위(V_W)를 생성하고 출력하는 경우에는, 트랜지스터(Tr11)를 오프 상태로 하고 트랜지스터(Tr13)를 온 상태로 함으로써 배선(WDL)에 전위(V_W)를 인가할 수 있다.
- [0220] 또한 배선(DL)에 기준 전위(V_{GND})를 인가하는 경우에는, 트랜지스터(Tr11)를 오프 상태로 하고, 트랜지스터(Tr12)를 온 상태로 하면 좋다. 또한 배선(WDL)에 기준 전위(V_1)를 인가하는 경우에는, 트랜지스터(Tr13)를 오프 상태로 하고, 트랜지스터(Tr14)를 온 상태로 하면 좋다.
- [0221] 여기서는, 화소(PIX)의 동작이 도 8의 타이밍 차트에 나타난 동작예인 경우의, 도 10의 (B)의 소스 드라이버 회로(SD)의 동작에 대하여 구체적으로 설명한다.
- [0222] 시각 T4 전 및 시각 T5 후에 배선(WDL)의 전위는 V_1 이 된다. 시각 T4 전 및 시각 T5 후의 소스 드라이버 회로(SD)에서는, 배선(SELW)에 저레벨 전위를 인가하여 트랜지스터(Tr13)를 오프 상태로 하고, 배선(SELV)에 고레벨 전위를 인가하여 트랜지스터(Tr14)를 온 상태로 하는 동작이 수행된다. 이에 의하여, 배선(V_{IL})과 배선(WDL)

사이가 도통 상태가 되므로, 배선(WDL)의 전위는 V_1 이 된다.

- [0223] 또한 시각 T4부터 시각 T5까지, 배선(WDL)의 전위는 V_W 가 된다. 시각 T4부터 시각 T5까지의 소스 드라이버 회로(SD)에서는, 배선(SELW)에 고레벨 전위를 인가하여 트랜지스터(Tr13)를 온 상태로 하고, 배선(SELV)에 저레벨 전위를 인가하여 트랜지스터(Tr14)를 오프 상태로 하는 동작이 수행된다. 그리고 회로(SDa)로부터 보정 데이터에 따른 전위(V_W)가 출력되기 때문에, 배선(WDL)의 전위는 V_W 가 된다.
- [0224] 시각 T5 전 및 시각 T6 후에 배선(DL)의 전위는 V_{GND} 가 된다. 시각 T5 전 및 시각 T6 후의 소스 드라이버 회로(SD)에서는, 배선(SELD)에 저레벨 전위를 인가하여 트랜지스터(Tr11)를 오프 상태로 하고, 배선(SELG)에 고레벨 전위를 인가하여 트랜지스터(Tr12)를 온 상태로 하는 동작이 수행된다. 이에 의하여, 배선(GNDL)과 배선(DL) 사이가 도통 상태가 되므로, 배선(DL)의 전위는 V_{GND} 가 된다.
- [0225] 또한 시각 T5부터 시각 T6까지, 배선(DL)의 전위는 V_{DATA} 가 된다. 시각 T5부터 시각 T6까지의 소스 드라이버 회로(SD)에서는, 배선(SELD)에 고레벨 전위를 인가하여 트랜지스터(Tr11)를 온 상태로 하고, 배선(SELG)에 저레벨 전위를 인가하여 트랜지스터(Tr12)를 오프 상태로 하는 동작이 수행된다. 그리고 회로(SDa)로부터 화상 데이터에 따른 전위(V_{DATA})가 출력되기 때문에, 배선(WDL)의 전위는 V_{DATA} 가 된다.
- [0226] 도 5의 (B)에 나타난 화소(PIX)가 도 8에 나타난 타이밍 차트의 동작을 수행하는 경우, 소스 드라이버 회로(SD)를 도 10의 (B)에 나타난 구성으로 함으로써, 배선(DL) 및 배선(WDL)의 각각에 적절한 전위를 알맞은 때에 인가할 수 있다.
- [0227] 또한 본 명세서 등에 있어서, 블록도에서는 구성 요소를 기능마다 분류하고 서로 독립한 블록으로서 나타내었다. 그러나 실제의 회로 등에서는 구성 요소를 기능마다 분류하기가 어렵고, 하나의 회로에 복수의 기능이 관련되는 경우나, 복수의 회로에 하나의 기능이 관련되는 경우가 있을 수 있다. 그러므로 블록도에 나타난 블록은 명세서에서 설명한 구성 요소에 한정되지 않고, 상황에 따라 적절히 바뀌 말할 수 있다.
- [0228] 또한 본 발명의 일 형태는 상술한 도 2의 (A), (B), 도 3, 도 5의 (A), (B)에 나타난 화소(PIX)에 한정되지 않는다. 본 발명의 일 형태는 도 2의 (A), (B), 도 3, 도 5의 (A), (B)에 나타난 화소(PIX)의 구성을 적절히 변경한 것으로 하여도 좋다. 예를 들어 도 5의 (A), (B)에 나타난 화소(PIX)에서는, 화상 데이터 유지부(101)와, 구동 회로부(102)와, 보정 데이터 유지부(104)가 서로 전기적으로 접속되어 있지만, 화상 데이터 유지부(101)와 구동 회로부(102) 사이의 전기적 접속은 생략되어도 좋다. 즉, 화상 데이터 유지부(101)로부터 구동 회로부(102)로의 화상 데이터의 전송을, 보정 데이터 유지부(104)를 통하여 수행하는 구성으로 하여도 좋다. 또한 예를 들어, 구동 회로부(102)와 보정 데이터 유지부(104) 사이의 전기적 접속을 생략하여도 좋다. 즉, 보정 데이터 유지부(104)로부터 화상 데이터 유지부(101)에 보정 데이터를 전송하고, 화상 데이터 유지부(101)에서 보정된 화상 데이터를 생성하고, 구동 회로부(102)에 전송하는 구성으로 하여도 좋다.
- [0229] 또한 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태 및/또는 실시예와 적절히 조합할 수 있다.
- [0230] (실시형태 2)
- [0231] 본 실시형태에서는, 표시 소자로서 EL 소자를 사용한 표시 장치의 구성예에 대하여 설명한다. 또한 본 실시형태에서는, 실시형태 1에서 설명한 구동 회로부와 문턱 전압 보정 회로부에 대한 설명은 생략한다.
- [0232] 도 11의 (A)에서는, 제 1 기관(4001) 위에 제공된 표시부(215)를 둘러싸도록 실재(4005)가 제공되고, 표시부(215)가 실재(4005) 및 제 2 기관(4006)으로 밀봉되어 있다.
- [0233] 표시부(215)에는 실시형태 1에 나타난 화소(PIX)를 포함하는 화소 어레이가 제공된다.
- [0234] 도 11의 (A)에서 주사선 구동 회로(221a), 신호선 구동 회로(231a), 신호선 구동 회로(232a), 및 공통선 구동 회로(241a)는 각각 인쇄 기관(4041) 위에 제공된 집적 회로(4042)를 복수로 포함한다. 집적 회로(4042)는 단결정 반도체 또는 다결정 반도체로 형성되어 있다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)는 실시형태 1에 나타난 소스 드라이버 회로(SD)의 기능을 갖는다. 주사선 구동 회로(221a)는 실시형태 1에 나타난 게이트 드라이버 회로(GD)의 기능을 갖는다. 공통선 구동 회로(241a)는 실시형태 1에 나타난 화소(PIX)가 갖는 소정의 회로 소자에 규정의 전위를 인가하거나 또는 전류를 공급하는 기능을 갖는다. 특히, 공통선 구동 회로(241a)와 화소(PIX)는 실시형태 1에 나타난 배선(VA)을 통하여 전기적으로 접속될 수 있다.

- [0235] 주사선 구동 회로(221a), 공통선 구동 회로(241a), 신호선 구동 회로(231a), 및 신호선 구동 회로(232a)에 주어지는 각종 신호 및 전위는 FPC(Flexible printed circuit)(4018)를 통하여 공급된다.
- [0236] 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)에 포함되는 집적 회로(4042)는 표시부(215)에 선택 신호를 공급하는 기능을 갖는다. 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 집적 회로(4042)는 표시부(215)에 화상 신호를 공급하는 기능을 갖는다. 집적 회로(4042)는 제 1 기관(4001) 위의 실재(4005)로 둘러싸인 영역과는 다른 영역에 실장되어 있다.
- [0237] 또한 집적 회로(4042)의 접속 방법은 특별히 한정되는 것은 아니고, 와이어 본딩법, COG(Chip On Glass)법, TCP(Tape Carrier Package)법, COF(Chip On Film)법 등을 사용할 수 있다.
- [0238] 도 11의 (B)는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)에 포함되는 집적 회로(4042)를 COG법에 의하여 실장하는 예를 나타낸 것이다. 또한 구동 회로의 일부 또는 전체를 표시부(215)와 같은 기관 위에 일체로 형성함으로써, 시스템 온 패널(system-on-panel)을 형성할 수 있다.
- [0239] 도 11의 (B)에는 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 표시부(215)와 같은 기관 위에 형성하는 예를 나타내었다. 구동 회로를 표시부(215) 내의 화소 회로와 동시에 형성함으로써, 부품 점수를 삭감할 수 있다. 따라서 생산성을 높일 수 있다.
- [0240] 또한 도 11의 (B)에서는 제 1 기관(4001) 위에 제공된 표시부(215)와, 주사선 구동 회로(221a) 및 공통선 구동 회로(241a)를 둘러싸도록 실재(4005)가 제공되어 있다. 또한 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a) 위에 제 2 기관(4006)이 제공되어 있다. 따라서 표시부(215), 주사선 구동 회로(221a), 및 공통선 구동 회로(241a)는 제 1 기관(4001)과 실재(4005)와 제 2 기관(4006)으로 표시 소자와 함께 밀봉되어 있다.
- [0241] 또한 도 11의 (B)에는 신호선 구동 회로(231a) 및 신호선 구동 회로(232a)를 별도로 형성하고 제 1 기관(4001)에 실장한 예를 나타내었지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도로 형성하고 실장하여도 좋고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부를 별도로 형성하고 실장하여도 좋다.
- [0242] 또한 표시 장치는 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함하는 경우가 있다.
- [0243] 또한 제 1 기관 위에 제공된 표시부 및 주사선 구동 회로는 트랜지스터를 복수로 포함한다. 상기 트랜지스터로서, OS 트랜지스터 또는 채널 형성 영역에 실리콘을 포함하는 트랜지스터를 적용할 수 있다.
- [0244] 주변 구동 회로에 포함되는 트랜지스터와 표시부의 화소 회로에 포함되는 트랜지스터의 구조는 같아도 좋고 달라도 좋다. 주변 구동 회로에 포함되는 트랜지스터는 모두 같은 구조이어도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다. 마찬가지로, 화소 회로에 포함되는 트랜지스터는 모두 같은 구조이어도 좋고, 2종류 이상의 구조가 조합되어 사용되어도 좋다.
- [0245] 또한 제 2 기관(4006) 위에는 후술하는 입력 장치(4200)를 제공할 수 있다. 도 11의 (A), (B)에 나타낸 표시 장치에 입력 장치(4200)를 제공한 구성은 터치 패널로서 기능할 수 있다.
- [0246] 본 발명의 일 형태의 터치 패널에 포함되는 검지 소자(센서 소자라고도 함)에 한정은 없다. 손가락이나 스타일러스 등의 피검지체의 근접 또는 접촉을 검지할 수 있는 다양한 센서를 검지 소자로서 적용할 수 있다.
- [0247] 센서의 방식으로서, 예를 들어 정전 용량 방식, 저항막 방식, 표면 탄성과 방식, 적외선 방식, 광학 방식, 감압 방식 등 다양한 방식을 사용할 수 있다.
- [0248] 본 실시형태에서는, 정전 용량 방식의 검지 소자를 포함하는 터치 패널을 예로 들어 설명한다.
- [0249] 정전 용량 방식으로서, 표면형 정전 용량 방식, 투영형 정전 용량 방식 등이 있다. 또한 투영형 정전 용량 방식으로서, 자기 용량 방식, 상호 용량 방식 등이 있다. 상호 용량 방식을 사용하면 여러 지점을 동시에 검지할 수 있기 때문에 바람직하다.
- [0250] 본 발명의 일 형태의 터치 패널에는, 따로 제작된 표시 장치와 검지 소자를 접합하는 구성, 표시 소자를 지지하는 기관 및 대향 기관 중 한쪽 또는 양쪽에 검지 소자를 구성하는 전극 등을 제공하는 구성 등, 다양한 구성을 적용할 수 있다.
- [0251] 도 12의 (A), (B)에 터치 패널의 일례를 나타내었다. 도 12의 (A)는 터치 패널(4210)의 사시도이다. 도 12의

(B)는 입력 장치(4200)의 사시 개략도이다. 또한 명료화를 위하여, 대표적인 구성 요소만을 나타내었다.

- [0252] 터치 패널(4210)은 따로 제작된 표시 장치와 검지 소자를 접합한 구성을 갖는다.
- [0253] 터치 패널(4210)은 입력 장치(4200)와 표시 장치를 포함하고, 이들이 중첩되어 제공되어 있다.
- [0254] 입력 장치(4200)는 기관(4263), 전극(4227), 전극(4228), 복수의 배선(4237), 복수의 배선(4238), 및 복수의 배선(4239)을 포함한다. 예를 들어, 전극(4227)은 배선(4237) 또는 배선(4239)에 전기적으로 접속될 수 있다. 또한 전극(4228)은 배선(4239)에 전기적으로 접속될 수 있다. FPC(4272b)는 복수의 배선(4237) 및 복수의 배선(4238)의 각각에 전기적으로 접속된다. FPC(4272b)에는 IC(4273b)를 제공할 수 있다.
- [0255] 또는 표시 장치의 제 1 기관(4001)과 제 2 기관(4006) 사이에 터치 센서를 제공하여도 좋다. 제 1 기관(4001)과 제 2 기관(4006) 사이에 터치 센서를 제공하는 경우에는, 정전 용량 방식의 터치 센서 외에, 광전 변환 소자를 사용한 광학식 터치 센서를 적용하여도 좋다.
- [0256] 도 13은 도 11의 (B)에서 채선 N1-N2로 나타낸 부분의 단면도이다. 도 13에 나타낸 표시 장치는 전극(4015)을 포함하고, 전극(4015)은 FPC(4018)에 포함되는 단자에 이방성 도전층(4019)을 통하여 전기적으로 접속되어 있다. 또한 도 13에서 전극(4015)은 절연층(4112), 절연층(4111), 및 절연층(4110)에 형성된 개구에서 배선(4014)에 전기적으로 접속되어 있다.
- [0257] 전극(4015)은 제 1 전극층(4030)과 같은 도전층으로 형성되고, 배선(4014)은 트랜지스터(4010) 및 트랜지스터(4011)의 소스 전극 및 드레인 전극과 같은 도전층으로 형성되어 있다.
- [0258] 또한 제 1 기관(4001) 위에 제공된 표시부(215)와 주사선 구동 회로(221a)는 트랜지스터를 복수로 포함하고, 도 13에는 표시부(215)에 포함되는 트랜지스터(4010) 및 주사선 구동 회로(221a)에 포함되는 트랜지스터(4011)를 예시하였다. 또한 도 13에는 트랜지스터(4010) 및 트랜지스터(4011)로서 보텀 게이트형 트랜지스터를 예시하였지만, 톱 게이트형 트랜지스터이어도 좋다. 또한 트랜지스터(4010)는 실시형태 1에서 설명한 트랜지스터(Tr5)로 할 수 있다. 또한 트랜지스터(4011)는 실시형태 1에서 설명한 게이트 드라이버 회로(GD)에 포함되는 트랜지스터로 할 수 있다.
- [0259] 도 13에서는 트랜지스터(4010) 및 트랜지스터(4011) 위에 절연층(4112)이 제공되어 있다. 또한 절연층(4112) 위에 격벽(4510)이 형성되어 있다.
- [0260] 또한 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4102) 위에 제공되어 있다. 또한 트랜지스터(4010) 및 트랜지스터(4011)는 절연층(4111) 위에 형성된 전극(4017)을 포함한다. 전극(4017)은 백 게이트 전극으로서 기능할 수 있다.
- [0261] 또한 도 13에 나타낸 표시 장치는 용량 소자(4020)를 포함한다. 용량 소자(4020)는 트랜지스터(4010)의 게이트 전극과 같은 공정에서 형성된 전극(4021)과, 소스 전극 및 드레인 전극과 같은 공정에서 형성된 전극을 포함한다. 각 전극은 절연층(4103)을 개재하여 중첩되어 있다. 또한 용량 소자(4020)는 실시형태 1에서 설명한 용량 소자(C2) 및 용량 소자(C3) 중 한쪽으로 할 수 있다.
- [0262] 일반적으로 표시 장치의 화소부에 제공되는 용량 소자의 용량은, 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 전하를 유지할 수 있도록 설정된다. 용량 소자의 용량은 트랜지스터의 오프 전류 등을 고려하여 설정하면 좋다.
- [0263] 표시부(215)에 제공된 트랜지스터(4010)는 표시 소자에 전기적으로 접속된다.
- [0264] 또한 도 13에 나타낸 표시 장치는 절연층(4111)과 절연층(4102)을 포함한다. 절연층(4111)과 절연층(4102)으로서는, 불순물 원소를 투과시키기 어려운 절연층을 사용한다. 절연층(4111)과 절연층(4102)으로 트랜지스터를 끼움으로써, 외부로부터 반도체층으로 불순물이 침입하는 것을 방지할 수 있다.
- [0265] 표시 장치에 포함되는 표시 소자로서, 일렉트로루미네선스를 이용하는 발광 소자(EL 소자)를 적용할 수 있다. EL 소자는 한 쌍의 전극 사이에 발광성 화합물을 포함하는 층("EL층"이라고도 함)을 포함한다. 한 쌍의 전극 사이에 EL 소자의 문턱 전압보다 큰 전위차를 발생시키면, EL층에 양극 측으로부터 정공이 주입되고, 음극 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층에서 재결합되고, EL층에 포함되는 발광 물질이 발광한다.
- [0266] 또한 EL 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 따라 구별되고, 일반적으로 전자(前者)는 유기 EL 소자, 후자(後者)는 무기 EL 소자라고 불린다.

- [0267] 유기 EL 소자에서는 전압을 인가함으로써, 한쪽 전극으로부터 전자가, 다른 쪽 전극으로부터 정공이 각각 EL층에 주입된다. 그리고 이들 캐리어(전자 및 정공)가 재결합됨으로써, 발광성 유기 화합물이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때 발광한다. 이와 같은 메커니즘 때문에 이러한 발광 소자는 전류 여기형 발광 소자라고 불린다.
- [0268] 또한 EL층은 발광성 화합물 이외에 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함하여도 좋다.
- [0269] EL층은 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.
- [0270] 무기 EL 소자는 그 소자 구성에 따라 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 내로 분산시킨 발광층을 포함하는 것이고, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층으로 끼우고, 또한 그것을 전극으로 끼운 구조를 갖고, 발광 메커니즘은 금속 이온의 내각 전자 전이(inner-shell electron transition)를 이용하는 국제형 발광이다. 또한 여기서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0271] 발광 소자는 발광을 추출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투명하면 좋다. 그리고 기판 위에 트랜지스터 및 발광 소자를 형성하고, 상기 기판과는 반대 측의 면으로부터 발광을 추출하는 상면 사출(톱 이미션) 구조나, 기판 측의 면으로부터 발광을 추출하는 하면 사출(보텀 이미션) 구조나, 양쪽 면으로부터 발광을 추출하는 양면 사출(듀얼 이미션) 구조가 있고, 어느 사출 구조의 발광 소자도 적용할 수 있다.
- [0272] 도 13은 표시 소자로서 발광 소자를 사용한 발광 표시 장치("EL 표시 장치"라고도 함)의 일례를 도시한 것이다. 표시 소자인 발광 소자(4513)는 표시부(215)에 제공된 트랜지스터(4010)에 전기적으로 접속되어 있다. 또한 발광 소자(4513)의 구성은 제 1 전극층(4030), 발광층(4511), 제 2 전극층(4031)의 적층 구조이지만, 이 구성에 한정되지 않는다. 발광 소자(4513)로부터 추출하는 광의 방향 등에 따라 발광 소자(4513)의 구성을 적절히 변경할 수 있다. 또한 발광 소자(4513)는 실시형태 1에서 설명한 발광 소자(LD)로 할 수 있다.
- [0273] 격벽(4510)은 유기 절연 재료 또는 무기 절연 재료를 사용하여 형성한다. 특히 감광성 수지 재료를 사용하여 제 1 전극층(4030) 위에 개구부를 형성하고, 그 개구부의 측면이 연속된 곡물을 갖는 경사면이 되도록 형성하는 것이 바람직하다.
- [0274] 발광층(4511)은 단층으로 구성되어도 좋고, 복수의 층이 적층되도록 구성되어도 좋다.
- [0275] 발광 소자(4513)의 발광색은 발광층(4511)을 구성하는 재료에 따라 백색, 적색, 녹색, 청색, 시안, 마젠타, 또는 황색 등으로 할 수 있다.
- [0276] 컬러 표시를 실현하는 방법으로서, 발광색이 백색인 발광 소자(4513)와 착색층을 조합하는 방법과, 화소마다 발광색이 다른 발광 소자(4513)를 제공하는 방법이 있다. 전자의 방법은 후자의 방법보다 생산성이 높다. 한편, 후자의 방법에서는 화소마다 발광층(4511)을 나누어 형성할 필요가 있기 때문에, 전자의 방법보다 생산성이 떨어진다. 다만 후자의 방법에서는 전자의 방법보다 색 순도가 높은 발광색을 얻을 수 있다. 또한 후자의 방법에서, 발광 소자(4513)에 마이크로캐비티 구조를 부여함으로써, 색 순도를 더 높일 수 있다.
- [0277] 또한 발광층(4511)은 퀀텀닷(quantum dot) 등의 무기 화합물을 포함하여도 좋다. 예를 들어, 퀀텀닷을 발광층에 사용함으로써, 발광 재료로서 기능시킬 수도 있다.
- [0278] 발광 소자(4513)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제 2 전극층(4031) 및 격벽(4510) 위에 보호층을 형성하여도 좋다. 보호층으로서, 질화 실리콘, 질화산화 실리콘, 산화 알루미늄, 질화 알루미늄, 산화질화 알루미늄, 질화산화 알루미늄, DLC(Diamond Like Carbon) 등을 형성할 수 있다. 또한 제 1 기판(4001), 제 2 기판(4006), 및 실재(4005)로 밀봉된 공간에는 충전재(4514)가 제공되어 밀봉되어 있다. 이와 같이, 외기에 노출되지 않도록, 기밀성이 높고 탈가스가 적은 보호 필름(접합 필름, 자외선 경화 수지 필름 등)이나 커버 재료로 패키징(봉입)하는 것이 바람직하다.
- [0279] 충전재(4514)로서는 질소나 아르곤 등의 불활성 가스 이외에, 자외선 경화 수지 또는 열 경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴 수지, 폴리에미드, 에폭시 수지, 실리콘(silicone) 수지, PVB(폴리비닐부티랄), 또는 EVA(에틸렌비닐아세테이트) 등을 사용할 수 있다. 또한 충전재(4514)에 건조제가 포함되어도 좋다.

- [0280] 실재(4005)에는 유리 프리트 등의 유리 재료나, 2액 혼합형 수지 등 상온에서 경화되는 경화 수지, 광 경화성 수지, 열 경화성 수지 등의 수지 재료를 사용할 수 있다. 또한 실재(4005)에 건조제가 포함되어도 좋다.
- [0281] 또한 필요에 따라 발광 소자의 사출면에 편광판 또는 원 편광판(타원 편광판을 포함함), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러 필터 등의 광학 필름을 적절히 제공하여도 좋다. 또한 편광판 또는 원 편광판에 반사 방지막을 제공하여도 좋다. 예를 들어, 표면의 요철에 의하여 반사광을 확산시켜 눈부심을 저감할 수 있는 안티글레어 처리를 실시할 수 있다.
- [0282] 또한 발광 소자를 마이크로캐비티 구조로 함으로써, 색 순도가 높은 광을 추출할 수 있다. 또한 마이크로캐비티 구조와 컬러 필터를 조합함으로써, 눈부심이 저감되어 표시 화상의 시인성을 높일 수 있다.
- [0283] 표시 소자에 전압을 인가하는 제 1 전극층 및 제 2 전극층(화소 전극층, 공통 전극층, 대향 전극층 등이라고도 함)에서는, 추출하는 광의 방향, 전극층이 제공되는 장소, 및 전극층의 패턴 구조에 따라 투광성, 반사성을 선택하면 좋다.
- [0284] 제 1 전극층(4030), 제 2 전극층(4031)에는 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 타이타늄을 포함하는 인듐 산화물, 인듐 주석 산화물, 산화 타이타늄을 포함하는 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 사용할 수 있다.
- [0285] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 텅스텐(W), 몰리브데넘(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 나이오븀(Nb), 탄탈럼(Ta), 크로뮴(Cr), 코발트(Co), 니켈(Ni), 타이타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 그 합금, 혹은 그 금속 질화물 중에서 1종류 이상을 사용하여 형성될 수 있다.
- [0286] 또한 제 1 전극층(4030), 제 2 전극층(4031)은 도전성 고분자(도전성 폴리머라고도 함)를 포함한 도전성 조성물을 사용하여 형성할 수 있다. 도전성 고분자로서는 소위 π 전자 공액 도전성 고분자를 사용할 수 있다. 예를 들어, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리싸이오펜 또는 그 유도체, 혹은 아닐린, 피롤, 및 싸이오펜 중 2종 이상으로 이루어진 공중합체 또는 그 유도체 등이 있다.
- [0287] 또한 트랜지스터는 정전기 등으로 인하여 파괴되기 쉽기 때문에, 구동 회로 보호용의 보호 회로를 제공하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성되는 것이 바람직하다.
- [0288] 또한 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태 및/또는 실시예와 적절히 조합할 수 있다.
- [0289] (실시형태 3)
- [0290] 본 실시형태에서는, 본 발명의 일 형태의 반도체 장치 또는 표시 장치에 사용할 수 있는 트랜지스터의 구성에 대하여 설명한다.
- [0291] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는, 보텀 게이트형 트랜지스터나 톱 게이트형 트랜지스터 등의 다양한 형태의 트랜지스터를 사용하여 제작할 수 있다. 따라서 기존의 제조 라인에 맞추어, 사용하는 반도체층의 재료나 트랜지스터 구조를 용이하게 치환할 수 있다.
- [0292] [보텀 게이트형 트랜지스터]
- [0293] 도 14의 (A1)은 보텀 게이트형 트랜지스터의 일종인 채널 보호형 트랜지스터(810)의 단면도이다. 도 14의 (A1)에서, 트랜지스터(810)는 기판(771) 위에 형성되어 있다. 또한 트랜지스터(810)는 기판(771) 위에 절연층(772)을 개재하여 전극(746)을 포함한다. 또한 전극(746) 위에 절연층(726)을 개재하여 반도체층(742)을 포함한다. 전극(746)은 게이트 전극으로서 기능할 수 있다. 절연층(726)은 게이트 절연층으로서 기능할 수 있다.
- [0294] 또한 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 포함한다. 또한 반도체층(742)의 일부와 접하여 절연층(726) 위에 전극(744a) 및 전극(744b)을 포함한다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 전극(744a)의 일부 및 전극(744b)의 일부는 절연층(741) 위에 형성된다.
- [0295] 절연층(741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)이 노출되는 것을 방지할 수 있다. 따라서 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에

의하여 전기 특성이 양호한 트랜지스터를 실현할 수 있다.

- [0296] 또한 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 포함하고, 절연층(728) 위에 절연층(729)을 포함한다.
- [0297] 반도체층(742)에 산화물 반도체를 사용하는 경우, 전극(744a) 및 전극(744b)에서 적어도 반도체층(742)과 접하는 부분에, 반도체층(742)의 일부로부터 산소를 빼앗아, 산소 결손을 발생시킬 수 있는 재료를 사용하는 것이 바람직하다. 반도체층(742) 내에서 산소 결손이 발생한 영역은 캐리어 농도가 증가되므로, 상기 영역은 n형화되어, n형 영역(n⁺층)이 된다. 따라서 상기 영역은 소스 영역 또는 드레인 영역으로서 기능할 수 있다. 반도체층(742)에 산화물 반도체를 사용하는 경우, 반도체층(742)으로부터 산소를 빼앗아, 산소 결손을 발생시킬 수 있는 재료의 일례로서는 텅스텐, 타이타늄 등을 들 수 있다.
- [0298] 반도체층(742)에 소스 영역 및 드레인 영역이 형성됨으로써, 전극(744a) 및 전극(744b)과 반도체층(742)의 접촉 저항을 저감할 수 있다. 따라서 전계 효과 이동도나 문턱 전압 등의 트랜지스터의 전기 특성을 양호하게 할 수 있다.
- [0299] 반도체층(742)에 실리콘 등의 반도체를 사용하는 경우에는, 반도체층(742)과 전극(744a) 사이, 및 반도체층(742)과 전극(744b) 사이에 n형 반도체 또는 p형 반도체로서 기능하는 층을 제공하는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은, 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.
- [0300] 절연층(729)은 외부로부터 트랜지스터로의 불순물의 확산을 방지하거나 또는 저감하는 기능을 갖는 재료를 사용하여 형성되는 것이 바람직하다. 또한 필요에 따라 절연층(729)을 생략할 수도 있다.
- [0301] 도 14의 (A2)에 나타난 트랜지스터(811)는 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 갖는다는 점에서 트랜지스터(810)와 다르다. 전극(723)은 전극(746)과 같은 재료 및 방법으로 형성할 수 있다.
- [0302] 일반적으로 백 게이트 전극은 도전층으로 형성되고, 게이트 전극과 백 게이트 전극으로 반도체층의 채널 형성 영역을 끼우도록 배치된다. 따라서 백 게이트 전극은 게이트 전극과 같은 식으로 기능할 수 있다. 백 게이트 전극의 전위는 게이트 전극과 같은 전위로 하여도 좋고, 접지 전위(GND 전위)나 임의의 전위로 하여도 좋다. 또한 백 게이트 전극의 전위를 게이트 전극과 연동시키지 않고 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.
- [0303] 전극(746) 및 전극(723)은 모두 게이트 전극으로서 기능할 수 있다. 따라서 절연층(726), 절연층(728), 및 절연층(729)은 각각 게이트 절연층으로서 기능할 수 있다. 또한 전극(723)은 절연층(728)과 절연층(729) 사이에 제공되어도 좋다.
- [0304] 또한 전극(746) 및 전극(723) 중 한쪽을 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 한다. 예를 들어, 트랜지스터(811)에서 전극(723)을 "게이트 전극"이라고 하는 경우, 전극(746)을 "백 게이트 전극"이라고 한다. 또한 전극(723)을 "게이트 전극"으로서 사용하는 경우에는, 트랜지스터(811)를 톱 게이트형 트랜지스터의 일종으로 생각할 수 있다. 또한 전극(746) 및 전극(723) 중 어느 한쪽을 "제 1 게이트 전극"이라고 하고, 다른 쪽을 "제 2 게이트 전극"이라고 하는 경우가 있다.
- [0305] 반도체층(742)을 끼워 전극(746) 및 전극(723)을 제공함으로써, 또한 전극(746) 및 전극(723)을 같은 전위로 함으로써, 반도체층(742)에서 캐리어가 흐르는 영역이 막 두께 방향에서 더 커지기 때문에, 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(811)의 온 전류가 커짐과 함께, 전계 효과 이동도가 높아진다.
- [0306] 따라서 트랜지스터(811)는 점유 면적에 대하여 온 전류가 큰 트랜지스터이다. 즉, 요구되는 온 전류에 대하여 트랜지스터(811)의 점유 면적을 작게 할 수 있다. 본 발명의 일 형태에 의하여 트랜지스터의 점유 면적을 작게 할 수 있다. 그러므로 본 발명의 일 형태에 의하여 집적도가 높은 반도체 장치를 실현할 수 있다.
- [0307] 또한 게이트 전극과 백 게이트 전극은 도전층으로 형성되기 때문에, 트랜지스터의 외부에서 발생하는 전계가 채널이 형성되는 반도체층에 작용하지 않도록 하는 기능(특히, 정전기 등에 대한 전계 차폐 기능)을 갖는다. 또한 백 게이트 전극을 반도체층보다 크게 형성하여 백 게이트 전극으로 반도체층을 덮음으로써 전계 차폐 기능을 높일 수 있다.
- [0308] 또한 백 게이트 전극을 차광성을 갖는 도전막으로 형성함으로써, 백 게이트 전극 측으로부터 반도체층에 광이 입사하는 것을 방지할 수 있다. 따라서 반도체층의 광 열화를 방지하고, 트랜지스터의 문턱 전압이 시프트되는 등의 전기 특성의 열화를 방지할 수 있다.

- [0309] 본 발명의 일 형태에 의하여 신뢰성이 양호한 트랜지스터를 실현할 수 있다. 또한 신뢰성이 양호한 반도체 장치를 실현할 수 있다.
- [0310] 도 14의 (B1)에는 보텀 게이트형 트랜지스터의 하나인 채널 보호형 트랜지스터(820)의 단면도를 나타내었다. 트랜지스터(820)는 트랜지스터(810)와 거의 같은 구조를 갖지만, 절연층(741)이 반도체층(742)의 단부를 덮는다는 점에서 다르다. 또한 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거하여 형성한 개구부에서, 반도체층(742)과 전극(744a)이 전기적으로 접속되어 있다. 또한 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거하여 형성한 다른 개구부에서, 반도체층(742)과 전극(744b)이 전기적으로 접속되어 있다. 절연층(741)에서 채널 형성 영역과 중첩되는 영역은 채널 보호층으로서 기능할 수 있다.
- [0311] 도 14의 (B2)에 나타낸 트랜지스터(821)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 갖는다는 점에서 트랜지스터(820)와 다르다.
- [0312] 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)이 노출되는 것을 방지할 수 있다. 따라서 전극(744a) 및 전극(744b)의 형성 시에 반도체층(742)이 얇아지는 것을 방지할 수 있다.
- [0313] 또한 트랜지스터(820) 및 트랜지스터(821)는, 트랜지스터(810) 및 트랜지스터(811)보다 전극(744a)과 전극(746) 사이의 거리와, 전극(744b)과 전극(746) 사이의 거리가 길다. 따라서 전극(744a)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 또한 전극(744b)과 전극(746) 사이에 발생하는 기생 용량을 작게 할 수 있다. 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터를 실현할 수 있다.
- [0314] 도 14의 (C1)에 나타낸 트랜지스터(825)는 보텀 게이트형 트랜지스터의 하나인 채널 에칭형 트랜지스터이다. 트랜지스터(825)는 절연층(741)을 사용하지 않고 전극(744a) 및 전극(744b)을 형성한다. 그러므로 전극(744a) 및 전극(744b)의 형성 시에 노출되는 반도체층(742)의 일부가 에칭되는 경우가 있다. 한편, 절연층(741)을 제공하지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.
- [0315] 도 14의 (C2)에 나타낸 트랜지스터(826)는, 절연층(729) 위에 백 게이트 전극으로서 기능할 수 있는 전극(723)을 갖는다는 점에서 트랜지스터(825)와 다르다.
- [0316] [톱 게이트형 트랜지스터]
- [0317] 도 15의 (A1)에 예시한 트랜지스터(842)는 톱 게이트형 트랜지스터의 하나이다. 트랜지스터(842)는 절연층(729)을 형성한 후에 전극(744a) 및 전극(744b)을 형성한다는 점에서 트랜지스터(810, 811, 820, 821, 825, 826)와 다르다. 전극(744a) 및 전극(744b)은 절연층(728) 및 절연층(729)에 형성한 개구부에서 반도체층(742)에 전기적으로 접속된다.
- [0318] 또한 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고, 전극(746)과 나머지 절연층(726)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입함으로써, 반도체층(742) 내에 자기 정합(self-aligned)적으로 불순물 영역을 형성할 수 있다(도 15의 (A3) 참조). 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 포함한다. 반도체층(742)에서 절연층(726)을 통하여 불순물(755)이 도입된 영역의 불순물 농도는, 절연층(726)을 통하지 않고 불순물(755)이 도입된 영역보다 작다. 따라서 반도체층(742)은 전극(746)과 중첩되지 않는 영역에 LDD(Lightly Doped Drain) 영역이 형성된다.
- [0319] 도 15의 (A2)에 나타낸 트랜지스터(843)는 전극(723)을 갖는다는 점에서 트랜지스터(842)와 다르다. 트랜지스터(843)는 기판(771) 위에 형성된 전극(723)을 포함한다. 전극(723)은 절연층(772)을 개재하여 반도체층(742)과 중첩되는 영역을 포함한다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.
- [0320] 또한 도 15의 (B1)에 나타낸 트랜지스터(844) 및 도 15의 (B2)에 나타낸 트랜지스터(845)에서와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 모두 제거하여도 좋다. 또한 도 15의 (C1)에 나타낸 트랜지스터(846) 및 도 15의 (C2)에 나타낸 트랜지스터(847)에서와 같이 절연층(726)을 남겨도 좋다.
- [0321] 트랜지스터(842) 내지 트랜지스터(847)에서도, 전극(746)을 형성한 후에 전극(746)을 마스크로서 사용하여 불순물(755)을 반도체층(742)에 도입함으로써, 반도체층(742)에 자기 정합적으로 불순물 영역을 형성할 수 있다. 본 발명의 일 형태에 의하여 전기 특성이 양호한 트랜지스터를 실현할 수 있다. 또한 본 발명의 일 형태에 의하여 집적도가 높은 반도체 장치를 실현할 수 있다.
- [0322] 또한 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태 및/또는 실시예와 적절히 조합할 수 있다.

- [0323] (실시형태 4)
- [0324] 본 실시형태에서는, 위의 실시형태에서 설명한 OS 트랜지스터에 사용할 수 있는 금속 산화물인 CAC-OS(Cloud-Aligned Composite Oxide Semiconductor) 및 CAAC-OS(c-axis Aligned Crystalline Oxide Semiconductor)의 구성에 대하여 설명한다. 또한 명세서 등에서 CAC는 기능 또는 재료의 구성의 일례를 나타내고, CAAC는 결정 구조의 일례를 나타낸다.
- [0325] <금속 산화물의 구성>
- [0326] CAC-OS 또는 CAC-metal oxide는 재료의 일부에서는 도전성의 기능을 갖고, 재료의 일부에서는 절연성의 기능을 갖고, 재료의 전체에서는 반도체로서의 기능을 갖는다. 또한 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 활성층에 사용하는 경우, 도전성의 기능은 캐리어가 되는 전자(또는 홀)를 흘리는 기능이고, 절연성의 기능은 캐리어가 되는 전자를 흘리지 않는 기능이다. 도전성의 기능과 절연성의 기능을 각각 상보적으로 작용시킴으로써, 스위칭 기능(On/Off시키는 기능)을 CAC-OS 또는 CAC-metal oxide에 부여할 수 있다. CAC-OS 또는 CAC-metal oxide에서 각각의 기능을 분리시킴으로써, 양쪽의 기능을 최대한 높일 수 있다.
- [0327] 또한 CAC-OS 또는 CAC-metal oxide는 도전성 영역 및 절연성 영역을 갖는다. 도전성 영역은 상술한 도전성의 기능을 갖고, 절연성 영역은 상술한 절연성의 기능을 갖는다. 또한 재료 내에서 도전성 영역과 절연성 영역은 나노 입자 레벨로 분리되어 있는 경우가 있다. 또한 도전성 영역과 절연성 영역은 각각 재료 내에 편재하는 경우가 있다. 또한 도전성 영역은 주변이 흐릿해져 클라우드로 연결되어 관찰되는 경우가 있다.
- [0328] 또한 CAC-OS 또는 CAC-metal oxide에서 도전성 영역과 절연성 영역은 각각 0.5nm 이상 10nm 이하, 바람직하게는 0.5nm 이상 3nm 이하의 크기로 재료 내에 분산되어 있는 경우가 있다.
- [0329] 또한 CAC-OS 또는 CAC-metal oxide는 상이한 밴드 갭을 갖는 성분으로 구성된다. 예를 들어, CAC-OS 또는 CAC-metal oxide는 절연성 영역에 기인하는 와이드 갭을 갖는 성분과 도전성 영역에 기인하는 내로 갭을 갖는 성분으로 구성된다. 상기 구성의 경우, 캐리어를 흘릴 때 내로 갭을 갖는 성분에서 주로 캐리어가 흐른다. 또한 내로 갭을 갖는 성분이 와이드 갭을 갖는 성분에 상보적으로 작용하고, 내로 갭을 갖는 성분과 연동하여 와이드 갭을 갖는 성분에도 캐리어가 흐른다. 그러므로 상기 CAC-OS 또는 CAC-metal oxide를 트랜지스터의 채널 형성 영역에 사용하는 경우, 트랜지스터의 온 상태에서 높은 전류 구동력, 즉 큰 온 전류 및 높은 전계 효과 이동도를 얻을 수 있다.
- [0330] 즉, CAC-OS 또는 CAC-metal oxide는 매트릭스 복합재(matrix composite) 또는 금속 매트릭스 복합재(metal matrix composite)라고 부를 수도 있다.
- [0331] <금속 산화물의 구조>
- [0332] 산화물 반도체는 단결정 산화물 반도체와 그 이외의 비단결정 산화물 반도체로 나누어진다. 비단결정 산화물 반도체로서는, 예를 들어 CAAC-OS, 다결정 산화물 반도체, nc-OS(nanocrystalline oxide semiconductor), a-like OS(amorphous-like oxide semiconductor), 및 비정질 산화물 반도체 등이 있다.
- [0333] CAAC-OS는 c축 배향성을 가지며 a-b면 방향에서 복수의 나노 결정이 연결되어 변형을 갖는 결정 구조가 되어 있다. 또한 변형이란, 복수의 나노 결정이 연결되는 영역에서, 격자 배열이 정렬된 영역과 격자 배열이 정렬된 다른 영역 사이에서 격자 배열의 방향이 변화되는 부분을 가리킨다.
- [0334] 나노 결정은 육각형이 기본이지만, 정육각형에 한정되지 않고, 비정육각형인 경우가 있다. 또한 변형에서 오각형 및 칠각형 등의 격자 배열을 갖는 경우가 있다. 또한 CAAC-OS에서는, 변형 근방에서도 명확한 결정립계(그레인 바운더리라고도 함)를 확인할 수 없다. 즉, 격자 배열의 변형에 의하여 결정립계의 형성이 억제되어 있는 것을 알 수 있다. 이는, CAAC-OS가 a-b면 방향에서 산소 원자의 배열이 조밀하지 않거나, 금속 원소가 치환됨으로써 원자 사이의 결합 거리가 변화되는 것 등에 의하여, 변형을 허용할 수 있기 때문이라고 생각된다.
- [0335] 또한 CAAC-OS는 인듐 및 산소를 포함하는 층(이하, In층)과 원소 M, 아연, 및 산소를 포함하는 층(이하, (M, Zn)층)이 적층된 층상의 결정 구조(층상 구조라고도 함)를 갖는 경향이 있다. 또한 인듐과 원소 M은 서로 치환할 수 있고, (M, Zn)층의 원소 M이 인듐과 치환된 경우, (In, M, Zn)층이라고 나타낼 수도 있다. 또한 In층의 인듐이 원소 M과 치환된 경우, (In, M)층이라고 나타낼 수도 있다.
- [0336] CAAC-OS는 결정성이 높은 산화물 반도체이다. 한편, CAAC-OS는 명확한 결정립계를 확인할 수 없기 때문에, 결정립계에 기인하는 전자 이동도의 저하가 일어나기 어렵다고 할 수 있다. 또한 산화물 반도체의 결정성은 불순

물의 혼입이나 결함의 생성 등으로 인하여 저하하는 경우가 있기 때문에, CAAC-OS는 불순물이나 결함(산소 결손 등)이 적은 산화물 반도체라고도 할 수 있다. 따라서 CAAC-OS를 갖는 산화물 반도체는 물리적 성질이 안정된다. 그러므로 CAAC-OS를 갖는 산화물 반도체는 열에 강하고 신뢰성이 높다. 또한 CAAC-OS는 제조 공정에서의 높은 온도(소위 thermal budget)에 대해서도 안정적이다. 따라서 OS 트랜지스터에 CAAC-OS를 사용하면, 제조 공정의 자유도를 넓힐 수 있다.

[0337] nc-OS는 미소한 영역(예를 들어 1nm 이상 10nm 이하의 영역, 특히 1nm 이상 3nm 이하의 영역)에서 원자 배열에 주기성을 갖는다. 또한 nc-OS는 상이한 나노 결정 사이에서 결정 방위에 규칙성이 보이지 않는다. 따라서 막 전체에서 배향성이 보이지 않는다. 그러므로 nc-OS는 분석 방법에 따라서는 a-like OS나 비정질 산화물 반도체와 구별이 되지 않는 경우가 있다.

[0338] a-like OS는 nc-OS와 비정질 산화물 반도체의 중간 구조를 갖는 산화물 반도체이다. a-like OS는 공동(void) 또는 저밀도 영역을 갖는다. 즉, a-like OS는 nc-OS 및 CAAC-OS에 비하여 결정성이 낮다.

[0339] 산화물 반도체는 다양한 구조를 취하고, 각각이 상이한 특성을 갖는다. 본 발명의 일 형태의 산화물 반도체는 비정질 산화물 반도체, 다결정 산화물 반도체, a-like OS, nc-OS, CAAC-OS 중 2종류 이상을 포함하여도 좋다.

[0340] <산화물 반도체를 포함하는 트랜지스터>

[0341] 이어서, 상기 산화물 반도체를 트랜지스터에 사용하는 경우에 대하여 설명한다.

[0342] 또한 상기 산화물 반도체를 트랜지스터에 사용함으로써, 전계 효과 이동도가 높은 트랜지스터를 실현할 수 있다. 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.

[0343] 또한 트랜지스터에는 캐리어 밀도가 낮은 산화물 반도체를 사용하는 것이 바람직하다. 산화물 반도체막의 캐리어 밀도를 낮추는 경우에는, 산화물 반도체막 내의 불순물 농도를 낮추고, 결함 준위 밀도를 낮추면 좋다. 본 명세서 등에서, 불순물 농도가 낮고 결함 준위 밀도가 낮은 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 한다. 예를 들어, 산화물 반도체는 캐리어 밀도가 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이고, $1 \times 10^{-9}/\text{cm}^3$ 이상으로 하면 좋다.

[0344] 또한 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다.

[0345] 또한 산화물 반도체의 트랩 준위에 포획된 전하는, 소실되는 데 걸리는 시간이 길고, 마치 고정 전하처럼 작용하는 경우가 있다. 그러므로 트랩 준위 밀도가 높은 산화물 반도체에 채널 형성 영역이 형성되는 트랜지스터는 전기 특성이 불안정해지는 경우가 있다.

[0346] 따라서 트랜지스터의 전기 특성을 안정적으로 하기 위해서는, 산화물 반도체 내의 불순물 농도를 저감하는 것이 유효하다. 또한 산화물 반도체 내의 불순물 농도를 저감하기 위해서는, 근접한 막 내의 불순물 농도도 저감하는 것이 바람직하다. 불순물로서는 수소, 질소, 알칼리 금속, 알칼리 토금속, 철, 니켈, 실리콘 등이 있다.

[0347] <불순물>

[0348] 여기서, 산화물 반도체 내에서의 각 불순물의 영향에 대하여 설명한다.

[0349] 산화물 반도체에 14족 원소 중 하나인 실리콘이나 탄소가 포함되면, 산화물 반도체에서 결함 준위가 형성된다. 그러므로 산화물 반도체에서의 실리콘이나 탄소의 농도와 산화물 반도체와의 계면 근방의 실리콘이나 탄소의 농도(이차 이온 질량 분석법(SIMS)에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms}/\text{cm}^3$ 이하로 한다.

[0350] 또한 산화물 반도체에 알칼리 금속 또는 알칼리 토금속이 포함되면, 결함 준위를 형성하여 캐리어를 생성하는 경우가 있다. 따라서 알칼리 금속 또는 알칼리 토금속이 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다. 구체적으로는, SIMS에 의하여 얻어지는 산화물 반도체 내의 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms}/\text{cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms}/\text{cm}^3$ 이하로 한다.

[0351] 또한 산화물 반도체에 질소가 포함되면, 캐리어인 전자가 발생하고 캐리어 밀도가 증가되어 n형화되기 쉽다. 그러므로 질소가 포함되는 산화물 반도체를 반도체에 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 따라

서 상기 산화물 반도체에서 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어 산화물 반도체 내의 질소 농도는 SIMS에서 $5 \times 10^{19} \text{ atoms/cm}^3$ 미만, 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.

[0352] 또한 산화물 반도체에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 되기 때문에, 산소 결손을 형성하는 경우가 있다. 상기 산소 결손에 수소가 들어감으로써, 캐리어인 전자가 생성되는 경우가 있다. 또한 수소의 일부가 금속 원자와 결합하는 산소와 결합하여, 캐리어인 전자를 생성하는 경우가 있다. 따라서 수소가 포함되는 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성을 갖기 쉽다. 그러므로 산화물 반도체 내의 수소는 가능한 한 저감되어 있는 것이 바람직하다. 구체적으로는, 산화물 반도체에서 SIMS에 의하여 얻어지는 수소 농도를 $1 \times 10^{20} \text{ atoms/cm}^3$ 미만, 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 미만으로 한다.

[0353] 불순물이 충분히 저감된 산화물 반도체를 트랜지스터의 채널 형성 영역에 사용함으로써, 안정된 전기 특성을 부여할 수 있다.

[0354] 또한 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태 및/또는 실시예와 적절히 조합할 수 있다.

[0355] (실시형태 5)

[0356] 본 실시형태에서는, 위의 실시형태에서 설명한 반도체 장치 또는 표시 장치를 전자 기기에 적용한 제품의 예에 대하여 설명한다.

[0357] <노트북형 퍼스널 컴퓨터>

[0358] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는, 정보 단말 장치에 제공되는 디스플레이에 적용할 수 있다. 도 16의 (A)는 정보 단말 장치의 일종인 노트북형 퍼스널 컴퓨터를 도시한 것이고, 하우징(5401), 표시부(5402), 키보드(5403), 포인팅 디바이스(5404) 등을 포함한다.

[0359] <스마트 워치>

[0360] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는 웨어러블 단말에 적용할 수 있다. 도 16의 (B)는 웨어러블 단말의 일종인 스마트 워치를 도시한 것이고, 하우징(5901), 표시부(5902), 조작 버튼(5903), 조작자(5904), 밴드(5905) 등을 포함한다. 또한 표시부(5902)에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한 위치 입력 장치로서의 기능은, 표시 장치에 터치 패널을 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다. 또한 조작 버튼(5903)에 스마트 워치를 기동하는 전원 스위치, 스마트 워치의 애플리케이션을 조작하는 버튼, 음량 조정 버튼, 또는 표시부(5902)를 점등 또는 소등하는 스위치 등 중 어느 것을 제공할 수 있다. 또한 도 16의 (B)에 나타난 스마트 워치에서는 조작 버튼(5903)을 2개 나타내었지만, 스마트 워치에 포함되는 조작 버튼의 개수는 이에 한정되지 않는다. 또한 조작자(5904)는 스마트 워치의 시각을 맞추기 위한 용두로서 기능한다. 또한 조작자(5904)는 시각을 맞추기 위해서뿐만 아니라, 스마트 워치의 애플리케이션을 조작하는 입력 인터페이스로서 사용하여도 좋다. 또한 도 16의 (B)에 나타난 스마트 워치는 조작자(5904)를 포함하는 구성을 갖지만 이에 한정되지 않고, 조작자(5904)를 포함하지 않는 구성을 가져도 좋다.

[0361] <비디오 카메라>

[0362] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는 비디오 카메라에 적용할 수 있다. 도 16의 (C)에 나타난 비디오 카메라는 제 1 하우징(5801), 제 2 하우징(5802), 표시부(5803), 조작 키(5804), 렌즈(5805), 접속부(5806) 등을 포함한다. 조작 키(5804) 및 렌즈(5805)는 제 1 하우징(5801)에 제공되고, 표시부(5803)는 제 2 하우징(5802)에 제공되어 있다. 그리고 제 1 하우징(5801)과 제 2 하우징(5802)은 접속부(5806)에 의하여 접속되어 있고, 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도는 접속부(5806)에 의하여 변경할 수 있다. 표시부(5803)에서의 영상을, 접속부(5806)에서의 제 1 하우징(5801)과 제 2 하우징(5802) 사이의 각도에 따라 전환하는 구성으로 하여도 좋다.

[0363] <휴대 전화>

[0364] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는 휴대 전화에 적용할 수 있다. 도 16의 (D)는 정보 단말기의 기능을 갖는 휴대 전화를 도시한 것이고, 하우징(5501), 표시부(5502), 마이크로폰(5503), 스피커(5504), 조

작 버튼(5505)을 포함한다. 또한 표시부(5502)에 위치 입력 장치로서의 기능이 부가된 표시 장치를 사용하여도 좋다. 또한 위치 입력 장치로서의 기능은, 표시 장치에 터치 패드를 제공함으로써 부가할 수 있다. 또는 위치 입력 장치로서의 기능은, 포토 센서라고도 불리는 광전 변환 소자를 표시 장치의 화소부에 제공함으로써 부가할 수도 있다. 또한 조작 버튼(5505)에 휴대 전화를 기동하는 전원 스위치, 휴대 전화의 애플리케이션을 조작하는 버튼, 음량 조정 버튼, 또는 표시부(5502)를 점등 또는 소등하는 스위치 등 중 어느 것을 제공할 수 있다.

[0365] 또한 도 16의 (D)에 나타낸 휴대 전화에서는 조작 버튼(5505)을 2개 나타내었지만, 휴대 전화에 포함되는 조작 버튼의 개수는 이에 한정되지 않는다. 또한 도시하지 않았지만, 도 16의 (D)에 나타낸 휴대 전화는 플래시라이트 또는 조명의 용도로서 발광 장치를 포함하는 구성을 가져도 좋다.

[0366] <텔레비전 장치>

[0367] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는 텔레비전 장치에 적용할 수 있다. 도 16의 (E)에 나타낸 텔레비전 장치는 하우징(9000), 표시부(9001), 스피커(9003), 조작 키(9005)(전원 스위치 또는 조작 스위치를 포함함), 접속 단자(9006) 등을 포함한다. 텔레비전 장치는 대화면, 예를 들어 50인치 이상 또는 100인치 이상의 표시부(9001)를 포함할 수 있다.

[0368] <이동체>

[0369] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는, 이동체인 자동차의 운전석 주변에 적용할 수 있다.

[0370] 예를 들어, 도 16의 (F)는 자동차의 실내에서의 앞 유리 주변을 나타낸 도면이다. 도 16의 (F)에서는, 대시보드에 장착된 표시 패널(5701), 표시 패널(5702), 표시 패널(5703) 이외에, 필러에 장착된 표시 패널(5704)을 도시하였다.

[0371] 표시 패널(5701) 내지 표시 패널(5703)은 내비게이션 정보, 속도계나 태코미터, 주행 거리, 연료계, 기어 상태, 에어컨의 설정 등을 표시함으로써, 다양한 정보를 제공할 수 있다. 또한 표시 패널에 표시되는 표시 항목이나 레이아웃 등은 사용자의 취향에 따라 적절히 변경할 수 있기 때문에, 디자인성을 높일 수 있다. 표시 패널(5701) 내지 표시 패널(5703)은 조명 장치로서 사용할 수도 있다.

[0372] 표시 패널(5704)에는 차체에 제공된 촬상 수단으로부터의 영상을 표시함으로써, 필러에 가려진 시계(사각(死角))를 보완할 수 있다. 즉, 자동차의 외측에 제공된 촬상 수단으로부터의 화상을 표시함으로써, 사각을 보완하여 안전성을 높일 수 있다. 또한 보이지 않는 부분을 보완하는 영상을 표시함으로써, 더 자연스럽게 위화감 없이 안전을 확인할 수 있다. 표시 패널(5704)은 조명 장치로서 사용할 수도 있다.

[0373] <전자 광고용 전자 기기>

[0374] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는 전자 광고를 용도로 하는 디스플레이에 적용할 수 있다. 도 17의 (A)는 벽에 장착될 수 있는 전자 간판(디지털 사이니지)의 예를 나타낸 것이다. 도 17의 (A)에는 전자 간판(6200)이 벽(6201)에 장착된 상태를 나타내었다.

[0375] <폴더블 태블릿형 정보 단말기>

[0376] 본 발명의 일 형태의 반도체 장치 또는 표시 장치는 태블릿형 정보 단말기에 적용할 수 있다. 도 17의 (B)에는 접을 수 있는 구조를 갖는 태블릿형 정보 단말기를 나타내었다. 도 17의 (B)에 나타낸 정보 단말기는 하우징(5321a)과, 하우징(5321b)과, 표시부(5322)와, 조작 버튼(5323)을 포함한다. 특히, 표시부(5322)는 가요성을 갖는 기재를 포함하므로, 상기 기재에 의하여 접을 수 있는 구조를 실현할 수 있다.

[0377] 또한 하우징(5321a)과 하우징(5321b)은 힌지부(5321c)에 의하여 연결되어 있고, 힌지부(5321c)에 의하여 2개로 접을 수 있다. 또한 표시부(5322)는 하우징(5321a), 하우징(5321b), 및 힌지부(5321c)에 제공되어 있다.

[0378] 또한 도시하지 않았지만, 도 16의 (A) 내지 (C), (E), 도 17의 (A), (B)에 나타낸 전자 기기는 마이크론 및 스피커를 포함하는 구성을 가져도 좋다. 이 구성에 의하여, 예를 들어 상술한 전자 기기에 음성 입력 기능을 부여할 수 있다.

[0379] 또한 도시하지 않았지만, 도 16의 (A), (B), (D), 도 17의 (A), (B)에 나타낸 전자 기기는 카메라를 포함하는 구성을 가져도 좋다.

[0380] 또한 도시하지 않았지만, 도 16의 (A) 내지 (F), 도 17의 (A), (B)에 나타낸 전자 기기는 하우징의 내부에 센서(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도

(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 기울기, 진동, 냄새, 또는 적외선 등을 측정하는 기능을 갖는 것)를 포함하는 구성을 가져도 좋다. 특히, 도 16의 (D)에 나타낸 휴대 전화에 자이로스코프, 가속도 센서 등의 기울기를 검출하는 센서를 포함한 검출 장치를 제공함으로써, 상기 휴대 전화의 방향(연직 방향에 대하여 상기 휴대 전화가 어느 방향을 향하는지)을 판단하여 표시부(5502)의 화면 표시를 상기 휴대 전화의 방향에 따라 자동적으로 전환할 수 있다.

[0381] 또한 도시하지 않았지만, 도 16의 (A) 내지 (F), 도 17의 (A), (B)에 나타낸 전자 기기는 지문, 정맥, 홍채, 또는 성문 등 생체 정보를 취득하는 장치를 포함하는 구성을 가져도 좋다. 이 구성을 적용함으로써, 생체 인증 기능을 갖는 전자 기기를 실현할 수 있다.

[0382] 또한 도 16의 (A) 내지 (E), 도 17의 (A)에 나타낸 전자 기기의 표시부에 가요성을 갖는 기재를 사용하여도 좋다. 구체적으로는, 상기 표시부는 가요성을 갖는 기재 위에 트랜지스터, 용량 소자, 및 표시 소자 등을 제공한 구성을 가져도 좋다. 이 구성을 적용함으로써, 도 16의 (A) 내지 (E), 도 17의 (A)에 나타낸 전자 기기와 같이 평탄한 면을 갖는 하우징뿐만 아니라, 도 16의 (F)에 나타낸 대시보드, 필러와 같이 곡면을 갖는 하우징의 전자 기기를 실현할 수 있다.

[0383] 도 16의 (A) 내지 (F), 도 17의 (A), (B)의 표시부에 적용할 수 있는, 가요성을 갖는 기재로서는, 가시광에 대한 투광성을 갖는 재료를 예로 들면, 폴리에틸렌테레프탈레이트 수지(PET), 폴리에틸렌나프탈레이트 수지(PEN), 폴리에테르술폰 수지(PES), 폴리아크릴로나이트릴 수지, 아크릴 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트 수지, 폴리아마이드 수지, 폴리스아클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드이미드 수지, 폴리프로필렌 수지, 폴리에스터 수지, 폴리할로젠화바이닐 수지, 아라미드 수지, 에폭시 수지 등을 사용할 수 있다. 또한 이들 재료를 혼합 또는 적층하여 사용하여도 좋다.

[0384] 또한 본 실시형태는, 본 명세서에서 나타내는 다른 실시형태 및/또는 실시예와 적절히 조합할 수 있다.

[0385] (실시예 1)

[0386] <계산과 그 결과 1>

[0387] 도 6의 (A)에 나타낸 화소(PIX)의 회로 구성에서, 구동 트랜지스터의 문턱 전압을 보정하는 동작이 적절히 수행되어 있는지 여부를 확인하기 위하여 회로 시뮬레이터를 사용하여 계산을 하였다. 여기서는, 화소(PIX)의 구동 트랜지스터에 상응하는 트랜지스터(Tr3)의 문턱 전압을 0V로 하고, 상기 문턱 전압을 의도적으로 0V에서 변화시켜 발광 소자(LD)를 흐르는 전류의 변화량을 계산한 결과에 대하여 설명한다.

[0388] 상기 계산에서 사용한 소프트웨어는 SILVACO사의 Gateway(version 3.4.1.R)라는 회로 시뮬레이터이다. 상기 시뮬레이터를 사용하여, 트랜지스터(Tr3)의 문턱 전압(V_{th})의 변화에 대한 발광 소자(LD)의 전류 변화율을 계산하였다. 또한 변화 후의 문턱 전압(V_{th})을 -1V, -0.5V, 0V, 0.5V, 1V의 5가지 조건으로 하여, 각각에 대한 전류 변화율을 계산하였다.

[0389] 상기 계산의 조건에서, 화상 데이터에 상응하는 V_{data} 를 5V로 하고, 보정 데이터에 상응하는 V_w 를 5V로 하였다. 또한 화소(PIX)에 전기적으로 접속되는 배선에서, 배선(GL1 내지 GL4)에 인가되는 고레벨 전위를 15V로 하고, 저레벨 전위를 -5V로 하고, 배선(VL)의 전위를 0.5V로 하고, 배선(BGL)의 전위를 -10V로 하고, 배선(AL)의 전위를 13V로 하고, 배선(CAT)에 인가되는 기준 전위(V_{GND})를 -4V로 하였다.

[0390] 또한 트랜지스터(Tr3)의 문턱 전압(V_{th})을 0V에서 변화시켰을 때의 발광 소자(LD)를 흐르는 전류를 I_{EL} 로 하고, 상기 문턱 전압의 변화가 0, 즉 구동 트랜지스터의 문턱 전압이 0일 때의 발광 소자(LD)를 흐르는 전류를 I_{EL0} 로 하고, $I_{EL}-I_{EL0}=\Delta I_{EL}$ 로 한다. 그리고 상기 계산으로 구하는 발광 소자(LD)의 전류 변화율을 $\Delta I_{EL}/I_{EL}\times 100\%$ 로 하여 산출하였다.

[0391] 상기 계산의 결과를 도 18에 나타내었다. 도 18은 문턱 전압(V_{th})의 변화량이 -1V에서 1V까지일 때의 발광 소자(LD)의 전류 변화율을 나타낸 것이다. 상기 계산 결과에서, 문턱 전압(V_{th})이 -1V에서 1V까지이면, 전류 변화율은 실질적으로 -10%에서 10%까지의 범위에 억제되어 있다는 것을 알 수 있다.

[0392] 일반적으로 트랜지스터가 포화 영역에서 동작하는 경우, 상기 트랜지스터를 흐르는 전류량은 게이트-소스 전압과 문턱 전압의 차의 2제곱에 비례하기 때문에, 문턱 전압이 조금만 변화하여도 트랜지스터를 흐르는 전류의 변화는 매우 커진다. 한편, 도 6의 (A)에 나타낸 화소(PIX)의 회로 구성에서의 계산 결과에서는, 전류 변화율이

실질적으로 -10%에서 10%까지의 범위로 억제되어 있기 때문에, 트랜지스터(Tr3)의 문턱 전압이 적당히 보정되어 있다는 것을 알 수 있다.

[0393] 상술한 바와 같이, 어떤 행의 화소(PIX)의 구동 트랜지스터의 문턱 전압을 보정할 때(도 8에서의 시각 T3부터 시각 T4까지 또는 도 9에서의 기간 PD3), 다른 행이 갖는 화소(PIX)에 보정 데이터 및 화상 데이터를 기록함으로써, 표시 장치의 동작 주파수를 높일 수 있다.

[0394] 또한 본 실시예는, 본 명세서에 기재되는 각 실시형태 또는 다른 실시예와 적절히 조합할 수 있다.

[0395] (실시예 2)

[0396] <계산과 그 결과 2>

[0397] 다음으로, 도 6의 (B)에 나타난 화소(PIX)의 회로 구성에서, 구동 트랜지스터의 문턱 전압을 보정하는 동작이 적절히 수행되어 있는지 여부를 확인하기 위하여 회로 시뮬레이터를 사용하여 계산을 하였다. 여기서는, 화소(PIX)의 구동 트랜지스터에 해당하는 트랜지스터(Tr3)의 문턱 전압을 보정한 경우의 발광 소자(LD)를 흐르는 전류량을 계산한 결과에 대하여 설명한다.

[0398] 상기 계산에서 사용한 소프트웨어는, 상술한 계산에서와 같은 SILVACO사의 Smartspice(4.26.7.R)라는 회로 시뮬레이터이다. 상기 시뮬레이터를 사용하여, 도 6의 (B)에 나타난 화소(PIX)의 회로 구성에서 트랜지스터(Tr3)의 문턱 전압을 다양하게 설정하고, 상기 문턱 전압을 보정한 경우의 발광 소자(LD)를 흐르는 전류량을 계산하였다.

[0399] 도 19는 상기 회로 시뮬레이터를 사용하여 계산한 결과를 나타낸 것이고, 가로축을 배선(DL), 배선(WDL)의 각각으로부터 보정 데이터 유지부(노드(ND1)), 화상 데이터 유지부(노드(ND2))에 입력한 동일한 전압(V)(이하, 데이터 전압이라고 함)으로 하고, 세로축을 발광 소자(LD)를 흐르는 구동 전류(A)로 한 그래프이다.

[0400] 또한 도 19에는 구동 트랜지스터에 해당하는 트랜지스터(Tr3)의 문턱 전압이 -0.9V, -0.4V, 0.1V, 0.6V, 1.1V, 1.6V, 2.1V, 2.6V, 3.1V의 9가지 조건인 경우를 각각 나타내었다.

[0401] 도 19에 따르면, 데이터 전압이 높은 경우, 예를 들어 데이터 전압이 7.0V인 경우, 구동 트랜지스터를 흐르는 전류량은, 상기 9가지 조건에서는 실질적으로 1.85×10^{-6} A에서 2.80×10^{-6} A까지의 범위 내에 있다. 구동 트랜지스터의 문턱 전압이 1.1V인 조건을 기준으로 하여 생각하면, 보정에 의한 전류량의 변화는 실질적으로 -20% 이상 20% 이하의 범위 내에 있다는 것을 알 수 있다.

[0402] 또한 본 실시예는, 본 명세서에 기재되는 각 실시형태 또는 다른 실시예와 적절히 조합할 수 있다.

[0403] (실시예 3)

[0404] <시작품>

[0405] 위의 실시형태에서 설명한 표시 장치를 실제로 제작하였다. 본 실시예에서는, 상기 표시 장치에 제공된 트랜지스터의 특성과, 상기 표시 장치의 자세한 사항과, 상기 표시 장치에 대한 휘도 측정의 결과에 대하여 설명한다.

[0406] 도 20의 (A), (B)는 CAAC-OS인 In-Ga-Zn 산화물이 채널 형성 영역에 포함되는 OS 트랜지스터의 드레인 전류(I_D)와 게이트-소스 간 전압(V_G)의 특성을 나타낸 그래프이다. 특히, 도 20의 (A)는 LSI의 스케일인, 채널 길이를 60nm로 하고 채널 폭을 60nm로 한 OS 트랜지스터의 특성을 나타낸 것이고, 도 20의 (B)는 상기 표시 장치에 제공된, 채널 길이를 6 μ m로 하고 채널 폭을 4 μ m로 한 OS 트랜지스터의 드레인 전류(I_D)와 게이트-소스 간 전압(V_G) 및 전계 효과 이동도 $\mu_{FE}[cm^2/Vs]$ 의 특성을 나타낸 그래프이다.

[0407] 도 20의 (A)에 나타난 특성(CHR1, CHR2)의 각각은, 소스-드레인 간 전압이 0.1V, 1.2V인 경우의 특성을 나타낸다. 도 20의 (A)에 나타난 바와 같이, OS 트랜지스터는 LSI의 스케일로서 양호한 특성을 나타내고, 오프 전류가 측정 하한보다 작다.

[0408] 도 20의 (B)에 나타난 특성(CHR3, CHR4)의 각각은, 소스-드레인 간 전압이 0.1V, 10V인 경우의 특성을 나타낸다. 또한 특성(CHR3, CHR4)은 화살표 A의 방향의 세로축에 대응한다. 또한 도 20의 (B)에서 특성(CHR5)은 OS 트랜지스터의 게이트-소스 간 전압과 전계 효과 이동도의 특성을 나타낸다. 또한 특성(CHR5)은 화살표 B의 방향의 세로축에 대응한다. 도 20의 (B)에 나타난 바와 같이, OS 트랜지스터는 LSI의 스케일과 마찬가지로

표시 장치를 위한 스케일로서도 양호한 특성을 나타내고, 오프 전류가 측정 하한보다 작다.

[0409] 또한 도 20의 (B)에서의 특성을 갖는 OS 트랜지스터는, 오프 전류가 작기 때문에, 도 4에 나타낸 트랜지스터 (Tr1, Tr2), 도 6의 (A), (B)에 나타낸 트랜지스터(Tr1, Tr2, Tr7)에 적용할 수 있다. 또한 도 4에 나타낸 트랜지스터(Tr1 내지 Tr4), 도 6의 (A), (B)의 트랜지스터(Tr1 내지 Tr6) 모두에 적용하여도 좋다.

[0410] 도 21은 화소를 도 6의 (B)에 나타낸 화소(PIX)로 한, 실제로 시작한 표시 장치를 나타낸 것이다. 또한 화소 (PIX)에는 상술한 OS 트랜지스터를 사용하였다. 상기 표시 장치는 가요성을 갖는 기판을 사용하여 제작되어 있기 때문에, 상기 표시 장치의 표시부를 2개로 접을 수 있다.

[0411] 상기 표시 장치의 구체적인 사양을 아래의 표에 나타내었다.

표 1

[0412]

화면 크기	8.65인치
화소수	1200×1920
화소 크기	96 μm ×96 μm
해상도	265ppi
개구율	17.4%
착색 방법	구분 형성 방식
발광 방식	탑 이미션
소스 드라이버	COG
스캔 드라이버	화소부와 동시에 형성

[0413] 또한 전체가 백색인 화상 데이터를 화상 데이터 유지부(노드(ND2))에 유지한 경우(화상 데이터만)와, 그 경우에 더하여 전체가 백색인 보정 데이터를 보정 데이터 유지부(노드(ND1))에 유지한 경우(화상 데이터+보정 데이터)의 각각에서의 상기 표시 장치의 휘도는 아래의 표와 같다.

표 2

[0414]

	화상 데이터만	화상 데이터+보정 데이터
휘도[cd/m ²]	801	1145

[0415] 위의 표로부터, 화상 데이터를 화상 데이터 유지부(노드(ND2))에 유지하고, 또한 보정 데이터를 보정 데이터 유지부(노드(ND3))에 유지함으로써, 화상 데이터를 화상 데이터 유지부(노드(ND2))에 유지하는 경우보다 표시 장치의 휘도가 향상되었다는 것을 알 수 있다.

[0416] 또한 상기 표시 장치에서 전체 화면의 4%를 발광시켰을 때, 그 4%의 영역의 피크 휘도는 실질적으로 2000cd/m² 이었다.

[0417] 상술한 바와 같이, 화소를 도 6의 (B)에 나타낸 화소(PIX)로 한 표시 장치를 제작함으로써, 화상 데이터를 더 높은 휘도로 표시할 수 있다. 이것은, 화소(PIX)의 보정 데이터 유지부(노드(ND3))에 보정 데이터를 유지하는 구성을 갖기 때문에, 표시 장치에 포함되는 소스 드라이버의 출력 이상의 전압을 구동 트랜지스터(트랜지스터 (Tr3))의 게이트에 인가할 수 있기 때문이다. 그러므로 상기 표시 장치의 소스 드라이버는 출력 전압을 높게 할 필요가 없기 때문에, 소스 드라이버의 소비전력을 저감할 수 있다.

[0418] 또한 본 실시예는, 본 명세서에 기재되는 각 실시형태 또는 다른 실시예와 적절히 조합할 수 있다.

[0419] (본 명세서 등의 기재에 관한 부기)

[0420] 본 명세서에 기재되는 실시형태 및 실시예에서의 각 구성의 설명에 대하여 이하에 부기한다.

[0421] <실시형태, 실시예에서 설명한 본 발명의 일 형태에 관한 부기>

[0422] 각 실시형태 및 실시예에 기재된 구성은, 다른 실시형태에 기재된 구성과 적절히 조합하여 본 발명의 일 형태로 할 수 있다. 또한 하나의 실시형태에 복수의 구성예가 제시되는 경우에는, 구성예를 서로 적절히 조합할 수 있다.

- [0423] 또한 어떤 하나의 실시형태 또는 실시예에서 설명하는 내용(일부 내용이어도 좋음)은, 그 실시형태 또는 실시예에서 설명하는 다른 내용(일부 내용이어도 좋음)과, 하나 또는 복수의 다른 실시형태에서 설명하는 내용(일부 내용이어도 좋음) 중 적어도 하나의 내용에 대하여 적용, 조합, 또는 치환 등을 수행할 수 있다.
- [0424] 또한 실시형태 또는 실시예에서 설명하는 내용이란, 각 실시형태 또는 실시예에서 다양한 도면을 사용하여 설명하는 내용, 또는 명세서에 기재되는 문장을 사용하여 설명하는 내용을 말한다.
- [0425] 또한 어떤 하나의 실시형태 또는 실시예에서 설명하는 도면(일부이어도 좋음)은, 그 도면의 다른 부분, 그 실시형태 또는 실시예에서 설명하는 다른 도면(일부이어도 좋음)과, 하나 또는 복수의 다른 실시형태 또는 실시예에서 설명하는 도면(일부이어도 좋음) 중 적어도 하나의 도면과 조합함으로써, 더 많은 도면을 구성할 수 있다.
- [0426] <서수사에 관한 부기>
- [0427] 본 명세서 등에서 "제 1", "제 2", "제 3"이라는 서수사는 구성 요소의 혼동을 피하기 위하여 붙인 것이다. 따라서 구성 요소의 개수를 한정하는 것이 아니다. 또한 구성 요소의 순서를 한정하는 것이 아니다. 또한 예를 들어, 본 명세서 등의 실시형태(또는 실시예) 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태(또는 실시예) 또는 청구범위에서 "제 2"로 언급된 구성 요소가 될 수도 있다. 또한 예를 들어, 본 명세서 등의 실시형태(또는 실시예) 중 하나에서 "제 1"로 언급된 구성 요소가 다른 실시형태 또는 청구범위에서 생략될 수도 있다.
- [0428] <도면을 설명하는 기재에 관한 부기>
- [0429] 실시형태(또는 실시예)에 대하여 도면을 참조하면서 설명한다. 다만 실시형태(또는 실시예)는 상이한 많은 형태로 실시할 수 있고, 취지 및 그 범위에서 벗어남이 없이 그 형태 및 자세한 사항을 다양하게 변경할 수 있다는 것은 통상의 기술자라면 용이하게 이해할 수 있다. 따라서 본 발명은 실시형태(또는 실시예)의 기재 내용에 한정하여 해석되는 것은 아니다. 또한 실시형태의 발명의 구성(또는 실시예의 구성)에서 동일한 부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 상이한 도면 사이에서 공통적으로 사용하고, 이의 반복적인 설명은 생략한다.
- [0430] 또한 본 명세서 등에서 "위에", "아래에" 등의 배치를 나타내는 어구는 구성끼리의 위치 관계를 도면을 참조하여 설명하기 위하여 편의상 사용하고 있다. 구성끼리의 위치 관계는 각 구성을 묘사하는 방향에 따라 적절히 변화된다. 그러므로 배치를 나타내는 어구는 명세서 등에서 설명한 기재에 한정되지 않고, 상황에 따라 적절히 바뀌 말할 수 있다. 예를 들어, "도전체의 상면에 위치하는 절연체"라는 표현은, 나타낸 도면의 방향을 180° 회전시킴으로써, "도전체의 하면에 위치하는 절연체"라고 바뀌 말할 수 있다.
- [0431] 또한 "위"나 "아래"라는 용어는, 구성 요소의 위치 관계가 바로 위 또는 바로 아래이며, 직접 접촉된 것을 한정하는 것은 아니다. 예를 들어, "절연층(A) 위의 전극(B)"이라는 표현이면, 절연층(A) 위에 전극(B)이 직접 접촉되어 형성될 필요는 없고, 절연층(A)과 전극(B) 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다.
- [0432] 또한 도면에서, 크기, 층의 두께, 또는 영역은 설명의 편의상 임의의 크기로 나타낸 것이다. 따라서 그 스케일에 반드시 한정되는 것은 아니다. 또한 도면은 명확성을 기하기 위하여 모식적으로 나타낸 것이며, 도면에 나타난 형상 또는 값 등에 한정되지 않는다. 예를 들어 노이즈로 인한 신호, 전압, 또는 전류의 편차, 혹은 타이밍의 어긋남으로 인한 신호, 전압, 또는 전류의 편차 등을 포함할 수 있다.
- [0433] 또한 도면에서, 사시도 등에서는 도면의 명확성을 기하기 위하여 일부의 구성 요소의 기재를 생략하는 경우가 있다.
- [0434] 또한 도면에서 동일한 요소 또는 같은 기능을 갖는 요소, 동일한 재질의 요소, 혹은 동시에 형성되는 요소 등에는 동일한 부호를 붙이는 경우가 있고, 이의 반복적인 설명은 생략하는 경우가 있다.
- [0435] <바뀌 말할 수 있는 기재에 관한 부기>
- [0436] 본 명세서 등에서 트랜지스터의 접속 관계를 설명하는 경우, "소스 및 드레인 중 한쪽"(또는 제 1 전극 또는 제 1 단자), "소스 및 드레인 중 다른 쪽"(또는 제 2 전극 또는 제 2 단자)이라는 표기를 사용한다. 이는, 트랜지스터의 소스와 드레인은 트랜지스터의 구조 또는 동작 조건 등에 따라 바뀌기 때문이다. 또한 트랜지스터의 소스와 드레인이라는 호칭은, 소스(드레인) 단자나 소스(드레인) 전극 등, 상황에 따라 적절히 바뀌 말할 수 있다. 또한 본 명세서 등에서는 게이트 이외의 2개의 단자를 제 1 단자, 제 2 단자라고 하는 경우나, 제 3 단자, 제 4 단자라고 하는 경우가 있다. 또한 본 명세서 등에서 채널 형성 영역은 채널이 형성되는 영역을 말하

고, 게이트에 전위를 인가함으로써 이 영역이 형성되어, 소스와 드레인 사이에 전류를 흘릴 수 있다.

- [0437] 또한 소스나 드레인의 기능은 상이한 극성의 트랜지스터를 채용하는 경우나, 회로 동작에서 전류의 방향이 변화하는 경우 등에는 바뀌는 경우가 있다. 그러므로 본 명세서 등에서는, 소스나 드레인이라는 용어는 서로 바뀌어 사용할 수 있는 것으로 한다.
- [0438] 또한 본 명세서 등에서 "전극"이나 "배선"이라는 용어는, 이들 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, "전극"은 "배선"의 일부로서 사용되는 경우가 있고, 그 반대도 마찬가지이다. 또한 "전극"이나 "배선"이라는 용어는, 복수의 "전극"이나 "배선"이 일체가 되어 형성되어 있는 경우 등도 포함한다.
- [0439] 또한 본 명세서 등에서 전압과 전위는 적절히 바뀌 말할 수 있다. 전압은 기준이 되는 전위로부터의 전위차를 말하고, 예를 들어 기준이 되는 전위가 그라운드 전위(접지 전위)인 경우, 전압을 전위라고 바뀌 말할 수 있다. 그라운드 전위는 반드시 0V를 의미하는 것은 아니다. 또한 전위는 상대적인 것이고, 기준이 되는 전위에 따라서는 배선 등에 인가되는 전위를 변화시키는 경우가 있다.
- [0440] 또한 본 명세서 등에서 "막", "층" 등의 어구는, 경우에 따라 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "도전층"이라는 용어를 "도전막"이라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어 "절연막"이라는 용어를 "절연층"이라는 용어로 변경할 수 있는 경우가 있다. 또는 경우에 따라 또는 상황에 따라 "막", "층" 등의 어구를 사용하지 않고, 다른 용어로 바꿀 수 있다. 예를 들어, "도전층" 또는 "도전막"이라는 용어를 "도전체"라는 용어로 변경할 수 있는 경우가 있다. 또는 예를 들어, "절연층", "절연막"이라는 용어를 "절연체"라는 용어로 변경할 수 있는 경우가 있다.
- [0441] 또한 본 명세서 등에서 "배선", "신호선", "전원선" 등의 용어는, 경우에 따라 또는 상황에 따라 서로 바꿀 수 있다. 예를 들어, "배선"이라는 용어를 "신호선"이라는 용어로 변경할 수 있는 경우가 있다. 또한 예를 들어, "배선"이라는 용어를 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선", "전원선" 등의 용어를 "배선"이라는 용어로 변경할 수 있는 경우가 있다. "전원선" 등의 용어는 "신호선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호선" 등의 용어는 "전원선" 등의 용어로 변경할 수 있는 경우가 있다. 또한 배선에 인가되어 있는 "전위"라는 용어를 경우에 따라 또는 상황에 따라 "신호" 등의 용어로 변경할 수 있는 경우가 있다. 또한 그 반대도 마찬가지로 "신호" 등의 용어는 "전위"라는 용어로 변경할 수 있는 경우가 있다.
- [0442] <어구의 정의에 관한 부기>
- [0443] 이하에서는, 위의 실시형태 및 실시예에서 언급한 어구의 정의에 대하여 설명한다.
- [0444] <<반도체의 불순물에 대하여>>
- [0445] 반도체의 불순물이란, 예를 들어 반도체층을 구성하는 주성분 이외의 것을 말한다. 예를 들어 농도가 0.1atomic% 미만인 원소는 불순물이다. 불순물이 포함됨으로써, 예를 들어 반도체에 DOS(Density of States)가 형성되거나, 캐리어 이동도가 저하되거나, 결정성이 저하되는 일 등이 일어나는 경우가 있다. 반도체가 산화물 반도체인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 1족 원소, 2족 원소, 13족 원소, 14족 원소, 15족 원소, 주성분 이외의 전이 금속 등이 있고, 특히 예를 들어 수소(물에도 포함됨), 리튬, 소듐, 실리콘, 붕소, 인, 탄소, 질소 등이 있다. 산화물 반도체의 경우, 예를 들어 수소 등의 불순물의 혼입으로 인하여 산소 결손이 형성되는 경우가 있다. 또한 반도체가 실리콘층인 경우, 반도체의 특성을 변화시키는 불순물로서는, 예를 들어 산소, 수소를 제외한 1족 원소, 2족 원소, 13족 원소, 15족 원소 등이 있다.
- [0446] <<스위치에 대하여>>
- [0447] 본 명세서 등에서 스위치란, 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는 것을 말한다. 또는 스위치란, 전류를 흘리는 경로를 선택하고 전환하는 기능을 갖는 것을 말한다.
- [0448] 일례로서는, 전기적 스위치 또는 기계적 스위치 등을 사용할 수 있다. 즉, 스위치는 전류를 제어할 수 있는 것이면 좋고, 특정의 것에 한정되지 않는다.
- [0449] 전기적 스위치의 일례로서는, 트랜지스터(예를 들어 바이폴러 트랜지스터, MOS 트랜지스터 등), 다이오드(예를 들어 PN 다이오드, PIN 다이오드, 쇼트키 다이오드, MIM(Metal Insulator Metal) 다이오드, MIS(Metal Insulator Semiconductor) 다이오드, 다이오드 접속의 트랜지스터 등), 또는 이들을 조합한 논리 회로 등이 있

다.

- [0450] 또한 스위치로서 트랜지스터를 사용하는 경우, 트랜지스터의 "도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 단락되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터의 "비도통 상태"란 트랜지스터의 소스 전극과 드레인 전극이 전기적으로 차단되어 있다고 간주할 수 있는 상태를 말한다. 또한 트랜지스터를 단순히 스위치로서 동작시키는 경우에는, 트랜지스터의 극성(도전형)은 특별히 한정되지 않는다.
- [0451] 기계적 스위치의 일례로서는, 디지털 마이크로미러 디바이스(DMD)와 같이, MEMS(micro electro mechanical systems) 기술을 사용한 스위치가 있다. 그 스위치는 기계적으로 동작시킬 수 있는 전극을 포함하고, 그 전극의 움직임에 따라 도통과 비도통을 제어하여 동작한다.
- [0452] <<접속에 대하여>>
- [0453] 본 명세서 등에서 X와 Y가 접속된다고 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우와, X와 Y가 기능적으로 접속되는 경우와, X와 Y가 직접 접속되는 경우를 포함하는 것으로 한다. 따라서 소정의 접속 관계, 예를 들어 도면 또는 문장에 나타내어진 접속 관계에 한정되지 않고, 도면 또는 문장에 나타내어진 접속 관계 이외의 것도 포함하는 것으로 한다.
- [0454] 여기서 사용하는 X, Y 등은 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.
- [0455] X와 Y가 전기적으로 접속되는 경우에는, 일례로서 X와 Y의 전기적인 접속을 가능하게 하는 소자(예를 들어 스위치, 트랜지스터, 용량 소자, 인덕터, 저항 소자, 다이오드, 표시 소자, 발광 소자, 부하 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 스위치는 온, 오프가 제어되는 기능을 갖는다. 즉, 스위치는 도통 상태(온 상태) 또는 비도통 상태(오프 상태)가 되어 전류를 흘릴지 여부를 제어하는 기능을 갖는다.
- [0456] X와 Y가 기능적으로 접속되는 경우에는, 일례로서 X와 Y의 기능적인 접속을 가능하게 하는 회로(예를 들어 논리 회로(인버터, NAND 회로, NOR 회로 등), 신호 변환 회로(DA 변환 회로, AD 변환 회로, 감마 보정 회로 등), 전위 레벨 변환 회로(전원 회로(승압 회로, 강압 회로 등), 신호의 전위 레벨을 변화시키는 레벨 시프터 회로 등), 전압원, 전류원, 전환 회로, 증폭 회로(신호 진폭 또는 전류량 등을 크게 할 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 버퍼 회로 등), 신호 생성 회로, 기억 회로, 제어 회로 등)가 X와 Y 사이에 하나 이상 접속될 수 있다. 또한 일례로서 X와 Y 사이에 다른 회로를 끼워도, X로부터 출력된 신호가 Y로 전달되는 경우에는, X와 Y는 기능적으로 접속되는 것으로 한다.
- [0457] 또한 X와 Y가 전기적으로 접속된다고 명시적으로 기재되는 경우에는, X와 Y가 전기적으로 접속되는 경우(즉, X와 Y가 사이에 다른 소자 또는 다른 회로를 끼워 접속되는 경우)와, X와 Y가 기능적으로 접속되는 경우(즉, X와 Y가 사이에 다른 회로를 끼워 기능적으로 접속되는 경우)와, X와 Y가 직접 접속되는 경우(즉, X와 Y가 사이에 다른 소자 또는 다른 회로를 끼우지 않고 접속되는 경우)를 포함하는 것으로 한다. 즉, 전기적으로 접속된다고 명시적으로 기재되는 경우에는, 단순히 접속된다고만 명시적으로 기재되는 경우와 같은 것으로 한다.
- [0458] 또한 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y에 전기적으로 접속되는 경우나, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부에 직접 접속되고, Z1의 다른 일부가 X에 직접 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부에 직접 접속되고, Z2의 다른 일부가 Y에 직접 접속되는 경우에는 이와 같이 표현할 수 있다.
- [0459] 예를 들어, "X와, Y와, 트랜지스터의 소스(또는 제 1 단자 등)와, 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y의 순서로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "트랜지스터의 소스(또는 제 1 단자 등)는 X에 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 순서대로 전기적으로 접속된다"라고 표현할 수 있다. 또는 "X는 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 통하여 Y에 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), Y는 이 접속 순서로 제공된다"라고 표현할 수 있다. 이들 예와 같은 표현 방법을 사용하여 회로 구성에서의 접속 순서에 대하여 규정함으로써, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 구별하여 기술적 범위를 결정할 수 있다. 또한 이들 표현 방법은 일례이고, 이들 표현 방법에 한정되지 않는다. 여기서, X, Y,

Z1, Z2는 대상물(예를 들어 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 층 등)인 것으로 한다.

[0460]

또한 회로도에서 독립되어 있는 구성 요소끼리가 전기적으로 접속되는 것처럼 도시된 경우에도, 하나의 구성 요소가 복수의 구성 요소의 기능을 겸비하는 경우도 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우에는, 하나의 도전막이 배선의 기능 및 전극의 기능 양쪽의 구성 요소의 기능을 겸비한다. 따라서 본 명세서에서의 전기적인 접속이란, 이와 같이 하나의 도전막이 복수의 구성 요소의 기능을 겸비하는 경우도 그 범주에 포함한다.

부호의 설명

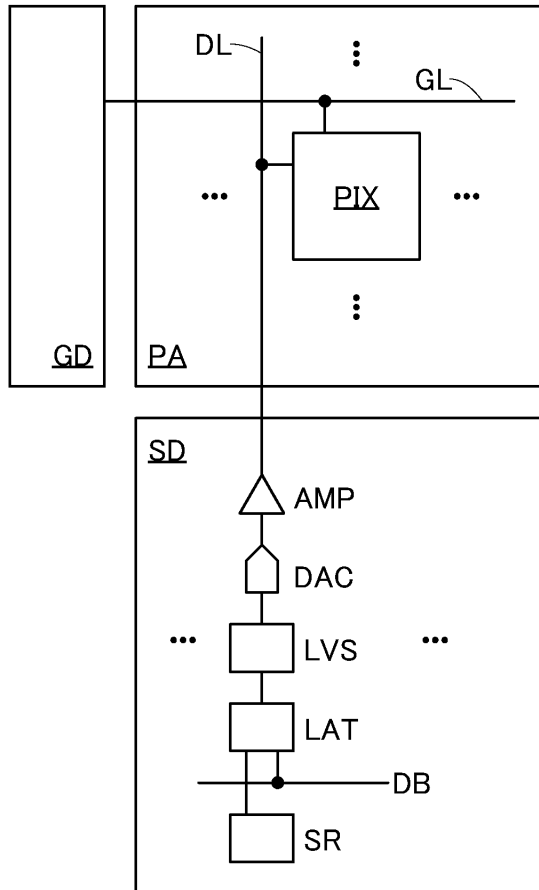
[0461]

DD 표시 장치, PA 표시부, GD 게이트 드라이버 회로, SD 소스 드라이버 회로, WSD 회로, PIX 화소, SR 시프트 레지스터, LAT 래치 회로, LVS 레벨 시프트 회로, DAC 디지털 아날로그 변환 회로, AMP 앰프 회로, GL 배선, VA 배선, DB 데이터 버스 배선, Tr1 트랜지스터, Tr2 트랜지스터, Tr3 트랜지스터, Tr4 트랜지스터, Tr5 트랜지스터, Tr6 트랜지스터, Tr7 트랜지스터, C1 용량 소자, C2 용량 소자, C3 용량 소자, LD 발광 소자, GL1 배선, GL2 배선, GL3 배선, GL4 배선, DL 배선, WDL 배선, VL 배선, AL 배선, BGL 배선, CAT 배선, ND1 노드, ND2 노드, ND3 노드, ND4 노드, SDa 회로, WSDa 회로, Tr11 트랜지스터, Tr12 트랜지스터, Tr13 트랜지스터, Tr14 트랜지스터, SELD 배선, SELG 배선, SELV 배선, SELW 배선, GNDL 배선, ViL 배선, 101 화상 데이터 유지부, 102 구동 회로부, 103 표시 소자, 104 보정 데이터 유지부, 105 문턱 전압 보정 회로부, 215 표시부, 221a 주사선 구동 회로, 231a 신호선 구동 회로, 232a 신호선 구동 회로, 241a 공통선 구동 회로, 723 전극, 726 절연층, 728 절연층, 729 절연층, 741 절연층, 742 반도체층, 744a 전극, 744b 전극, 746 전극, 755 불순물, 771 기판, 772 절연층, 810 트랜지스터, 811 트랜지스터, 820 트랜지스터, 821 트랜지스터, 825 트랜지스터, 826 트랜지스터, 842 트랜지스터, 843 트랜지스터, 844 트랜지스터, 845 트랜지스터, 846 트랜지스터, 847 트랜지스터, 4001 제 1 기판, 4005 실재, 4006 제 2 기판, 4010 트랜지스터, 4011 트랜지스터, 4014 배선, 4015 전극, 4017 전극, 4018 FPC, 4019 이방성 도전층, 4020 용량 소자, 4021 전극, 4030 제 1 전극층, 4031 제 2 전극층, 4041 인쇄 기판, 4042 집적 회로, 4102 절연층, 4103 절연층, 4110 절연층, 4111 절연층, 4112 절연층, 4200 입력 장치, 4210 터치 패널, 4227 전극, 4228 전극, 4237 배선, 4238 배선, 4239 배선, 4263 기판, 4272b FPC, 4273b IC, 4510 격벽, 4511 발광층, 4513 발광 소자, 4514 충전재, 5321a 하우징, 5321b 하우징, 5321c 힌지부, 5322 표시부, 5323 조작 버튼, 5401 하우징, 5402 표시부, 5403 키보드, 5404 포인팅 디바이스, 5501 하우징, 5502 표시부, 5503 마이크로폰, 5504 스피커, 5505 조작 버튼, 5701 표시 패널, 5702 표시 패널, 5703 표시 패널, 5704 표시 패널, 5801 제 1 하우징, 5802 제 2 하우징, 5803 표시부, 5804 조작 키, 5805 렌즈, 5806 접속부, 5901 하우징, 5902 표시부, 5903 조작 버튼, 5904 조작자, 5905 밴드, 6200 전자 간판, 6201 벽, 9000 하우징, 9001 표시부, 9003 스피커, 9005 조작 키, 9006 접속 단자

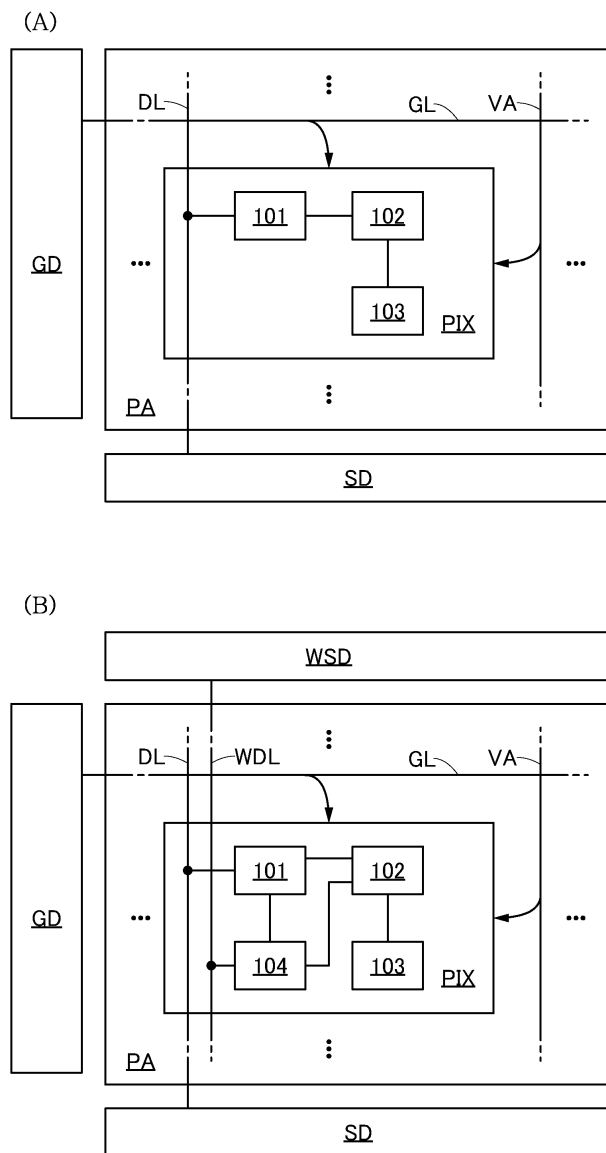
도면

도면1

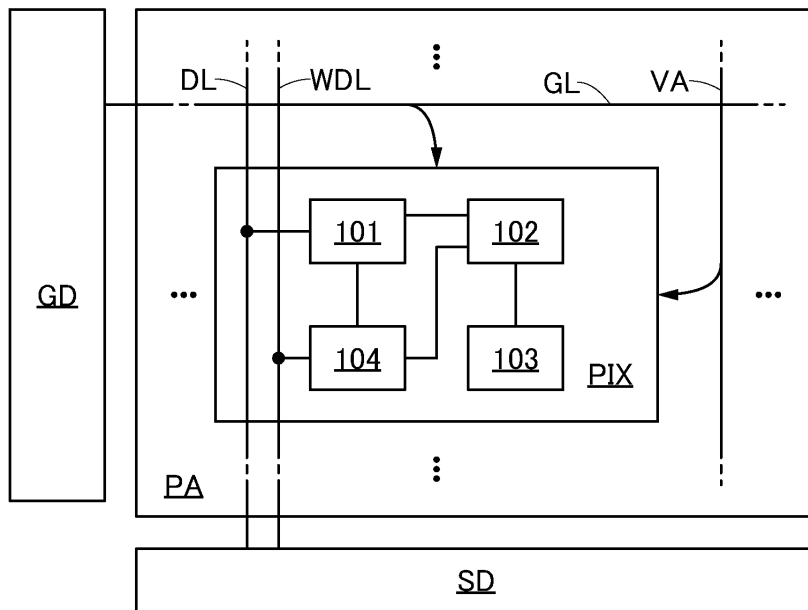
DD



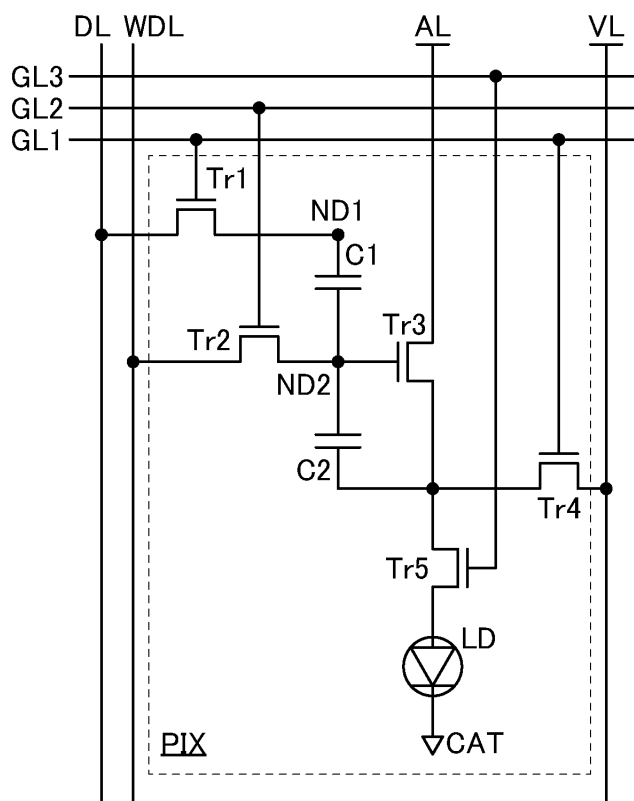
도면2



도면3

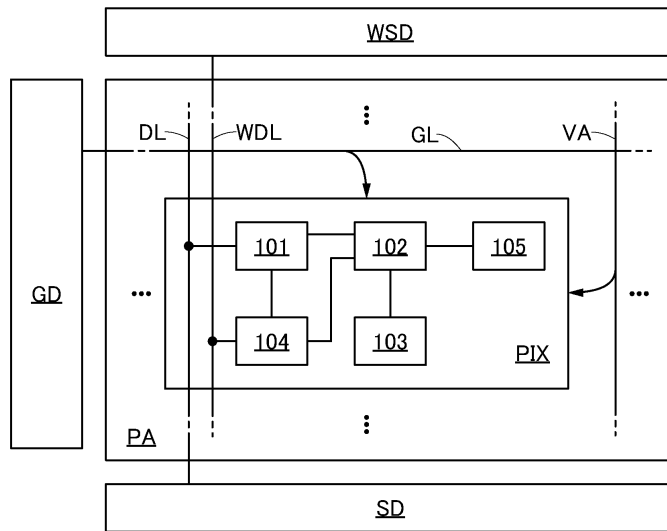


도면4

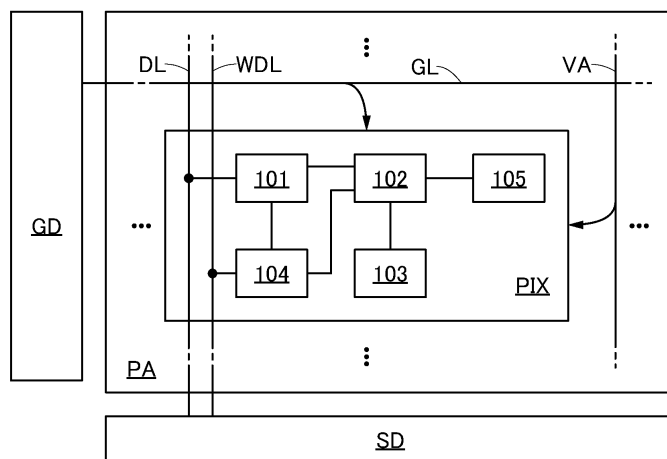


도면5

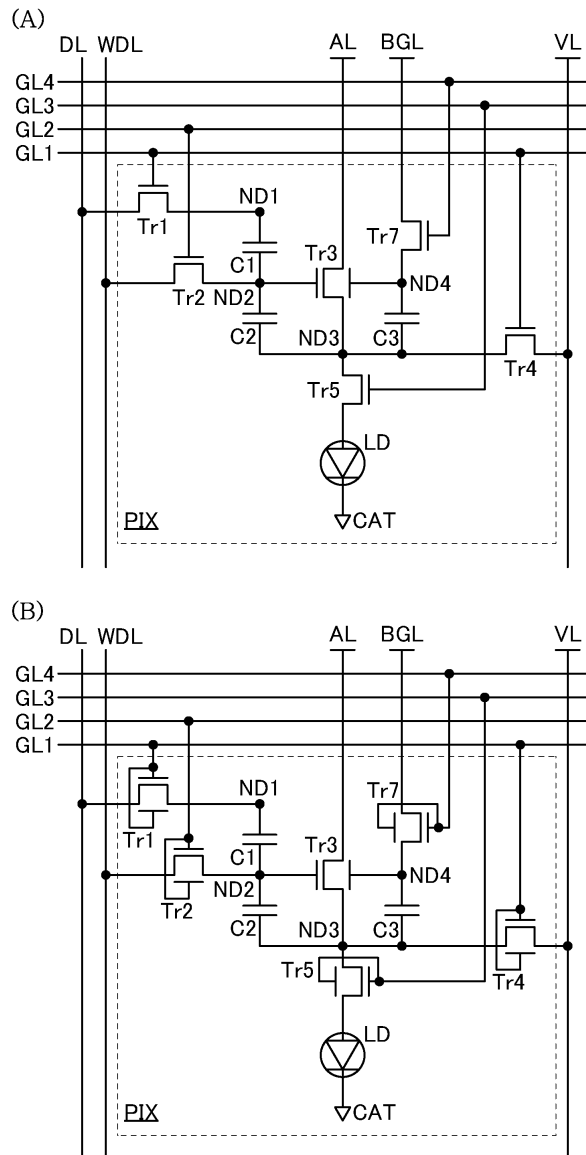
(A)



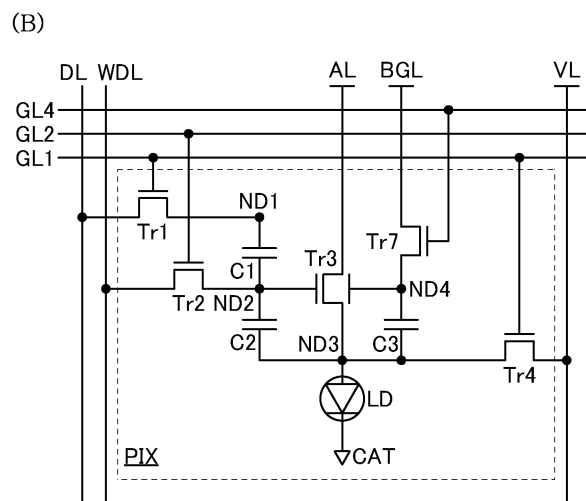
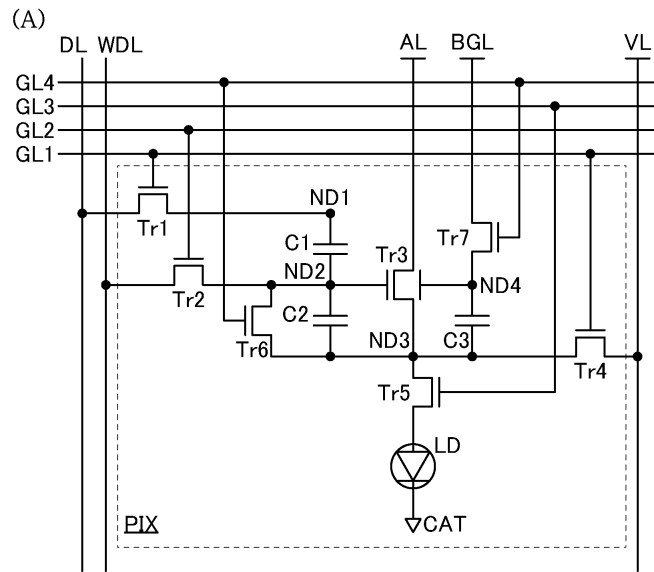
(B)



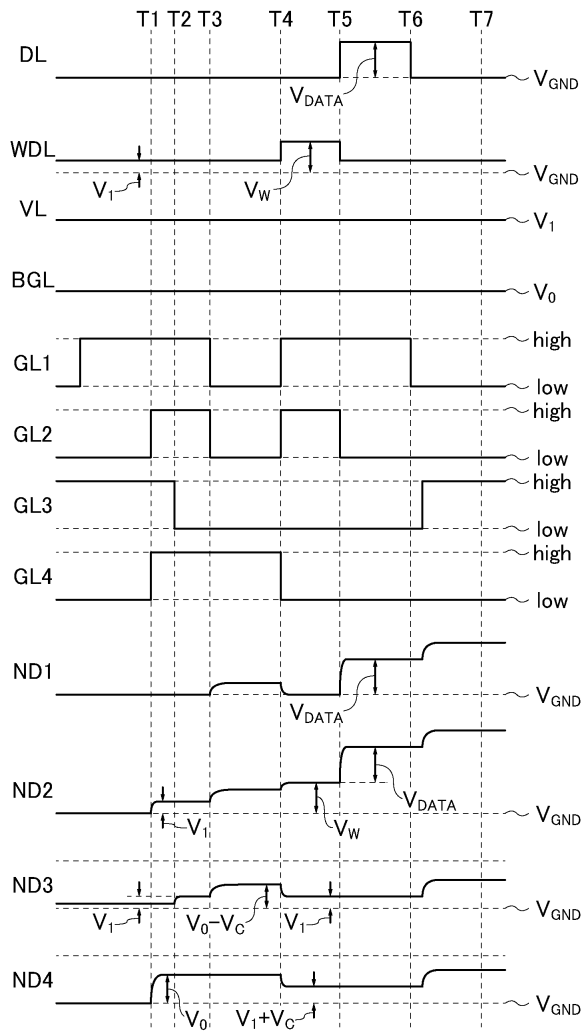
도면6



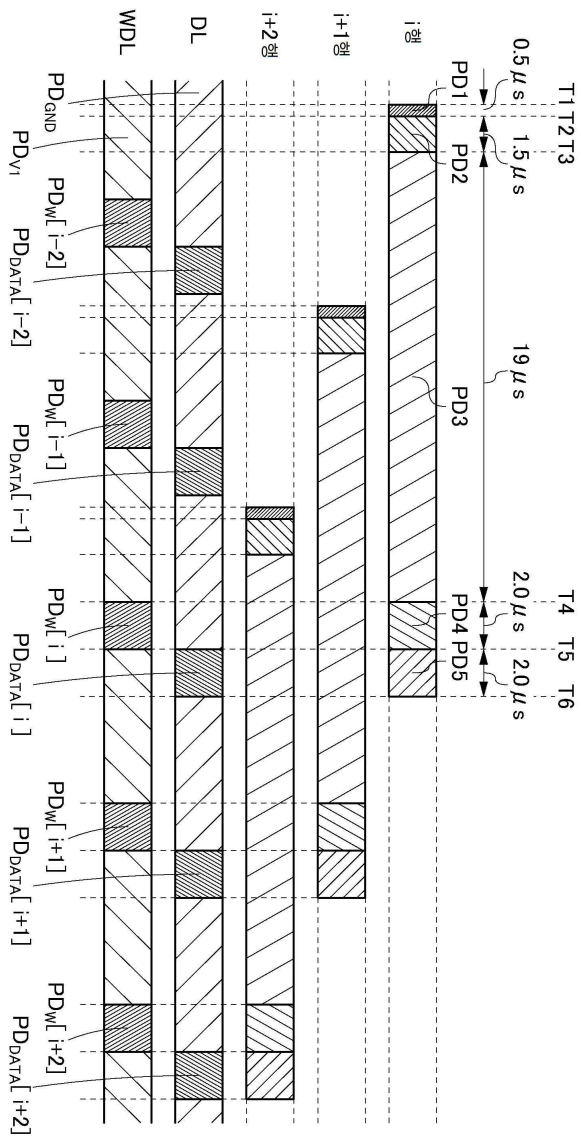
도면7



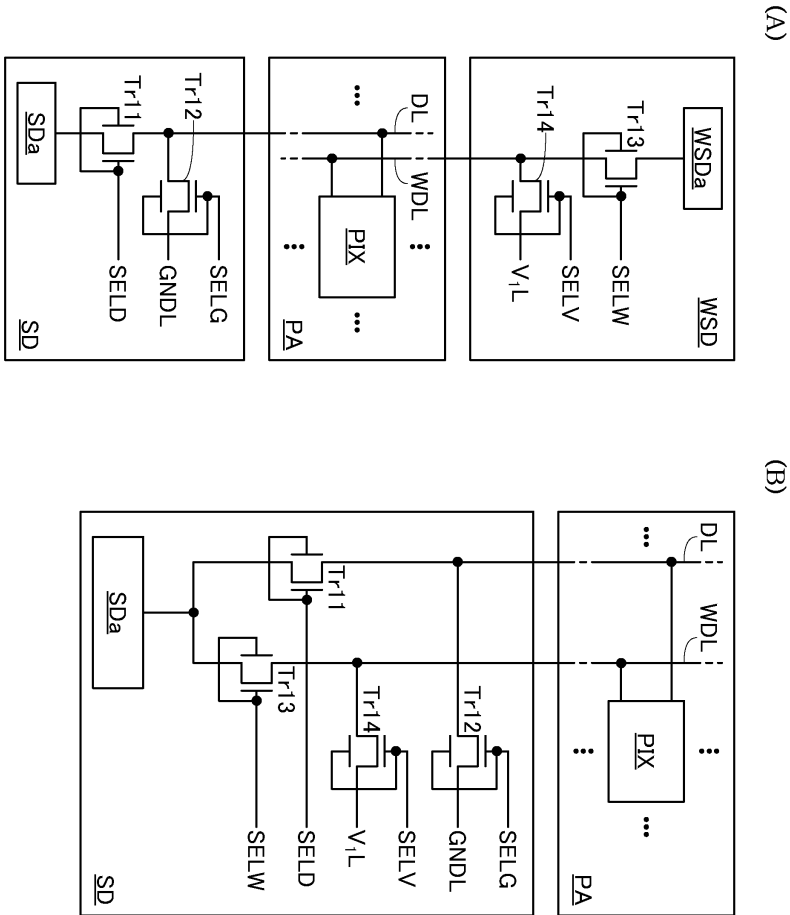
도면8



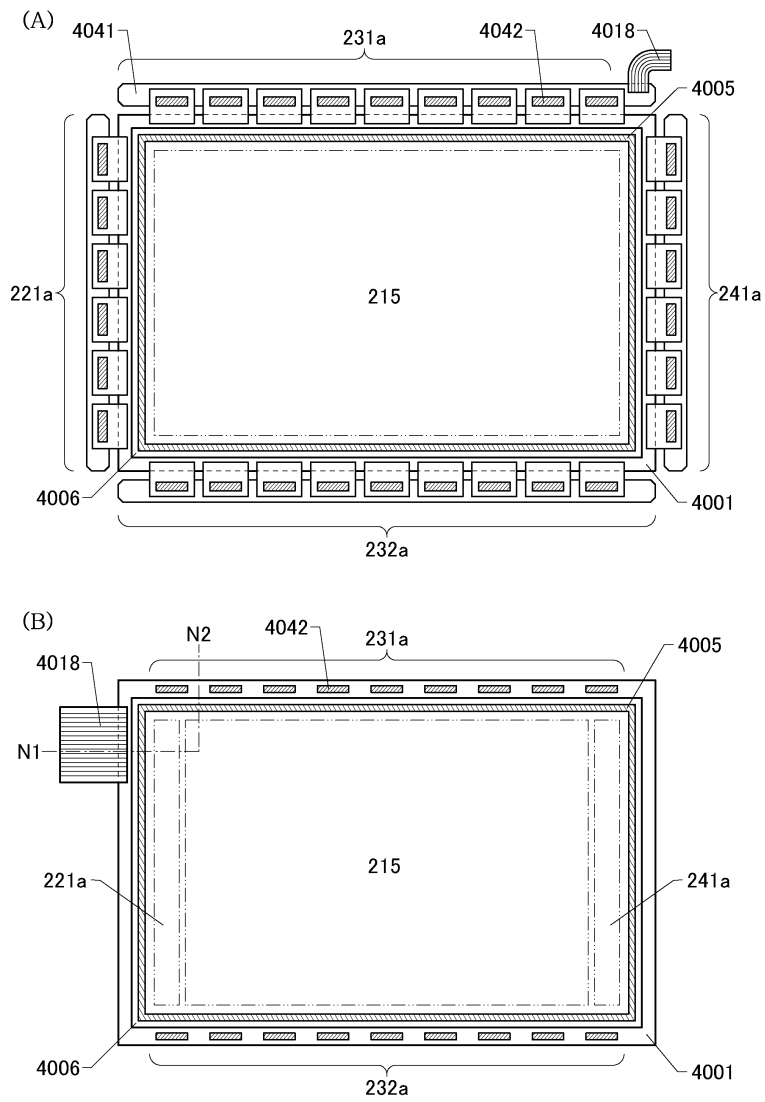
도면9



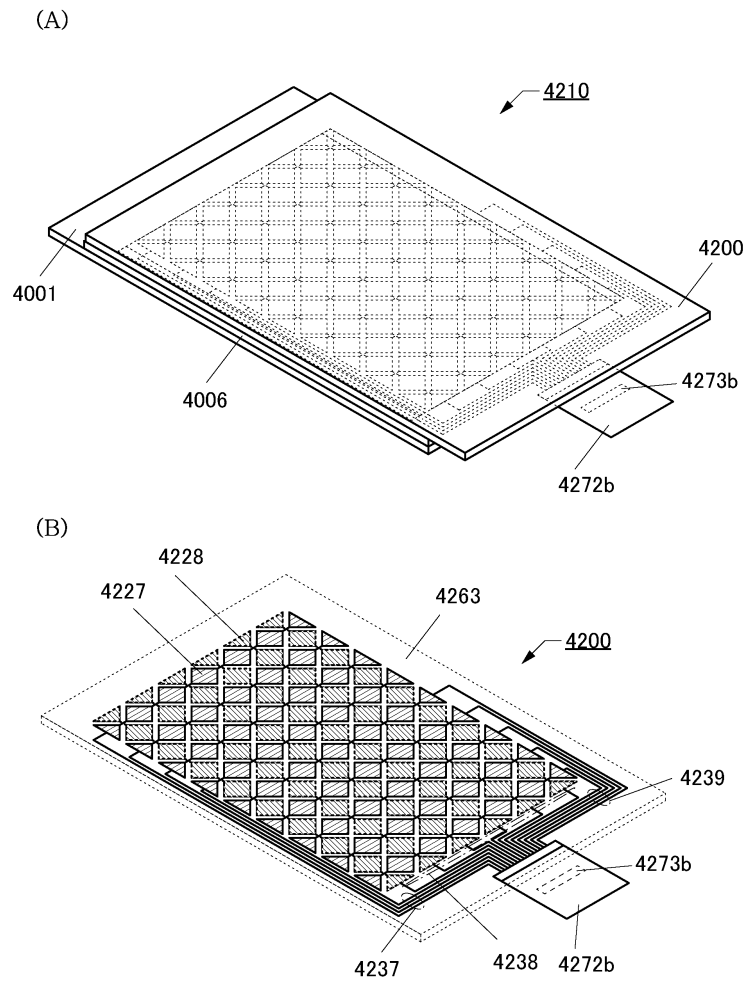
도면10



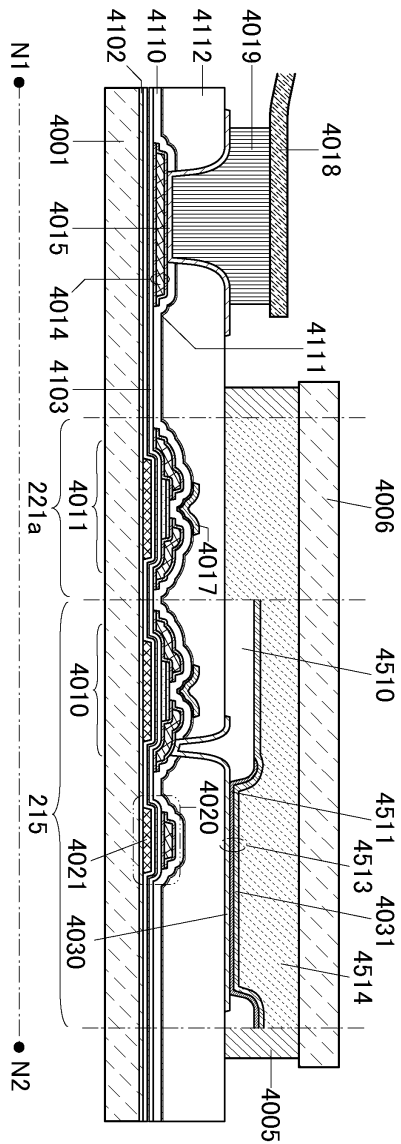
도면11



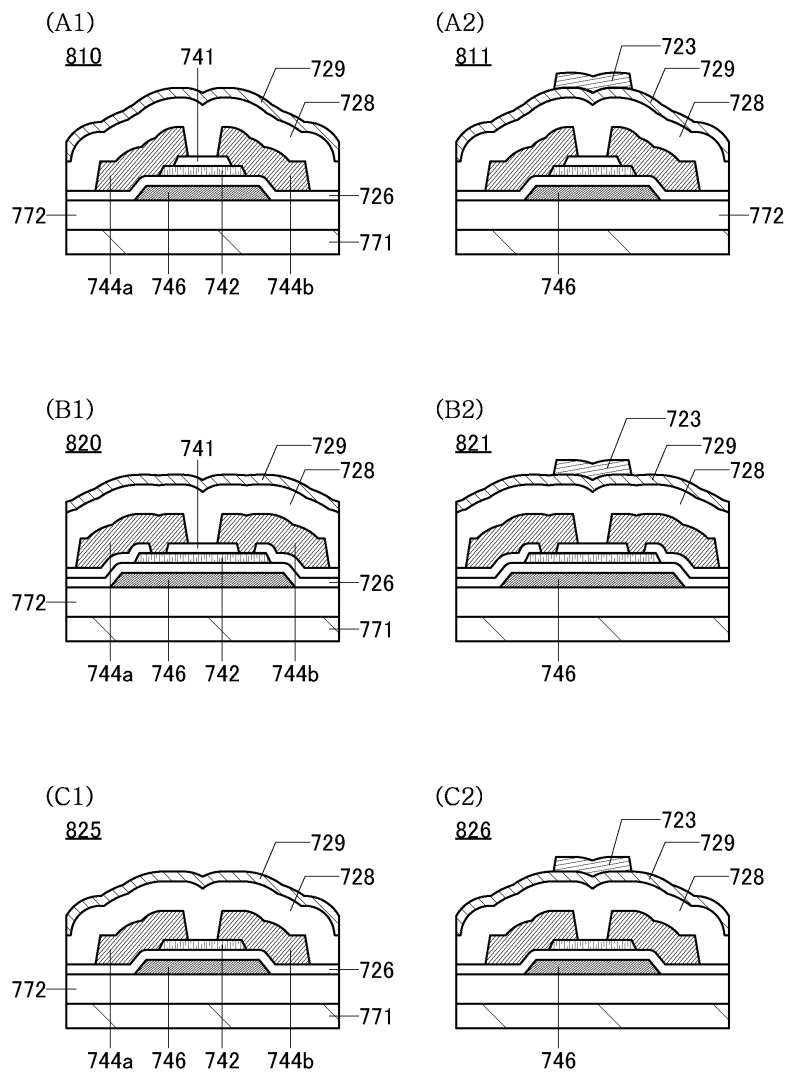
도면12



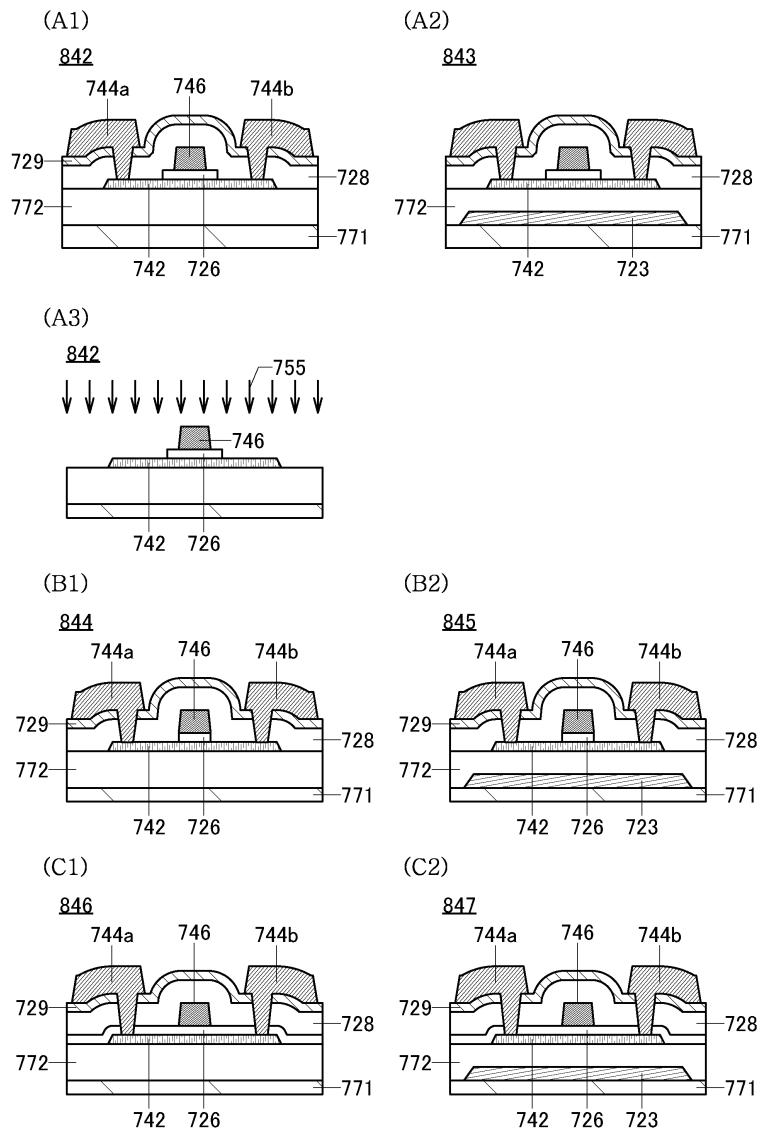
도면13



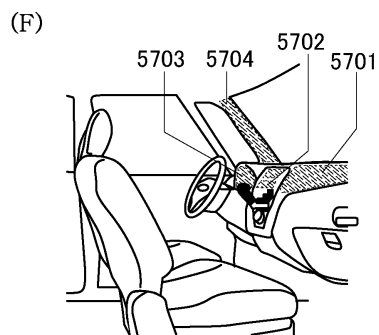
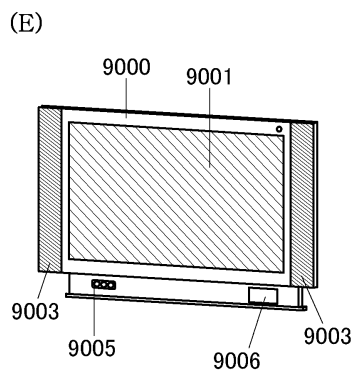
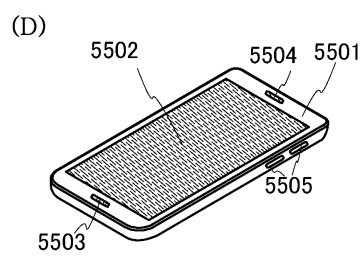
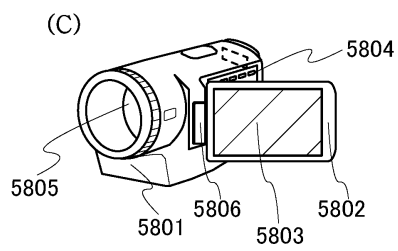
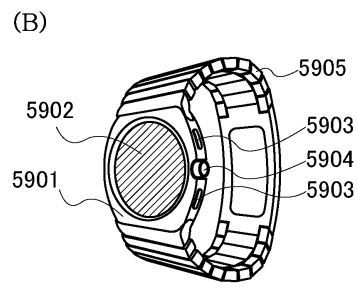
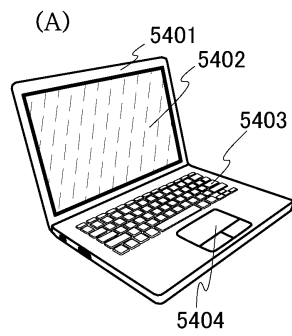
도면14



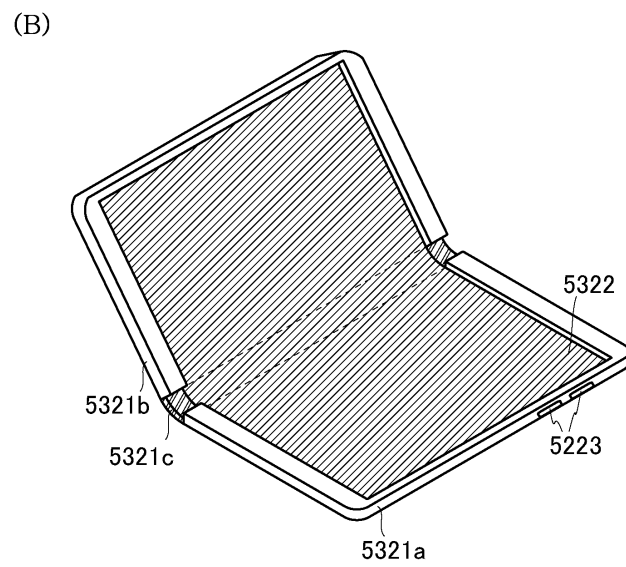
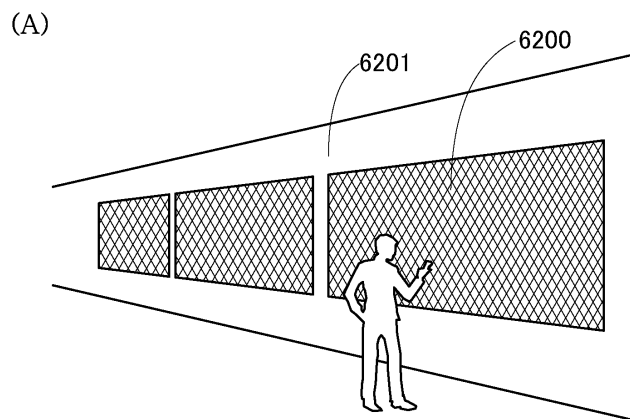
도면15



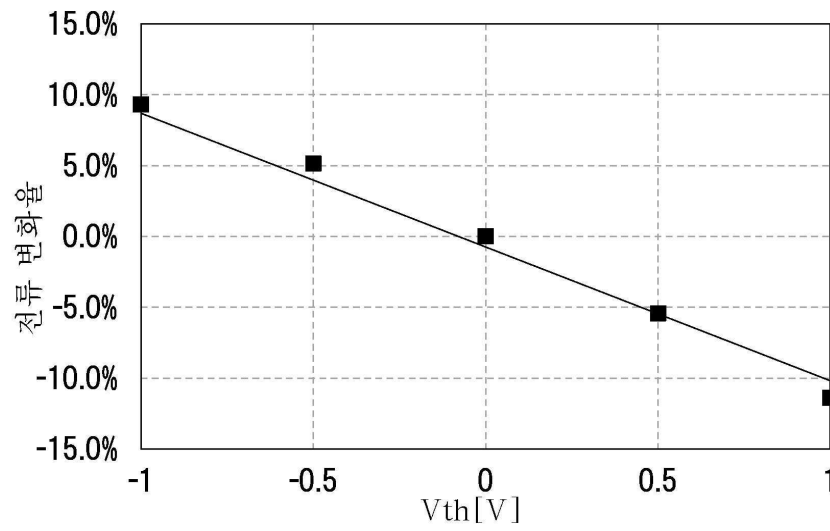
도면16



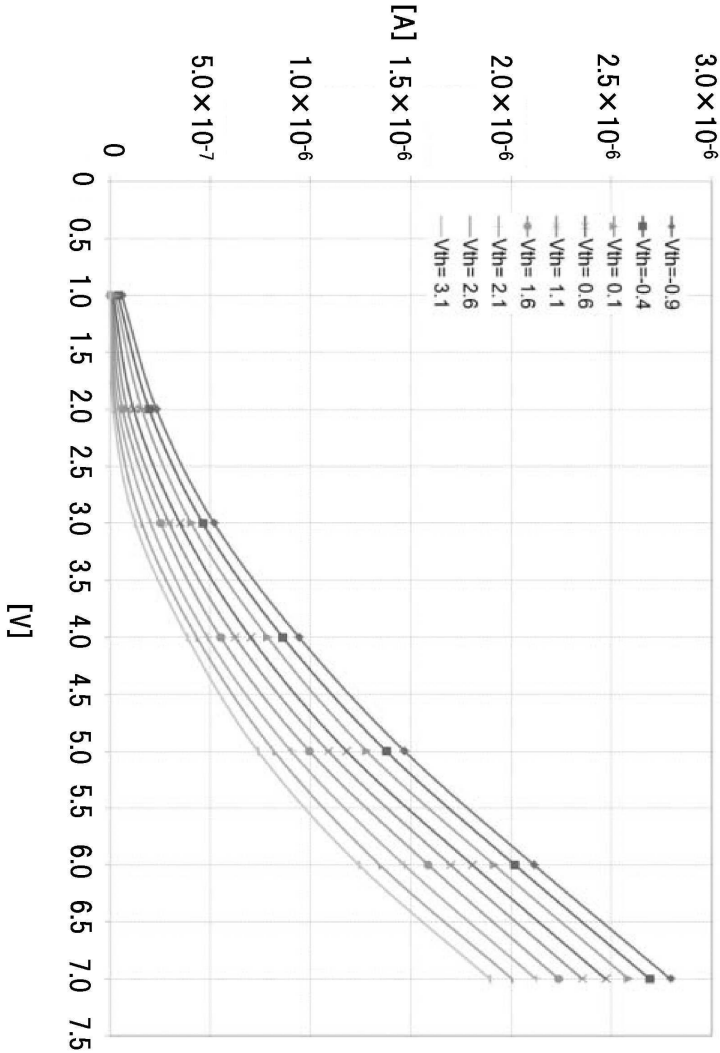
도면17



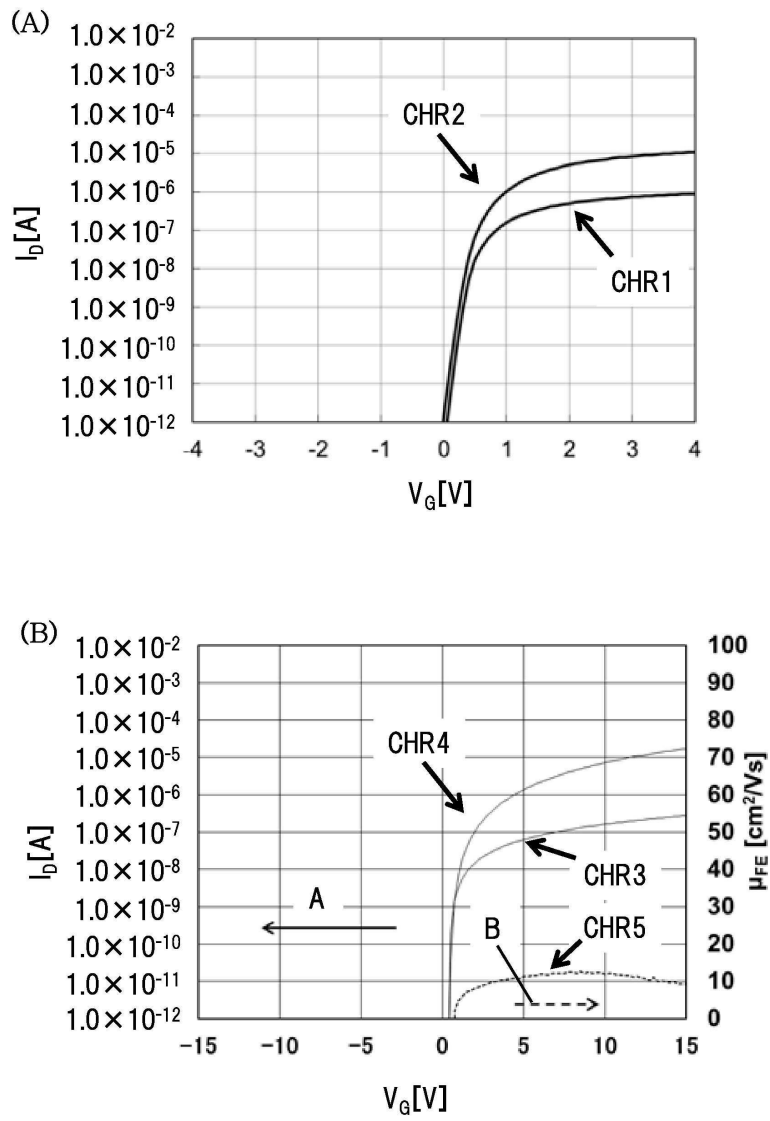
도면18



도면19



도면20



도면21

