

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5832535号
(P5832535)

(45) 発行日 平成27年12月16日 (2015.12.16)

(24) 登録日 平成27年11月6日 (2015.11.6)

(51) Int.Cl.	F I
GO 1 R 31/28 (2006.01)	GO 1 R 31/28 V
GO 6 F 11/22 (2006.01)	GO 6 F 11/22 3 1 O R
HO 1 L 21/822 (2006.01)	HO 1 L 27/04 T
HO 1 L 27/04 (2006.01)	

請求項の数 3 (全 33 頁)

(21) 出願番号	特願2013-522002 (P2013-522002)	(73) 特許権者	390020248
(86) (22) 出願日	平成23年7月29日 (2011.7.29)		日本テキサス・インスツルメンツ株式会社
(65) 公表番号	特表2013-545963 (P2013-545963A)		東京都新宿区西新宿六丁目24番1号
(43) 公表日	平成25年12月26日 (2013.12.26)	(73) 特許権者	507107291
(86) 国際出願番号	PCT/US2011/045904		テキサス インスツルメンツ インコーポ
(87) 国際公開番号	W02012/016151		レイテッド
(87) 国際公開日	平成24年2月2日 (2012.2.2)		アメリカ合衆国 テキサス州 75265
審査請求日	平成26年6月19日 (2014.6.19)		-5474 ダラス メール ステーショ
(31) 優先権主張番号	13/188,078		ン 3999 ビーオーボックス 655
(32) 優先日	平成23年7月21日 (2011.7.21)		474
(33) 優先権主張国	米国 (US)	(74) 上記1名の代理人	100098497
(31) 優先権主張番号	61/406,674		弁理士 片寄 恭三
(32) 優先日	平成22年10月26日 (2010.10.26)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 アット・スピード・テストアクセスポート動作の改善

(57) 【特許請求の範囲】

【請求項1】

集積回路であって、

T D I入力リード、T C K入力リード、T M S入力リード、及びT D O出力リードと、
前記T C K入力リードに結合される入力、前記T M S入力リードに結合される入力、命
令レジスタ制御出力、マルチプレクサ制御出力、及びデータレジスタ制御出力を有する、
テストアクセスポート状態機械と、

前記T D I入力リードに結合される入力、前記命令レジスタ制御出力に結合される入力
、及びデータレジスタイネーブル出力を有する、命令レジスタと、

前記T D I入力リードに結合される入力、データレジスタ制御入力、及び出力を有する
、データレジスタと、

前記T C K入力リードに結合される入力、前記T M S入力リードに結合される入力、前
記データレジスタイネーブル出力に結合される入力、及びデータレジスタ制御出力を有す
る、コマンド回路と、

前記状態機械の前記データレジスタ制御出力に結合される入力の第1のポート、前記コ
マンド回路の前記データレジスタ制御出力に結合される入力の第2のポート、前記命令レ
ジスタの前記データレジスタイネーブル出力に結合される制御入力、及び前記データレジ
スタの前記データレジスタ制御入力に結合されるデータレジスタ制御出力を有する、デュ
アルポートルータと、

前記命令レジスタの前記出力に結合される入力、前記データレジスタの前記出力に結合

10

20

される入力、前記マルチプレクサ制御出力に結合される制御入力、及び前記TDO出力リードに結合される出力を有する、マルチプレクサ回路要素と、
を含む、集積回路。

【請求項2】

請求項1に記載の集積回路であって、

前記状態機械が、Test Logic Resetと、Run Test/Idleと、SelectDRと、SelectIRとの状態を有する、集積回路。

【請求項3】

請求項1に記載の集積回路であって、

複数のデータレジスタを更に含む、集積回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

半導体業界では、これらに限定されないが、テスト回路、デバッグ回路、プログラミング回路、インスツルメンテーション回路、及びトレース回路等の多くのタイプの埋め込みIC回路を制御するためのICインタフェースとしてIEEE 1149.1テストアクセスポート(TAP)が広く用いられている。TAPは、過去20年間に亘り、埋め込みIC回路の動作の制御に有効であることを証明してきた。しかしながら、TAPはアット・スピード(at-speed)Update&Capture、及びShift&Capture動作に依存する埋め込みIC回路の動作の制御には有効であることを証明していない。本開示の第1部(図1～図7)は、アット・スピードUpdate&Capture、及びShift&Captureの問題を説明する。本開示の第2部(図8～図41)はこの問題に対する新規の解決法を種々の実装例を用いて説明する。

20

【発明の概要】

【0002】

本開示は、付加的な回路要素を備えてTAPを拡張することにより、TAPのアット・スピードUpdate&Capture、及びShift&Captureの問題を解決するための新規の解決法を説明する。図8～図28の第1の開示される解決法において、アット・スピード動作は、TAPへのTMS入力上にCMD信号を時分割多重化し、データレジスタのアット・スピード動作を制御するコマンド(CMD)回路にCMD信号を入力することによって達成される。図29A～図33の第2の開示される解決法において、アット・スピード動作は、TAPのExitLDR状態を検出して、データレジスタのアット・スピード動作を制御するCMD回路へCMD信号を生成することによって達成される。図34A～図38の第3の開示される解決法において、アット・スピード動作は、TAPのExitLDR及びPauseDR状態を検出して、アット・スピードUpdate及びCapture信号を生成することによって達成され、これらの信号は、プログラマブルスイッチ(PSW)回路を介してデータレジスタに入力される。図39～図41の第4の開示される解決法において、アット・スピード動作は、TAPのExitLDR及びPauseDR状態を検出して、アット・スピードUpdate及びCapture信号を生成することによって達成され、これらの信号は、デュアルポートルータを介してデータレジスタに入力される。開示される解決法は全て、データレジスタのアット・スピード動作をテストが直接制御できるように、外部アクセス可能なUpdate及びCapture信号を備えて拡張しうる。

30

40

【図面の簡単な説明】

【0003】

【図1】IEEE 1149.1 TAPアーキテクチャを示す。

【0004】

【図2】Tap状態機械(TSM)データレジスタ制御(DRC)信号をデータレジスタへルーティングするためのルータ回路を示す。

【0005】

50

【図 3】T S Mの状態図を示す。

【0 0 0 6】

【図 4】ルータを介してT S Mによって制御される非同期C S Uデータレジスタを示す。

【0 0 0 7】

【図 5】ルータを介してT S Mによって制御される同期C S Uデータレジスタを示す。

【0 0 0 8】

【図 6】ルータを介してT S Mによって制御される非同期C S データレジスタを示す。

【0 0 0 9】

【図 7】ルータを介してT S Mによって制御される同期C S データレジスタを示す。

【0 0 1 0】

【図 8】本開示に従った、コマンド（C M D）回路及びデュアルポートルータを備えて拡張されたI E E E 1 1 4 9. 1 T A Pを示す。

【0 0 1 1】

【図 9】本開示に従った、T S M又はC M D回路からデータレジスタへD R C信号をルーティングするためのデュアルポートルータ回路を示す。

【0 0 1 2】

【図 1 0】本開示に従った、C M D回路を用いてC S 又はC S U動作を実行するためのタイミング図を示す。

【0 0 1 3】

【図 1 1】本開示に従った、デュアルポートルータを介してT S M又はC M D回路のいずれかによって制御される非同期C S Uデータレジスタを示す。

【0 0 1 4】

【図 1 2】本開示に従った、デュアルポートルータを介してT S M又はC M D回路によって制御される同期C S Uデータレジスタを示す。

【0 0 1 5】

【図 1 3】本開示に従った、デュアルポートルータを介してT S M又はC M D回路のいずれかによって制御される非同期C S データレジスタを示す。

【0 0 1 6】

【図 1 4】本開示に従った、デュアルポートルータを介してT S M又はC M D回路によって制御される同期C S データレジスタを示す。

【0 0 1 7】

【図 1 5】本開示に従った、デュアルポートルータを介してT S M又はC M D回路によって制御される非同期C S データレジスタを示す。

【0 0 1 8】

【図 1 6】本開示に従った、デュアルポートルータを介して、T S M又はC M D回路によって制御される第 1 のテスト圧縮アーキテクチャを示す。

【0 0 1 9】

【図 1 7】本開示に従った、デュアルポートルータを介して、T S M又はC M D回路によって制御される第 2 のテスト圧縮アーキテクチャを示す。

【0 0 2 0】

【図 1 8】本開示に従った、デュアルポートルータを介して、T S M又はC M D回路によって制御されるI E E E 1 5 0 0 ラッパーアーキテクチャを示す。

【0 0 2 1】

【図 1 9】本開示に従った、デュアルポートルータを介して、T S M又はC M D回路によって制御される読み出し／書き込み回路アーキテクチャを示す。

【0 0 2 2】

【図 2 0】本開示に従った、デュアルポートルータを介して、T S M又はC M D回路によって制御されるI E E E P 1 6 8 7 インストルメンテーションアーキテクチャを示す。

【0 0 2 3】

【図 2 1】本開示に従った、外部テスト動作を実行するデバイスの第 1 のデイジーチェー

10

20

30

40

50

ンを示す。

【0024】

【図22】本開示に従った、内部テストを実行するデバイスの第2のデিজチェーンを示す。

【0025】

【図23】JTAG／1149．1バスコントローラを示す。

【0026】

【図24】本開示に従った、CMD回路を備えて拡張されたJTAG／1149．1バスコントローラを示す。

【0027】

【図25】本開示に従ったJTAGコントローラCMD回路の実装例を示す。

【0028】

【図26】本開示に従った、デュアルポートルータを介して、TSM又は付加的なCapture及びUpdate入力を備えるCMD回路に接続可能なCSU又はCS回路を示す。

【0029】

【図27】本開示に従った、Capture入力を備えるCMD回路を示す。

【0030】

【図28】本開示に従った、Capture及びUpdate入力を備えるCMD回路を示す。

【0031】

【図29A】本開示に従った、TSMからCMD信号を受信するCMD回路を備えて拡張されたIEEE 1149．1 TAPを示す。

【0032】

【図29B】本開示に従った、TSMがExit1DR状態のときCMD信号をCMD回路に出力するためのゲーティング回路要素を示す。

【0033】

【図30】本開示に従った、CSOP、CSUOP、及びB2BCSOP動作を実行するためにCMD回路にCMD信号を出力するTSMのタイミング図を示す。

【0034】

【図31】本開示に従った、TSMのためのCMD信号を受信するCMD回路によって制御されるデータレジスタを示す。

【0035】

【図32】本開示に従った、或るTSM状態の間、TSMのClockDR出力上にクロック信号を生成するための回路を示す。

【0036】

【図33】本開示に従った、デュアルポートルータを介して、TSM又は付加的なCapture及びUpdate入力を備えるCMD回路に接続可能なCSU又はCS回路を示す。

【0037】

【図34A】本開示に従った、TSMから制御信号を受信するプログラマブルスイッチ（PSW）回路を備えて拡張されたIEEE 1149．1 TAPを示す。

【0038】

【図34B】本開示に従った、TSMがExit1DR又はPauseDR状態にあるときに、制御信号をPSWに出力するためのゲーティング回路要素を示す。

【0039】

【図35】本開示に従った、CSOP、CSUOP、及びB2BCSOP動作を実行するために制御信号をPSW回路に出力するTSMのタイミング図を示す。

【0040】

【図36】本開示に従った、TSMから制御信号を受信するPSWによって制御されるデ

10

20

30

40

50

ータレジスタを示す。

【0041】

【図37】本開示に従った、デュアルポートルータを介して、TSM又は付加的なCapture及びUpdate入力を備えるPSW回路に接続可能なCSU又はCS回路を示す。

【0042】

【図38】本開示に従った、Capture及びUpdate入力を備えるPSW回路を示す。

【0043】

【図39】本開示に従った、TSMのExit1DR及びPauseDR状態検出回路要素及びデュアルポートルータを備えて拡張されたIEEE 1149.1 TAPを示す。

10

【0044】

【図40】本開示に従った、TSMのExit1DR及びPauseDR状態検出回路要素、マルチプレクサ、及びデュアルポートルータを備えて拡張されたIEEE 1149.1 TAPを示す。

【0045】

【図41】本開示に従った、デュアルポートルータを介してDRCマルチプレクサに接続可能なCSU又はCS回路を示す。

【発明を実施するための形態】

20

【0046】

図1は、TAP状態機械(TSM)102、命令レジスタ104、データレジスタ106、データレジスタ制御(DRC)信号ルータ108、及びTDOマルチプレクサ110で構成される従来技術例のTAPアーキテクチャ100を示す。TSMは、(1)TAPをTest Logic Reset状態にする、(2)TAPをRun Test/Idle状態にする、(3)命令レジスタスキャン動作を実行する、或いは(4)データレジスタスキャン動作を実行するために、図3に示す状態を経由して動作する。命令レジスタはデータレジスタイネーブル(DRE)信号を出力し、DRE信号は、TSMのDRC信号が、アクセスされるべきデータレジスタに対してルータを通過するよう選択する。

【0047】

30

図2は、TSMのDRC出力をデータレジスタ106のDRC入力に接続するルーティング回路202で構成されるルータ108を示す。一旦接続されると、図3のTAPのTSM状態図に示すように、SelectDR、CaptureDR、ShiftDR、Exit1DR、及びUpdateDR状態を経由してTAP状態機械を遷移させることによって、TDIからTDOまでデータレジスタがアクセスされうる。

【0048】

図4は、ルーティング回路108を介してTSM102に接続される非同期Capture、Shift及びUpdate(CSU)データレジスタ402を示す。このルーティング回路例、及び後述する他のルーティング回路例では、ルーティング回路108は、DRE命令入力によってそれがアクセスのために選択されているときにTSMにデータレジスタ402を制御させるゲーティング回路で構成される。非同期とは、そのTSMのゲーティングされたClockDR出力によってデータレジスタのタイミングが合わされることを意味する。IEEE 1149.1バウンダリスキャンレジスタ等のCSUタイプのデータレジスタがよく知られている。ルータ回路のゲーティング回路は、DRE入力に応答して、この分野ではすべて周知であるTSMのClockDR、ShiftDR、及びUpdateDR出力を、データレジスタのClockDR、ShiftDR、及びUpdateDR入力に接続する。一旦接続されると、データレジスタを動作させるために、TSMは、図3のSelectDR、CaptureDR、ShiftDR、Exit1DR、及びUpdateDR状態を経由して遷移する。データレジスタがTSMによってアクセスされていないときは、ルーティング回路108のゲーティング回路は、データ

40

50

レジスタのClockDR、ShiftDR、及びUpdateDR入力をイナクティブ状態にするように、DRE入力によって設定される。

【0049】

図5はルーティング回路108を介してTSM102に接続される同期CSUデータレジスタ502を示す。同期とは、TCK信号によってデータレジスタのタイミングが合わされることを意味する。同期動作では、データレジスタがCapture、Shift、又はUpdate動作を実行していないときに、その現行状態を維持するような保持状態を提供するためにデータレジスタのスキャンセルが必要である。Capture信号は、TSMが図3のCaptureDR状態にあることを示し、Shift信号はTSMが図3のShiftDR状態にあることを示し、Update信号はTSMが図3のUpdateDR状態にあることを示す。ルーティング回路は、DRE入力に応答して、TSMのCapture、Shift、及びUpdate状態出力をデータレジスタのCapture、Shift、及びUpdate入力に接続する。一旦接続されると、TSMは、データレジスタを動作させるために、図3のSelectDR、CaptureDR、ShiftDR、ExitlDR、及びUpdateDR状態を経由して遷移する。データレジスタがTSMによってアクセスされないときは、ルーティング回路108のゲーティング回路は、データレジスタのCapture、Shift、及びUpdate入力をイナクティブ状態にするように、DRE入力によって設定される。

10

【0050】

図6はルーティング回路108を介してTSM102に接続される非同期Capture及びShift（CS）データレジスタ602を示す。内部スキャンパスレジスタ等のCSタイプのデータレジスタがよく知られている。ルーティング回路は、DRE入力に応答して、TSMのClockDR及びShiftDR出力をデータレジスタのClockDR及びShiftDR入力に接続する。一旦接続されると、TSMは、データレジスタを動作させるために、図3のSelectDR、CaptureDR、ShiftDR、ExitlDR、及びUpdateDR状態を経由して遷移する。データレジスタがTSMによってアクセスされていないときは、ルーティング回路108のゲーティング回路は、データレジスタのClockDR及びShiftDR入力をイナクティブ状態にするように、DRE入力によって設定される。

20

【0051】

図7はルーティング回路108を介してTSM102に接続される同期CSデータレジスタ702を示す。ルーティング回路は、DRE入力に応答して、TSMのCapture及びShift状態出力をデータレジスタのCapture及びShift入力に接続する。一旦接続されると、TSMは、データレジスタを動作させるために、図3のSelectDR、CaptureDR、ShiftDR、ExitlDR、及びUpdateDR状態を経由して遷移する。データレジスタがTSMによってアクセスされないときは、ルーティング回路108のゲーティング回路は、データレジスタのCapture及びShift入力をイナクティブ状態にするように、DRE入力によって設定される。

30

【0052】

図4及び図5のCSUスキャンサイクルのTSMの状態遷移では、問題となるデッド状態のSelectDR及びExitlDRを破線のボックスで示す。UpdateDR状態でUpdate動作が起こると、CaptureDR状態でキャプチャ動作が起こるまでに2と1/2のTCKかかる。これがアット・スピードUpdate&Captureスキャン動作を妨げる。図6及び図7のCSスキャンサイクルのTSMの状態遷移では、問題となるデッド状態のSelectDR、ExitlDR、及びUpdateDRを破線のボックスで示す。ShiftDR状態で、最後のシフト動作が起こると、CaptureDR状態でキャプチャ動作が起こるまでに4TCKかかる。これがアット・スピードShift&Captureスキャン動作を妨げる。

40

【0053】

アット・スピードのCSU及びCSスキャン動作を妨げる図4～図7のデッド状態は、

50

この業界ではよく知られている。この問題を解決するために多くの解決法が提案されている。幾つかの初期の解決法を説明し以下に参照する。

【0054】

解決法1 I E E E コンピュータソサエティプレス、第18章、「テストアクセスポート及びバウンダリスキャンアーキテクチャ」1990年、M a u n d e r 著。この解決法は、最後のシフト動作の後、アット・スピードのキャプチャ動作が起こりうる箇所へT S M 状態アサインメントを「リプログラム」する、T A P 命令レジスタにロードされ得る S c a n T e s t 命令を定義している。この解決法は、C S スキャン動作におけるデッド状態を除去するが、C S U スキャン動作におけるデッド状態は除去しない。また、この解決法はスタンドアロンのデバイステストにのみ適用する。即ち、デバイスが他のデバイスと

10

【0055】

解決法2 論文「バウンダリスキャンを用いるビルトインテスト」、A T E & インスツルメンテーションコンファレンス、1989年、頁15～22、W h e t s e l 著。この解決法は、アット・スピードのアップデート及びキャプチャ動作を行うために、T A P 命令レジスタロードにすることができ、R u n T e s t / I d l e 状態で実行され得る B I S T 及び D e l a y T e s t 命令を定義している。この解決法はC S U 及びC S スキャン動作におけるデッド状態問題を解決しない。

【0056】

解決法3 論文「バウンダリスキャンタイミング測定のためのアーリーキャプチャ、I E E E 国際テストコンファレンス」、1996年、L o f s t r o m 著。この解決法は、T A P 命令レジスタにロードすることができ、アップデート動作の後に適用しうるキャプチャクロックとしてT M S 信号を用いることを可能にする、E a r l y C a p t u r e 命令を定義している。この解決法は、アット・スピード・アップデート及びキャプチャ動作を提供するが、デッド状態を考察する必要性を除去していない。また、C S U スキャン動作とのみ機能し、C S スキャン動作とは機能しない。

20

【0057】

解決法4 I E E E 規格1149.6、「アドバンストデジタルネットワークのバウンダリスキャンテストのための規格」。この解決法は、R u n T e s t / I d l e 状態においてアット・スピードのアップデート及びキャプチャ動作を実行させる新規の命令 (E x t e s t P u l s e & E x t e s t T r a i n) を定義する新規の規格 (I E E E 1149.6) に基づいている。解決法2と同様に、この解決法はC S U 及びC S スキャン動作におけるデッド状態問題を解決しない。

30

第1の開示される解決法—図8～図33

【0058】

図4～図7の、問題となるデッド状態を除去するための本開示に記載される第1の解決法は、コマンド回路及びデュアルポートルータを備えてT A P 100を拡張するものである。コマンド回路及びデュアルポートルータは、C S U データレジスタ上でアット・スピードU p d a t e 及びC a p t u r e 動作を、C S データレジスタ上でアット・スピードS h i f t 及びC a p t u r e 動作を実行するように、T S M 102が図3のS h i f t D R 状態にある間に動作しうる。

40

【0059】

図8はコマンド (C M D) 回路802及びデュアルポートルータ804を備えて拡張されたT A P 800を示す。それ以外はT A P 800は図1のT A P 100と同じである。C M D 回路802は、T C K、T M S、D R E、及びD R C 出力に接続される入力を有する。デュアルポートルータ804の1つのポートは、C M D 回路のD R C 出力に接続され、他のポートはT S M のD R C 出力に接続される。命令レジスタからのD R E 信号は、C M D 回路をイネーブル又はディスエーブルする。また、D R E 信号は、データレジスタ106へのルータのD R C 出力が、上述したようにT S M 102によって、又はC M D 回路804によって制御されうるようにデュアルポートルータを制御する。

50

【0060】

図9はルーティング回路902で構成される例示のデュアルポートルータ804を示し、ルーティング回路902は、DRE入力に応答して、TSMからのDRC出力を選択されたデータレジスタ106のDRC入力へ接続、或いはCMD回路のDRC出力を選択されたデータレジスタ106のDRC入力に接続する。データレジスタがTSMのDRC出力に接続されている場合、上述したように、TSMによって制御されるCSU又はCSSキャン動作のためにデータレジスタがアクセスされうる。データレジスタがCMD回路のDRC出力に接続されている場合、CMD回路によって制御されるCSU又はCSSキャン動作のためにデータレジスタがアクセスされうる。

【0061】

図10は、CMD回路を用いて、CSUSキャン動作(CSUOP)1002、又はCSSキャン動作(CSOP)1004を実行するタイミングを示す。データレジスタにアクセスするためにCMD回路が用いられるときは、TSMはShiftDR状態1006に遷移し、そこに留まる。ShiftDR状態では、データレジスタはTDIからTDOへデータをシフトする。シフトの間適切な時点で、TMS信号を介してTCKの立ち下がり、CMD信号1008がCMD回路に入力される。CMD信号入力の間に、NoOperation(NOP)信号1010が、TMSを介してTCKの立ち下がり、CMD回路に入力される。データレジスタへのCMD制御アクセスの間、TSMは継続してTCKの立ち上がりで通常のTMS入力1012を受信し、TSMをShiftDR状態に維持する。CMD回路制御スキャン動作の最後に、データレジスタアクセス動作を終了するために、TSMはTMS入力を受信して、ShiftDR状態から外に遷移する。

【0062】

図10からわかるように、CSUタイプのデータレジスタがアクセスされると、CMD信号入力に応答してCSUOPが実行される。CSUOPは、最後のShift(ShiftN)動作の後にUpdate動作1014を実行し、Capture動作1016を実行し、その後Shift動作を再開する。TMS上にCMD信号が入力される毎に、このUpdate、Capture、及びShiftシーケンスが繰り返される。CMD回路がCSUデータレジスタを制御する間は、TSMがShiftDR状態に留まるので、図10のCSUOPサイクルではデッド状態がない。

【0063】

また、図10からわかるように、CSタイプのデータレジスタがアクセスされる場合、CMD信号入力に応答して、CSOPが実行される。CSOPは、最後のShift(ShiftN)動作の後に、Capture動作1018を実行し、その後Shift動作を再開する。TMS上にCMD信号が入力される毎に、このCapture及びShiftシーケンスが繰り返される。CMD回路がCSデータレジスタを制御する間、TSMはShiftDR状態に留まるので、図10のCSOPサイクルではデッド状態がない。

【0064】

図11は例示のデュアルポートルータ804を介してTSM及びCMD回路に接続される図4の非同期CSUデータレジスタ402を示す。DRE入力は、図4で説明したようにTSMによって又は図10で説明したようにCMD回路によって、データレジスタがアクセスされるようにデュアルポートルータを制御する。この例では、CMD回路は、TMSからのCMD信号をTCKの立ち下がりに入力する単に2つの直列接続されたFFである。

【0065】

この例のデュアルポートルータ804は、図示されているように接続され、命令レジスタからのDRE入力によって制御される単なるマルチプレクサ及びゲーティングである。データレジスタがTSMによって制御されるときは、DRE入力は、TSMからのClockDR、ShiftDR、及びUpdateDR出力を、デュアルポートルータを介して、データレジスタのClockDR、ShiftDR、及びUpdateDR入力へルーティングする。データレジスタがCMD回路によって制御されるときは、DRE入力は

、CMD回路からのCapture (C) 及びUpdate (U) 信号、及びTSMからのClock DR信号を、デュアルポートルータを介して、データレジスタのClock DR、Shift DR、及びUpdate DR入力にルーティングする。TSMがShift DR状態になるので、TSMからのClock DR出力が作動する。この例示のデュアルポートルータの第1のポートは、TSMからのClock DR、Shift DR、及びUpdate DR入力であると定義される。この例示のデュアルポートルータの第2のポートは、CMD回路からのCapture (C) 及びUpdate (U) 入力、及びTSMからのClock DR入力であると定義される。

【0066】

CMD回路によるアクセスの間、第1のFFはTMSからCMD信号を入力し、Update (U) 信号をデュアルポートルータへ出力する。デュアルポートルータは、データレジスタにUpdate動作を実行させるために、Update DR信号をデータレジスタへ出力する。CMD回路からのUpdate (U) 信号は、TSMからのClock DR信号によってゲーティングされて、TCKの立ち上がりでデータレジスタへのUpdate DR入力上にアップデートクロックパルスを生成する。次に、CMD信号は第2のFFへシフトされ、第2のFFはデュアルポートルータへCapture (C) 信号を出力する。デュアルポートルータは、TCKによって駆動されるClock DRの次の立ち上がりでデータレジスタにCapture動作を実行させるために、Shift DR信号上のロジックレベルをデータレジスタへ出力する。Update (U) 及びCapture (C) 信号は、TCKの立ち下がりでFF内にレジスタされるため、立ち上がりのClock DR動作の間安定している。CMD信号がCMD回路に入力される毎にUpdate 及びCapture動作シーケンスが繰り返される。この例示のデュアルポートルータはClock DRの立ち上がりでアップデートクロックパルスを生成するが、他の例示のデュアルポートルータでは、所望とされる場合は、Clock DRの立ち下がりでアップデートクロックパルスを生成することもできる。

【0067】

図11では示されていないが、このCMD回路例、及び後述する他のCMD回路例のFFは、CMD信号を受信するまでUpdate (U) 及びCapture (C) 出力がアサートされないように、図9に示すように、データレジスタテストアクセス動作の開始時にDRE入力によって初期化される。

【0068】

図12は、例示のデュアルポートルータ804を介して図11のTSM102及びCMD回路802に接続される図5の同期CSUデータレジスタ502を示す。図5に示すようにTSMによって或いは図10に示すようにCMD回路によって、データレジスタがアクセスされるように、DRE入力がデュアルポートルータを制御する。データレジスタは自走TCKによってクロックされる。

【0069】

この例のデュアルポートルータ804は、図示されるように接続され、命令レジスタからのDRE入力によって制御される単なるマルチプレクサ及びゲーティングである。データレジスタがTSMによって制御されるべきときは、DRE入力は、TSMからのCapture、Shift、及びUpdate状態出力を、デュアルポートルータを介して、データレジスタのCapture、Shift、及びUpdate入力へルーティングする。TSMがCapture DR状態のときCapture状態信号がアサートされ、TSMがShift DR状態のときShift状態信号がアサートされ、TSMがUpdate DR状態のときUpdate状態信号がアサートされる。データレジスタがCMD回路によって制御されるべきときは、DRE入力は、CMD回路からのCapture (C) 及びUpdate (U) 信号を、デュアルポートルータを介して、データレジスタのCapture、Shift、及びUpdate入力へルーティングする。TSMからのCapture (C) 入力は、データレジスタのCapture及びShift入力を、データレジスタにデータをシフト又はキャプチャさせる状態に設定する。この例において、

Capture (C) が低である場合、データレジスタへの Capture 及び Shift 入力 は低及び高にそれぞれ設定され、それによってデータレジスタに TDI から TDO へデータをシフトさせる。また、Capture (C) が高である場合、データレジスタ への Capture 及び Shift 入力が高及び低にそれぞれ設定され、それによってデ ータレジスタにデータをキャプチャさせる。この例示のデュアルポートルータの第1のポ ートは、TSMからの Capture、Shift、及び Update 状態出力であると 定義される。この例示のデュアルポートルータの第2のポートは、CMD回路からの Ca pture (C) 及び Update (U) 入力であると定義される。

【0070】

CMD回路によるアクセスの間、第1の FFはTMSからCMD信号を入力し、Upd 10 a t e (U) 信号をデュアルポートルータへ出力する。デュアルポートルータは、デー タレジスタにUpd a t e動作を実行させるためにUpd a t e信号を出力する。次にCM D信号が第2のFFへシフトされ、第2のFFは、Capture (C) 信号をデュアル ポートルータへ出力し、デュアルポートルータは、データレジスタにCap ture動作 を実行させるために、Cap ture及びSh i f t信号を出力する。この例のCap t u r e、Sh i f t、及びUpd a t eデータレジスタ動作は、自走TCKの立ち上がり で起こる。所望とされる場合、データレジスタのUpd a t e回路要素は、Upd a t e 回路要素へのTCK入力を単に反転させることによって、TCKの立ち下がり でUpd a 20 t e信号に応答して動作するように設計することができる。CMD信号がCMD回路に入 力される毎に、Upd a t e及びCap ture動作シーケンスが繰り返される。

【0071】

図13は、デュアルポートルータ804を介してTSM102及びCMD回路802に 接続される図6の非同期CSデータレジスタ602を示す。この例のデュアルポートル ータは、図示されるように接続されるマルチプレクサ及びゲートで構成される。図6に示す ようにTSMによって又は図10に示すようにCMD回路によって、データレジスタがア クセスされ得るように、DRE入力は、デュアルポートルータのマルチプレクサ及びゲ ートを制御する。デュアルポートルータの第1のポートは、TSMからのCl o c k DR及 びSh i f t DR出力を含む。デュアルポートルータの第2のポートは、CMD回路から のCap ture (C) 出力及びTSMからのCl o c k DR出力を含む。この例のCM D回路は、TCKの立ち下がり でTMSからのCMD信号を入力する単なるFFである。 30 CMD回路によるアクセスの間、FFはTMSからCMD信号を入力し、デュアルポ ートルータへCap ture (C) 信号を出力する。デュアルポートルータは、デー タレジスタにTSMからのCl o c k DRの立ち上がり でCap ture動作を実行させるために 、マルチプレクサ及びゲートを介して、Sh i f t DR信号上のロジック状態を出力する 。TSMがSh i f t DR状態にあるので、Cl o c k DR信号はアクティブである。C a p t u r e動作に続いて、Sh i f t DR信号は前の状態に戻り、Cl o c k DRの次 の立ち上がり でSh i f t動作を再開する。CMD信号がCMD回路に入力される毎にC a p t u r e動作が繰り返される。

【0072】

図14は、デュアルポートルータを介して図12のTSM102及びCMD回路802 40 に接続される図7の同期CSデータレジスタ702を示す。この例のデュアルポ ートルータは、図示されるように接続されるマルチプレクサ及びゲートで構成される。図7で説明 したようにTSMによって又は図10で説明したようにCMD回路によって、デー タレジスタがアクセスされ得るように、DRE入力はデュアルポートルータのマルチプレクサ及 びゲートを制御する。デュアルポートルータの第1のポートは、TSMからのCap t u r e及びSh i f t状態出力を含む。デュアルポートルータの第2のポートは、CMD回 路からのCap ture (C) 出力を含む。データレジスタは、自走TCK信号によって クロックされる。図7で説明したようにTSMによって又は図10で説明したようにCM D回路によって、データレジスタがアクセスされ得るように、DRE入力はデュアルポ ートルータを制御する。CMD回路によるアクセスの間、FFはTMSからCMD信号を入 50

力し、デュアルポートルータへC a p t u r e (C) 信号を出力する。デュアルポートルータは、データレジスタへのC a p t u r e 及びS h i f t 入力を、T C K の立ち上がりでデータレジスタにC a p t u r e 動作を実行させる状態へ設定する信号を出力する。C a p t u r e 動作に続いて、C a p t u r e 及びS h i f t 信号は前の状態に戻り、T C K の次の立ち上がりでS h i f t 動作を再開する。C M D 信号がC M D 回路に入力される毎にC a p t u r e 動作が繰り返される。

【0073】

図15は、図13のデュアルポートルータ804を介してT S M 102及びC M D 回路802に接続される図6の非同期C S データレジスタ602を示す。図6で説明したようにT S M によって又はC M D 回路によって、データレジスタがアクセスされ得るように、図13で説明したように、D R E 入力はデュアルポートルータを制御する。この例では、C M D 回路は、データレジスタに連続 (back to back) C a p t u r e 動作を実行させるよう制御するように設計される。この例のC M D 回路は、第1及び第2の直列接続されるF F で構成される。これらのF F の出力はN O R ゲート等のゲートに入力される。ゲートの出力はデュアルポートルータに入力される。T M S からのC M D 入力信号に応答して、C M D 回路の第1のF F が第1のC a p t u r e (C) 信号を出力し、次にC M D 信号がC M D 回路の第2のF F へシフトされ、それが第2のC a p t u r e 信号を出力する。C M D 回路は、第1及び第2の両C a p t u r e 信号 (C) を、ゲートを介してデュアルポートルータへ入力する。第1のC a p t u r e (C) 信号に応答して、デュアルポートルータは、データレジスタへのS h i f t D R 入力を、C l o c k D R の立ち上がりで第1のC a p t u r e 動作をデータレジスタに実行させるための状態に設定する。第2のC a p t u r e (C) 信号に応答して、デュアルポートルータは、C l o c k D R の次の立ち上がりでデータレジスタに第2のC a p t u r e 動作を実行させるようにS h i f t D R 入力上でキャプチャ状態を維持する。連続C a p t u r e 動作に続いて、データレジスタへのS h i f t D R 入力は前の状態へ戻り、S h i f t 動作を再開する。

【0074】

図8～図15は、T S M 又はC M D 回路のいずれかによって制御される様々なタイプの簡単なデータレジスタを示すが、これらデータレジスタは、典型的にはデバイス内の、より複雑なテストアーキテクチャのビルディングブロックを形成する。これらのより複雑なテストアーキテクチャも、以下の図16～図17に示すように、T S M 又はC M D 回路によって制御されうる。

【0075】

また図8～図15は、単一のフリップフロップ、又は直列構成の2つのフリップフロップのいずれかのC M D 回路を示すが、C M D 回路は、例えば状態機械として設計されたC M D 回路等の多くの異なる様式で設計されうる。

【0076】

図16は、デバイス内の既知のタイプの単一入力及び単一出力のテスト圧縮アーキテクチャ1602の簡単な例を示す。このアーキテクチャは、デコンプレッサ (D) 回路、並列C S タイプのデータレジスタ (D R) 、及びコンパクタ (C) 回路で構成される。デコンプレッサは、デュアルポートルータのD R C 出力によって制御されて、T D I から圧縮された刺激データを入力し、その刺激データを解凍し、解凍された刺激データをC S データレジスタへ出力する。コンパクタは、デュアルポートルータのD R C 出力によって制御されて、C S データレジスタからの応答データを入力し、その応答データを圧縮し、圧縮されたデータをT D O 出力へ出力する。C S データレジスタは、デュアルポートルータのD R C 出力によって制御されて、C a p t u r e 及びS h i f t 動作を実行する。図6又は図7で説明したようにT S M のD R C 出力によって、又は図13及び図14で説明したようにC M D 回路のD R C 出力によって、テスト圧縮アーキテクチャが制御可能になるように、D R E 入力がデュアルポートルータを制御する。

【0077】

図17は、デバイス内の既知のタイプの多重入力及び多重出力のテスト圧縮アーキテク

チャ 1702 の簡単な例を示す。このアーキテクチャの構造及び動作は、図 16 で説明したものと同じであるが、圧縮された刺激データを入力するために多重 TDI 入力を用いられ、圧縮された応答データを出力するために多重 TDO 出力が用いられる点が異なっている。多重入力多重出力テスト圧縮アーキテクチャは、図 16 で説明したように TSM 又は CMD 回路のいずれかによって選択的に制御されうる。

【0078】

図 18 は、デュアルポートルータの DRC 出力に接続される、デバイス内の IEEE 1500 コアラップアーキテクチャ 1802 の簡単な例を示す。このアーキテクチャは、ラッパーバウンダリレジスタ (WBR) 及び並列 CS タイプデータレジスタ (DR) で構成される。図示されていないが、このアーキテクチャは、そのテスト動作モードを制御するための命令レジスタも含む。

10

【0079】

ラッパーバウンダリレジスタは、デバイス内の多数のコアラップアーキテクチャ間の相互接続テストを提供するために主に用いられる。ラッパーバウンダリレジスタは、CSU 又は CS のいずれかのタイプのデータレジスタとして実装されうる。相互接続テスト中、ラッパーバウンダリレジスタは、デュアルポートルータの DRC 出力によって制御されて、ラッパー直列入力 (WSI) 及びラッパー直列出力 (WSO) を介して、データをラッパーバウンダリレジスタを経由してシフトさせ、その後アップデート及びキャプチャ動作を実行する。この例では、WSI は TDI に接続して示され、WSO は TDO に接続して示される。相互接続テストを制御するために、デュアルポートルータへの DRE 入力によって TSM が選択される場合、TSM はラッパーバウンダリレジスタを制御するために DRC 信号を出力するよう、データレジスタスキャン状態を経由して循環する。相互接続テストを制御するために、デュアルポートルータへの DRE 入力によって CMD 回路が選択される場合、TSM は Shift DR 状態に遷移してそこに留まり、一方、CMD 回路はラッパーバウンダリレジスタを制御するために DRC 信号を出力する。

20

【0080】

並列 CS データレジスタは、そのコアのロジック並列スキャンテストを実行するために用いられる。並列スキャンテストの間、CS データレジスタは、デュアルポートルータの DRC 出力によって制御されて、ラッパー並列入力 (WPI) 及びラッパー並列出力 (WPO) を介してデータを CS データレジスタを経由してシフトさせ、その後キャプチャ動作を実行する。並列スキャンテストを制御するために、デュアルポートルータの DRE 入力によって TSM が選択される場合、TSM は、並列 CS データレジスタを制御するために DRC 信号を出力するよう、データレジスタスキャン状態を経由して循環する。相互接続テストを制御するために、デュアルポートルータへの DRE 入力によって CMD 回路が選択される場合、TSM は Shift DR 状態へ遷移してそこに留まり、一方、CMD 回路は並列 CS データレジスタを制御するために DRC 信号を出力する。

30

【0081】

図 16 ～図 18 に示すデバイステストアーキテクチャを、従来のように TSM を用いて制御することは、スキャン動作中に問題となるデッド状態を再現することになる。テストアーキテクチャを CMD 回路を用いて制御することは、スキャン動作中のこれらのデッド状態を有利に除去する。

40

【0082】

図 16 ～図 18 の例では、デバイスのスキャン又はスキャン圧縮テストを改善するために、CMD 回路及びデュアルポートルータをどのように用いるかを示したが、CMD 回路は、TAP とインタフェースされている、デバイス内の他のタイプの埋め込み回路へのスキャンアクセスを改善するためにも用いることができる。以下では、そのような埋め込み回路の 2 つを説明する。

【0083】

図 19 は、デュアルポートルータ 804 を介して TSM 102 又は CMD 回路 802 によって選択的に制御される R/W データレジスタ 1904 に接続されるアドレス可能な R

50

／W回路1902で構成される構成1900を示す。R／W回路は、メモリ回路、テスト回路、デバッグ回路、又はトレース回路でありうる。R／W回路は、R／W回路とデータレジスタとの間のデータバス接続を介して、R／W回路内のアドレスされた位置へデータを書き込む、及び／又はその位置からデータを読み出すことが可能になるよう、データレジスタからアドレス入力及びR／W制御入力を受け取る。

【0084】

R／W回路へのTSM制御アクセスが所望される場合、TSMからのDRC出力をデータレジスタのDRC入力に接続するよう、DRE入力がデュアルポートルータを制御する。一旦接続されると、TSMは、アドレス、データ、及びR／W制御ビットをデータレジスタへシフト又はデータレジスタからシフトするために、ShiftDR状態へ遷移する。R／W制御ビットが書き込み動作のために設定されている場合、TSMがUpdateDR状態に遷移すると、データレジスタのデータがR／W回路のアドレスされた位置に書き込まれる。R／W制御ビットが読み出しのために設定されている場合、TSMがCaptureDR状態へ遷移すると、R／W回路のアドレスされた位置のデータが、データレジスタの中にロードされる。R／W制御ビットが、読み出し及び書き込み動作のために設定されている場合、CaptureDR状態では、R／W回路のアドレスされた位置から読み出しが起こり、UpdateDR状態では、R／W回路のアドレスされた位置から書き込みが起こる。

【0085】

R／W回路へのCMD回路制御アクセスが所望される場合、CMD回路のDRC出力をデータレジスタのDRC入力に接続するよう、DRE入力がデュアルポートルータを制御する。一旦接続されると、TSMはShiftDR状態へ遷移してそこに留まり、アドレス、データ、及びR／W制御ビットをデータレジスタへ又はデータレジスタからシフトする。そのシフト動作中の適切な時点で、CMD回路にDRC信号をデュアルポートルータへ出力させるために、CMD入力がCMD回路に入力される。R／W制御ビットが書き込み動作のために設定されている場合、CMD回路のDRC信号に応答して、データレジスタ内のデータがアドレスされた位置に書き込まれる。R／W制御ビットが読み出し動作のために設定されている場合、CMD回路のDRC信号に応答して、アドレスされた位置のデータがデータレジスタの中にロードされる。R／W制御ビットが読み出し及び書き込み動作のために設定されている場合、CMD回路のDRC信号に応答して、読み出し及び書き込みが起こる。

【0086】

CMD回路制御されたR／W動作の利点は、読み出し及び／又は書き込み動作を実行するために、TSMがShiftDR状態の外に遷移する必要がないことである。アドレス、データ、及びR／W制御ビットがデータレジスタへ又はデータレジスタから継続的にシフトされる間、読み出し及び／又は書き込み動作はCMD入力によって実行される。データレジスタが例えば50ビット長である場合、50番目のシフト動作の後毎に、読み出し及び／又は書き込み動作が起こるように命令しうる。

【0087】

図20は、デバイス内の埋め込みインスツルメントへのアクセスのためにIEEE規格P1687によって開発されたインスツルメンテーションデータレジスタアーキテクチャ2002を示す。インスツルメンテーションデータレジスタアーキテクチャは、TDIとTDOとの間のパスでインスツルメントの接続又は接続解除を行うようスキャン動作によって制御されうるセグメント挿入ビット(SIB)構成要素で構成される。インスツルメンテーションデータレジスタアーキテクチャは、米国特許第4,872,169号において、Whetzelによって最初に記述された自己制御可変長スキャンパスの動作に類似している。インスツルメンテーションデータレジスタアーキテクチャは、TSMからのDRC出力に接続され、それによって制御され得るよう、DRC制御入力を含むことが明記されている。この例では、インスツルメンテーションデータレジスタもCMD回路によってどのように制御されうるかを示すために、CMD回路及びデュアルポートルータが付

10

20

30

40

50

加されている。

【0088】

インスツルメンテーションデータレジスタへのTSM制御アクセスが所望される場合、TSMからのDRC出力をデータレジスタのDRC入力に接続するよう、DRE入力デュアルポートルータを制御する。一旦接続されると、インスツルメンテーションデータレジスタへ又はインスツルメンテーションデータレジスタからデータをシフトするように、TSMがShiftDR状態へ遷移する。SIBが、その関連インスツルメントをデータレジスタに接続するよう設定される場合、データは、図19のR/W回路に関する説明と同様の方式で、UpdateDR状態でそのインスツルメントに書き込むことができ、CaptureDR状態でそのインスツルメントから読み出すことができる。

10

【0089】

インスツルメンテーションデータレジスタへのCMD回路制御アクセスが所望される場合、CMD回路のDRC出力をデータレジスタのDRC入力へ接続するよう、DRE入力デュアルポートルータを制御する。一旦接続されると、データレジスタへ又はデータレジスタからデータをシフトするように、TSMがShiftDR状態へ遷移する。SIBが、その関連インスツルメントをデータレジスタへ接続するよう設定される場合、データは、図19のR/W回路に関する説明と同様の方式で、CMD回路へのCMD入力にตอบสนองして、インスツルメントへ書き込み、インスツルメントから読み出すことができる。

【0090】

CMD回路制御インスツルメントアクセス動作の利点は、CMD回路制御R/W回路アクセス動作と同様で、データが、インスツルメンテーションデータレジスタへ又はインスツルメンテーションデータレジスタから連続的にシフトする間、読み出し及び／又は書き込み動作がCMD入力によって実行されるので、読み出し及び／又は書き込み動作を実行するために、TSMがShiftDR状態から外へ遷移する必要がないという点である。ボードレベルテスト動作の改善

20

【0091】

図21は、JTAGコントローラに接続されるデジタイズチェーン接続のデバイスの構成2102を示す。これらのデバイスはIC内のボード又は埋め込み回路上のICでありうる。各デバイスは命令可能なTAP（CTAP）を有する。即ち、各デバイスTAPは本開示のCMD回路及びデュアルポートルータを含む。この例では、デバイスのCTAPは、相互接続間でアット・スピード・アップデート及キャプチャ動作を可能にするように、CMD制御IEEE 1149.1のエクステストバウンダリスキャン命令がロードされている。このタイミング図でわかるように、TMSからのCMD入力にตอบสนองして、上述したようにUpdate、Capture、及びShiftバウンダリスキャンテスト動作が実行される。この例では、Update動作がTCKの立ち上がりで起こり、Capture動作がTCKの次の立ち上がりで起こる。これによって従来のエクステストバウンダリスキャンのUpdate及びCapture動作の2と1/2のTCK周期に対し、1TCK周期内で起こるエクステストバウンダリスキャンUpdate及びCapture動作が提供される。

30

【0092】

所望とされる場合、デュアルポートルータの設計により、Update動作を遅らせて、Update動作がTCKの立ち下がりで起こり、Capture動作がTCKのその後の立ち上がりで起こるようにし、UpdateとCaptureとの間を1/2TCK周期にすることがきる。Update及びCapture動作間のタイミングを短くすることは、あらゆるタイプのCSUデータレジスタに適用可能である。

40

【0093】

アット・スピード・バウンダリスキャンテストの間、CTAPをShiftDR状態に維持するために、通常のTMS信号がTCKの立ち上がりで入力される。またCTAPスキャンも、TSM状態遷移を用いて、相互接続の従来のエクステストバウンダリスキャンテストを実行するように設定しうる。しかしながら、TSMデッド状態が導入されるた

50

めテストはアット・スピードUpdate及びCaptureテストではない。

【0094】

IEEE規格1149.6は、デバイス間のAC結合相互接続のテストが可能なバウンダリスキャンテストを提供するために開発された。Update動作とCapture動作との間の2と1/2のTCK遅延のため、1149.1エックステスト命令は全てのAC結合相互接続を適切にテストすることができなかったため、1149.6が必要であった。上述のCMD制御エックステスト動作は、1又は1/2TCK周期内で相互接続間のデータをアップデート及びキャプチャすることができるので、通常の1149.1エックステスト命令を用いるテストが難しいAC結合相互接続のテストを可能にする。

【0095】

図22は、JTAGコントローラに接続されるデジータチェーン接続のデバイスの構成2202を示す。これらのデバイスはIC内のボード又は埋め込み回路上のICでありうる。この例では、ミドルデバイスにあるCS又はCSUタイプ回路にアクセスすることが望ましい。CS又はCSU回路は、TDI及びTDOのみを用いてデータを通信する上述したタイプのいずれでもよい。ミドルデバイスへのアクセスを設定するために、リーディング及びトレーリングデバイスにIEEE1149.1命令、即ち、それらのバイパス(BYP)レジスタを選択する1149.1Bypass、Clamp、又はHighZ命令、がロードされ、ミドルデバイスにはアクセスのための所望のCS又はCSUタイプ回路を選択するための命令がロードされる。

【0096】

ミドルデバイスのCS又はCSU回路へのアクセスが通常のJTAGスキャン動作を用いて実行される場合、ミドルデバイスにロードされた命令が、そのデバイスのTSMをCS又はCSU回路に接続する。ミドルデバイス回路へのアクセスは、従来のデータレジスタのCapture、Shift、及びUpdate動作を実行するJTAGコントローラによって実行される。Capture動作の間、バイパスレジスタが、ロジックゼロを従順にロードし、ミドルデバイス回路が、出力されるべきデータを次のShift動作中にコントローラにロードする。CSUタイプの回路であると仮定すると、Shift動作に続いて、ミドル回路へシフトされているデータをアップデートするためにUpdate動作が実行される。各データレジスタスキャン動作の間、JTAGコントローラは、リーディングデバイスのバイパスレジスタを経由し、ミドルデバイス回路を経由し、そして、トレーリングデバイスのバイパスレジスタを経由してデータをシフトしなければならない。50個のリーディングデバイス、50個のトレーリングデバイスがあり、ミドルデバイス回路のスキャン長が50ビットである場合、各データレジスタスキャンサイクルは150ビット長になる。ミドルデバイス回路にアクセスするために、大きな数のスキャンサイクルが必要となる場合、リーディング及びトレーリングデバイスのバイパスレジスタを経由してデータを繰り返しシフトしなければならないので、膨大な量の時間が費やされうる。

【0097】

ミドルデバイスのCS又はCSU回路へのアクセスがCMD回路を用いて実行される場合、即ち、ミドル回路のTAPが本開示のCMD回路及びデュアルポートルータを備えて拡張される場合は、ミドルデバイスにロードされた命令が、そのデバイスのCMD回路をCS又はCSU回路へ接続する。デバイスを経由してデータをTDIからTDOへ連続的にシフトするために、すべてのデバイスをShiftDR状態にするJTAGコントローラによってミドルデバイス回路へのアクセスが実行される。シフト中の適切な時点で、JTAGコントローラは、CMD信号をミドルデバイスのCMD回路へTMS信号を介して入力する。図22のCSOPタイミングでわかるように、CS回路は、CMD入力にตอบสนองしてCapture動作を実行し、次いでデータのシフトを再開する。図22のCSUOPタイミングでわかるように、CSU回路は、CMD入力にตอบสนองしてUpdate動作を実行し、その後、Capture動作を実行し、次いでデータのシフトを再開する。リーディング及びトレーリングデバイスのバイパスレジスタはCMD入力にตอบสนองしないので、

10

20

30

40

50

それらはデータをJTAGコントローラからミドルデバイスへシフト及びミドルデバイスからJTAGコントローラへ逆にシフトバックする単なるパイプラインビットとして動作する。

【0098】

ミドルデバイスへのアクセスの間、バイパスレジスタを横断して時間を無駄にするのは、JTAGコントローラからのデータがリーディングデバイスのバイパスレジスタを満たす際のアクセス開始時の1回と、トレーリングデバイスのバイパスレジスタからJTAGコントローラへミドルデバイスのデータを空にする際のアクセスの終了時の1回だけである。50個のリーディングデバイス、50個のトレーリングデバイス、及び50ビットのミドルデバイス回路長の例を再び用いると、ミドルデバイスへのアクセスは、アクセスの開始時に50ビットのシフト1回分と、アクセスの終了時の50ビットのシフト1回分、長くなるだけである。

10

CMP出力のためのJTAGコントローラの適合

【0099】

TMS信号を用いてCMDを入力する本開示のアプローチは、従来のJTAGコントローラの改変を必要とする。JTAGコントローラには、ソフトウェア制御JTAGコントローラとハードウェア制御JTAGコントローラの2つの基本的なタイプがある。ソフトウェア制御JTAGコントローラは、単にコンピュータの並列ポートを使用し、TMS、TCK、TDI、及びTDO信号をソフトウェアを用いて動作させる。ハードウェア制御JTAGコントローラは、JTAGインタフェース回路を用いて、TMS、TCK、TDI、及びTDO信号を制御する。TMS上へCMD信号を提供させるようにソフトウェア制御JTAGコントローラを適合させることは、並列ポートを制御するソフトウェアを改変するだけで達成される。TMS上にCMD信号を提供するようにハードウェア制御JTAGコントローラを適合させることは、ハードウェアの改変を必要とするためにより難しい。TMS上へCMD信号を提供させるようにハードウェア制御JTAGコントローラを改変するための簡単な方法を以下に説明する。

20

【0100】

図23は、コンピュータ2306及びJTAGインタフェース回路2304で構成される例示のハードウェア制御JTAGコントローラ2302を示す。JTAGインタフェース回路は、TMS信号を出力するためのTMS制御回路、TCK信号を出力するためのTCK制御回路、TDI信号を出力するためのTDIメモリ、及びTDO信号を入力するためのTDOメモリを有する。このコンピュータは、JTAGインタフェース回路に対する読み出し及び書き込みを実行して、JTAGインタフェース回路にTMS、TCK、TDI、及びTDO信号を動作させる。

30

【0101】

図24は、TMS上へCMD信号を提供すること又は提供しないことを選択的に可能にするために、CMD回路2404及びマルチプレクサ2406を備えて、図23のJTAGコントローラをどのように拡張しうるのかを示す例示の構成2402を示す。CMD回路は、コンピュータインタフェース、ShiftDR状態入力、TCK入力、Enable出力、及びCMD出力を有する。TCK入力はCMD回路のタイミングを提供し、ShiftDR状態入力はCMD回路の動作をイネーブルする。マルチプレクサは、Enable出力に接続されるイネーブル入力、CMD出力に接続されるデータ入力、TMS出力に接続されるデータ入力、TCK出力に接続されるSelect入力、及びTMS出力に接続される出力を有する。JTAGコントローラ構成2402がTMS上へCMD信号を提供しないように設定されるときは、マルチプレクサにTMS信号のみを出力させ、図23の従来のJTAGコントローラの動作を再現するようにEnable信号が設定される。JTAGコントローラ構成2402がTMS上にCMD信号を提供するように設定されるときは、TCK信号からのSelect入力に応答して、マルチプレクサにTMS信号とCMD信号を交互に出力させるようにEnable信号が設定される。

40

【0102】

50

図25は、レジスタ2502及びカウンタ2504で構成される図24のCMD回路2404の実装例を示す。レジスタはShift Countビットフィールド及びEnableビットを含む。図24のJTAGコントローラ構成が通常のJTAG動作を実行すべきときは、コンピュータは、マルチプレクサにTMS信号のみを出力させるようEnableビットを設定する。JTAGコントローラ構成2402がCMD動作を実行するものであるときは、コンピュータは、Shift Countをレジスタに書き込み、Select信号に応答してマルチプレクサにTMS信号とCMD信号を交互に出力させるようEnableビットを設定し、Shift Countをカウンタへロードする。Shift Countは、アクセスされるデータレジスタのビット長に等しく設定される。CMDによる動作の間、Shift DR状態入力は、シフト動作のTCKの立ち上がり毎に1回カウントするためにカウンタをイネーブルするよう設定される。Shift Countが終了すると、CMD信号を高に設定するCount Complete (CC)信号をCounterが出力する。ターゲットデバイスでCMDによる動作をトリガするように、CMD信号がマルチプレクサを介してTMS上に出力される。図25のタイミング図でわかるように、CMD信号が起こるまでNOP信号がTMS上に出力される。CC信号も次のCMDによるシフトサイクルのためにShift Countをカウンタへロード(LD)する。テストが完了するまでこの動作が反復する。CMD信号出力モードにあるとき、図24のJTAGコントローラ構成2402は、TCKの立ち上がりの前に、TMS信号のために1/2 TCK設定時間を提供し、TCKの立ち下がりの前に、CMD信号のために1/2 TCK設定時間を提供する。

【0103】

図26は1つ又は複数のCSU及び／又はCSデータレジスタ要素を含む回路ブロック2602を示す。回路ブロック2602は、これに限定されないが、テスト回路、デバッグ回路、トレース回路、エミュレーション回路、読み出し／書き込み回路、及びインストルメンテーション回路を含む任意のタイプの回路でありうる。このような回路の幾つかの例は、図16～図20に関連して説明されている。この回路ブロックは、Capture及びShift、又はCapture、Shift、及びUpdate動作を実行するようデュアルポートルータ804のDRC出力によって制御される。DRE入力は、上述したように、回路ブロック2602がTSM102又はCMD回路2604のDRC出力によって制御され得るように、デュアルポートルータを制御する。この例のCMD回路2604は、Capture信号及びUpdate信号のための付加的な入力を有する。DRE入力に応答して、CMD回路2604のDRC出力を制御するようCapture及びUpdate信号が選択されうる。ウエハ又はパッケージレベルでのデバイス製造テストの間、外部のテストが、テスト中デバイスリード上でアクセス可能にされているCapture及びUpdate信号を用いてCMD回路のDRC出力を直接制御できるようにすることが所望されうる。Capture及びUpdate信号を介して、テストがCMD回路のDRC出力を制御できるようにすることは、CMD回路のDRC出力のより柔軟な制御を可能にする。またTSMへのTMS入力が、TMS及びCMD信号ではなく、TMS信号を入力しさえすればよくなり、TAP102へのテストのインタフェースを簡略化する。更に、TMS入力上でTMS信号を入力するだけでよいことは、より良好な設定及び保留時間をTMS信号に適用することができるため、TCKをより高速のクロック周波数で走らせることを可能にする。Capture及びUpdate信号を用いるテストの間、テストは、TDI及びTDO信号を介して回路ブロック2602へ又は回路ブロック2602からデータをシフトするように、TAPをShift DR状態へ遷移し、シフト中の適切な時点で、回路ブロック2602のテストを遂行するようCapture及びUpdate信号を動作させ得る。

【0104】

図27は、上述した図13及び図14のCMD回路804及びマルチプレクサ2702で構成されるCMD回路2604の一実装例を示す。CMD回路804がCapture (C) 出力を制御できるようにCMD回路2604が設定されるとき、図13及び図14

で説明したように、Capture (C) 出力をCMD回路804の出力に結合して、アット・スピードShift & Capture動作を可能にするように、DRE入力マルチプレクサを設定する。Capture信号にCapture (C) 出力を制御させるようにCMD回路2604が設定されるとき、Capture信号をCapture (C) 出力に結合して、テストがアット・スピードShift & Capture動作を直接制御できるように、DRE入力マルチプレクサを設定する。図21及び図22に示されるようにデバイスが他のデバイスと共にシステム内にあるときは、CMD回路804によるCapture (C) 出力の制御が有利に用いられる。ウエハ又はパッケージレベルのデバイステストにおいてデバイスがテストによってテストされているときは、Capture信号によるCapture (C) 出力の制御が有利に用いられる。

10

【0105】

図28は、上述した図11及び図12のCMD回路804及びマルチプレクサ2702及び2802で構成されるCMD回路2604の別の実装例を示す。CMD回路804にUpdate (U) 及びCapture (C) 出力を制御させるようにCMD回路2604が設定されるとき、図11及び図12で説明したように、Update (U) 及びCapture (C) 出力をCMD回路804の出力に結合して、アット・スピードのUpdate & Capture及びShift & Capture動作を可能にするように、DRE入力マルチプレクサを設定する。Update及びCapture信号にUpdate (U) 及びCapture (C) 出力を制御させるようにCMD回路2604が設定されるとき、Update及びCapture信号をUpdate (U) 及びCapture (C) 出力に結合して、テストがアット・スピードのUpdate & Capture及びShift & Capture動作を直接制御できるように、DRE入力マルチプレクサを設定する。デバイスが、図21及び図22に示されるように他のデバイスと共にシステム内にあるときは、CMD回路804によるUpdate (U) 及びCapture (C) 出力の制御が有利に用いられる。ウエハ又はパッケージレベルのデバイステストにおいてデバイスがテストによってテストされているときは、Update及びCapture信号によるUpdate (U) 及びCapture (C) 出力の制御が有利に用いられる。

20

【0106】

図29Aは、CMD回路802へのCMD入力、TMS入力からではなくTSM102の出力2904からくる以外は図8のTAP800と同一のTAP2902を示す。TSMがExit1DR状態にあるとき、TSMからのCMD出力2904が起こる。これは、図29Bに示すように、状態デコードゲートを用いて、TSMがいつExit1DR状態にあるかを検出することによって達成される。

30

【0107】

図30は、図29AのCMD回路へCMD信号を出力するために、Exit1DR状態（斜線部）を経由して遷移するTSMのタイミング図を示す。図からわかるように、図8のCMD回路で説明したように、CMD回路は、TCKの立ち下がりからTCKの次の立ち下がりまでCMD信号（斜線部）をレジスタする。TCKの2つの立ち下がりの間のTCKの立ち上がり3008でCMD動作が起こる。図13及び図14の例示のCMD回路802を用いてCMD動作がCapture及びShift動作（CSOP）3002を実行する場合、TCK3008の立ち上がりでCaptureが起こる。図11又は図12の例示のCMD回路802を用いてCMD動作がCapture、Shift、及びUpdate動作（CSUOP）3004を実行する場合、TCK3008の立ち上がりでUpdate動作が起こり、TCK3010の次の立ち上がりでCapture動作が起こる。図15の例示のCMD回路802を用いてCMD動作が連続Capture及びShift動作（B2BCSOP）3006を実行する場合、TCK3008の立ち上がりで第1のCapture動作が起こり、TCK3010の次の立ち上がりで第2のCapture動作が起こる。

40

【0108】

50

図30のタイミング図でわかるように、且つ図10のタイミング図とは異なり、TSMは、CMD信号をCMD回路802へ提供するためにShiftDR状態から外に遷移してExit1DR状態を経由しなければならない。CSOP3002にとって、これは、Capture動作に続いてShiftDR状態を再開する前に2つのデッド状態（即ち、ノーアクション状態）のPauseDR及びExit2DRを横切らなければならないことを意味する。CSUOP3004にとって、これはUpdate及びCapture動作の後ShiftDR状態を再開する前にデッド状態のExit2DRを横切らなければならないことを意味する。2BCSOP3006にとっては、これは、第1及び第2のCapture動作に続いてShiftDR状態を再開する前に1つのデッド状態のExit2DRを横切らなければならないことを意味する。CMD信号を検出するためにExit1DR状態を用いてデッド状態が導入されている間は、所望のアット・スピードShift及びCapture動作（CSOP）3002、アット・スピードUpdate及びCapture動作（CSUOP）3004、及びアット・スピード連続Capture動作（2BCSOP）3006の後にデッド状態が起こる。

【0109】

TSM102がShiftDR状態から遷移するとき、そのClockDR出力上のクロック信号の出力を停止又はゲートオフすることが知られている。図30のタイミング図でわかるように、CSOP動作3002は、Capture動作のためにExit1DR状態でクロックを必要とし、CSUOP動作3004は、Update及びCapture動作のためにExit1DR及びPauseDR状態でクロックを必要とし、2BCSOP動作3006は、連続Capture動作のためにExit1DR及びPauseDR状態でクロックを必要とする。以下の図31及び図32の説明は、これらの状態の間、ClockDR上にこれらのクロックをどのように供給するのかを例として示す。

【0110】

図31は、非同期レジスタ3102、デュアルポートルータ804、CMD回路802、及びTSM102を示す。非同期データレジスタ3102は、非同期CSUデータレジスタ402又は非同期CSデータレジスタ602でありうる。非同期データレジスタ3102が非同期CSUデータレジスタ402である場合、CMD回路802は図11で説明したように動作して、ClockDR、ShiftDR、及びUpdate信号をデュアルポートルータ804を介してデータレジスタに提供する。非同期データレジスタ3102が非同期CSデータレジスタ602である場合、CMD回路802は図13又は図15のいずれかで説明したように動作して、ClockDR及びShiftDR信号をデュアルポートルータ804を介してデータレジスタに提供する。図31の構成と、CMD回路802を用いる上述した他の構成との間の違いは、図31のCMD回路へのCMD信号が、TMS信号からではなく、TSMから来るという点だけである。Exit1DR状態の間CMD信号を提供するためにTSMは図29Bのゲーティング回路2904を含み、CSOP、CSUOP、及び2BCSOP動作に関して上述したようにClockDR上にクロック信号を提供するためにClockDRゲーティング回路要素3102を更に含む。

【0111】

図32は、すべて図示されるように接続される、ゲーティング回路3204～3208、及びマルチプレクサ3202を含むTSMのClockDRゲーティング回路要素3102の例を示す。各ゲーティング回路3204～3208は、TCK信号、及びTSM状態を示す4つの状態信号を入力する。TSMがCaptureDR又はShiftDR状態のとき、ゲーティング回路要素3204はTCKをマルチプレクサへパスする。TSMがCaptureDR、ShiftDR、又はExit1DR状態のとき、ゲーティング回路要素3206はTCKをマルチプレクサへパスする。TSMがCaptureDR、ShiftDR、Exit1DR、又はPauseDR状態のとき、ゲーティング回路要素3208はTCKをマルチプレクサへパスする。マルチプレクサは、どのゲーティング回路出力をClockDR出力へパスするかを選択するために、命令レジスタからDRE

入力を受け取る。

【0112】

データレジスタ3102へのDRC信号をTSMが制御しているときは、従来のIEE E 1149. 1のTSM制御Capture及びShift、又はCapture、Shift、及びUpdate動作を可能にするために、ゲーティング回路3204の出力はマルチプレクサ3202のClockDR出力に多重化される。図30のCSOP動作3002の間データレジスタ3102へのDRC信号をCMD回路が制御しているときは、ゲーティング回路要素3206の出力はマルチプレクサ3202のClockDR出力に多重化されて、ExitlDR状態の間、要求される付加的なCaptureクロックをClockDR上に提供する。図30のCSUOP動作3004の間データレジスタ3102へのDRC信号をCMD回路が制御しているときは、ゲーティング回路要素3208の出力はマルチプレクサ3202のClockDR出力に多重化されて、ExitlDR状態の間要求される付加的なUpdateクロックclockをClockDR上に提供し、PauseDR状態の間要求されるCaptureクロックをClockDR上に提供する。図30のB2BCSOP動作3006の間データレジスタ3102へのDRC信号をCMD回路が制御しているときは、ゲーティング回路要素3208の出力はマルチプレクサ3202のClockDR出力に多重化されて、ExitlDR状態の間要求される付加的な第1のCaptureクロックをClockDR上に提供し、PauseDR状態の間要求される付加的な第2のCaptureクロックをClockDR上に提供する。

10

20

【0113】

図33は、回路ブロック2602、デュアルポートルータ804、TSM102、及びCMD回路2604を含む構成を示す。図33は、図31で上述したように、TSMがExitlDR状態の間ゲーティング回路要素2904を介してCMD回路2604へCMD信号を出力し、他の選択されたTSM状態の間はゲーティング回路要素3104を介してデュアルポートルータへクロック信号を出力するように改変されていること以外は図26と同一である。図26、図27、及び図28に関して説明したように、デュアルポートルータから回路ブロック2602へのDRC入力は、CMD回路、又は外部アクセス可能なCapture及びUpdate信号に接続されるテストから、のいずれかによって制御されう。

30

【0114】

図34Aは、データレジスタ106、デュアルポートルータ804、命令レジスタ104、多重化回路要素110、及びTSM102を含む、図29AのTAP2902に類似するTAP3402を示す。TAP3402が、CMD回路802の代わりに、プログラマブルスイッチ（PSW）回路3406を使用するという点でTAP2902とは異なる。TSM102はTSM状態検出回路要素3404を備えて拡張されている。図34Bの例に示されるように、TSM状態検出回路要素は、ExitlDR及びPauseDR状態を検出するように実装される。検出されたExitlDR（EDR）及び検出されたPauseDR（PDR）TSM状態信号は、命令レジスタからのDRE入力と共にPSW回路に入力される。選択された1つ又は複数のデータレジスタ上のCapture及びShift、Capture、Shift及びUpdate、又は連続Capture及びShift動作を制御するように、PSW回路がDRC制御をデュアルポートルータ804に出力する。PSW回路へのDRE入力は、EDR及びPDR信号を必要に応じて適切なDRC信号に結合するようPSW回路をプログラムして、データレジスタ上でCSOP、CSUOP、又はB2BCSOP動作を実行する。

40

【0115】

図35は、状態検出回路要素3404及びPSW回路3406を用いて、CSOP動作3502、CSUOP動作3504、及びB2BCSOP動作3506を実行するように状態を経由して遷移するTSMのタイミング図を示す。CSOP動作3502の間、検出されたExitlDR状態がPSWを経由して、選択されたデータレジスタ上でCapt

50

ure動作を実行するように、デュアルポートルータにDRC制御を出力させる。CSUOP動作3504の間、検出されたExit1DR状態がPSWを経由し、選択されたデータレジスタ上でUpdate動作を実行するように、デュアルポートルータにDRC制御を出力させ、検出されたPauseDR状態がPSWを経由し、選択されたデータレジスタ上でCapture動作を実行するように、デュアルポートルータにDRC制御を出力させる。B2BCSOP3506動作の間、検出されたExit1DR状態がPSWを経由し、選択されたデータレジスタ上で第1のCapture動作を実行するように、デュアルポートルータにDRC制御を出力させ、検出されたPauseDR状態がPSWを経由し、選択されたデータレジスタ上で第2のCapture動作を実行するように、デュアルポートルータにDRC制御を出力させる。

10

【0116】

図30のタイミング図と同様に、図35のタイミング図はデッド状態を含む。図示されるように、CSOP動作3502の間2つのデッド状態が起こり、CSUOP動作3504の間1つのデッド状態が起こり、B2BCSOP動作3506の間1つのデッド状態が起こる。これらのデッド状態は、CSOPサイクル3502中の所望のアット・スピードCapture動作の後、CSUOPサイクル3504中の所望のアット・スピードUpdate及びCapture動作の後、及び、B2BCSOPサイクル3506中の所望のアット・スピード連続Capture動作の後に起こるために問題とならない。

【0117】

図36は、非同期レジスタ3602、デュアルポートルータ804、TSM102、及びPSW回路3406を示し、これらは全て図示されているように接続される。非同期データレジスタ3602は、非同期CSUデータレジスタ402又は非同期CSデータレジスタ602でありうる。

20

【0118】

データレジスタ3602が非同期CSUデータレジスタ402である場合、検出回路3404からのExit1DR信号をPSWのUpdate(U)信号出力に、検出回路3404からのPauseDR信号出力をPSWのCapture(C)出力に結合するように、PSW3406がDRE入力によってプログラムされる。TSMが、検出可能なExit1DR状態を経由して遷移するとき、PSWのUpdate(U)出力がアサートされ、デュアルポートルータを介して、CSUデータレジスタのUpdateDR入力に印加されて、Update動作を実行する。TSMが、検出可能なPauseDR状態を経由して遷移するときは、PSWのCapture(C)出力がアサートされ、デュアルポートルータを介して、CSUデータレジスタのShiftDR入力に印加されて、Capture動作を実行する。

30

【0119】

データレジスタ3602が非同期CSデータレジスタ602であり、且つCSOP動作がレジスタ上で実行される場合、検出回路3404からのExit1DR信号をPSWのCapture(C)信号出力に結合するように、PSW3406がDRE入力によってプログラムされる。TSMが、検出可能なExit1DR状態を経由して遷移するとき、PSWのCapture(C)出力がアサートされ、デュアルポートルータを介して、CSデータレジスタへのShiftDR入力へ印加されて、Capture動作を実行する。

40

【0120】

データレジスタ3602が非同期CSデータレジスタ602であり、且つB2BCSOP動作がレジスタ上で実行される場合、検出回路3404からのExit1DR信号をPSWのCapture(C)信号出力に結合し、検出回路3404からのPauseDR信号をPSWのCapture(C)信号出力に結合するように、PSW3406がDRE入力によってプログラムされる。TSMが、検出可能なExit1DR状態を経由して遷移するとき、PSWのCapture(C)出力がアサートされ、デュアルポートルータを介して、CSデータレジスタへのShiftDR入力へ印加されて、第1のCapt

50

ure動作を実行する。TSMが、検出可能なPauseDR状態を経由して遷移するときは、PSWのCapture (C) 出力が再びアサートされ、デュアルポートルータを介して、CSデータレジスタのShiftDR入力に印加されて、第2のCapture動作を実行する。

【0121】

図36で分かるように、TSMは、PSW制御のCSOP、CSUOP、及びB2BCSOP動作を実行するために図32で説明したように、要求されたTSM状態の間ClockDR上にクロック信号を提供するように、上述したClockDRゲーティング回路要素3104を備えて拡張される。PSW回路3406は、DRE入力によって制御されるゲーティング回路要素及びマルチプレクサを用いる方法、DRE入力によって制御されるゲーティング回路要素及びクロスバースイッチを用いる方法等、多くの方法で設計される。

10

【0122】

図37は、全て図示されているように接続される、回路ブロック2602、デュアルポートルータ804、TSM102、及び新規のPSW回路3702を含む構成を示す。図38に示すように、新規のPSW回路3702は、上述したPSW回路3406及び2つのマルチプレクサ3802及び3804を含む。PSW回路3406は、上述したTSM102の検出回路要素3404からのExitlDR及びPauseDR信号を入力し、命令レジスタからのDRE入力を入力する。PSW回路3406は、マルチプレクサ3802へ信号を出力し、マルチプレクサ3804へ信号を出力する。マルチプレクサ3802は、PSW3406からの信号、Capture信号、DRE制御入力信号を入力し、Capture (C) 信号を出力する。マルチプレクサ3804は、PSW3406からの信号、Update信号、DRE制御入力信号を入力し、Update (U) 信号を出力する。新規のPSW3702は、DRE入力によって決定される2つのモードで動作する。第1のモードは、検出されたExitlDR及びPauseDR状態信号に応答して、PSW3406がマルチプレクサ3802及び3804を介して新規のPSW3702のCapture (C) 及びUpdate (U) 出力を制御するという、図34A及び図36で説明したものと同一のモードである。第2のモードは、新規のPSW3702のCapture (C) 及びUpdate (U) 出力を、マルチプレクサ3802及び3804へのCapture及びUpdate信号によって制御させる。図26及び図33で上述したように、CSOP、CSUOP、及びB2BCSOPテスト動作をより効率的に制御するためにTAP102がShiftDR状態にある間、ウェア及びパッケージデバイスの製造テスト中、Capture及びUpdate信号をテストによって直接制御され得る。

20

30

【0123】

図39は、データレジスタ106、デュアルポートルータ804、命令レジスタ104、多重化回路要素110、及びTSM102を含むという点で図34AのTAP3402に類似するTAP3902を示す。TAP3902はPSW回路3406を含まない点が、TAP3402とは異なる。図からわかるように、検出回路3404からのTSMのExitlDR (EDR) 及びPauseDR (PDR) 状態検出信号が、デュアルポートルータのDRC入力に直接結合される。図35で説明したように、信号に応答して、データレジスタがCSOP、CSUOP、又はB2BCSP動作を実行できるように、DRE入力に応答して、EDR及びPDR信号を選択されたデータレジスタに結合するようにデュアルポートルータ804が設計される。

40

【0124】

第1の例では、データレジスタ1がCSデータレジスタであり、且つ図35に示されるようにCSOP動作3502が実行される場合、Capture動作がいつ起こるのかを制御するように、EDR信号をデータレジスタ1へのDRC3904入力に結合して、DRE命令入力がデュアルポートルータ804を制御する。CSデータレジスタが非同期602タイプのレジスタである場合、これはデュアルポートルータ804のDRC出力39

50

04を介して、EDR信号がレジスタのShiftDR入力へ結合されることを意味する。

【0125】

第2の例では、データレジスタNがCSUデータレジスタであり、且つ図35に示されるようにCSUOP動作3504が実行される場合、Update及びCapture動作がいつ起こるのかを制御するために、EDR及びPDR信号をデータレジスタNへのDRC3906入力に結合するよう、DRE命令入力がデュアルポートルータを制御する。CSUデータレジスタが非同期402タイプのレジスタである場合、これはデュアルポートルータ804のDRC出力3906を介して、EDR信号がレジスタのUpdateDR入力へ結合され、PDR信号がレジスタのShiftDR入力に結合されることを意味する。

10

【0126】

図40は、データレジスタ106、デュアルポートルータ804、命令レジスタ104、多重化回路要素110、及びTSM102を含む点で図39のTAP3902に類似するTAP4002を示す。TAP4002は、TSMとデュアルポートルータとの間のEDR及びPDR信号パスにマルチプレクサ4008を挿入するという点でTAP3902とは異なる。マルチプレクサは外部アクセス可能なCapture及びUpdate信号のための入力を有する。デュアルポートルータへのDRC入力をEDR及びPDRのTSM信号、又は外部アクセス可能なCapture及びUpdate信号によって制御できるように、マルチプレクサはDRE入力によって制御される。デュアルポートルータへのDRC入力を制御するためにEDR及びPDR信号が選択されるときは、TAP4002は、図39で説明したように動作する。デュアルポートルータへのDRC入力を制御するためにCapture及びUpdate信号が選択されるときは、TAP4002は、図26、図33、及び図37で説明したように動作する。

20

【0127】

図41は、全て図示されるように接続される、回路ブロック2602、デュアルポートルータ804、TSM102、及びマルチプレクサ4008を含む構成を示す。マルチプレクサ4008は、図40で説明したようにTSMからのExit1DR（EDR）及びPauseDR（PDR）信号、Capture及びUpdate信号を入力し、デュアルポートルータにDRC制御を出力する。PSW3406は、Capture信号、DRE制御入力信号を入力し、Capture（C）信号を出力する。マルチプレクサ4008は、DRE入力によって決定される2つのモードで動作可能である。第1のモードは、Exit1DR及びPauseDR信号にデュアルポートルータへのDRC入力を制御させる。第2のモードは、Capture及びUpdate信号にデュアルポートルータへのDRC入力を制御させる。図26及び図33で上述したように、回路ブロック2602へのCSOPC、SUOP及びB2BCSOPテスト動作をより効率よく制御するために、TAP102がShiftDR状態にある間、ウエハ及びパッケージデバイス製造テスト中、Capture及びUpdate信号はテストによって直接制御され得る。

30

【0128】

デュアルポートルータの価値は、それにより、従来のようにTSMによって、或いは本開示で説明した新規の方法によって、ターゲット回路が制御され得ることである。例えば、図21では、デ이지チェーン配置のデバイスがIEEE規格1149.1のエクステスト命令動作の間TSMによって選択的に制御され得、或いは、それらのデバイスが本開示の新規のアット・スピードのエクステスト命令動作の間CMD回路によって制御されうる。本開示によれば、任意の規格又は非規格のIEEE 1149.1命令が2つの動作モードを有しうる。第1の動作モードは、デュアルポートルータを介してTSMによって従来のように制御される動作モードで、第2の動作モードはデュアルポートルータを介して開示の教示に従って制御される動作モードである。

40

【0129】

本開示の実施形態では、デュアルポートルータが示されているが、それは本開示の必須

50

の特徴ではないことを理解するべきである。実際には、データレジスタ106又は他の回路2602への従来のTSMアクセスが要求されない場合、デュアルポートルータを、DRE入力を受け取り、CMD回路、PSW回路、Exit1DR及びPauseDR状態検出回路から、又は外部からアクセス可能なCapture及びUpdate信号からのDRC出力を、データレジスタ106又は回路2602のDRC入力に結合することが可能な他のルータで置き換えてもよい。

【0130】

デバイス回路106及び2602は、デバイステスト回路、デバイスデバッグ回路、デバイスプログラミング回路、デバイスインストールメンテーション回路、デバイス読み出し／書き込み回路、デバイストレース回路、及びデバイスエミュレーション回路を含むが、それらに限定されない。

10

【0131】

当業者であれば、本発明の請求の範囲内で他の実施形態及び変形が可能であること、及び、簡潔さ或いは平易さのため、特徴又は工程は、例示の実施例の文脈で説明したような特徴又は工程のすべて又はその幾つかを有する例示の実施例の文脈で説明したが、例示の実施形態の文脈で説明した一つ又はそれ以上の特徴又はステップの異なる組合せを有する実施形態も本明細書に包含されることが理解されるであろう。

【図1】

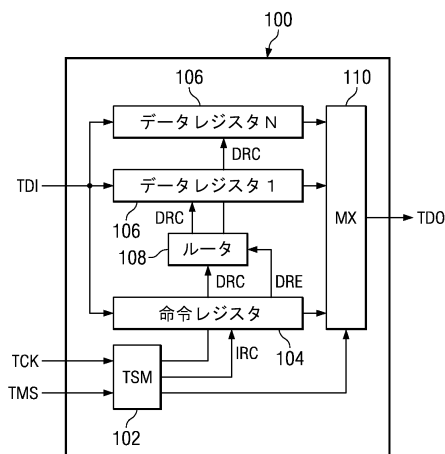


FIG. 1

【図2】

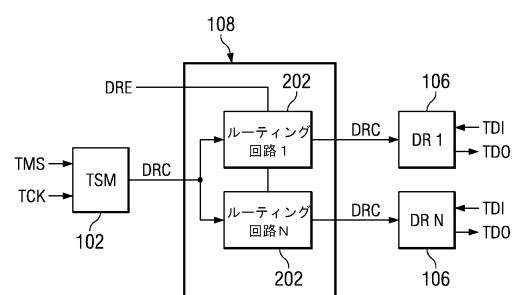


FIG. 2

【図 3】

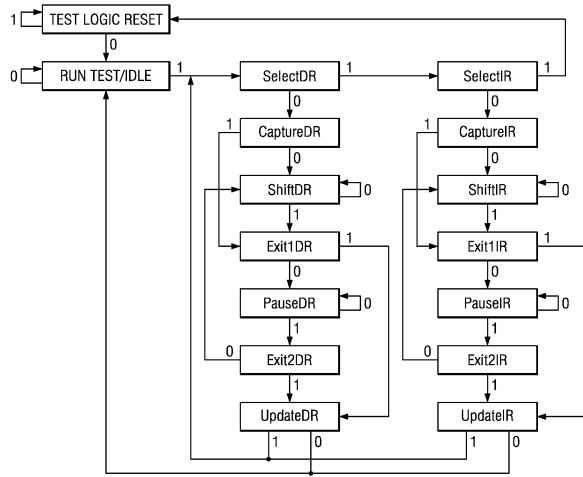


FIG. 3

【図 4】

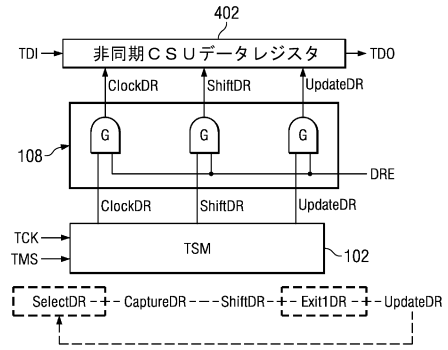


FIG. 4

【図 5】

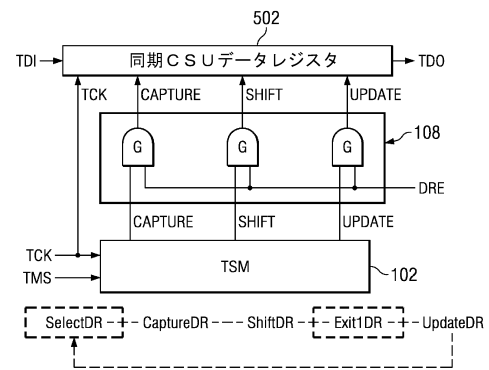


FIG. 5

【図 6】

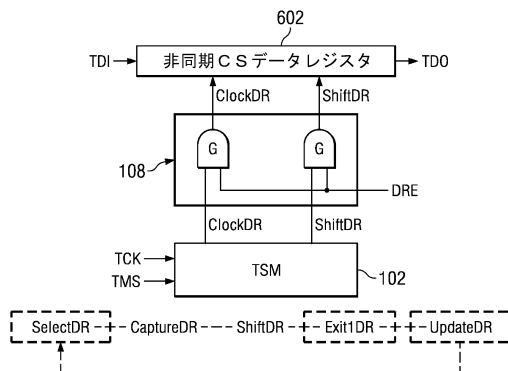


FIG. 6

【図 7】

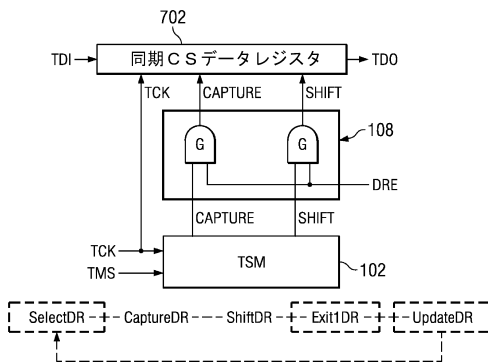


FIG. 7

【図 8】

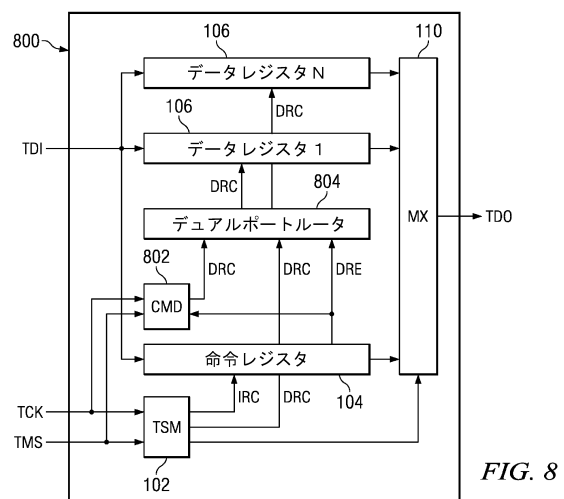


FIG. 8

【図 9】

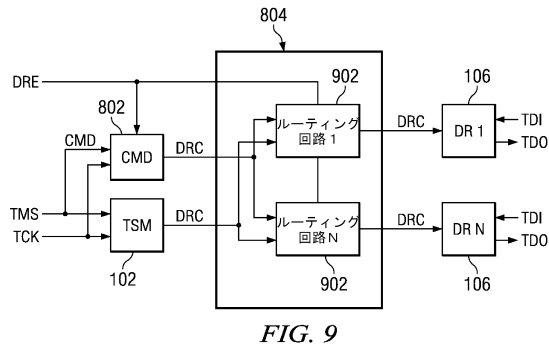


FIG. 9

【図 10】

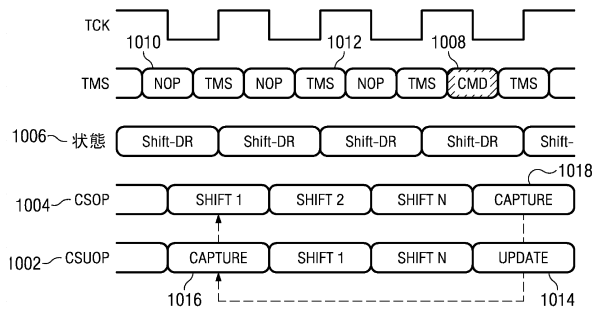


FIG. 10

【図 12】

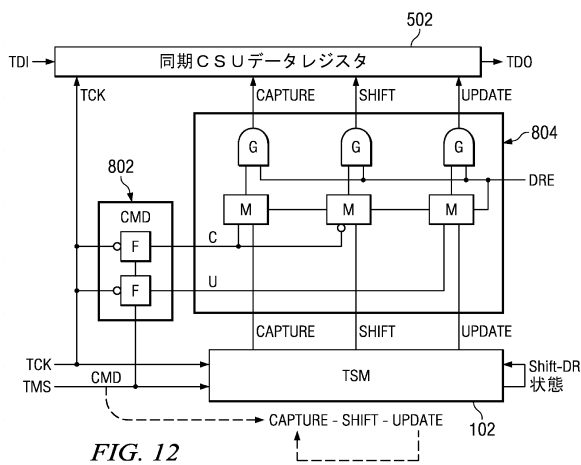


FIG. 12

【図 11】

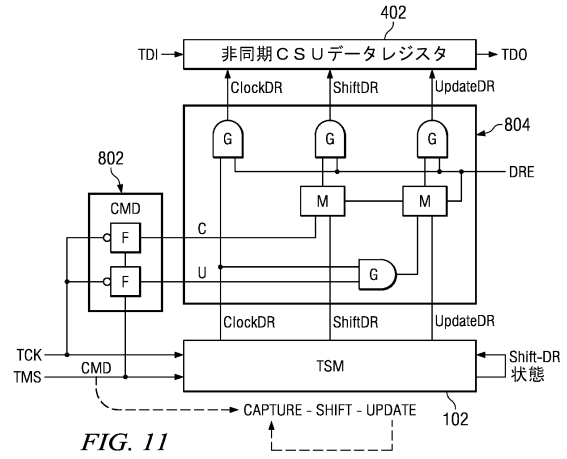


FIG. 11

【図 13】

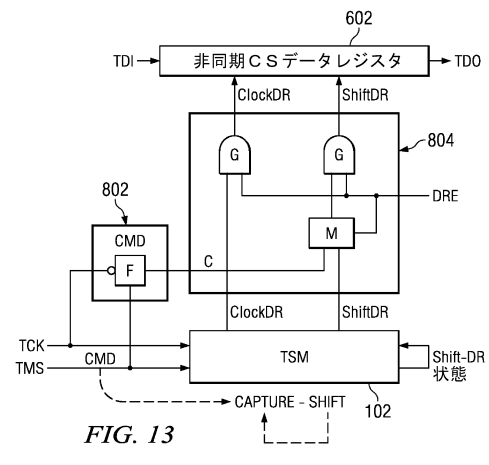


FIG. 13

【図 14】

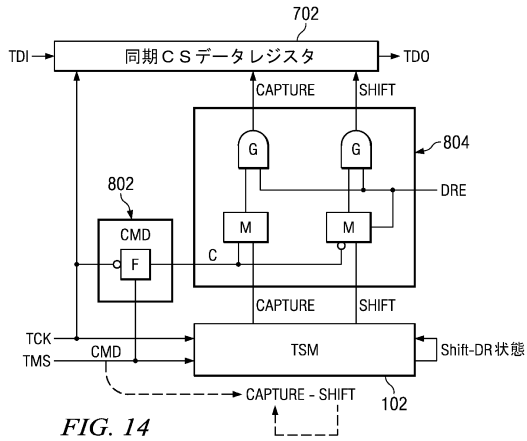


FIG. 14

【図 15】

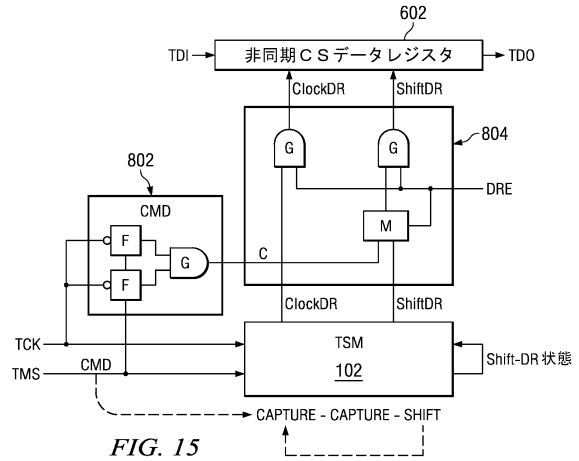


FIG. 15

【図 16】

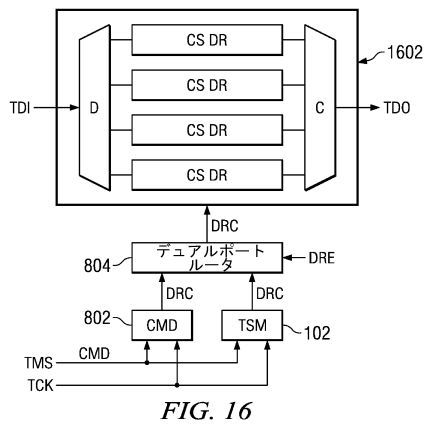


FIG. 16

【図 17】

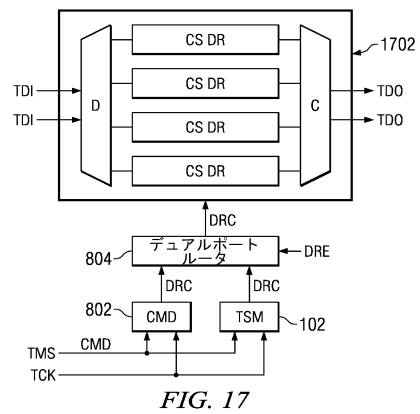


FIG. 17

【図 18】

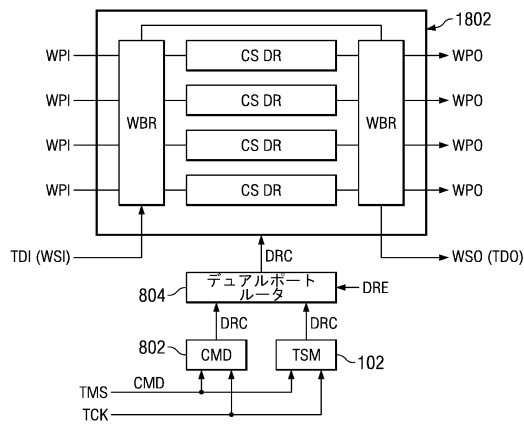


FIG. 18

【図 19】

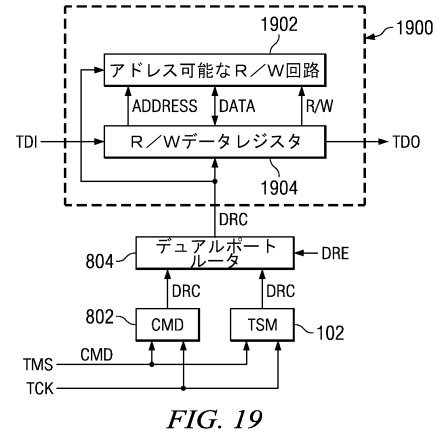


FIG. 19

【図 20】

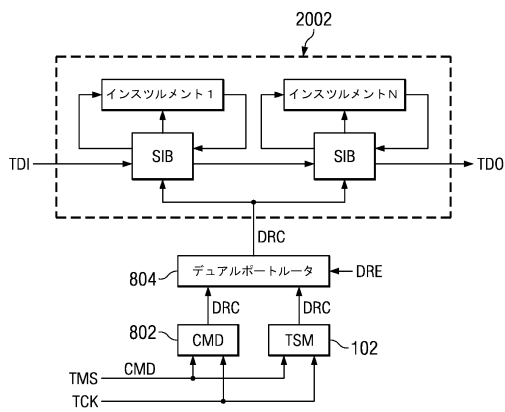


FIG. 20

【図 21】

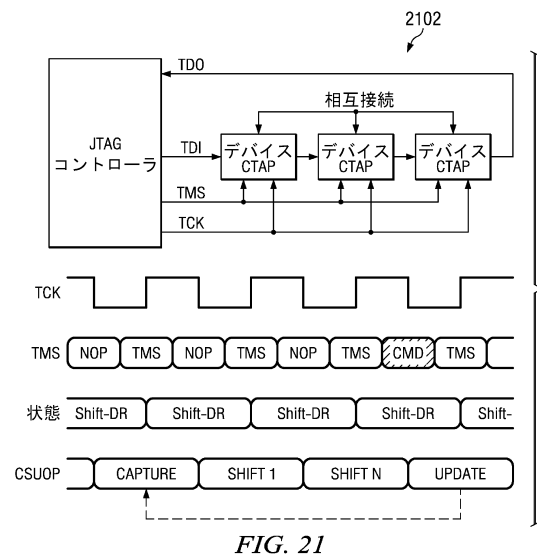
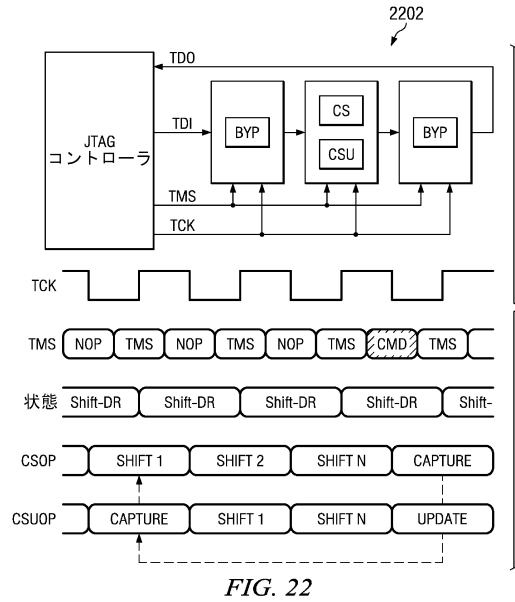
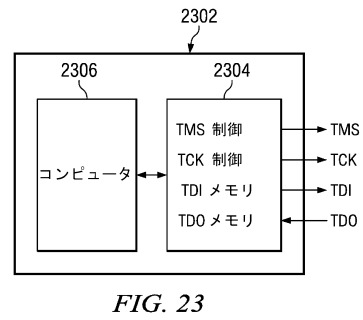


FIG. 21

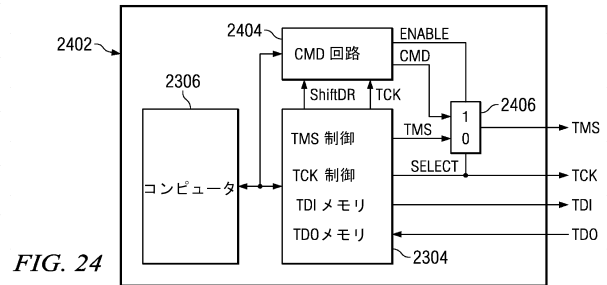
【図 2 2】



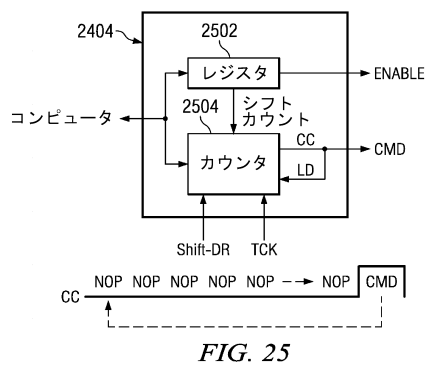
【図 2 3】



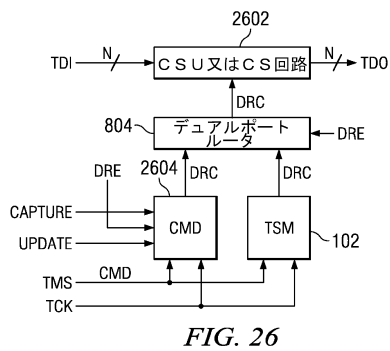
【図 2 4】



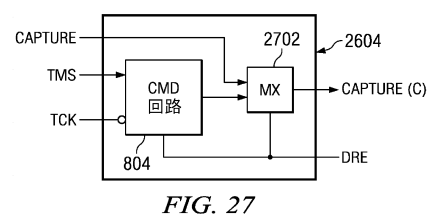
【図 2 5】



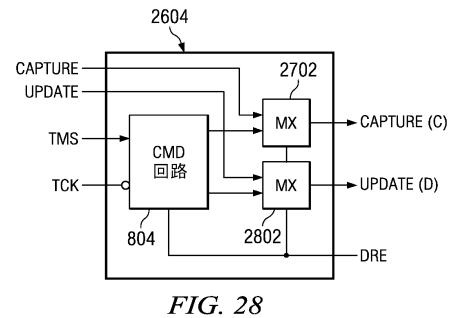
【図 2 6】



【図 2 7】



【図 2 8】



【図 29 A】

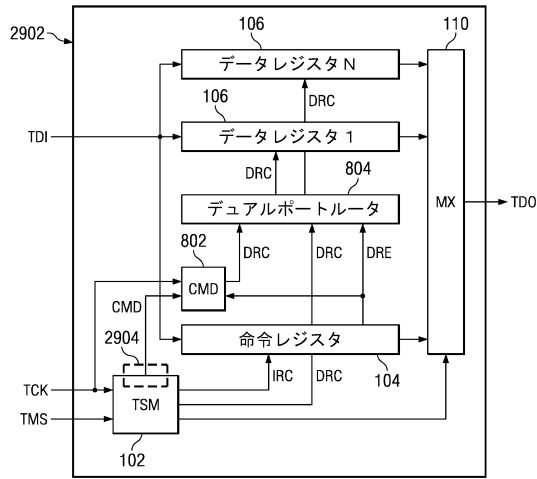


FIG. 29A

【図 29 B】

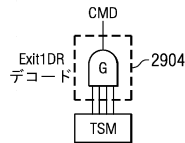


FIG. 29B

【図 30】

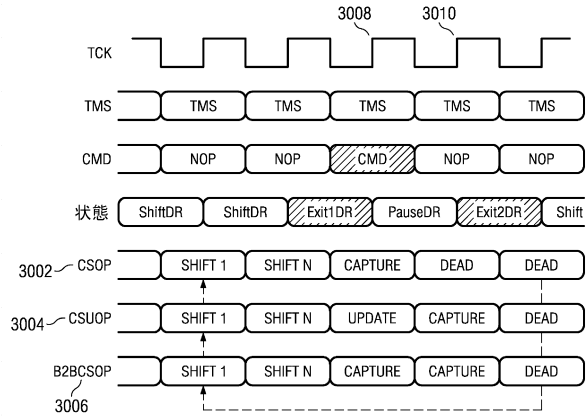


FIG. 30

【図 31】

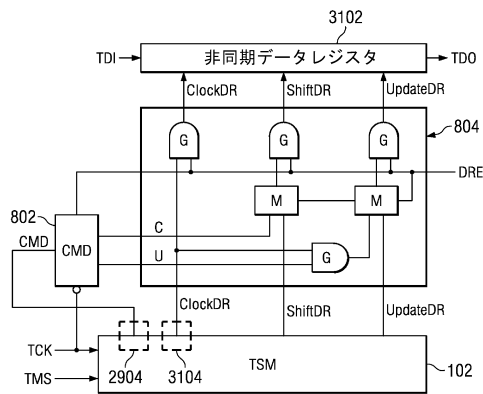


FIG. 31

【図 33】

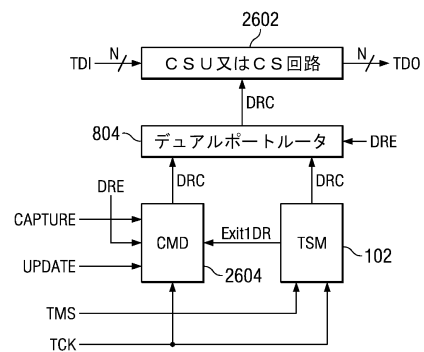


FIG. 33

【図 32】

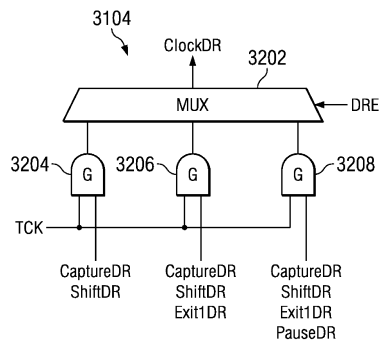


FIG. 32

【図 3 4 A】

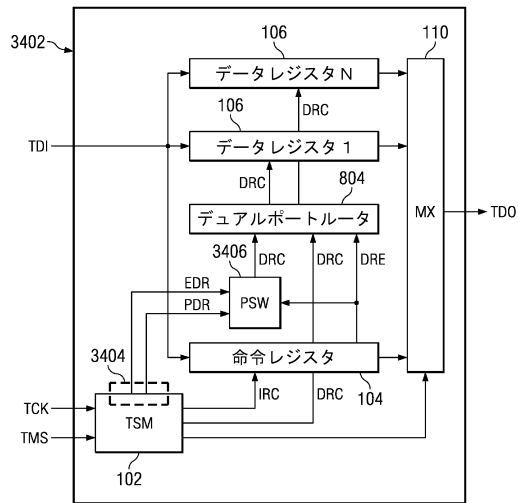


FIG. 34A

【図 3 4 B】

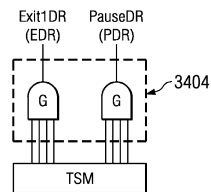


FIG. 34B

【図 3 6】

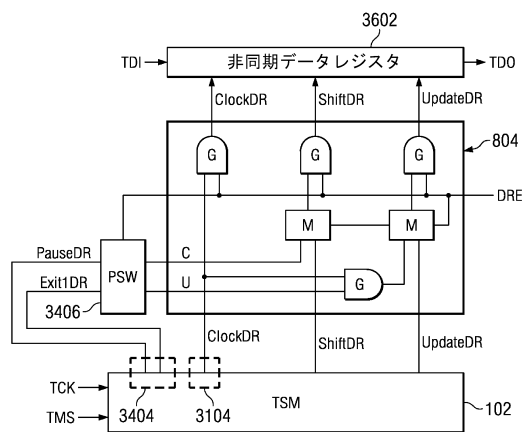


FIG. 36

【図 3 5】

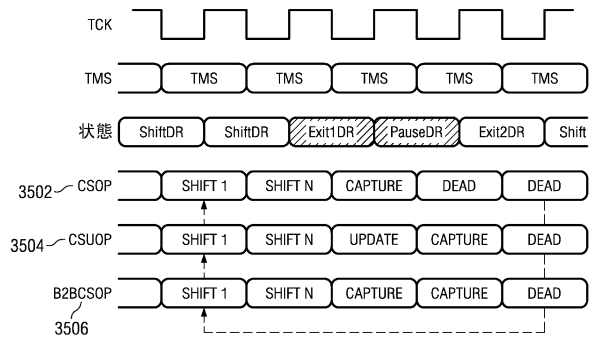


FIG. 35

【図 3 7】

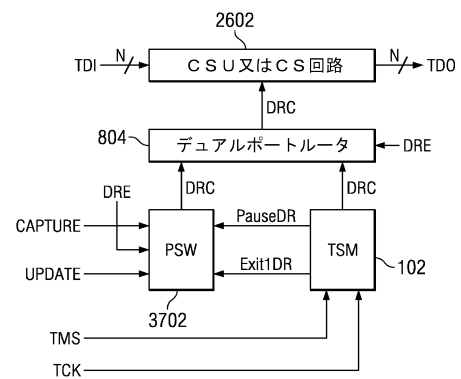


FIG. 37

【図 3 8】

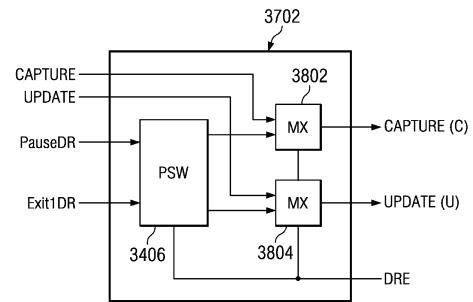


FIG. 38

【図 39】

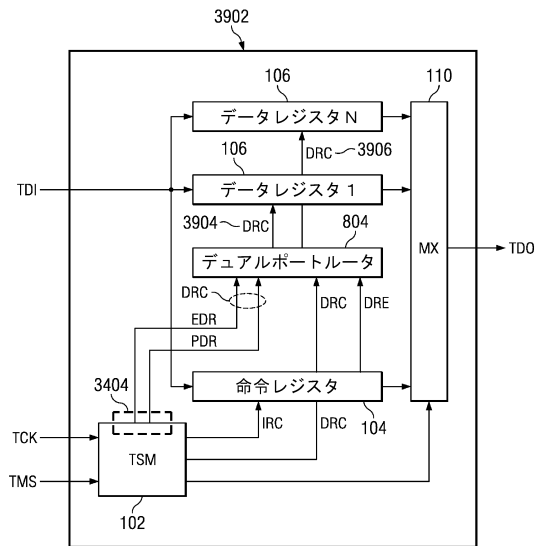


FIG. 39

【図 40】

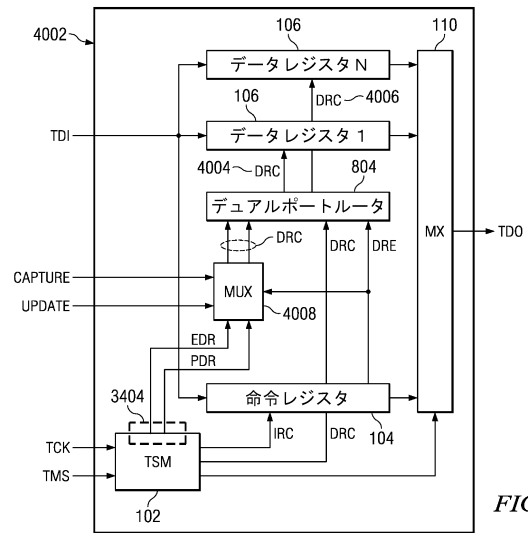


FIG. 40

【図 41】

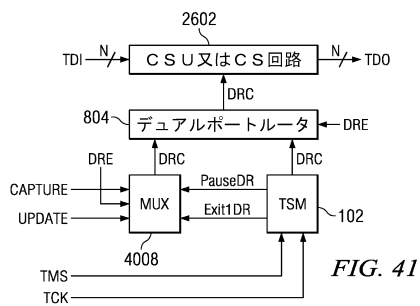


FIG. 41

フロントページの続き

(31)優先権主張番号 61/361,906

(32)優先日 平成22年7月29日(2010.7.29)

(33)優先権主張国 米国(US)

(72)発明者 リー ディー ウェットセル

アメリカ合衆国 75002 テキサス州 パーカー, ラスボーン ドライブ 5804

審査官 公文代 康祐

(56)参考文献 特開2008-310792(JP, A)

特表2005-527918(JP, A)

米国特許出願公開第2009/0249144(US, A1)

米国特許出願公開第2009/0300447(US, A1)

米国特許出願公開第2007/0234154(US, A1)

(58)調査した分野(Int.Cl., DB名)

G01R 31/28

G06F 11/22

H01L 21/822

H01L 27/04