



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0115969
(43) 공개일자 2014년10월01일

(51) 국제특허분류(Int. C1.)
H01L 29/786 (2006.01)
(21) 출원번호 10-2014-0024529
(22) 출원일자 2014년02월28일
심사청구일자 2014년02월28일
(30) 우선권주장
JP-P-2013-061045 2013년03월22일 일본(JP)

(71) 출원인
가부시끼가이샤 도시바
일본국 도쿄도 미나토구 시바우라 1초메 1방 1고
(72) 발명자
나카노 신타로
일본 도쿄도 미나토구 시바우라 1초메 1방 1고
가부시끼가이샤 도시바 지적재산실 내
우에다 도모마사
일본 도쿄도 미나토구 시바우라 1초메 1방 1고
가부시끼가이샤 도시바 지적재산실 내
(뒷면에 계속)
(74) 대리인
장수길, 박충범

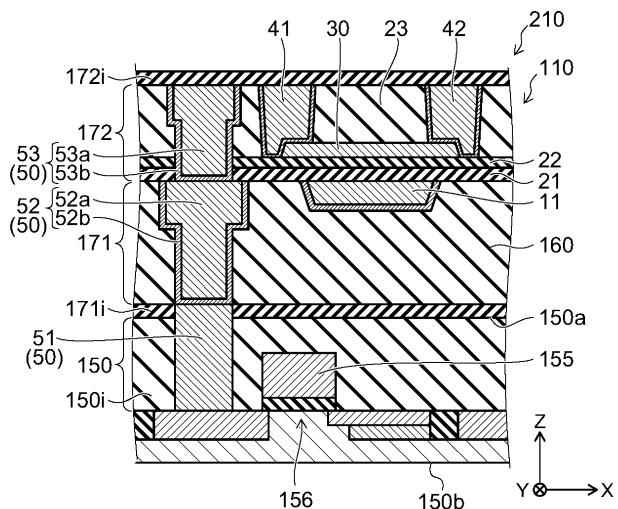
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요 약

본 발명의 일 실시형태에 따르면, 반도체 장치는 상면을 갖는 기판과, 상기 상면 위에 제공된 하지 절연층과, 박막 트랜지스터를 포함한다. 상기 박막 트랜지스터는 제1 게이트 전극과, 제1 절연층과, 제2 절연층과, 제3 절연층과, 반도체층과, 제1 도전층과, 제2 도전층을 포함한다. 상기 제1 게이트 전극은 상기 하지 절연층의 일부 위에 제공된다. 상기 제1 절연층은, 상기 제1 게이트 전극과 상기 하지 절연층을 덮는다. 상기 제2 절연층은 상기 제1 절연층 위에 제공되고, 제1 부분과, 제2 부분과, 제3 부분을 갖는다. 상기 반도체층은, 상기 제3 부분 위에 있어서 상기 제2 절연층과 접하고, 제4 부분과, 제5 부분과, 제6 부분을 갖는다. 상기 제1 도전층은 상기 제4 부분과 접한다. 상기 제2 도전층은 상기 제5 부분과 접한다. 상기 제3 절연층은 상기 반도체층의 일부를 덮는다.

대 표 도 - 도 1



(72) 발명자

후지와라 이쿠오

일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가
부시끼가이샤 도시바 지적재산실 내

야마구치 하지메

일본 도쿄도 미나토구 시바우라 1조메 1방 1고 가
부시끼가이샤 도시바 지적재산실 내

특허청구의 범위

청구항 1

반도체 장치로서,

기능 소자를 포함하고 상면을 갖는 기판과,

상기 상면 위에 제공된 하지 절연층과,

박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는,

상기 하지 절연층의 일부 위에 제공된 제1 게이트 전극과,

상기 제1 게이트 전극과 상기 하지 절연층을 덮고, 실리콘과 질소를 포함하는 제1 절연층과,

상기 제1 절연층 위에 제공되고, 제1 부분과, 상기 상면에 대하여 평행한 평면 내의 제1 방향에 있어서 상기 제1 부분과 이격되는 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공되도록 상기 제1 게이트 전극 위에 위치되는 제3 부분을 갖고, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제2 절연층과,

상기 제3 부분 위에 있어서 상기 제2 절연층과 접하고, 제4 부분과, 상기 제1 방향에 있어서 상기 제4 부분과 이격되는 제5 부분과, 상기 제4 부분과 상기 제5 부분 사이에 제공된 제6 부분을 갖고, 상기 상면에 대하여 평행한 평면에 투영했을 때에 상기 제4 부분은 상기 제6 부분과 상기 제1 부분 사이에 배치되고, 상기 상면에 대하여 평행한 평면에 투영했을 때에 상기 제5 부분은 상기 제6 부분과 상기 제2 부분 사이에 배치되고, In, Ga 및 Zn 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체층과,

상기 제4 부분과 접하는 제1 도전층과,

상기 제5 부분과 접하는 제2 도전층과,

상기 반도체층 중, 상기 제4 부분 및 상기 제5 부분을 제외한 부분을 덮고, Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제3 절연층을 포함하는,

반도체 장치.

청구항 2

제1항에 있어서,

상기 박막 트랜지스터는, 상기 제6 부분 위에 제공된 제2 게이트 전극을 더 포함하는, 반도체 장치.

청구항 3

제2항에 있어서,

상기 제3 절연층은, 상기 제6 부분과 상기 제2 게이트 전극 사이에 제공된 부분을 갖는, 반도체 장치.

청구항 4

제1항에 있어서,

상기 제2 절연층은, 상기 제6 부분 위에 제공된 부분을 갖는, 반도체 장치.

청구항 5

제1항에 있어서,

상기 제2 절연층의 두께는 50nm 이하인, 반도체 장치.

청구항 6

제1항에 있어서,

상기 제1 게이트 전극, 상기 제1 도전층 및 상기 제2 도전층 중에서 선택되는 적어도 어느 하나는, 알루미늄, 구리, 텉스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나를 포함하는, 반도체 장치.

청구항 7

제1항에 있어서,

상기 제1 절연층은 질화 실리콘을 포함하고,

상기 제2 절연층은 산화 알루미늄을 포함하는, 반도체 장치.

청구항 8

제1항에 있어서,

상기 제3 절연층은 산화 실리콘을 포함하는, 반도체 장치.

청구항 9

제1항에 있어서,

상기 기능 소자는 상기 기판의 하면에 제공된 촬상부를 포함하는, 반도체 장치.

청구항 10

제1항에 있어서,

상기 제1 도전층은 상기 제1 부분과 또한 접하고,

상기 제2 도전층은 상기 제2 부분과 또한 접하는, 반도체 장치.

청구항 11

제1항에 있어서,

상기 제2 절연층은 상기 반도체층에 산소를 공급가능한, 반도체 장치.

청구항 12

제11항에 있어서,

상기 제3 절연층은 상기 반도체층에 산소를 공급가능한, 반도체 장치.

청구항 13

제12항에 있어서,

상기 제2 절연층은 상기 반도체층 내로의 수소의 침입을 억제가능한, 반도체 장치.

청구항 14

반도체 장치로서,

기능 소자를 포함하고 또한 상면을 갖는 기판과,

상기 상면 위에 제공된 하지 절연층과,

상기 하지 절연층 위에 제공되고, 실리콘과 질소를 포함하는 제1 절연층과,

상기 제1 절연층 위에 제공되고, 제1 부분과, 상기 상면에 대하여 평행한 평면 내의 제1 방향에 있어서 상기 제1 부분과 이격되는 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공된 제3 부분을 갖고, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제2 절연층과,

박막 트랜지스터를 포함하고,

상기 박막 트랜지스터는,

상기 제3 부분 위에 있어서 상기 제2 절연층과 접하고, 제4 부분과, 상기 제1 방향에 있어서 상기 제4 부분과 이격되는 제5 부분과, 상기 제4 부분과 상기 제5 부분 사이에 제공된 제6 부분을 갖고, 상기 제4 부분은 상기 제6 부분과 상기 제1 부분 사이에 배치되고, 상기 제5 부분은 상기 제6 부분과 상기 제2 부분 사이에 배치되고, In, Ga 및 Zn 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체층과,

상기 제6 부분 위에 제공되고 금속과 산소를 포함하는 게이트 절연층과,

상기 게이트 절연층 위에 제공된 제1 게이트 전극과,

상기 제4 부분과 접하는 제1 도전층과,

상기 제5 부분과 접하는 제2 도전층과,

상기 반도체층 중, 상기 제4 부분 및 상기 제5 부분을 제외한 부분을 덮고, Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제3 절연층을 포함하는,

반도체 장치.

청구항 15

제14항에 있어서,

상기 제2 절연층의 두께는 50nm 이하인, 반도체 장치.

청구항 16

제14항에 있어서,

상기 제1 게이트 전극, 상기 제1 도전층 및 상기 제2 도전층 중에서 선택되는 적어도 어느 하나는, 알루미늄, 구리, 텅스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나를 포함하는, 반도체 장치.

청구항 17

제14항에 있어서,

상기 제1 절연층은 질화 실리콘을 포함하고,

상기 제2 절연층은 산화 알루미늄을 포함하는, 반도체 장치.

청구항 18

제14항에 있어서,

상기 제3 절연층은 산화 실리콘을 포함하는, 반도체 장치.

청구항 19

제14항에 있어서,

상기 기능 소자는 상기 기판의 하면에 제공된 활상부를 포함하는, 반도체 장치.

청구항 20

반도체 장치의 제조 방법으로서,

기능 소자를 포함하는 기판의 상면 위에 하지 절연층을 형성하는 단계와,

상기 하지 절연층의 일부 위에 제1 게이트 전극을 형성하는 단계와,

상기 제1 게이트 전극과 상기 하지 절연층을 덮도록, 실리콘과 질소를 포함하는 제1 절연층을 형성하는 단계와,

상기 제1 절연층 위에 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제2 절연층을 형성하는 단계와,

상기 제2 절연층 위에 인듐, 갈륨 및 아연 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체막을 형성하고, 상기 제2 절연층을 스토퍼로서 사용하여 상기 반도체막을 패터닝하여 상기 반도체막으로부터 반도체층을 형성하는 단계와,

상기 반도체층 위 및 상기 제2 절연층 위에 Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제3 절연층을 형성하는 단계와,

상기 제3 절연층의 상면으로부터 상기 반도체층에 도달하는 제1 구멍을 형성하고, 상기 제3 절연층의 상면으로부터 상기 반도체층에 도달하고 상기 제1 구멍으로부터 이격되는 제2 구멍을 형성하는 단계와,

상기 제1 구멍 및 상기 제2 구멍에 도전 재료를 매립하여 상기 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계

를 포함하는, 반도체 장치의 제조 방법.

명세서

기술 분야

[0001]

관련 출원의 상호 참조

[0002]

본 출원은 2013년 3월 22일 출원된 일본 특허 출원 제2013-061045호에 기초한 것으로 그 우선권을 주장하며, 그 전체 내용이 참조로서 본 명세서에 원용된다.

[0003]

본원에 개시된 실시형태는, 일반적으로 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0004]

예를 들어, 활상 소자, 연산 소자, 증폭 소자 또는 기억 소자 등을 포함하는 반도체 장치는, 예를 들어 실리콘 기판 등의 위에 형성된다.

발명의 내용

해결하려는 과제

[0005]

이러한 반도체 장치의 집적도를 더욱 높이는 것이 요망된다.

과제의 해결 수단

[0006]

일 실시형태에 따르면, 반도체 장치는 상면을 갖고 또한 기능 소자를 포함하는 기판과, 상기 상면 위에 제공된 하지 절연층과, 박막 트랜지스터를 포함한다. 상기 박막 트랜지스터는, 제1 게이트 전극과, 제1 절연층과, 제2 절연층과, 반도체층과, 제1 도전층과, 제2 도전층과, 제3 절연층을 포함한다. 상기 제1 게이트 전극은 상기 하지 절연층의 일부 위에 제공된다. 상기 제1 절연층은, 상기 제1 게이트 전극과 상기 하지 절연층을 덮는다. 상기 제1 절연층은 실리콘과 질소를 포함한다. 상기 제2 절연층은 상기 제1 절연층 위에 제공된다. 상기 제2 절연층은, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함한다. 상기 제2 절연층은, 제1 부분과, 상기 상면에 대하여 평행한 평면 내의 제1 방향에 있어서 상기 제1 부분과 이격되는 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공되도록 상기 제1 게이트 전극 위에 위치되는 제3 부분을 포함한다. In, Ga 및 Zn 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체층이 상기 제3 부분 위에 있어서 상기 제2 절연층과 접한다. 상기 반도체층은, 제4 부분과, 상기 제1 방향에 있어서 상기 제4 부분과 이격되는 제5 부분과, 상기 제4 부분과 상기 제5 부분 사이에 제공된 제6 부분을 포함한다. 상기 상면에 대하여 평행한 평면에 투영했을 때에, 상기 제4 부분은, 상기 제6 부분과 상기 제1 부분 사이에 배치된다. 상기 제5 부분은, 상기 상면에 대하여 평행한 평면에 투영했을 때에, 상기 제6 부분과 상기 제2 부분 사이에 배치된다. 상기 제1 도전층은 상기 제4 부분과 접한다. 상기 제2 도전층은 상기 제5 부분과 접한다. 상기 제3 절연층은, 상기 반도체층 중, 상기 제4 부분 및 상기 제5 부분을 제외한 부분을 덮는다. 상기 제3 절연층은, Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함한다.

[0007]

일 실시형태에 따르면, 반도체 장치는 기판과, 하지 절연층과, 제1 절연층과, 제2 절연층과, 박막 트랜지스터를 포함한다. 상기 기판은 기능 소자를 포함한다. 상기 기판은 상면을 갖는다. 상기 하지 절연층은 상기

상면 위에 제공된다. 상기 제1 절연층은 상기 하지 절연층 위에 제공된다. 제1 절연층은 실리콘과 질소를 포함한다. 상기 제2 절연층은 상기 제1 절연층 위에 제공된다. 상기 제2 절연층은 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함한다. 상기 제2 절연층은 제1 부분과, 상기 상면에 대하여 평행한 평면 내의 제1 방향에 있어서 상기 제1 부분과 이격되는 제2 부분과, 상기 제1 부분과 상기 제2 부분 사이에 제공된 제3 부분을 포함한다. 상기 박막 트랜지스터는, 반도체층과, 게이트 절연층과, 제1 게이트 전극과, 제1 도전층과, 제2 도전층과 제3 절연층을 포함한다. 인듐, 갈륨 및 아연 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체층은 상기 제3 부분 위에 있어서 상기 제2 절연층과 접한다. 상기 반도체층은, 제4 부분과, 상기 제1 방향에 있어서 상기 제4 부분과 이격되는 제5 부분과, 상기 제4 부분과 상기 제5 부분 사이에 제공된 제6 부분을 갖는다. 상기 제4 부분은, 상기 제6 부분과 상기 제1 부분 사이에 배치된다. 상기 제5 부분은, 상기 제6 부분과 상기 제2 부분 사이에 배치된다. 상기 제6 부분 위에 게이트 절연층이 제공된다. 상기 게이트 절연층은 금속과 산소를 포함한다. 상기 제1 게이트 전극은 상기 게이트 절연층 위에 제공된다. 상기 제1 도전층은 상기 제4 부분과 접한다. 상기 제2 도전층은 상기 제5 부분과 접한다. 상기 제3 절연층은, 상기 반도체층 중, 상기 제4 부분 및 상기 제5 부분을 제외한 부분을 덮는다. 상기 제3 절연층은, Si, Al, Ti, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함한다.

[0008] 일 실시형태에 따르면, 반도체 장치의 제조 방법이 제공된다. 상기 방법은, 기능 소자를 포함하는 기판의 상면 위에 하지 절연층을 형성하는 단계와, 상기 하지 절연층의 일부 위에 제1 게이트 전극을 형성하는 단계를 포함할 수 있다. 상기 방법은, 상기 제1 게이트 전극과 상기 하지 절연층을 덮도록, 실리콘과 질소를 포함하는 제1 절연층을 형성하는 단계와, 상기 제1 절연층 위에 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제2 절연층을 형성하는 단계를 포함할 수 있다. 상기 방법은, 상기 제2 절연층 위에 인듐, 갈륨 및 아연 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체막을 형성하고, 상기 제2 절연층을 스토퍼로서 사용하여 상기 반도체막을 패터닝하여 상기 반도체막으로부터 반도체층을 형성하는 단계와, 상기 반도체층 위 및 상기 제2 절연층 위에 Si, Al, Ti, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제3 절연층을 형성하는 단계를 포함할 수 있다. 상기 방법은, 상기 제3 절연층의 상면으로부터 상기 반도체층에 도달하는 제1 구멍을 형성하고, 상기 제3 절연층의 상면으로부터 상기 반도체층에 도달하고 상기 제1 구멍으로부터 이격되는 제2 구멍을 형성하는 단계를 포함할 수 있다. 또한, 상기 방법은, 상기 제1 구멍 및 상기 제2 구멍에 도전 재료를 매립하여 상기 반도체층을 포함하는 박막 트랜지스터를 형성하는 단계를 포함할 수 있다.

도면의 간단한 설명

[0009] 도 1은 제1 실시형태에 따른 반도체 장치를 나타내는 모식적 단면도이다.

도 2는 제1 실시형태에 따른 반도체 장치의 일부를 나타내는 모식적 단면도이다.

도 3은 제1 실시형태에 따른 반도체 장치의 일부를 나타내는 모식적인 평면도이다.

도 4는 제1 실시형태에 따른 다른 반도체 장치의 일부를 나타내는 모식적 단면도이다.

도 5는 제1 실시형태에 따른 다른 반도체 장치의 일부를 나타내는 모식적 단면도이다.

도 6은 제1 실시형태에 따른 다른 반도체 장치의 일부를 나타내는 모식적 단면도이다.

도 7은 제2 실시형태에 따른 반도체 장치의 일부를 예시하는 모식적 단면도이다.

도 8은 제2 실시형태에 따른 다른 반도체 장치의 일부를 나타내는 모식적 단면도이다.

도 9는 제3 실시형태에 따른 반도체 장치의 제조 방법을 나타내는 흐름도이다.

도 10a 내지 도 10c는 제3 실시형태에 따른 반도체 장치의 제조 방법을 나타내는 공정순 모식적 단면도이다.

도 11은 제4 실시형태에 따른 반도체 장치의 제조 방법을 나타내는 흐름도이다.

도 12a 내지 도 12c는 제4 실시형태에 따른 반도체 장치의 제조 방법을 나타내는 공정순 모식적 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하, 여러 가지 실시형태에 대하여 첨부 도면을 참조하여 설명한다.

[0011] 또한, 도면은 모식적 또는 개념적인 것이며, 각 부분의 두께와 폭 사이의 관계, 부분간의 크기의 비율 등을,

반드시 현실의 값과 동일하다고는 할 수 없다. 또한, 동일한 부분을 나타내는 경우에도, 도면간에 서로의 치수 및/또는 비율이 상이하여 표현될 경우도 있다.

[0012] 또한, 본원 명세서와 각 도면에 있어서, 앞서서 나온 도면에 대하여 전술한 것과 마찬가지의 요소에는 동일한 부호를 부여하고, 상세한 설명은 적절히 생략한다.

[0013] (제1 실시형태)

[0014] 도 1은 제1 실시형태에 따른 반도체 장치를 예시하는 모식적 단면도이다.

[0015] 도 1에 나타낸 바와 같이, 본 실시형태에 따른 반도체 장치(210)는 기판(150)과, 하지 절연층(160)과, 박막 트랜지스터(110)를 포함한다.

[0016] 기판(150)은 기능 소자(155)를 포함한다. 기판(150)은, 예를 들어 실리콘 기판 등의 반도체 기판을 포함할 수 있다. 기판(150)으로서, SOI 기판을 사용해도 된다. 기판(150)은 상면(150a)을 갖는다. 기능 소자(155)는, 예를 들어 기판(150)의 하면(150b)에 제공된 촬상부(156)를 포함한다. 기판(150)은 기능 소자(155)를 덮는 충간 절연층(150i)을 더 포함한다. 충간 절연층(150i)의 상면이, 기판(150)의 상면에 대응한다.

[0017] 하지 절연층(160)은 기판(150)의 상면(150a) 위에 제공된다.

[0018] 본원 명세서에 있어서, "위에 제공되는 상태"는, 직접적으로 위에 배치되는 상태 이외에, 사이에 다른 요소가 삽입되는 상태도 포함한다.

[0019] 이 예에서는, 반도체 장치(210)는 기판(150)과, 기판(150) 위에 제공된 제1 배선층(171)과, 제1 배선층(171) 위에 제공된 제2 배선층(172)을 포함한다. 하지 절연층(160)은 제1 배선층(171)에 포함된다. 이 예에서는, 기판(150)과 제1 배선층(171) 사이, 즉, 기판(150)과 하지 절연층(160) 사이에, 제1 충간 절연층(171i)이 제공되어 있다.

[0020] 기판(150)의 상면(150a)에 대하여 수직인 방향을 Z축 방향으로 한다. Z축 방향에 대하여 수직인 1개의 방향을 X축 방향으로 한다. Z축 방향과 X축 방향에 대하여 수직인 방향을 Y축 방향으로 한다.

[0021] 박막 트랜지스터(110)는 제1 배선층(171) 및 제2 배선층(172) 내부에 제공된다. 박막 트랜지스터(110)는 하지 절연층(160) 위에 제공된다.

[0022] 박막 트랜지스터(110)는 제1 게이트 전극(11)과, 제1 절연층(21)과, 제2 절연층(22)과, 반도체층(30)과, 제1 도전층(41)과, 제2 도전층(42)과, 제3 절연층(23)을 포함한다.

[0023] 제1 게이트 전극(11)은 하지 절연층(160)의 일부 위에 제공된다. 예를 들어, 제1 게이트 전극(11)의 하면 및 측면은, 하지 절연층(160)에 둘러싸여 있다. 제1 게이트 전극(11)은, 제1 게이트 전극(11)의 상면을 제외하고, 하지 절연층(160) 내에 매립되어 있다. 즉, 제1 게이트 전극(11) 및 하지 절연층(160)은 다마신 구성을 갖는다.

[0024] 제1 절연층(21)은 제1 게이트 전극(11)과, 하지 절연층(160)을 덮는다. 제1 절연층(21)은 실리콘과 질소를 포함한다. 즉, 제1 절연층(21)은 실리콘과 질소를 포함하는 제1 화합물을 포함한다. 제1 절연층(21)은, 예를 들어 질화 실리콘 또는 산질화 실리콘을 포함할 수 있다.

[0025] 제2 절연층(22)은 제1 절연층(21) 위에 제공된다. 제2 절연층(22)은 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와, 산소를 포함한다. 즉, 제2 절연층(22)은 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와, 산소를 포함하는 제2 화합물을 포함한다.

[0026] 반도체층(30)은 제2 절연층(22)의 일부 위에 제공되고, 제2 절연층(22)의 그 일부에 접한다. 반도체층(30)은 인듐(In), 갈륨(Ga) 및 아연(Zn) 중에서 선택되는 적어도 어느 하나를 포함하는 산화물을 포함한다. 반도체층(30)은 산화물의 반도체층이다. 반도체층(30)은 예를 들어 비정질이다. 반도체층(30)은 다결정 부분을 가져도 된다.

[0027] 제1 도전층(41)은 반도체층(30)의 일부 위에 제공된다. 제2 도전층(42)은 반도체층(30)의 다른 일부 위에 제공된다. 제1 도전층(41)은 소스 전극 및 드레인 전극에서 선택되는 한쪽이다. 제2 도전층(42)은 소스 전극 및 드레인 전극에서 선택되는 다른 한쪽이다.

[0028] 제3 절연층(23)은 반도체층(30)을 덮는다. 제3 절연층(23)은 Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적

어도 어느 하나와, 산소를 포함한다. 즉, 제3 절연층(23)은 Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와, 산소를 포함하는 제3 화합물을 포함한다.

[0029] 이 예에서는, 배선(50)이 제공된다. 이 예에서는, 배선(50)은 제1 배선(51)과, 제2 배선(52)과, 제3 배선(53)을 포함한다. 제1 배선(51), 제2 배선(52) 및 제3 배선(53) 각각은, Z축 방향을 따라 연장한다. 제1 배선(51)은 기판(150)의 중간 절연층(150i)을 Z축 방향을 따라 관통한다. 제1 배선(51)의 일단부는, 예를 들어 기능 소자(155)에 전기적으로 접속된다.

[0030] 본원 명세서에 있어서, "전기적으로 접속되는 상태"는, 2개의 도전체가 직접 접하는 상태와, 2개의 도전체에 다른 도전체를 개재하여 전류가 흐르는 상태와, 2개의 도전체 사이에 스위칭 소자 등의 전기 소자가 삽입되어서 전류가 흐르는 상태를 형성 가능한 상태를 포함한다.

[0031] 제2 배선(52)은 하지 절연층(160)을 Z축 방향을 따라 관통하고, 제1 배선(51)에 전기적으로 접속되어 있다.

[0032] 제3 배선(53)은 제1 절연층(21)과, 제2 절연층(22)과, 제3 절연층(23)을 Z축 방향을 따라 관통하고, 제2 배선(52)에 전기적으로 접속되어 있다. 제3 배선(53)의 일단은, 예를 들어 박막 트랜지스터(110)에 전기적으로 접속되어 있다. 예를 들어, 제3 배선(53)의 일단은, 예를 들어 제1 도전층(41) 및 제2 도전층(42) 중에서 선택되는 적어도 어느 하나에 접속되어도 된다.

[0033] 예를 들어, 제3 배선(53)이 제공되지 않고, 제1 배선(51)과 제2 배선(52)이 제공되어도 된다. 이 경우, 제2 배선(52)의 일단이 박막 트랜지스터(110)의 제1 게이트 전극(11)에 접속되어도 된다.

[0034] 따라서, 배선(50)은 기판(150)의 상면(150a)에 대하여 교차하는 방향(Z축 방향)을 따라, 적어도 하지 절연층(160)을 관통한다. 배선(50)은 예를 들어 제1 게이트 전극(11), 제1 도전층(41) 및 제2 도전층(42) 중에서 선택되는 적어도 어느 하나와 접속된다. 예를 들어, 배선(50)은 제1 게이트 전극(11), 제1 도전층(41) 및 제2 도전층(42) 중에서 선택되는 적어도 어느 하나와 기능 소자(155)를 전기적으로 접속한다.

[0035] 예를 들어, 배선(50)은 제1 배선층(171)을 Z축 방향을 따라 관통한다. 배선(50)은 제2 배선층(172)을 Z축 방향을 따라 또한 관통해도 된다.

[0036] 이 예에서는, 제1 배선층(171)은 하지 절연층(160)과, 제1 게이트 전극(11)과, 제2 배선(52)을 포함한다. 이 예에서는, 제2 배선층(172)은 제1 절연층(21)과, 제2 절연층(22)과, 반도체층(30)과, 제1 도전층(41)과, 제2 도전층(42)과, 제3 절연층(23)과, 제3 배선(53)을 포함한다. 제2 배선층(172) 위에 상층 절연층(172i)을 더 제공해도 된다.

[0037] 이 예에서는, 제2 배선(52) 및 제3 배선(53)은 다층 구조를 갖고 있다.

[0038] 예를 들어, 제2 배선(52)은 제2 배선(52)용의 상측층(52a)과, 상측층(52a)과 적층된, 제2 배선(52)용의 하측층(52b)을 포함한다. 하측층(52b)은, 예를 들어 상측층(52a)과 하지 절연층(160) 사이에 배치된다. 상측층(52a)은, 예를 들어 알루미늄, 구리, 텁스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나의 금속을 포함할 수 있다. 하측층(52b)은, 예를 들어 탄탈륨, 질화 탄탈륨 및 질화티타늄 중에서 선택되는 적어도 어느 하나를 포함할 수 있다. 제2 배선(52)용의 하측층(52b)은, 제2 배선(52)용의 상측층(52a)과는 상이한 재료를 포함할 수 있다.

[0039] 예를 들어, 제3 배선(53)은 제3 배선(53)용의 상측층(53a)과, 상측층(53a)과 적층된, 제3 배선(53)용의 하측층(53b)을 포함한다. 하측층(53b)은, 예를 들어 상측층(53a)과 제3 절연층(23) 사이에 배치된다. 상측층(53a)은, 예를 들어 알루미늄, 구리, 텁스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나의 금속을 포함할 수 있다. 하측층(53b)은, 예를 들어 탄탈륨, 질화 탄탈륨 및 질화티타늄 중에서 선택되는 적어도 어느 하나를 포함할 수 있다. 제3 배선(53)용의 하측층(53b)은, 제3 배선(53)용의 상측층(53a)과는 상이한 재료를 포함할 수 있다.

[0040] 본 실시형태에 따른 반도체 장치(210)에서는, 기능 소자(155)를 포함하는 기판(150) 위에 산화물의 반도체층(30)을 사용한 박막 트랜지스터(110)가 제공된다. 박막 트랜지스터(110)에 의해, 예를 들어 기판(150)에 제공되는 기능 소자(155)의 주변 회로를 형성할 수 있다. 기능 소자(155)를 포함하는 기판(150) 위에 주변 회로가 형성되기 때문에, 반도체 장치의 접적도를 높일 수 있다. 본 실시형태에 따르면, 접적도가 높은 실용적인 반도체 장치를 제공할 수 있다.

[0041] 박막 트랜지스터(110)는, 예를 들어 보텀 게이트 구조의 박막 트랜지스터이다. 반도체 장치(210)에서는, 제1 배선층(171)의 배선의 일부가, 박막 트랜지스터(110)의 제1 게이트 전극(11)으로서 사용될 수 있다. 이하,

박막 트랜지스터(110)의 일례에 대해 더 설명한다.

[0042] 도 2는 제1 실시형태에 따른 반도체 장치의 일부를 예시하는 모식적 단면도이다.

[0043] 도 3은 제1 실시형태에 따른 반도체 장치의 일부를 예시하는 모식적인 평면도이다.

[0044] 도 2는 도 3의 A1-A2선을 따른 단면도이다. 이들 도면은, 본 실시형태에 따른 반도체 장치에 포함되는 박막 트랜지스터(110)를 예시하고 있다.

[0045] 도 2 및 도 3에 나타낸 바와 같이, 제1 게이트 전극(11)은 하지 절연층(160)의 일부 위에 제공되어 있다. 제1 절연층(21)은 제1 게이트 전극(11)과 하지 절연층(160)을 덮고 있다.

[0046] 제2 절연층(22)은 제1 절연층(21) 위에 제공된다. 제2 절연층(22)은 제1 부분 p1과, 제2 부분 p2과, 제3 부분 p3을 포함한다. 제2 부분 p2는, X-Y 평면(기판(150)의 상면(150a)에 대해 평행한 평면) 내의 제1 방향(이 예에서는, X축 방향)에 있어서 제1 부분 p1과 이격된다. 제3 부분 p3은, 제1 부분 p1과 제2 부분 p2 사이에 제공된다. 제3 부분 p3은, 제1 게이트 전극(11) 위에 위치한다. 제3 부분 p3은, 제1 절연층(21)을 개재하여 제1 게이트 전극(11)과 대향한다.

[0047] 반도체층(30)은 제3 부분 p3 위에서 제2 절연층(22)과 접한다. 반도체층(30)은 제4 부분 p4와, 제5 부분 p5 와, 제6 부분 p6을 포함한다. 제5 부분 p5는, 제1 방향(X축 방향)에 있어서, 제4 부분 p4와 이격된다. 제6 부분 p6은, 제4 부분 p4와 제5 부분 p5 사이에 제공된다.

[0048] X-Y 평면에 투영했을 때에, 제4 부분 p4는, 제6 부분 p6과 제1 부분 p1 사이에 배치된다. X-Y 평면에 투영했을 때에, 제5 부분 p5는, 제6 부분 p6과 제2 부분 p2 사이에 배치된다. X-Y 평면에 투영했을 때에, 제6 부분 p6은, 제3 부분 p3과 중첩한다.

[0049] 제1 도전층(41)은 반도체층(30)의 제4 부분 p4와 접한다. 이 예에서는, 제1 도전층(41)은 제2 절연층(22)의 제1 부분 p1과도 접한다. 제2 도전층(42)은 반도체층(30)의 제5 부분 p5와 접한다. 이 예에서는, 제2 도전층(42)은 제2 절연층(22)의 제2 부분 p2와도 접한다.

[0050] 제1 도전층(41)은, 예를 들어 제3 절연층(23)에 제공된 제1 구멍(41h)에 도전 재료를 매립함으로써 형성된다. 제2 도전층(42)은, 예를 들어 제3 절연층(23)에 제공된 제2 구멍(42h)에 도전 재료를 매립함으로써 형성된다. 제1 구멍(41h)과 제2 구멍(42h)은 X축 방향에 있어서 서로 이격되어 있다.

[0051] 제3 절연층(23)은 반도체층(30) 중, 제4 부분 p4(제1 도전층(41)과 접하는 부분) 및 제5 부분 p5(제2 도전층(42)과 접하는 부분)를 제외한 부분을 덮는다. 예를 들어, 제3 절연층(23)은 반도체층(30)의 제6 부분 p6의 상면(30a)을 덮는다.

[0052] 도 3에 예시한 바와 같이, 제3 절연층(23)은 반도체층(30)의 측면(30s)도 덮는다. 측면(30s)은 X-Y 평면에 대하여 교차하는 면이다.

[0053] 그러므로, 본 실시형태에 따른 반도체 장치(210)에 있어서는, 제1 배선층(171)에 포함되는 하지 절연층(160) 및 제1 게이트 전극(11)을 덮도록, 실리콘과 질소를 포함하는 제1 절연층(21)이 제공된다. 제1 절연층(21)은, 예를 들어 질화 실리콘(즉, SiN_x) 등을 포함할 수 있다. 제1 절연층(21)은 보호층으로서의 기능이 높다.

[0054] 제2 절연층(22)은 반도체층(30)과 접한다. 제2 절연층(22)은, 예를 들어 산화 알루미늄(예를 들어, Al_2O_3 , 즉, AlO_x) 등을 포함할 수 있다. 제2 절연층(22)은 반도체층(30)에 산소를 공급할 수 있다. 제2 절연층(22)은 반도체층(30) 내로의 수소의 침입을 억제가능하다. 이에 의해, 예를 들어 반도체층(30)에서 산소 농도가 낮아져서, 박막 트랜지스터(110)에 있어서의 양호한 스위칭 특성이 저하되는 상태가 발생한 경우에도, 양호한 스위칭 특성을 유지할 수 있다.

[0055] 반도체층(30)은 산소를 포함하는 화합물의 제2 절연층(22)에 접하여 제공된다. 반도체층(30)과 제2 절연층(22) 사이의 계면은, 이온성 산화물의 층들 사이에 형성되는 양질의 계면이 된다. 이에 의해, 반도체층(30)에서 보다 양호한 특성이 얻어진다.

[0056] 제3 절연층(23)은, 예를 들어 산화 실리콘(예를 들어, SiO_2 , 즉, SiO_x) 등을 포함할 수 있다. 제3 절연층(23)은 반도체층(30)에 산소를 공급할 수 있다. 이에 의해, 제3 절연층(23)으로부터도, 반도체층(30)에 산소를 공급할 수 있고, 양호한 스위칭 특성을 유지할 수 있다.

- [0057] 또한, 본 실시형태에 있어서는, 제2 절연층(22)은 반도체층(30)의 패터닝시의 스토퍼로서 기능한다. 이에 의해, 산화물의 반도체층(30)을 사용한 박막 트랜지스터(110)의 형성에 있어서, 실용적인 프로세스 원도우가 얻어진다.
- [0058] 본 실시형태에 따르면, 집적도가 높고 실용적인 반도체 장치를 제공할 수 있다.
- [0059] 활상 소자 등의 기능 소자(155)를 위한 증폭기 및 기능 소자(155) 제어용 트랜지스터를 기능 소자(155) 상의 층에 형성함으로써, 한층 더 소형화를 실현할 수 있다. 기능 소자(155) 상의 층에 제공되는 트랜지스터로서, 박막 트랜지스터를 사용할 수 있다. 이 박막 트랜지스터의 반도체층에는, CMOS 프로세스보다 저온에서 형성 할 수 있는 반도체 재료를 사용하는 것이 바람직하다. 이 반도체층으로서 산화물 반도체를 사용할 수 있다.
- [0060] 산화물 반도체는, 예를 들어 스팍터링법에 의해, 실온에서 대면적에 균일하게 성막할 수 있고, 300°C 내지 400°C의 비교적 저온의 프로세스 온도를 적용할 수 있다. 또한, 산화물 반도체에 있어서는, 비교적 높은 전계 효과 이동도가 얻어진다.
- [0061] 본원 발명자는, 이러한 산화물 반도체를 사용한 박막 트랜지스터에 있어서, 원하는 특성을 얻는 것이 곤란한 경우가 있음을 발견하였다.
- [0062] 예를 들어, 층간 절연막의 에칭 스토퍼막으로서 사용될 수 있는 질화 실리콘층(제1 절연층(21))을 박막 트랜지스터(110)의 게이트 절연막으로서 사용하는 경우, 반도체층(30)을 패터닝할 때에, 질화 실리콘층의 오버 에칭이 일어나서, 원하는 형상을 형성하기가 곤란하다. 이것은, 반도체층(30)과 질화 실리콘층 사이에서, 에칭 시의 선택비가 낮기 때문이다. 질화 실리콘층의 오버 에칭이 일어나면, 누설 등의 불량이 발생하고, 양호한 특성의 박막 트랜지스터가 얻어지지 않는다.
- [0063] 한편, 박막 트랜지스터(110)의 게이트 절연막으로서, 금속 산화물(예를 들어, Al₂O₃ 등)의 층을 사용하면, 반도체층(30)을 패터닝할 때 충분한 선택비가 얻어지고, 금속 산화물의 층에 대미지를 실질적으로 주지 않으면서, 반도체층(30)의 패터닝을 할 수 있다. 그러나, 금속 산화물은, 하지 절연층(160)에 형성되는 제1 게이트 전극(11)에 대한 블록성이 낮다. 그러므로, 예를 들어 제1 게이트 전극(11)에 포함되는 금속 원소 등(예를 들어, Cu 등)이 금속 산화물의 층을 거쳐 반도체층(30) 내로 이동하기 쉽다. 이에 의해, 반도체층(30)에서의 특성이 열화될 경우가 있다.
- [0064] 이에 비해, 본 실시형태에 있어서는, 하지 절연층(160) 및 제1 게이트 전극(11)을 블록성이 높은, 질소를 포함하는 제1 절연층(21)으로 덮는다. 또한, 제1 절연층(21)을 반도체층(30)에 대하여 선택비가 높은 제2 절연층(22)으로 덮는다.
- [0065] 이에 의해, 반도체층(30)의 양호한 패터닝을 실현할 수 있고, 동시에, 하층으로부터의 금속 등의 이동을 차단 할 수 있다. 그리고, 제2 절연층(22)은 제1 절연층(21)으로부터 반도체층(30)을 향해 수소가 이동하는 것을 억제할 수 있다.
- [0066] 본 실시형태에 있어서는, 제1 절연층(21)은, 예를 들어 질화 실리콘 또는 산질화 실리콘을 포함할 수 있다. 제2 절연층(22)은, 산소를 포함하는 금속 화합물을 포함할 수 있다.
- [0067] 제1 절연층(21)으로서 산질화 실리콘을 사용하고, 제2 절연층(22)으로서 산질화 실리콘을 사용하는 경우에는, 제1 절연층(21)에 있어서의 산소 농도는, 제2 절연층(22)에 있어서의 산소 농도보다 낮다. 이에 의해, 제1 절연층(21)에 있어서, 양호한 블록성을 확보할 수 있다. 그리고, 제2 절연층(22)에 있어서, 반도체층(30)을 향해서의 양호한 산소 공급성을 확보할 수 있다. 또한, 제2 절연층(22)에 의해, 반도체층(30) 내로의 수소의 침입을 억제할 수 있다.
- [0068] 즉, 제1 절연층(21)과 제2 절연층(22)의 적층 구조를 사용함으로써, 제1 절연층(21)으로부터 반도체층(30)을 향해서의 수소의 확산을 억제할 수 있다. 이에 의해, 반도체층(30)에 있어서의 양호한 특성을 유지할 수 있다.
- [0069] 본 실시형태에 있어서, 제2 절연층(22)은 게이트 절연막의 일부로서 기능한다. 그러므로, 제2 절연층(22)에 있어서의 비유전율은 높은 것이 바람직하다. 제2 절연층(22)으로서, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와, 산소를 포함하는 제1 화합물을 사용함으로써 높은 비유전율이 얻어진다. 이에 의해, 박막 트랜지스터(110)에 있어서의 구동 능력이 향상된다.
- [0070] 한편, 반도체층(30)의 상면(및 측면(30s))을 덮는 제3 절연층(23)은 높은 비유전율의 재료를 반드시 사용하지

않아도 된다. 제3 절연층(23)은, 예를 들어 패터닝성 및 신뢰성 등을 고려하여 산소를 포함하는 적절한 재료(예를 들어, SiO_2 등)를 포함할 수 있다. 산소를 포함하는 절연 재료를 포함하는 제3 절연층(23)에 의해, 반도체층(30)에 있어서의 양호한 특성을 유지할 수 있다.

[0071] 본 실시형태에 따르면, 고이동도와 고신뢰성을 갖는 실용적인 박막 트랜지스터가 얻어진다.

[0072] 예를 들어, 반도체 장치(210)의 기판(150)의 기능 소자(155)에는, 활상 소자 등이 적용된다. 기능 소자(155)로서, CMOS 프로세스를 사용한 CMOS 이미지 센서(활상 소자)를 사용할 수 있다. 활상 소자에 있어서, 미세화가 진행하면, 예를 들어 포토다이오드의 수광 면적이 감소하고 S/N비가 나빠진다. 본 실시형태에서는, 활상 소자용의 증폭기 및 활상 소자 제어용의 트랜지스터를, 포토다이오드 상의 배선층에 형성함으로써, 미세화와 S/N 비의 확보를 양립시킬 수 있다.

[0073] 제1 절연층(21)의 두께는, 예를 들어 5nm 이상 50nm 이하이다.

[0074] 제2 절연층(22)의 두께는, 예를 들어 50nm 이하이다. 제2 절연층(22)의 두께는, 10nm 이상인 것이 바람직하다. 제2 절연층(22)의 두께가 100nm 이상일 때에, 제2 절연층(22)이 애칭 스토퍼로서 기능하기 쉽다. 제2 절연층(22)이 과도하게 얇으면, 예를 들어 스토퍼 기능이 저하한다.

[0075] 본 실시형태에 있어서, 제1 게이트 전극(11), 제1 도전층(41) 및 제2 도전층(42) 중에서 선택되는 적어도 어느 하나는, 알루미늄, 구리, 텅스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나를 포함할 수 있다.

[0076] 이 예에서는, 제1 게이트 전극(11)은 제1 게이트 전극(11)용의 제1층(11a)과, 제1 게이트 전극(11)용의 제2층(11b)을 포함한다. 제2층(11b)은 제1층(11a)과 적층된다. 제2층(11b)은, 제1층(11a)과 하지 절연층(160) 사이에 배치된다. 제1층(11a)은 알루미늄, 구리, 텅스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나의 금속을 포함한다. 제2층(11b)은 제1층(11a)과는 상이한 재료를 포함할 수 있다. 제2층(11b)은, 탄탈륨, 질화 탄탈륨 및 질화티타늄 중에서 선택되는 적어도 어느 하나를 포함한다.

[0077] 예를 들어, 제1 게이트 전극(11)은 제1 게이트 전극(11)용의 제3층(11c)을 더 포함해도 된다. 제3층(11c)은 제1층(11a)과 제2층(11b) 사이에 제공된다. 예를 들어, 제1층(11a)으로서, 알루미늄 및 구리 중에서 선택되는 적어도 어느 하나의 금속을 사용할 수 있다. 제2층(11b)으로서 질화 탄탈륨을 사용할 수 있다. 제3층(11c)으로서 탄탈륨을 사용할 수 있다.

[0078] 이 예에서는, 제1 도전층(41)은 제1 도전층(41)용의 제1층(41a)과, 제1 도전층(41)용의 제2층(41b)을 포함한다. 제2층(41b)은 제1층(41a)과 적층된다. 제2층(41b)은 제1층(41a)과 제3 절연층(23) 사이에 배치된다. 제1층(41a)은 알루미늄, 구리, 텅스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나의 금속을 포함한다. 제2층(41b)은 제1층(41a)과는 상이한 재료를 포함할 수 있다. 제2층(41b)은, 탄탈륨, 질화 탄탈륨 및 질화티타늄 중에서 선택되는 적어도 어느 하나를 포함한다.

[0079] 예를 들어, 제1 도전층(41)은 제1 도전층(41)용의 제3층(41c)을 더 포함해도 된다. 제3층(41c)은 제1층(41a)과 제2층(41b) 사이에 제공된다. 예를 들어, 제1층(41a)으로서, 알루미늄 및 구리 중에서 선택되는 적어도 어느 하나의 금속을 사용할 수 있다. 제2층(41b)으로서 질화 탄탈륨을 사용할 수 있다. 제3층(41c)으로서 탄탈륨을 사용할 수 있다.

[0080] 이 예에서는, 제2 도전층(42)은 제2 도전층(42)용의 제1층(42a)과, 제2 도전층(42)용의 제2층(42b)을 포함한다. 제2층(42b)은 제1층(42a)과 적층된다. 제2층(42b)은 제1층(42a)과 제3 절연층(23) 사이에 배치된다. 제1층(42a)은 알루미늄, 구리, 텅스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나의 금속을 포함한다. 제2층(42b)은 제1층(42a)과는 상이한 재료를 포함할 수 있다. 제2층(42b)은 탄탈륨, 질화 탄탈륨 및 질화티타늄 중에서 선택되는 적어도 어느 하나를 포함한다.

[0081] 예를 들어, 제2 도전층(42)은 제2 도전층(42)용의 제3층(42c)을 더 포함해도 된다. 제3층(42c)은 제1층(42a)과 제2층(42b) 사이에 제공된다. 예를 들어, 제1층(42a)으로서, 알루미늄 및 구리 중에서 선택되는 적어도 어느 하나의 금속을 사용할 수 있다. 제2층(42b)으로서 질화 탄탈륨을 사용할 수 있다. 제3층(42c)으로서 탄탈륨을 사용할 수 있다.

[0082] 도 4는 제1 실시형태에 따른 다른 반도체 장치의 일부를 예시하는 모식적 단면도이다. 도 4는 본 실시형태에 따른 반도체 장치(211)에 포함되는 박막 트랜지스터(111)를 예시하고 있다.

- [0083] 도 4에 나타낸 바와 같이, 반도체 장치(211)의 박막 트랜지스터(111)에 있어서는, 제2 절연층(22)은 반도체층(30)의 제6 부분 p6 위에 제공되는 부분 22p을 더 포함한다. 제2 절연층(22)은, 예를 들어 제4 부분 p4 및 제5 부분 p5를 제외하고 반도체층(30)을 덮는다. 예를 들어, 제2 절연층(22)은 반도체층(30)의 측면(30s)을 덮는다. 제3 절연층(23)은 제2 절연층(22)을 개재하여 반도체층(30)을 덮는다. 이외는, 박막 트랜지스터(111)는 박막 트랜지스터(110)와 마찬가지로 할 수 있으므로 설명을 생략한다.
- [0084] 반도체 장치(211)에 있어서도, 집적도가 높고 실용적인 반도체 장치를 제공할 수 있다. 반도체 장치(211)에서는, 제2 절연층(22)은 반도체층(30)의 하면뿐만 아니라, 반도체층(30)의 상면 및 측면(30s)도 덮는다. 동일한 재료로 반도체층(30)을 덮음으로써, 박막 트랜지스터(111)에 있어서 보다 안정된 특성이 얻어진다.
- [0085] 도 5는 제1 실시형태에 따른 다른 반도체 장치의 일부를 예시하는 모식적 단면도이다. 도 5는 본 실시형태에 따른 반도체 장치(212)에 포함되는 박막 트랜지스터(112)를 예시하고 있다.
- [0086] 도 5에 도시한 바와 같이, 반도체 장치(212)의 박막 트랜지스터(112)는 더블 게이트 구조를 갖는다. 즉, 박막 트랜지스터(112)는 제2 게이트 전극(12)을 더 포함한다. 이외는, 박막 트랜지스터(112)는 박막 트랜지스터(110)와 마찬가지로 할 수 있으므로 설명을 생략한다. 반도체 장치(212)에서는, 제1 배선층(171)의 배선의 일부가, 박막 트랜지스터(112)의 제1 게이트 전극(11)으로서 사용되고, 제2 배선층(172)의 배선의 일부가 제2 게이트 전극(12)으로서 사용된다.
- [0087] 제2 게이트 전극(12)은 반도체층(30)의 제6 부분 p6 위에 제공된다. 제3 절연층(23)은 제6 부분 p6과 제2 게이트 전극(12) 사이에 제공된 부분 23p를 갖는다. 제2 게이트 전극(12)은, 예를 들어 제3 절연층(23)에 제공된 제3 구멍(43h)에 도전 재료를 매립함으로써 형성된다. 제3 구멍(43h)은 제1 구멍(41h)과 제2 구멍(42h) 사이에 제공된다.
- [0088] 박막 트랜지스터(112)는 더블 게이트 구조를 갖기 때문에, 보다 안정된 특성이 얻어진다. 반도체 장치(212)에 있어서도, 집적도가 높고 실용적인 반도체 장치를 제공할 수 있다.
- [0089] 제2 게이트 전극(12)은 알루미늄, 구리, 텉스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나를 포함할 수 있다.
- [0090] 이 예에서는, 제2 게이트 전극(12)은 제2 게이트 전극(12)용의 제1층(12a)과, 제2 게이트 전극(12)용의 제2층(12b)을 포함한다. 제2층(12b)은 제1층(12a)과 적층된다. 제2층(12b)은 제1층(12a)과 제3 절연층(23) 사이에 배치된다. 제1층(12a)은 알루미늄, 구리, 텉스텐, 탄탈륨, 몰리브덴 및 티타늄 중에서 선택되는 적어도 어느 하나의 금속을 포함한다. 제2층(12b)은 제1층(12a)과는 상이한 재료를 포함한다. 제2층(12b)은 탄탈륨, 질화 탄탈륨 및 질화티타늄 중에서 선택되는 적어도 어느 하나를 포함한다.
- [0091] 예를 들어, 제2 게이트 전극(12)은 제2 게이트 전극(12)용의 제3층(12c)을 더 포함해도 된다. 제3층(12c)은 제1층(12a)과 제2층(12b) 사이에 제공된다. 예를 들어, 제1층(12a)으로서, 알루미늄 및 구리 중에서 선택되는 적어도 어느 하나의 금속을 사용할 수 있다. 제2층(12b)으로서 질화 탄탈륨을 사용할 수 있다. 제3층(12c)으로서 탄탈륨을 사용할 수 있다.
- [0092] 제2 게이트 전극(12)이 제공되는 경우, 배선(50)(도 1 참조)은 제2 게이트 전극(12)과 접속되어도 된다. 즉, 반도체 장치(212)는, 예를 들어 Z축 방향(예를 들어, 기판(150)의 상면(150a)에 대하여 교차하는 방향)을 따라, 제3 절연층(23)의 적어도 일부와, 하지 절연층(160)을 관통하는 제2 게이트 전극용의 배선(50)을 더 포함해도 된다. 배선(50)은, 예를 들어 기능 소자(155)와 제2 게이트 전극(12)을 전기적으로 접속한다.
- [0093] 도 6은 제1 실시형태에 따른 다른 반도체 장치의 일부를 예시하는 모식적 단면도이다. 도 6은 본 실시형태에 따른 반도체 장치(213)에 포함되는 박막 트랜지스터(113)를 예시하고 있다.
- [0094] 도 6에 나타낸 바와 같이, 반도체 장치(213)의 박막 트랜지스터(113)에 있어서는, 제2 절연층(22)은 반도체층(30)의 제6 부분 p6 위에 제공되는 부분 22p를 더 갖는다. 즉, 제2 절연층(22)은 제6 부분 p6과 제2 게이트 전극(12) 사이에 제공된 부분 22p를 갖는다. 이외는, 박막 트랜지스터(113)는 박막 트랜지스터(112)와 마찬가지로 할 수 있으므로 설명을 생략한다.
- [0095] 제2 절연층(22)은, 예를 들어 제4 부분 p4 및 제5 부분 p5를 제외하고 반도체층(30)을 덮는다. 예를 들어, 제2 절연층(22)은 반도체층(30)의 측면(30s)을 덮는다. 제3 절연층(23)은 제2 절연층(22)을 개재하여 반도체층(30)을 덮는다.
- [0096] 반도체 장치(213)에서도, 집적도가 높고 실용적인 반도체 장치를 제공할 수 있다. 반도체 장치(213)에서는,

제2 절연층(22)은 반도체층(30)의 하면뿐만 아니라, 반도체층(30)의 상면 및 측면(30s)도 덮는다. 동일한 재료로 반도체층(30)을 덮는다. 또한, 더블 게이트 구조가 적용된다. 박막 트랜지스터(113)의 보다 안정된 특성이 얻어진다.

[0097] (제2 실시형태)

[0098] 본 실시형태에서는, 톱 게이트 구조의 박막 트랜지스터가 제공된다.

[0099] 도 7은 제2 실시형태에 따른 반도체 장치의 일부를 예시하는 모식적 단면도이다.

[0100] 도 7은 본 실시형태에 따른 반도체 장치(220)에 포함되는 박막 트랜지스터(120)를 예시하고 있다.

[0101] 반도체 장치(220)에서도, 도 1과 관련하여 설명한 기판(150)이 제공된다. 이 경우에도, 기판(150)은 기능 소자(155)를 포함하고, 상면(150a)을 갖는다. 반도체 장치(220)에서도, 상면(150a) 위에 하지 절연층(160)이 제공된다. 또한, 배선(50)을 제공해도 된다. 기판(150), 하지 절연층(160) 및 배선(50)에 대해서는, 반도체 장치(210)와 마찬가지로 할 수 있으므로 설명을 생략한다. 반도체 장치(220)에 있어서는, 제2 배선층(172)의 배선의 일부가, 박막 트랜지스터(120)의 제1 게이트 전극(11)으로서 사용될 수 있다. 이하, 하지 절연층(160) 위에 위치하는 부분에 대해 설명한다.

[0102] 반도체 장치(220)는 기판(150), 하지 절연층(160) 및 배선(50) 이외에, 제1 절연층(21)과, 제2 절연층(22)과, 반도체층(30)과, 게이트 절연층(16)과, 제1 게이트 전극(11)과, 제1 도전층(41)과, 제2 도전층(42)과, 제3 절연층(23)을 포함한다. 반도체층(30), 게이트 절연층(16), 제1 게이트 전극(11), 제1 도전층(41), 제2 도전층(42) 및 제3 절연층(23)은, 예를 들어 박막 트랜지스터(120)에 포함된다.

[0103] 제1 절연층(21)은 하지 절연층(160) 위에 제공된다. 제1 절연층(21)은 실리콘과 질소를 포함한다. 제1 절연층(21)은, 예를 들어 질화 실리콘 또는 산질화 실리콘을 포함할 수 있다.

[0104] 제2 절연층(22)은 제1 절연층(21) 위에 제공된다. 제2 절연층(22)은 제1 부분 p1과, 제2 부분 p2와, 제3 부분 p3을 갖는다. 제2 부분 p2는, X-Y 평면(상면(150a))에 대하여 평행한 평면) 내의 제1 방향(예를 들어, X축 방향)에 있어서, 제1 부분 p1과 이격된다. 제3 부분 p3은, 제1 부분 p1과 제2 부분 p2 사이에 제공된다. 이 경우에도, 제2 절연층(22)은 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와, 산소를 포함한다.

[0105] 반도체층(30)은 제3 부분 p3 위에 있어서 제2 절연층(22)과 접한다. 반도체층(30)은 제4 부분 p4와, 제5 부분 p5와, 제6 부분 p6를 갖는다. 제5 부분 p5는, 제1 방향(X축 방향)에 있어서, 제4 부분 p4와 이격된다. 제6 부분 p6은, 제4 부분 p4와 제5 부분 p5 사이에 제공된다. 반도체층(30)은, 인듐, 갈륨 및 아연 중에서 선택되는 적어도 어느 하나를 포함하는 산화물을 포함할 수 있다.

[0106] 이 경우에도, X-Y 평면에 투영했을 때에, 제4 부분 p4는, 제6 부분 p6과 제1 부분 p1 사이에 배치된다. X-Y 평면에 투영했을 때에, 제5 부분 p5는, 제6 부분 p6과 제2 부분 p2 사이에 배치된다. X-Y 평면에 투영했을 때에, 제6 부분 p6은 제3 부분 p3과 중첩한다.

[0107] 게이트 절연층(16)은 반도체층(30)의 제6 부분 p6 위에 제공된다. 게이트 절연층(16)은 금속과 산소를 포함한다. 게이트 절연층(16)은, 예를 들어 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함할 수 있다.

[0108] 제1 게이트 전극(11)은 게이트 절연층(16) 위에 제공된다. 즉, 반도체층(30)의 제6 부분 p6과 제1 게이트 전극(11) 사이에, 게이트 절연층(16)이 제공된다.

[0109] 제1 도전층(41)은 제1 부분 p1 및 제4 부분 p4과 접한다. 제2 도전층(42)은 제2 부분 p2 및 제5 부분 p5와 접한다.

[0110] 제3 절연층(23)은 반도체층(30) 중, 제4 부분 p4 및 제5 부분 p5를 제외한 부분을 덮는다. 제3 절연층(23)은 게이트 절연층(16)과 연속적이어야 된다. 제3 절연층(23)은 게이트 절연층(16)을 개재하여 반도체층(30)의 제6 부분 p6을 덮어도 된다. 제3 절연층(23)은 반도체층(30)의 측면(30s)을 또한 덮어도 된다. 제3 절연층(23)은 Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함한다.

[0111] 본 실시형태에서도, 하지 절연층(160) 및 제1 게이트 전극(11)을, 블록성이 높고 질소를 포함하는 제1 절연층(21)으로 덮는다. 또한, 제1 절연층(21)을 반도체층(30)에 대하여 선택비가 높은 제2 절연층(22)으로 덮는다. 이에 의해, 반도체층(30)의 양호한 패터닝을 실현할 수 있고, 동시에, 하층으로부터의 금속 등의 이

동을 차단할 수 있다. 또한, 제2 절연층(22)에 의해, 제1 절연층(21)으로부터 반도체층(30)을 향해서의 수소의 이동을 억제할 수 있다. 또한, 제2 절연층(22)에 있어서, 반도체층(30)을 향해서의 양호한 산소 공급성을 확보할 수 있다. 이에 의해, 반도체층(30)에 있어서의 양호한 특성을 유지할 수 있다.

[0112] 본 실시형태에 있어서, 게이트 절연층(16)의 비유전율은 높은 것이 바람직하다. 게이트 절연층(16)으로서, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 화합물을 사용함으로써 높은 비유전율이 얻어진다. 이에 의해, 박막 트랜지스터(120)의 구동 능력이 향상된다.

[0113] 본 실시형태에 따르면, 고이동도와 고신뢰성을 갖는 실용적인 박막 트랜지스터가 얻어진다. 본 실시형태에서도, 접속도가 높고 실용적인 반도체 장치를 제공할 수 있다.

[0114] 이 예에서, 제3 절연층(23)의 재료를 게이트 절연층(16)의 재료와 같게 해도 된다. 이 경우에는, 제3 절연층(23)과 게이트 절연층(16)이 연속적이어서, 경계가 관측되지 않는다. 이 재료로 이루어진 절연층 중에서, 반도체층(30)과 제1 게이트 전극(11) 사이에 위치하는 부분이 게이트 절연층(16)으로서 사용된다. 그 이외의 부분은 제3 절연층(23)으로서 사용된다.

[0115] 도 8은 제2 실시형태에 따른 다른 반도체 장치의 일부를 예시하는 모식적 단면도이다. 도 8은 본 실시형태에 따른 반도체 장치(221)에 포함되는 박막 트랜지스터(121)를 예시하고 있다.

[0116] 도 8에 도시한 바와 같이, 박막 트랜지스터(121)에서는, 게이트 절연층(16)은 제2 절연층(22)과 연속적이다. 예를 들어, 게이트 절연층(16)의 재료는 제2 절연층(22)의 재료와 같다. 예를 들어, 게이트 절연층(16) 및 제2 절연층(22)은, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 화합물을 포함할 수 있다. 높은 비유전율과 높은 에칭 스토퍼성이 얻어진다.

[0117] 반도체층(30)의 하면과 상면이 동일한 재료로 덮이기 때문에, 박막 트랜지스터(121)의 보다 안정된 특성이 얻어진다. 반도체 장치(221)에 있어서도, 접속도가 높고 실용적인 반도체 장치를 제공할 수 있다.

[0118] (제3 실시형태)

[0119] 본 실시형태는, 제1 실시형태에 따른 반도체 장치의 제조 방법에 관련된다.

[0120] 도 9는 제3 실시형태에 따른 반도체 장치의 제조 방법을 예시하는 흐름도이다.

[0121] 도 10a 내지 도 10c는 제3 실시형태에 따른 반도체 장치의 제조 방법을 예시하는 공정순 모식적 단면도이다.

[0122] 도 9에 도시한 바와 같이, 본 제조 방법에서는, 기능 소자(155)를 포함하는 기판(150)의 상면(150a) 위에 하지 절연층(160)을 형성한다(스텝 S110).

[0123] 하지 절연층(160)의 일부 위에 제1 게이트 전극(11)을 형성한다(스텝 S120).

[0124] 제1 게이트 전극(11)과 하지 절연층(160)을 덮도록, 실리콘과 질소를 포함하는 제1 절연층(21)을 형성한다(스텝 S130).

[0125] 제1 절연층(21) 위에 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제2 절연층(22)을 형성한다(스텝 S140).

[0126] 도 10a에 나타낸 바와 같이, 제2 절연층(22) 위에 인듐, 갈륨 및 아연 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체막(30f)을 형성한다.

[0127] 도 10b에 나타낸 바와 같이, 제2 절연층(22)을 스토퍼로서 사용하여 반도체막(30f)을 패터닝하여, 반도체막(30f)으로부터 반도체층(30)을 형성한다(스텝 S150). 반도체막(30f)의 패터닝에는, 예를 들어 건식 에칭이 사용된다. 건식 에칭에서는, 예를 들어 염소를 포함하는 가스가 사용된다. 삼염화 붕소를 포함하는 가스를 사용해도 된다.

[0128] 반도체층(30) 위 및 제2 절연층(22) 위에 Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제3 절연층(23)을 형성한다(스텝 S160).

[0129] 도 10c에 나타낸 바와 같이, 제3 절연층(23)의 상면으로부터 반도체층(30)에 도달하는 제1 구멍(41h)과, 제3 절연층(23)의 상면으로부터 반도체층(30)에 도달하고 제1 구멍(41h)으로부터 이격되는 제2 구멍(42h)을 형성한다(스텝 S170). 제1 구멍(41h) 및 제2 구멍(42h)의 형성에 있어서는, 예를 들어 제2 절연층(22)이 스토퍼

로서 사용된다. 제1 구멍(41h) 및 제2 구멍(42h)의 형성에는, 예를 들어 건식 에칭이 사용된다. 건식 에칭에서는, 예를 들어 사불화 메탄, 트리플루오로메탄 및 산소 중에서 선택되는 적어도 어느 하나를 포함하는 가스가 사용된다.

[0130] 제1 구멍(41h)과 제2 구멍(42h)에 도전 재료를 매립한다(스텝 S180). 제1 구멍(41h)에 매립된 도전 재료에 의해 제1 도전층(41)이 형성된다. 제2 구멍(42h)에 매립된 도전 재료에 의해 제2 도전층(42)이 형성된다. 따라서, 반도체층(30)을 포함하는 박막 트랜지스터(예를 들어, 박막 트랜지스터(110))가 형성된다.

[0131] 상기한 제1 구멍(41h) 및 제2 구멍(42h)의 형성(스텝 S170)은 제3 절연층(23)의 상면으로부터, 반도체층(30)으로부터 이격되는 제3 구멍(43h)을 형성하는 것을 포함해도 된다. 제3 구멍(43h)은 제1 구멍(41h)과 제2 구멍(42h) 사이에 형성된다. 도전 재료의 매립(스텝 S180)은 제3 구멍(43h)에 도전 재료를 매립하는 것을 포함할 수 있다. 이에 의해, 제2 게이트 전극(12)을 형성할 수 있다.

[0132] 본 실시형태에 따른 제조 방법에 의하면, 고집적도이고 실용적인 반도체 장치의 제조 방법을 제공할 수 있다.

[0133] 도 10c에 나타낸 바와 같이, 본 실시형태에 있어서, 배선(50)을 위한 구멍(배선 구멍(50h))을 더 제공해도 된다. 즉, 제1 구멍(41h) 및 제2 구멍(42h)의 형성(스텝 S170)은 기능 소자(155)와 박막 트랜지스터를 전기적으로 접속하는 배선(50)의 적어도 일부가 형성되는 배선 구멍(50h)의 형성을 포함할 수 있다. 도전 재료의 매립(스텝 S180)은 배선 구멍(50h)에 도전 재료를 매립하는 것을 포함할 수 있다. 이에 의해, 배선(50)의 적어도 일부를 형성할 수 있다.

[0134] (제4 실시형태)

[0135] 본 실시형태는, 제2 실시형태에 따른 반도체 장치의 제조 방법에 관련된다.

[0136] 도 11은 제4 실시형태에 따른 반도체 장치의 제조 방법을 예시하는 흐름도이다.

[0137] 도 12a 내지 도 12c는 제4 실시형태에 따른 반도체 장치의 제조 방법을 예시하는 공정순 모식적 단면도이다.

[0138] 도 11에 나타낸 바와 같이, 본 제조 방법에서는, 기능 소자(155)를 포함하는 기판(150)의 상면(150a) 위에 하지 절연층(160)을 형성한다(스텝 S110).

[0139] 하지 절연층(160) 위에 실리콘과 질소를 포함하는 제1 절연층(21)을 형성한다(스텝 S130).

[0140] 제1 절연층(21) 위에 Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제2 절연층(22)을 형성한다(스텝 S140).

[0141] 도 12a에 나타낸 바와 같이, 제2 절연층(22) 위에 인듐, 갈륨 및 아연 중에서 선택되는 적어도 어느 하나를 포함하는 산화물의 반도체막(30f)을 형성한다.

[0142] 도 12b에 나타낸 바와 같이, 제2 절연층(22)을 스토퍼로서 사용하여 반도체막(30f)을 패터닝하여, 반도체막(30f)으로부터 반도체층(30)을 형성한다(스텝 S150). 이 경우에도, 반도체막(30f)의 패터닝에는, 예를 들어 건식 에칭이 사용된다. 건식 에칭에서는, 예를 들어 염소를 포함하는 가스가 사용된다. 삼염화 봉소를 포함하는 가스를 사용해도 된다.

[0143] 반도체층(30) 위 및 제2 절연층(22) 위에 Si, Al, Ti, Ta, Hf 및 Zr 중에서 선택되는 적어도 어느 하나와 산소를 포함하는 제3 절연층(23)을 형성한다(스텝 S160). 예를 들어, 제3 절연층(23) 중 반도체층(30) 위의 부분이 게이트 절연층(16)으로서 사용된다.

[0144] 도 12c에 나타낸 바와 같이, 제3 절연층(23)의 상면으로부터 반도체층(30)에 도달하는 제1 구멍(41h)과, 제3 절연층(23)의 상면으로부터 반도체층(30)에 도달하고 제1 구멍(41h)으로부터 이격되는 제2 구멍(42h)과, 제3 절연층(23)의 상면으로부터 형성되고 제1 구멍(41h)과 제2 구멍(42h) 사이에서 반도체층(30)으로부터 이격되는 제3 구멍(43h)을 형성한다(스텝 S171). 제1 구멍(41h), 제2 구멍(42h) 및 제3 구멍(43h)의 형성에는, 예를 들어 건식 에칭이 사용된다. 이 경우에도, 건식 에칭에서는, 예를 들어 사불화 메탄, 트리플루오로메탄 및 산소 중에서 선택되는 적어도 어느 하나를 포함하는 가스가 사용된다.

[0145] 제1 구멍(41h), 제2 구멍(42h) 및 제3 구멍(43h)에 도전 재료를 매립한다(스텝 S180). 제1 구멍(41h)에 매립된 도전 재료에 의해 제1 도전층(41)이 형성된다. 제2 구멍(42h)에 매립된 도전 재료에 의해 제2 도전층(42)이 형성된다. 제3 구멍(43h)에 매립된 도전 재료에 의해 제1 게이트 전극(11)이 형성된다. 따라서, 반도

체층(30)을 포함하는 박막 트랜지스터(예를 들어, 박막 트랜지스터(120))가 형성된다.

[0146] 본 실시형태에 따른 제조 방법에 의하면, 고집적도이고 실용적인 반도체 장치의 제조 방법을 제공할 수 있다.

[0147] 도 12c에 나타낸 바와 같이, 이 경우에도, 제1 구멍(41h) 및 제2 구멍(42h)의 형성(스텝 S171)은 기능 소자(155)와 박막 트랜지스터를 전기적으로 접속하는 배선(50)의 적어도 일부가 형성되는 배선 구멍(50h)의 형성을 포함할 수 있다. 이어서, 도전 재료의 매립(스텝 S180)은 배선 구멍(50h)에 도전 재료를 매립하는 것을 포함할 수 있다. 이에 의해, 배선(50)의 적어도 일부를 형성할 수 있다.

[0148] 제1 내지 제4 실시형태에서, 제2 절연층(22) 및 제3 절연층(23)으로서 산화 실리콘을 사용하는 경우, 이를 층 중에서 선택되는 적어도 어느 하나에 TEOS 막을 사용해도 된다. 제2 절연층(22) 및 제3 절연층(23) 중에서 선택되는 적어도 어느 하나에, 다공성 막을 사용해도 된다. 다공성 막은, 예를 들어 SiOC를 포함할 수 있다. 다공성 막을 사용함으로써, 예를 들어 배선간의 기생 용량을 저감할 수 있다.

[0149] 실시형태들에 따르면, 고집적도이고 실용적인 반도체 장치 및 그 제조 방법을 제공할 수 있다.

[0150] 또한, 본원 명세서에 있어서, "수직" 및 "평행"은 엄밀한 수직 및 엄밀한 평행뿐만 아니라, 예를 들어 제조 공정에 있어서의 변동 등을 포함하는 것이다. 실질적으로 수직 및 실질적으로 평행하면 충분하다.

[0151] 이상, 구체예를 참조하여 본 발명의 실시형태에 대해 설명하였다. 그러나, 본 발명은 이를 구체예에 한정되는 것은 아니다. 예를 들어, 반도체 장치에 포함되는 기판, 기능 소자, 하지 절연층, 제1 게이트 전극, 제2 게이트 전극, 제1 내지 제3 절연층, 게이트 절연층, 제1 도전층, 제2 도전층, 배선, 제1 내지 제3 배선 및 층간 절연층 등의 각 요소의 구체적인 구성에 대해서는, 당업자가 공지된 범위로부터 적절히 선택함으로써 본 발명을 마찬가지로 실시하여 마찬가지의 효과를 얻을 수 있는 한 본 발명의 범위에 포함된다.

[0152] 또한, 각 구체예 중 어느 2개 이상의 요소를 기술적으로 가능한 범위에서 조합한 것도 본 발명의 요지를 포함하는 한 본 발명의 범위에 포함된다.

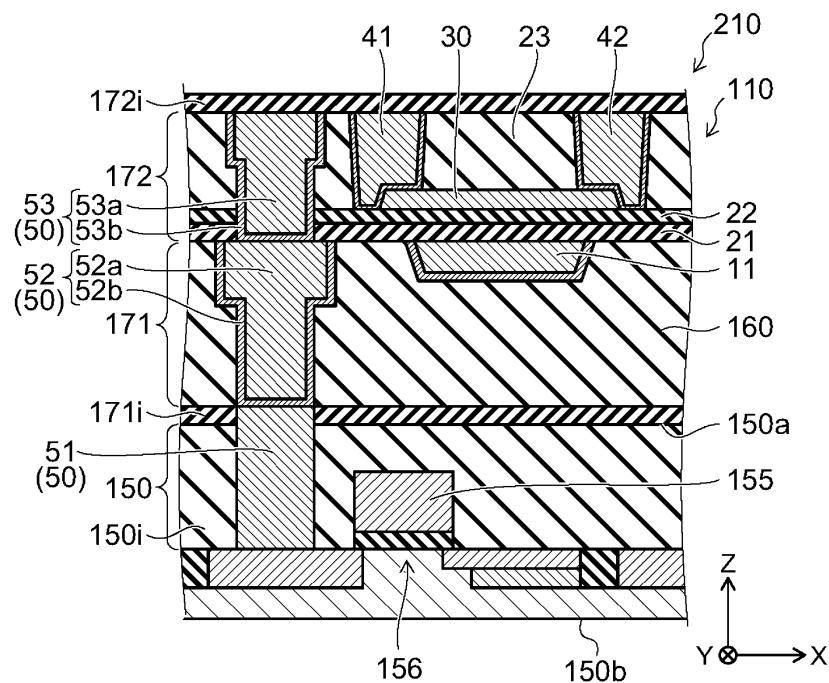
[0153] 또한, 본 발명의 실시형태로서 상술한 반도체 장치 및 그 제조 방법을 기초로 하여, 당업자가 적절히 설계 변경하여 실시할 수 있는 모든 반도체 장치 및 그 제조 방법도, 본 발명의 요지를 포함하는 한 본 발명의 범위에 속한다.

[0154] 본 발명의 사상의 범주 내에서, 당업자라면 각종 변경예 및 수정예에 상도할 수 있는 것이며, 그들 변경예 및 수정예에 대해서도 본 발명의 범위에 속하는 것으로 이해된다.

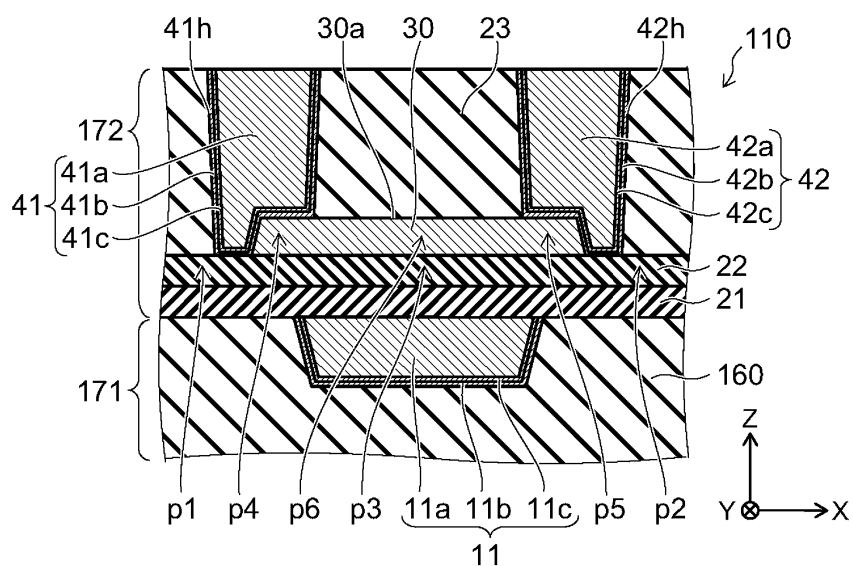
[0155] 본 발명의 몇몇 실시형태를 설명했지만, 이들 실시형태는, 예로서 제시한 것이며, 본 발명의 범위를 한정하는 것은 의도하지 않고 있다. 이들 신규의 실시형태는, 그 밖의 다양한 형태로 실시되는 것이 가능하고, 본 발명의 요지를 일탈하지 않는 범위에서, 다양한 생략, 치환, 변경을 행할 수 있다. 이들 실시형태나 그 변형은, 본 발명의 범위나 요지에 포함됨과 함께, 특히 청구 범위에 기재된 발명과 그 균등 범위에 포함된다.

도면

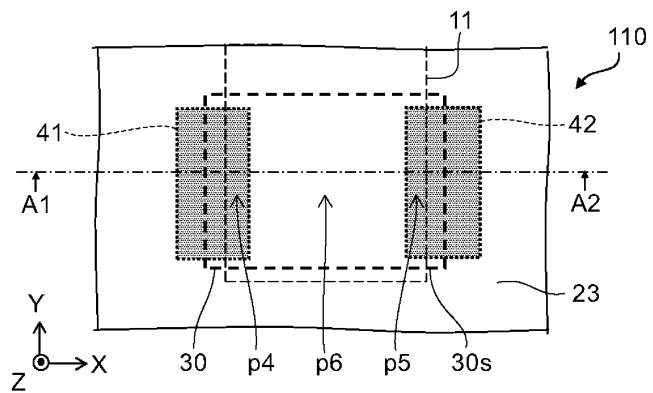
도면1



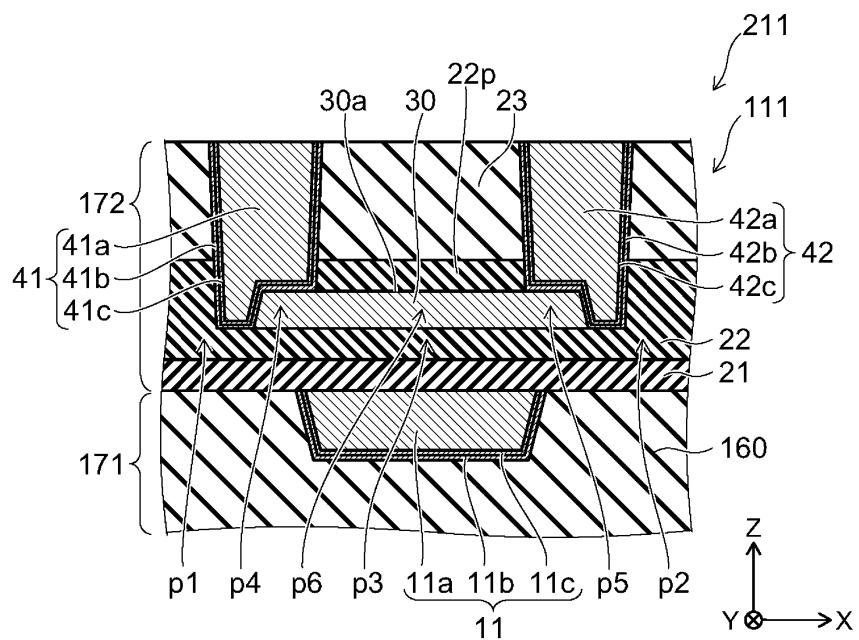
도면2



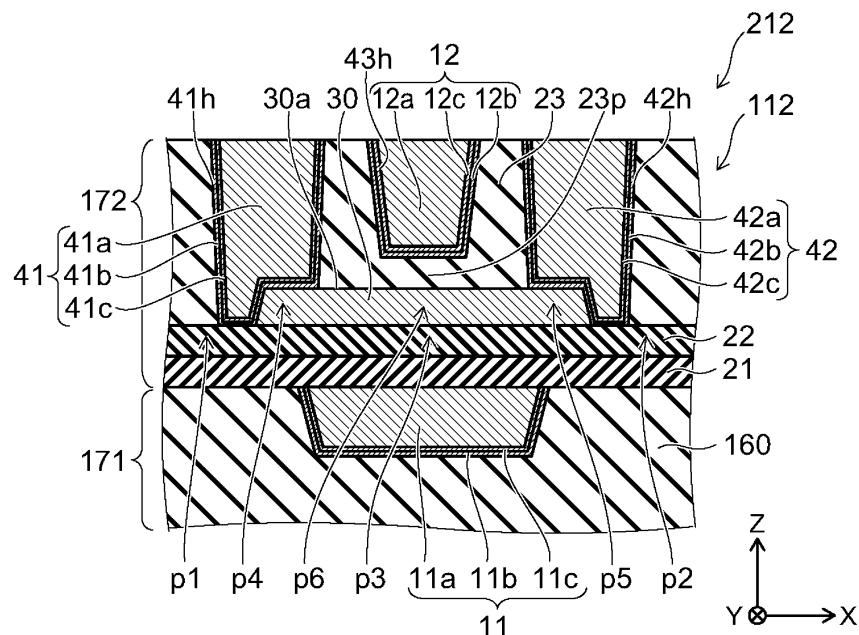
도면3



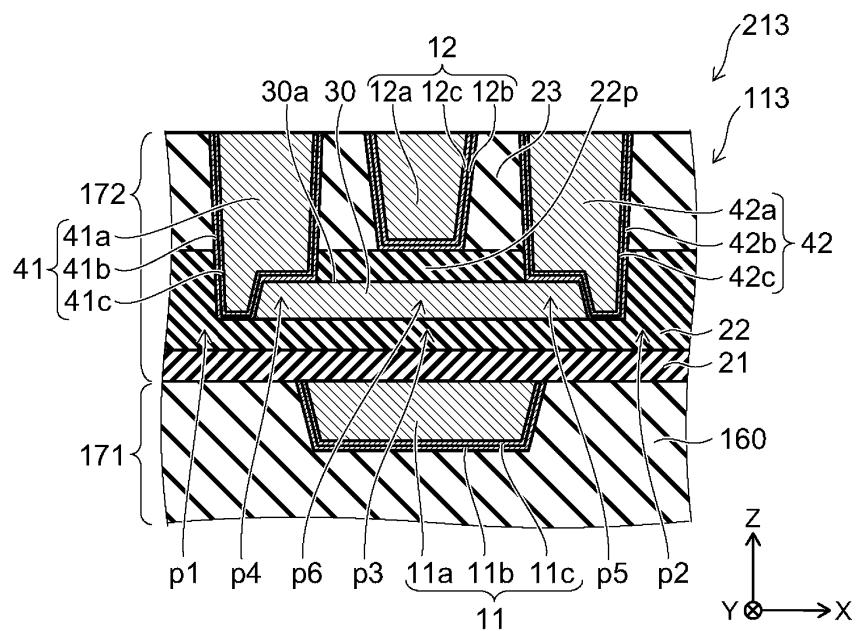
도면4



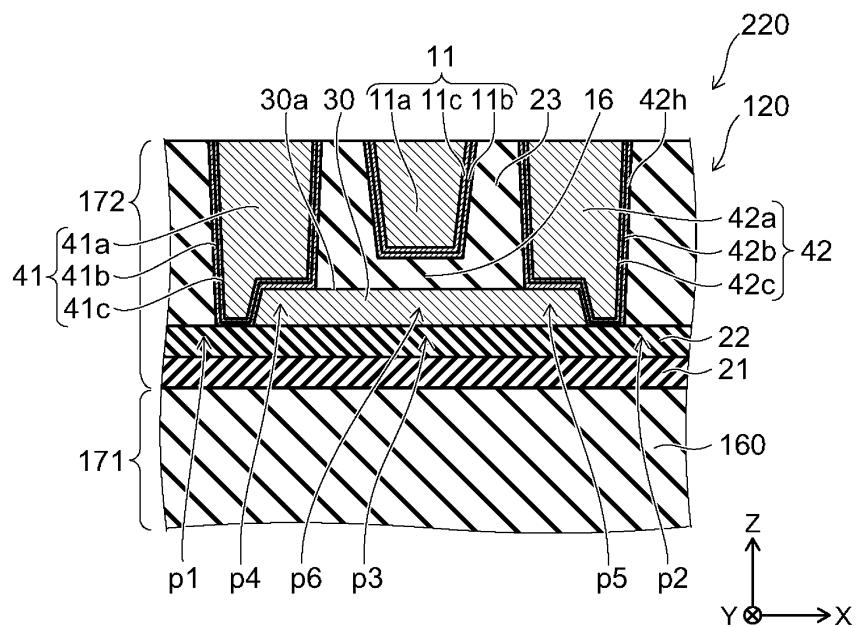
도면5



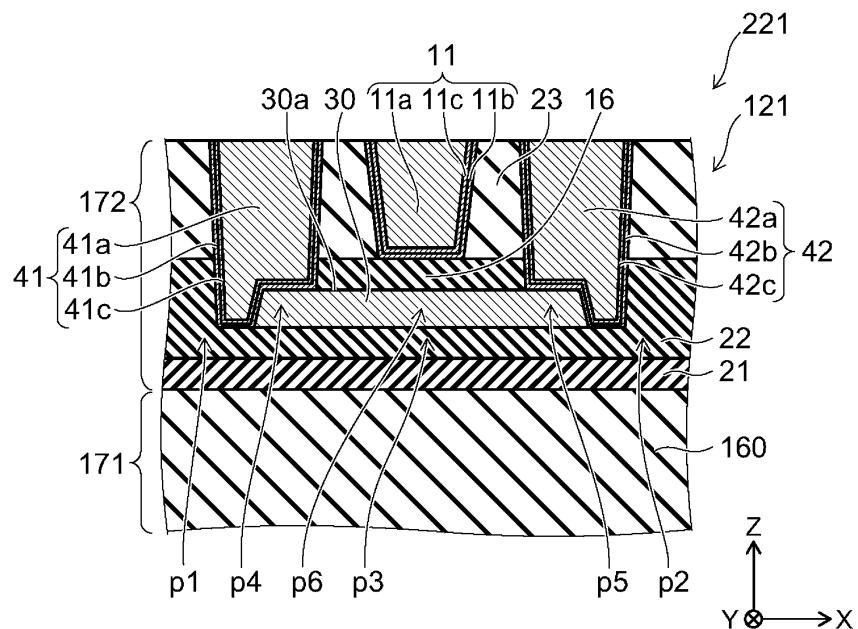
도면6



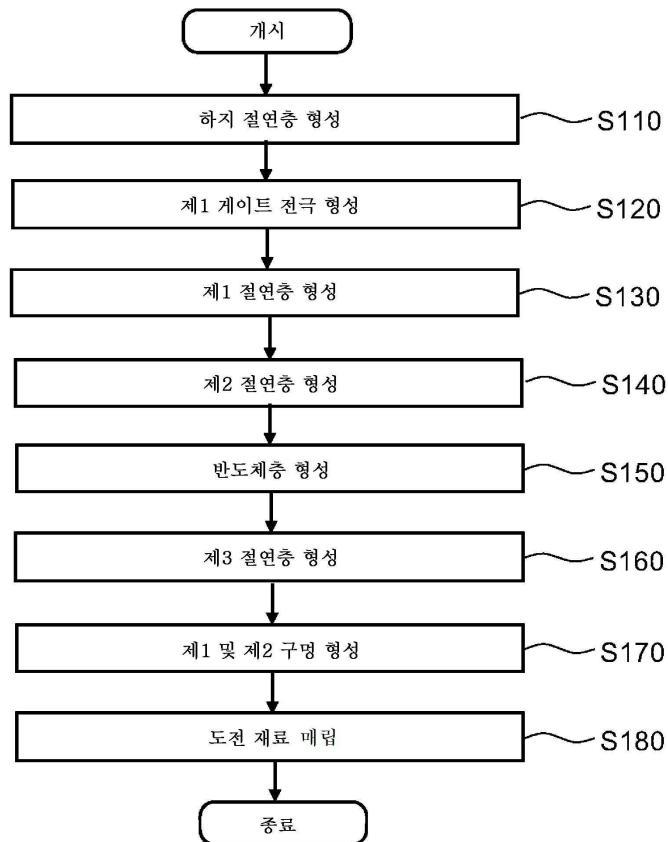
도면7



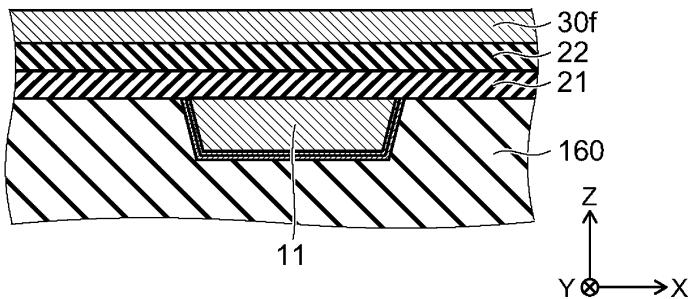
도면8



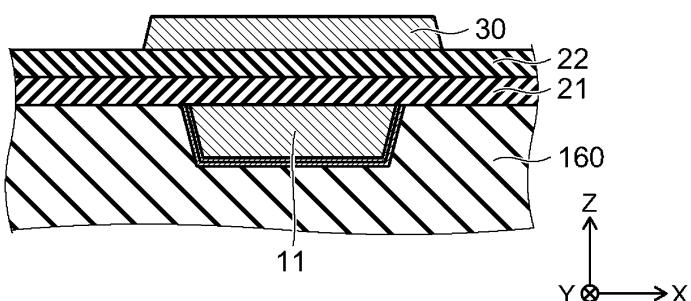
도면9



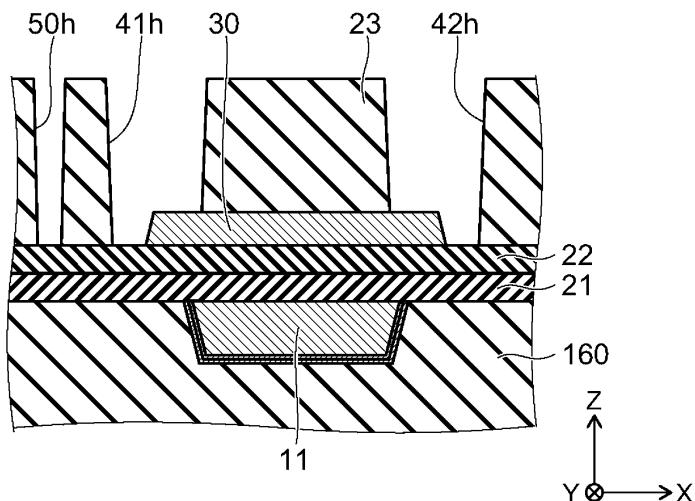
도면10a



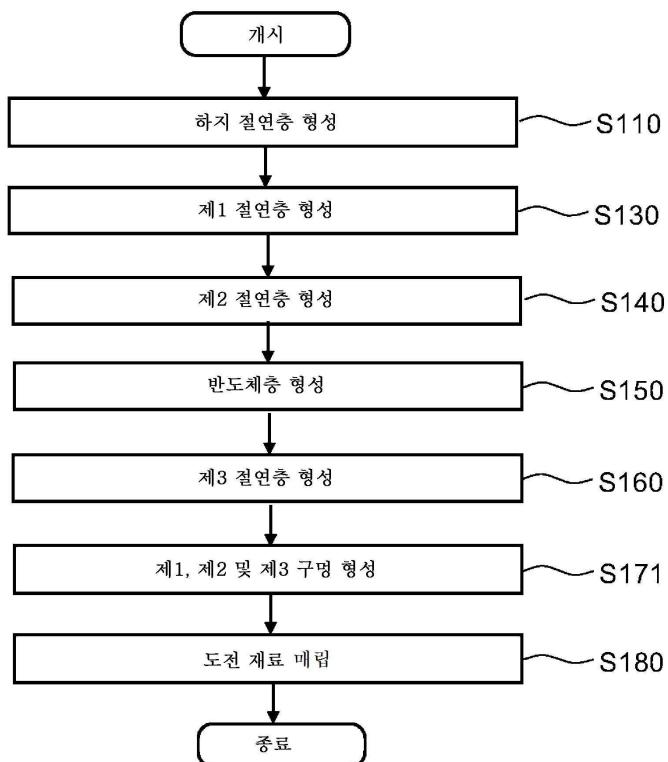
도면10b



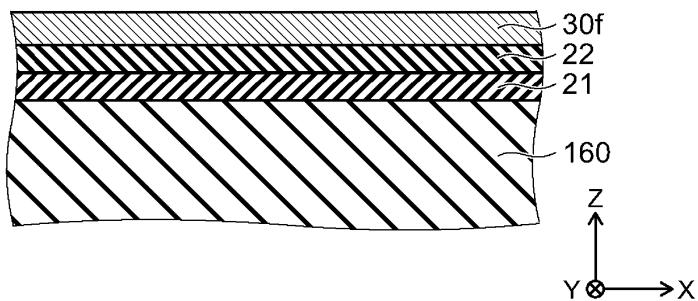
도면 10c



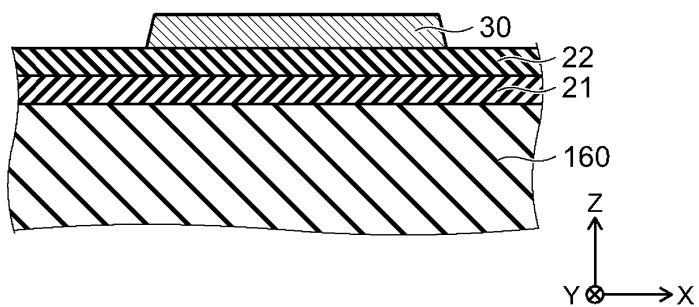
도면11



도면12a



도면12b



도면12c

