



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0135655
(43) 공개일자 2014년11월26일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
H01L 21/31 (2006.01)

(21) 출원번호 10-2014-0058844
(22) 출원일자 2014년05월16일
심사청구일자 없음
(30) 우선권주장
JP-P-2013-105683 2013년05월18일 일본(JP)

(71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자
야마자키 순례이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
미야케 히로유키
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
(뒷면에 계속)

(74) 대리인
장훈

전체 청구항 수 : 총 22 항

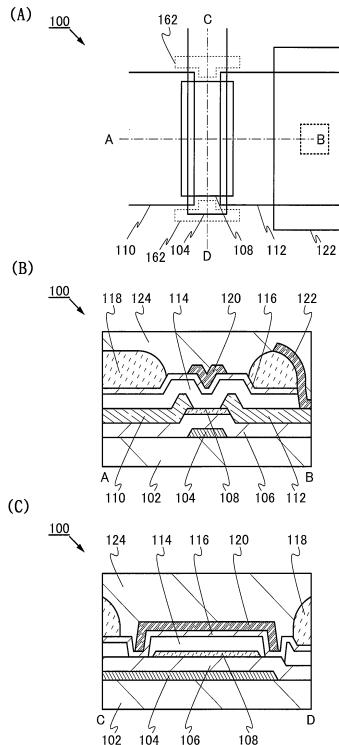
(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은 전기 특성(예를 들어, 온 전류, 전계 효과 이동도, 주파수 특성 등)이 뛰어난 트랜지스터를 갖는 반도체 장치를 제공한다. 또는, 신뢰성이 높은 트랜지스터를 갖는 반도체 장치를 제공한다.

제 1 게이트 전극 및 제 2 게이트 전극 사이에 제공되는 산화물 반도체막과, 산화물 반도체막과 제 1 게이트 전
(뒷면에 계속)

대 표 도 - 도1



극 또는 제 2 게이트 전극 사이에 제공되는 게이트 절연막과, 산화물 반도체막에 접하는 한 쪽의 전극을 갖는 듀얼 게이트 구조의 트랜지스터, 및 상기 한 쪽의 전극 중 한쪽에 접속되는 도전막을 구비하며, 한 쪽의 전극 중 한쪽과 도전막 사이에는 상기 게이트 절연막 및 절연막이 적층되고, 상기 절연막은 적어도 산화물 반도체막과 중첩되는 영역에서 개구부를 갖고, 제 1 게이트 전극 또는 제 2 게이트 전극은 절연막의 개구부 내측에서 게이트 절연막에 접하고, 제 1 게이트 전극 또는 제 2 게이트 전극과 한 쪽의 전극 중 한쪽에 접속되는 도전막은 같은 재료를 사용하여 형성되는 반도체 장치이다.

(72) 발명자

이노우에 세이코

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

마츠바야시 다이스케

일본 243-0036 가나가와켄 아쓰기시 하세 398 가부
시키가이샤 한도오따이 에네루기 켄큐쇼 내

특허청구의 범위

청구항 1

반도체 장치에 있어서,

기판과;

상기 기판 위의 제 2 절연막과;

상기 제 2 절연막 위의 제 3 절연막과;

트랜지스터로서, 상기 기판 위의 반도체층과, 상기 반도체층에 각각 전기적으로 접속되는 소스 전극 및 드레인 전극과, 상기 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위의 상기 제 2 절연막과, 상기 제 2 절연막을 개재(介在)하여 상기 반도체층과 중첩되는 제 2 게이트 전극을 포함하는 상기 트랜지스터와;

상기 제 3 절연막에서의, 상기 반도체층과 중첩되는 제 1 개구부 및 상기 소스 전극 및 상기 드레인 전극 중 한쪽과 중첩되는 제 2 개구부와;

상기 제 2 개구부에서 상기 제 3 절연막 위에 있고, 상기 제 2 절연막에 형성된 제 3 개구부에서 상기 소스 전극 및 상기 드레인 전극 중 상기 한쪽에 전기적으로 접속되는 제 3 전극으로서, 상기 제 3 개구부는 상기 제 2 개구부와 중첩되는, 상기 제 3 전극을 포함하고,

상기 제 2 게이트 전극은 상기 제 1 개구부 내측에 있는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 기판 위의 제 1 게이트 전극과;

상기 제 1 게이트 전극 위 및 상기 반도체층 아래에 있는 제 1 절연막을 더 포함하고,

상기 제 1 게이트 전극, 상기 제 2 게이트 전극, 및 상기 반도체층은 서로 중첩되는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 2 게이트 전극 및 상기 제 3 전극은 각각 동일한 도전막의 제 1 부분 및 제 2 부분인, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 2 게이트 전극 및 상기 제 3 전극은 동일한 도전막으로 형성되는, 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 제 3 전극은 상기 제 3 개구부에서 상기 소스 전극 및 상기 드레인 전극 중 상기 한쪽과 직접 접하는, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 2 절연막은 무기막(inorganic film)이고,

상기 제 3 절연막은 유기막(organic film)인, 반도체 장치.

청구항 7

제 1 항에 있어서,

상기 3 절연막 상에 형성되는 제 4 절연막을 더 포함하고,

상기 반도체층을 나타내는 단면도에서, 상기 제 2 게이트 전극이 상기 제 2 절연막 및 상기 제 4 절연막에 의하여 밀봉되도록, 상기 제 2 게이트 전극의 상면 및 측면은 상기 제 4 절연막으로 덮이는, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 제 3 전극과 중첩되는 제 4 전극과;

상기 제 3 전극과 상기 제 4 전극 사이의 EL층을 더 포함하는, 반도체 장치.

청구항 9

제 1 항에 있어서,

상기 반도체층은 산화물 반도체층인, 반도체 장치.

청구항 10

제 1 항에 있어서,

상기 반도체 장치는 액티브 매트릭스형 발광 장치인, 반도체 장치.

청구항 11

반도체 장치에 있어서,

기판과;

상기 기판 위의 제 1 절연막과;

상기 제 1 절연막 위의 제 2 절연막과;

상기 제 2 절연막 위의 제 3 절연막과;

화소부에서의 트랜지스터로서, 상기 기판 위의 제 1 게이트 전극과, 상기 제 1 게이트 전극 위의 상기 제 1 절연막과, 상기 제 1 절연막 위에 있고 상기 제 1 게이트 전극과 중첩되는 산화물 반도체층과, 상기 산화물 반도체층과 각각 직접 접하는 소스 전극 및 드레인 전극과, 상기 산화물 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위의 상기 제 2 절연막과, 상기 제 2 절연막을 제 2 게이트 전극과 상기 산화물 반도체층 사이에 개재하여 상기 산화물 반도체층 및 상기 제 1 게이트 전극과 중첩되는 상기 제 2 게이트 전극을 포함하는 상기 트랜지스터와;

상기 제 3 절연막에서의, 상기 반도체층과 중첩되는 제 1 개구부 및 상기 소스 전극 및 상기 드레인 전극 중 한쪽과 중첩되는 제 2 개구부와;

상기 제 2 개구부에서 상기 제 3 절연막 위에 있고, 상기 제 2 절연막에 형성된 제 3 개구부에서 상기 소스 전극 및 상기 드레인 전극 중 상기 한쪽에 직접 접하는 화소 전극으로서, 상기 제 3 개구부는 상기 제 2 개구부와 중첩되는, 상기 화소 전극을 포함하고,

상기 제 2 게이트 전극은 상기 제 1 개구부 내측에 있는, 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 제 2 게이트 전극 및 상기 화소 전극은 각각 동일한 도전막의 제 1 부분 및 제 2 부분인, 반도체 장치.

청구항 13

제 11 항에 있어서,

상기 제 2 게이트 전극 및 상기 화소 전극은 동일한 도전막으로 형성되는, 반도체 장치.

청구항 14

제 11 항에 있어서,

상기 제 2 절연막은 무기막이고,

상기 제 3 절연막은 유기막인, 반도체 장치.

청구항 15

제 11 항에 있어서,

상기 3 절연막 상에 형성되는 제 4 절연막을 더 포함하고,

상기 반도체층을 나타내는 단면도에서, 상기 제 2 게이트 전극이 상기 제 2 절연막 및 상기 제 4 절연막에 의해
밀봉되도록, 상기 제 2 게이트 전극의 상면 및 측면은 상기 제 4 절연막으로 덮이는, 반도체 장치.

청구항 16

제 11 항에 있어서,

상기 화소 전극과 중첩되는 제 4 전극과;

상기 화소 전극과 상기 제 4 전극 사이의 EL층을 더 포함하는, 반도체 장치.

청구항 17

제 11 항에 있어서,

상기 반도체 장치는 액티브 매트릭스형 발광 장치인, 반도체 장치.

청구항 18

반도체 장치의 제작 방법에 있어서,

기판 위에 반도체층과, 상기 반도체층에 각각 전기적으로 접속되는 소스 전극 및 드레인 전극을 형성하는 단계
와;

상기 반도체층, 상기 소스 전극, 및 상기 드레인 전극 위에 제 2 절연막을 형성하는 단계와;

상기 제 2 절연막 위에 제 3 절연막을 형성하는 단계와;

상기 반도체층과 중첩되는 제 1 개구부, 및 상기 소스 전극 및 상기 드레인 전극 중 한쪽과 중첩되는 제 2 개구
부를 상기 제 3 절연막에 형성하는 단계와;

상기 제 2 개구부와 중첩되는 제 3 개구부를 상기 제 2 절연막에 형성하는 단계와;

상기 제 1 개구부, 상기 제 2 개구부, 및 상기 제 3 개구부에서 상기 제 3 절연막 위에 도전막을 형성하는 단계
와;

상기 도전막을 선택적으로 에칭하여, 상기 제 1 개구부에 제 2 전극, 상기 제 2 개구부에서의 상기 제 3 절연막
위 및 상기 제 3 개구부에 제 3 전극을 형성하는 단계를 포함하고,

상기 제 2 절연막은, 상기 제 1 개구부와 중첩되는 영역에서, 상기 반도체층과 상기 제 2 전극 사이에
개재되고,

상기 제 3 전극은 상기 제 3 개구부에서 상기 소스 전극 및 상기 드레인 전극 중 상기 한쪽과 직접 접하는, 반
도체 장치의 제작 방법.

청구항 19

제 18 항에 있어서,

상기 반도체층을 형성하는 상기 단계 전에 상기 기판 위에 제 1 전극 및 제 1 절연막을 순차적으로 형성하는 단

계를 더 포함하고,

상기 제 1 전극, 상기 제 2 전극, 및 상기 반도체층은 서로 중첩되는, 반도체 장치의 제작 방법.

청구항 20

제 18 항에 있어서,

상기 제 2 절연막은 무기막이고,

상기 제 3 절연막은 유기막인, 반도체 장치의 제작 방법.

청구항 21

제 18 항에 있어서,

상기 제 3 전극 상에 EL층을 형성하는 단계와;

상기 EL층 상에 제 4 전극을 형성하는 단계를 더 포함하는, 반도체 장치의 제작 방법.

청구항 22

제 18 항에 있어서,

상기 반도체층은 산화물 반도체층인, 반도체 장치의 제작 방법.

명세서

기술분야

[0001]

본 발명은 산화물 반도체막을 갖는 트랜지스터를 구비한 반도체 장치 및 그 제작 방법에 관한 것이다.

배경기술

[0002]

기판 위에 형성된 반도체 박막을 사용하여 트랜지스터(박막 트랜지스터(TFT)라고도 함)를 구성하는 기술이 주목을 받고 있다. 상기 트랜지스터는 집적 회로(IC)나 화상 표시 장치(표시 장치) 등의 전자 디바이스에 널리 응용되고 있다. 트랜지스터에 적용 가능한 반도체 박막의 재료로서 실리콘계 반도체 재료가 널리 알려져 있지만, 그 외 재료로서는 산화물 반도체가 주목을 받고 있다.

[0003]

예를 들어, 트랜지스터의 활성층으로서 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유한 산화물 반도체를 사용한 트랜지스터가 개시(開示)되어 있다(특히 문헌 1 참조).

[0004]

또한, 산화물 반도체층을 적층 구조로 함으로써 캐리어 이동도를 향상시키는 기술이 개시되어 있다(특히 문헌 2 및 특허 문헌 3 참조).

선행기술문헌

특허문헌

[0005]

(특허문헌 0001) 일본국 특개 2006-165528호 공보

(특허문헌 0002) 일본국 특개 2011-138934호 공보

(특허문헌 0003) 일본국 특개 2011-124360호 공보

발명의 내용

해결하려는 과제

[0006]

본 발명의 일 형태는 전기 특성(예를 들어 온 전류, 전계 효과 이동도, 주파수 특성 등)이 뛰어난 트랜지스터를 갖는 반도체 장치를 제공한다. 또는, 본 발명의 일 형태는 신뢰성이 높은 트랜지스터를 갖는 반도체 장치를 제

공한다.

과제의 해결 수단

- [0007] 본 발명의 일 형태는, 제 1 게이트 전극과 제 2 게이트 전극 사이에 제공되는 산화물 반도체막, 산화물 반도체막과 제 1 게이트 전극 또는 제 2 게이트 전극 사이에 제공되는 게이트 절연막, 및 산화물 반도체막에 접하는 한 쌍의 전극을 갖는 듀얼 게이트 구조의 트랜지스터와, 상기 한 쌍의 전극 중 한쪽에 접속되는 도전막을 구비하며, 한 쌍의 전극 중 한쪽과 도전막 사이에는 상기 게이트 절연막 및 절연막이 적층되고, 상기 절연막은 적어도 산화물 반도체막과 중첩되는 영역에 개구부를 갖고, 제 1 게이트 전극 또는 제 2 게이트 전극은 절연막의 개구부 내측에서 게이트 절연막에 접하고, 제 1 게이트 전극 또는 제 2 게이트 전극과, 한 쌍의 전극 중 한쪽에 접속되는 도전막은 같은 재료를 사용하여 형성되는 반도체 장치이다.
- [0008] 또한, 게이트 절연막은 분리되고, 트랜지스터의 채널 폭 방향에 있어서, 제 1 게이트 전극 또는 제 2 게이트 전극은 게이트 절연막을 개재(介在)하여 산화물 반도체막의 측면과 대향하여도 좋다.
- [0009] 또한, 게이트 절연막은 산화물 반도체막을 끼워서 대향하는 복수의 개구부를 갖고, 트랜지스터의 채널 폭 방향에 있어서, 복수의 개구부에 형성된 제 2 게이트 전극은 게이트 절연막을 개재하여 산화물 반도체막의 측면과 대향하여도 좋다.
- [0010] 또한, 게이트 절연막은 무기 절연막으로 형성되고, 한 쌍의 전극 중 한쪽과 도전막 사이에 제공되는 절연막은 유기 절연막으로 형성되어도 좋다.
- [0011] 또한, 본 발명의 일 형태는 제 1 게이트 전극, 제 1 게이트 전극과 중첩되는 산화물 반도체막, 제 1 게이트 전극과 산화물 반도체막 사이의, 산소에 대한 제 1 배리어막, 산화물 반도체막에 접하는 한 쌍의 전극, 산화물 반도체막에 접하는 산화물 절연막, 산소에 대한 제 1 배리어막 및 산화물 절연막에 접하는 산소에 대한 제 2 배리어막, 및 산소에 대한 제 2 배리어막을 개재하여 산화물 반도체막과 중첩되는 제 2 게이트 전극을 가지며, 산소에 대한 제 1 배리어막과 산소에 대한 제 2 배리어막 사이에 산화물 반도체막 및 산화물 절연막이 제공되는 트랜지스터와, 산소에 대한 제 2 배리어막에 접하며 산화물 반도체막과 부분적으로 중첩되는 제 1 개구부를 포함하는 절연막과, 적어도 산소에 대한 제 2 배리어막 및 절연막에 형성되는 제 2 개구부에서 한 쌍의 전극 중 한쪽에 접속되는 도전막을 구비하는 반도체 장치이고, 제 2 게이트 전극은 제 1 개구부 내측에서 산소에 대한 제 2 배리어막에 접하고 또한 산화물 반도체막과 중첩되고, 제 2 게이트 전극 및 도전막은 같은 재료를 사용하여 형성된다.
- [0012] 또한, 산소에 대한 제 1 배리어막은 제 1 게이트 절연막으로서 기능하고, 산화물 절연막 및 산소에 대한 제 2 배리어막은 제 2 게이트 절연막으로서 기능한다.
- [0013] 또한, 상기 산소에 대한 제 1 배리어막 위의 도전성을 갖는 막과, 도전성을 갖는 막에 접하는 산소에 대한 제 2 배리어막과, 도전막을 포함하는 용량 소자가 형성되어도 좋다.
- [0014] 또한, 산화물 절연막 및 산소에 대한 제 2 배리어막은 무기 절연막으로 형성되고, 한 쌍의 전극 중 한쪽과 도전막 사이에 제공되는 절연막은 유기 절연막으로 형성되어도 좋다.
- [0015] 또한, 트랜지스터의 채널 폭 방향에 있어서, 제 2 게이트 전극은 산화물 절연막 및 산소에 대한 제 2 배리어막을 개재하여 산화물 반도체막의 측면과 대향하여도 좋다.
- [0016] 또한, 산화물 절연막은 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 가져도 좋다. 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위에서 수행되는 TDS 분석하였을 때의 산소 이탈량이 산소 원자로 환산하여 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상이다.
- [0017] 또한, 도전막은 제 1 전극으로서 기능하고, 도전막 위에 발광층과, 발광층 위에 제 2 전극으로서 기능하는 제 2 도전막을 가져도 좋다. 제 1 전극, 발광층, 및 제 2 전극은 발광 소자를 구성한다.
- [0018] 또한, 도전막 중 한 쌍의 전극 중 한쪽과의 접속부, 및 절연막의 개구부 내측에서 게이트 절연막에 접하는 제 1 게이트 전극 또는 제 2 게이트 전극과 중첩되는 절연막을 가져도 좋다. 상기 절연막은 격벽으로서 기능하여 발광 소자를 분리시킨다.
- [0019] 제 1 게이트 전극 및 제 2 게이트 전극은 접속되어도 좋다.

- [0020] 또한, 상기 트랜지스터를 채널 에치 구조의 트랜지스터로 할 수 있다. 또한, 산화물 반도체막 위에서 한 쌍의 전극 사이의 간격을 $1\mu\text{m}$ 이상 $4\mu\text{m}$ 미만으로 할 수 있다.
- [0021] 산화물 반도체막은 In, M(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd), 및 Zn을 갖는 산화물이고, In의 원자수비가 M의 원자수비 이상인 스퍼터링 타깃을 사용하여 형성할 수 있다.

발명의 효과

- [0022] 본 발명의 일 형태에 의하여, 전기 특성(예를 들어, 온 전류, 전계 효과 이동도, 주파수 특성 등)이 뛰어난 트랜지스터를 갖는 반도체 장치를 제공할 수 있다. 또는, 본 발명의 일 형태에 의하여, 신뢰성이 높은 트랜지스터를 갖는 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 트랜지스터의 일 형태를 설명하기 위한 상면도 및 단면도.
 도 2는 트랜지스터의 제작 방법의 일 형태를 설명하기 위한 단면도.
 도 3은 트랜지스터의 제작 방법의 일 형태를 설명하기 위한 단면도.
 도 4는 트랜지스터의 제작 방법의 일 형태를 설명하기 위한 단면도.
 도 5는 트랜지스터의 일 형태를 설명하기 위한 상면도 및 단면도.
 도 6은 트랜지스터의 구조를 설명하기 위한 단면도.
 도 7은 전류 전압 곡선을 계산한 결과를 설명하기 위한 도면.
 도 8은 트랜지스터의 페텐셜을 계산한 결과를 설명하기 위한 도면.
 도 9는 모델을 설명하기 위한 도면.
 도 10은 모델을 설명하기 위한 도면.
 도 11은 전류 전압 곡선을 계산한 결과를 설명하기 위한 도면.
 도 12는 트랜지스터 구조를 설명하기 위한 단면도.
 도 13은 발광 장치의 일 형태를 설명하기 위한 블록도 및 회로도.
 도 14는 발광 장치의 일 형태를 설명하기 위한 상면도.
 도 15는 발광 장치의 일 형태를 설명하기 위한 단면도.
 도 16은 발광 장치의 일 형태를 설명하기 위한 단면도.
 도 17은 발광 장치의 일 형태를 설명하기 위한 단면도.
 도 18은 발광 장치를 설명하기 위한 상면도 및 단면도.
 도 19는 전자 기기의 일례를 설명하기 위한 도면.

발명을 실시하기 위한 구체적인 내용

- [0024] (실시형태 1)
 [0025] 본 실시형태에서는, 본 발명의 일 형태인 반도체 장치 및 그 제작 방법에 대하여 도면을 참조하여 설명한다.
 [0026] 반도체 장치가 갖는 트랜지스터(100)의 상면도 및 단면도를 도 1의 (A) 내지 (C)에 도시하였다. 도 1에 도시된 트랜지스터(100)는 채널 에치형 트랜지스터이다. 도 1의 (A)는 트랜지스터(100)의 상면도이고, 도 1의 (B)는 도 1의 (A)를 일점 쇄선 A-B에서 자른 단면도이고, 도 1의 (C)는 도 1의 (A)를 일점 쇄선 C-D에서 자른 단면도이다. 또한, 도 1의 (A)에서는 명료화를 위하여 기판(102), 게이트 절연막(106) 등을 생략하여 도시하였다.
 [0027] 도 1의 (B) 및 (C)에 도시된 트랜지스터(100)는, 기판(102) 위에 제공되는 게이트 전극(104)을 갖는다. 또한, 기판(102) 및 게이트 전극(104) 위에 형성되는 게이트 절연막(106)과, 게이트 절연막(106)을 개재하여 게이트 전극(104)과 중첩되는 산화물 반도체막(108)과, 산화물 반도체막(108)에 접하는 한 쌍의 전극(110, 112)을 갖는

다. 또한, 게이트 절연막(106), 산화물 반도체막(108), 및 한 쌍의 전극(110, 112) 위에는 산화물 절연막(114) 및 질화물 절연막(116)이 형성된다. 산화물 절연막(114) 및 질화물 절연막(116)은 트랜지스터(100)의 보호막으로서의 기능, 및 트랜지스터(100)의 제 2 게이트 절연막으로서의 기능을 갖는다.

[0028] 또한, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116) 위에 게이트 전극(120)이 형성된다. 또한, 제 2 게이트 절연막의 일부로서 기능하는 질화물 절연막(116)에 접하도록, 제 1 개구부를 갖는 절연막(118)이 형성된다. 절연막(118)은 제 1 개구부 내측에 산화물 반도체막(108)이 위치하도록 형성된다. 또한, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114)과 질화물 절연막(116), 및 절연막(118)에는 전극(112)까지 도달하는 제 2 개구부가 형성된다. 또한, 한 쌍의 전극(110, 112) 중 한쪽(여기서는 전극(112))에 접속되는 도전막(122)이 절연막(118)을 덮도록 형성된다. 또한, 도전막(122)은 화소 전극으로서 기능한다.

[0029] 또한, 게이트 전극(120)은 절연막(118)에 형성된 제 1 개구부 내측에서, 제 2 게이트 절연막의 일부로서 기능하는 질화물 절연막(116)에 접하며 산화물 반도체막(108)과 중첩되는 위치에 제공된다. 또한, 게이트 전극(120)과 도전막(122)은 동일 공정으로 형성된다. 즉, 게이트 전극(120)과 도전막(122)은 동일한 재료를 사용하여 형성된다.

[0030] 또한, 질화물 절연막(116), 절연막(118), 게이트 전극(120), 및 도전막(122) 위에는 절연막(124)이 형성된다. 또한 절연막(124)은, 본 발명의 일 형태에 따른 반도체 장치 위에 형성되는 발광 소자의 소자 분리용 격벽으로서 기능한다.

[0031] 또한, 본 실시형태에 기재된 트랜지스터(100)는 게이트 전극(104)과 게이트 전극(120) 사이에 산화물 반도체막(108)이 제공된다. 또한, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)은 분리되고 산화물 반도체막(108)과 중첩된다. 구체적으로는, 도 1의 (B)에 도시된 트랜지스터(100)의 채널 길이 방향에 있어서, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)의 단부(端部)는 전극(112) 위에 위치하고, 도 1의 (C)에 도시된 트랜지스터(100)의 채널 폭 방향에 있어서, 산화물 반도체막(108)의 외측에 산화물 절연막(114) 및 질화물 절연막(116)의 단부가 위치한다. 또한, 도 1의 (C)에 도시된 트랜지스터(100)의 채널 폭 방향에 있어서, 게이트 전극(120)은 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)을 개재하여 산화물 반도체막(108)의 측면과 대향한다.

[0032] 산화물 반도체막(108)은 대표적으로는 In-Ga 산화물, In-Zn 산화물, In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd) 등으로 형성된다.

[0033] 예청 등으로 가공된 산화물 반도체막의 단부는 가공 시의 대미지로 인하여 결함이 형성되고, 불순물 부착 등으로 인하여 오염되기 때문에, 전계 등의 스트레스가 가해지면 활성화되기 쉬워, n형(저저항)화되기 쉽다. 따라서, 게이트 전극(본 실시형태에서는 게이트 전극(104))과 중첩되는 산화물 반도체막(108)의 단부는 n형화되기 쉽다. 상기 n형화된 산화물 반도체막(108)의 단부가 한 쌍의 전극(110, 112) 사이에 제공되면, n형화된 영역이 캐리어 패스가 되어 기생 채널이 형성된다. 하지만, 도 1의 (C)에 도시된 바와 같이, 채널 폭 방향에 있어서 게이트 전극(120)이, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)의 측면을 개재하여 산화물 반도체막(108)의 측면과 대향함으로써, 게이트 전극(120)의 전계의 영향으로 인하여 산화물 반도체막(108)의 측면, 또는 측면과 그 근방을 포함한 단부에서 기생 채널이 발생하는 것이 억제된다. 이로써, 문턱 전압에서 드레인 전류가 급격히 상승되고, 전기 특성이 뛰어난 트랜지스터가 된다.

[0034] 또한, 게이트 전극(104) 및 게이트 전극(120)을 가짐으로써 각각이 외부로부터의 전계를 차폐하는 기능을 갖기 때문에, 기판(102)과 게이트 전극(104) 사이나, 게이트 전극(120) 위에 제공되는 하전 입자 등의 전하가 산화물 반도체막(108)에 영향을 미치지 않는다. 이 결과, 스트레스 시험(예를 들어, -GBT(Gate Bias-Temperature) 스트레스 시험)에 의한 열화가 억제되고, 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동을 억제할 수 있다. 또한, 상기 효과는 게이트 전극(104) 및 게이트 전극(120)이 같은 전위 또는 상이한 전위를 가질 때 나타난다.

[0035] 또한, BT 스트레스 시험은 가속 시험의 일종이며, 장기간의 사용에 의하여 일어나는 트랜지스터의 특성 변화(즉, 장기간 사용에 따른 변화)를 단시간에 평가할 수 있다. 특히, BT 스트레스 시험 전후에 있어서의 트랜지스터의 문턱 전압의 변동량은 신뢰성을 조사하기 위한 중요한 지표가 된다. BT 스트레스 시험 전후에 있어서 문턱 전압의 변동량이 적을수록 신뢰성이 높은 트랜지스터라고 할 수 있다.

[0036] 다음에, BT 스트레스 시험의 방법에 대하여 구체적으로 설명한다. 먼저, 트랜지스터의 초기 특성을 측정한다. 다음에, 트랜지스터가 형성된 기판의 온도(기판 온도)를 일정하게 유지하고, 트랜지스터의 소스 및 드레인으로

서 기능하는 한 쌍의 전극의 전위를 같게 하고, 소스 및 드레인으로서 기능하는 한 쌍의 전극과는 다른 전위를 게이트 전극에 일정 시간 동안 인가한다. 기판 온도는 시험의 목적에 따라 적절하게 설정하면 좋다. 이어서, 초기 특성을 측정하였을 때와 기판 온도를 같게 하고, 트랜지스터의 전기 특성을 측정한다. 이 결과, 초기 특성에 있어서의 문턱 전압과 BT 스트레스 시험 후의 전기 특성에 있어서의 문턱 전압의 차이를, 문턱 전압의 변동량으로서 얻을 수 있다.

[0037] 또한, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 높은 경우를 플러스 GBT 스트레스 시험이라고 하고, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 낮은 경우를 마이너스 GBT 스트레스 시험이라고 한다. 또한, 광을 조사하면서 BT 스트레스 시험을 수행하는 것을 광 GBT 스트레스 시험이라고 한다. 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 높고 광을 조사하면서 수행하는 것을 광 플러스 GBT 스트레스 시험이라고 하고, 게이트 전극에 인가하는 전위가 소스 및 드레인의 전위보다 낮고 광을 조사하면서 수행하는 것을 광 마이너스 GBT 스트레스 시험이라고 한다.

[0038] 또한, 게이트 전극(104) 및 게이트 전극(120)을 가지고, 게이트 전극(104) 및 게이트 전극(120)의 전위를 같게 함으로써, 문턱 전압의 변동량이 저감된다. 따라서, 복수의 트랜지스터에서의 전기 특성의 편차도 동시에 저감된다. 또한, 산화물 반도체막(108)에서 캐리어가 흐르는 영역이 막 두께 방향에 있어서 더 크게 되기 때문에, 캐리어의 이동량이 증가된다. 이 결과, 트랜지스터(100)의 온 전류가 크게 됨과 함께, 전계 효과 이동도가 높게(대표적으로는 전계 효과 이동도가 $20\text{cm}^2/\text{V}\cdot\text{s}$ 이상으로) 된다.

[0039] 또한, 산화물 반도체막(108) 위에 제공되는 산화물 절연막(114)에서는, 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막이 포함된다. 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은 가열에 의하여 산소의 일부가 이탈된다. 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위에서 수행되는 TDS 분석하였을 때의 산소의 이탈량이 산소 원자로 환산하여 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다. 또한, 상이한 조건으로 2번에 나누어 산화물 절연막(114)을 형성하여도 좋다.

[0040] 산화물 절연막(114)에 화학양론적 조성을 만족시키는 산소보다 많은 산소가 포함되면, 산화물 절연막(114)에 포함되는 산소의 일부를 산화물 반도체막(108)으로 이동시킴으로써, 산화물 반도체막(108)에 형성될 수 있는 산소 결손을 저감할 수 있다.

[0041] 산화물 반도체막 중에 산소 결손이 포함된 산화물 반도체막을 사용한 트랜지스터는 문턱 전압이 마이너스 방향으로 변동되기 쉬워 노멀리 온 특성이 되기 쉽다. 이것은 산화물 반도체막에 포함되는 산소 결손에 기인하여 전자가 발생하여 저저항화되기 때문이다. 트랜지스터가 노멀리 온 특성을 가지면, 동작 시에 동작 불량이 발생하기 쉬워지거나, 또는 비동작 시의 소비 전력이 높아지는 등의 여러 가지 문제가 생긴다. 또한, 시간에 따른 변화나 스트레스 시험에 의하여, 트랜지스터의 전기 특성(대표적으로는 문턱 전압)의 변동량이 증대되는 문제가 있다.

[0042] 그러나, 본 실시형태에 기재된 트랜지스터(100)는 산화물 반도체막(108) 위에 제공되는 산화물 절연막(114)에 화학양론적 조성을 만족시키는 산소보다 많은 산소가 포함된다. 이로써, 산화물 절연막(114)에 포함되는 산소가 산화물 반도체막(108)으로 이동하여, 산화물 반도체막(108)의 산소 결손을 저감할 수 있다. 이 결과, 노멀리 오프 특성을 갖는 트랜지스터가 된다. 또한 시간에 따른 변화나 스트레스 시험에 의한 트랜지스터의 전기 특성(대표적으로는 문턱 전압)의 변동량을 저감할 수 있다.

[0043] 트랜지스터(100)의 구성에 대하여 이하에서 자세히 설명한다.

[0044] 기판(102)의 재질 등에 큰 제한은 없지만, 적어도, 나중에 수행되는 가열 처리에 견딜 수 있을 정도의 내열성을 가질 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(102)으로서 사용하여도 좋다. 또한, 실리콘이나 탄소화 실리콘 등으로 이루어지는 단결정 반도체 기판 및 다결정 반도체 기판, 실리콘 게르마늄 등으로 이루어진 화합물 반도체 기판, SOI 기판 등을 적용할 수도 있고, 이를 기판 위에 반도체 소자가 제공된 것을 기판(102)으로서 사용하여도 좋다. 또한, 기판(102)으로서 유리 기판을 사용하는 경우, 제 6 세대($1500\text{mm} \times 1850\text{mm}$), 제 7 세대($1870\text{mm} \times 2200\text{mm}$), 제 8 세대($2200\text{mm} \times 2400\text{mm}$), 제 9 세대($2400\text{mm} \times 2800\text{mm}$), 제 10 세대($2950\text{mm} \times 3400\text{mm}$) 등의 대면적 기판을 사용하여 대형 표시 장치를 제작할 수 있다.

[0045] 또한, 기판(102)으로서 가요성 기판을 사용하고 가요성 기판 위에 트랜지스터(100)를 직접 형성하여도 좋다.

또는 기판(102)과 트랜지스터(100) 사이에 박리층을 제공하여도 좋다. 박리층은 그 위에 반도체 장치를 부분적으로 또는 완전히 완성시킨 후, 기판(102)으로부터 분리하여, 다른 기판에 전재(轉載)하는데 사용할 수 있다. 이 때, 트랜지스터(100)는 내열성이 떨어지는 기판이나 가요성 기판에도 전재될 수 있다.

[0046] 게이트 전극(104)은 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텉스텐으로부터 선택된 금속 원소, 또는 이를 금속 원소를 성분으로 하는 합금, 또는 상술한 금속 원소를 조합한 합금 등을 사용하여 형성할 수 있다. 또한, 망간, 지르코늄 중 어느 하나의 금속 원소 또는 양쪽의 금속 원소를 사용하여도 좋다. 또한, 게이트 전극(104)은 단층 구조로 하여도 좋고, 2층 이상의 적층 구조로 하여도 좋다. 예를 들어, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄막 위에 알루미늄막을 적층하는 2층 구조, 질화 티타늄막 위에 티타늄막을 적층하는 2층 구조, 질화 티타늄막 위에 텉스텐막을 적층하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 알루미늄막을 적층하고, 그 위에 티타늄막을 더 형성하는 3층 구조 등이 있다. 또한, 알루미늄에 티타늄, 탄탈, 텉스텐, 몰리브덴, 크롬, 네오디뮴, 스칸듐 중으로부터 선택된 원소의 막, 또는 복수를 조합한 합금막, 또는 질화막을 사용하여도 좋다.

[0047] 또한, 게이트 전극(104)은 인듐 주석 산화물, 산화 텉스텐을 포함한 인듐 산화물, 산화 텉스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등 투광성을 갖는 도전성 재료를 적용할 수도 있다. 또한, 상기 투광성을 갖는 도전성 재료와 상술한 금속 원소의 적층 구조로 할 수도 있다.

[0048] 게이트 절연막(106)은, 예를 들어 산화 실리콘, 산화 질화 실리콘, 질화 산화 실리콘, 질화 실리콘, 산화 알루미늄, 산화 하프늄, 산화 갈륨 또는 Ga-Zn계 금속 산화물 등을 사용하면 좋고, 적층 또는 단층으로 제공한다.

[0049] 또한, 게이트 절연막(106)으로서 하프늄 실리케이트($HfSiO_x$), 질소가 첨가된 하프늄 실리케이트($HfSi_{x}O_{y}N_z$), 질소가 첨가된 하프늄 알루미네이트($HfAl_xO_yN_z$), 산화 하프늄, 산화 이트륨 등의 high-k 재료를 사용함으로써 트랜지스터의 게이트 누설을 저감할 수 있다.

[0050] 게이트 절연막(106)의 두께는 5nm 이상 400nm 이하, 바람직하게는 10nm 이상 300nm 이하, 더 바람직하게는 50nm 이상 250nm 이하로 하면 좋다.

[0051] 산화물 반도체막(108)으로서 대표적으로는 In-Ga 산화물막, In-Zn 산화물막, In-M-Zn 산화물(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)막이 있다.

[0052] 또한, 산화물 반도체막(108)이 In-M-Zn 산화물막일 때, Zn과 O를 제외한 In과 M의 원자수비율은 바람직하게는 In을 25atomic% 이상, M을 75atomic% 미만, 더 바람직하게는 In을 34atomic% 이상, M을 66atomic% 미만으로 한다.

[0053] 산화물 반도체막(108)은 에너지 갭이 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이와 같이, 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터(100)의 오프 전류를 저감시킬 수 있다.

[0054] 산화물 반도체막(108)의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하로 한다.

[0055] 산화물 반도체막(108)이 In-M-Zn 산화물막(M은 Al, Ga, Y, Zr, La, Ce, 또는 Nd)인 경우, In-M-Zn 산화물을 성막하기 위하여 사용하는 스퍼터링 타깃의 금속 원소의 원자수비는 $In \geq M$, $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이와 같은 스퍼터링 타깃의 금속 원소의 원자수비로서는 $In:M:Zn=1:1:1$, $In:M:Zn=1:1:1.2$, $In:M:Zn=3:1:2$ 가 바람직하다. 또한, 형성되는 산화물 반도체막(108)의 원자수비는 각각, 상기 스퍼터링 타깃에 포함되는 금속 원소의 원자수비의 $\pm 40\%$ 의 오차 변동을 포함한다.

[0056] 산화물 반도체막(108)으로서는, 캐리어 밀도가 낮은 산화물 반도체막을 사용한다. 예를 들어, 산화물 반도체막(108)은 캐리어 밀도가 1×10^{17} 개/ cm^3 이하, 바람직하게는 1×10^{15} 개/ cm^3 이하, 더 바람직하게는 1×10^{13} 개/ cm^3 이하, 더욱 바람직하게는 1×10^{11} 개/ cm^3 이하인 산화물 반도체막을 사용한다.

[0057] 또한, 상기에 한정되지 않고, 필요로 하는 트랜지스터의 반도체 특성 및 전기 특성(전계 효과 이동도, 문턱 전압 등)에 따라 적절한 조성을 갖는 것을 사용하면 좋다. 또한, 필요로 하는 트랜지스터의 반도체 특성을 얻기 위하여 산화물 반도체막(108)의 캐리어 밀도나 불순물 농도, 결함 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 밀도 등을 적절한 것으로 하는 것이 바람직하다.

- [0058] 또한, 산화물 반도체막(108)으로서, 불순물 농도가 낮고 결합 준위 밀도가 낮은 산화물 반도체막을 사용함으로써, 더 뛰어난 전기 특성을 갖는 트랜지스터를 제작할 수 있어 바람직하다. 여기서는 불순물 농도가 낮고 결합 준위 밀도가 낮은(산소 결손이 적은) 것을 고순도 진성 또는 실질적으로 고순도 진성이라고 부른다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체는 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있는 경우가 있다. 따라서, 이 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 문턱 전압이 마이너스가 되는 전기 특성(노멀리 온이라고도 함)이 되기 어렵다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결합 준위 밀도가 낮기 때문에, 트랩 준위 밀도도 낮아지는 경우가 있다. 또한, 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 전류가 현저히 작고, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고, 채널 길이 L이 $10\mu\text{m}$ 인 소자의 경우에도, 소스 전극과 드레인 전극간의 전압(드레인 전압)이 1V 내지 10V의 범위에서, 오프 전류가 반도체 파라미터 분석기의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 따라서, 상기 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성의 변동이 작고, 신뢰성이 높은 트랜지스터가 될 수 있다. 또한, 산화물 반도체막의 트랩 준위에 포획된 전하는 소실되기까지 필요한 시간이 길고, 마치 고정 전하와 같이 행동하는 경우가 있다. 따라서, 트랩 준위 밀도가 높은 산화물 반도체막에 채널 영역이 형성되는 트랜지스터는 전기 특성이 불안정하게 되는 경우가 있다. 불순물로서는 수소, 질소, 알칼리 금속, 또는 알칼리 토금속 등이 있다.
- [0059] 산화물 반도체막에 포함되는 수소는 금속 원자와 결합하는 산소와 반응하여 물이 됨과 동시에, 산소가 이탈된 격자(또는 산소가 이탈된 부분)에 산소 결손을 형성한다. 이 산소 결손에 수소가 들어감으로써 캐리어인 전자가 생성되는 경우가 있다. 또한, 수소의 일부가 금속 원자와 결합되는 산소와 결합함으로써 캐리어인 전자를 생성할 수 있다. 따라서, 수소가 포함된 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다.
- [0060] 그러므로, 산화물 반도체막(108)은 산소 결손과 함께 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 산화물 반도체막(108)에서, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectrometry)에 의하여 얻어지는 수소 농도를 $2 \times 10^{20} \text{ atoms/cm}^3$ 이하, 바람직하게는 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{19} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 더 바람직하게는 $5 \times 10^{17} \text{ atoms/cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다.
- [0061] 산화물 반도체막(108)에 제 14족 원소의 하나인 실리콘이나 탄소가 포함되면 산화물 반도체막(108)에서 산소 결손이 증가되어 n형화된다. 그러므로, 산화물 반도체막(108)에서의 실리콘이나 탄소의 농도(2차 이온 질량 분석법에 의하여 얻어지는 농도)를 $2 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{17} \text{ atoms/cm}^3$ 이하로 한다.
- [0062] 또한, 산화물 반도체막(108)에서 2차 이온 질량 분석법에 의하여 얻어지는 알칼리 금속 또는 알칼리 토금속의 농도를 $1 \times 10^{18} \text{ atoms/cm}^3$ 이하, 바람직하게는 $2 \times 10^{16} \text{ atoms/cm}^3$ 이하로 한다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합하면 캐리어를 생성하는 경우가 있고, 이로 인하여 트랜지스터의 오프 전류가 증대되는 경우가 있다. 따라서, 산화물 반도체막(108)의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.
- [0063] 또한, 산화물 반도체막(108)에 질소가 포함되면 캐리어인 전자가 생겨 캐리어 밀도가 증가되기 때문에 n형화되기 쉬워진다. 이 결과, 질소가 포함된 산화물 반도체를 사용한 트랜지스터는 노멀리 온 특성이 되기 쉽다. 따라서, 이 산화물 반도체막에서, 질소는 가능한 한 저감되어 있는 것이 바람직하고, 예를 들어, 2차 이온 질량 분석법에 의하여 얻어지는 질소 농도는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하로 하는 것이 바람직하다.
- [0064] 또한, 산화물 반도체막(108)은 예를 들어 비단결정 구조이어도 좋다. 비단결정 구조는, 예를 들어, 후술하는 CAAC-OS(C-Axis Aligned Crystalline Oxide Semiconductor), 다결정 구조, 후술하는 미결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조에 있어서, 비정질 구조는 결합 준위 밀도가 가장 높고, CAAC-OS는 결합 준위 밀도가 가장 낮다.
- [0065] 산화물 반도체막(108)은 예를 들어 비정질 구조이어도 좋다. 비정질 구조의 산화물 반도체막은, 예를 들어, 원자 배열이 무질서하고, 결정 성분을 갖지 않는다. 또는, 비정질 구조의 산화물막은, 예를 들어, 완전한 비정질 구조이며, 결정부를 갖지 않는다.
- [0066] 또한, 산화물 반도체막(108)은 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역,

단결정 구조의 영역 중 2종 이상을 갖는 혼합막이어도 좋다. 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역을 갖는 경우가 있다. 또한, 혼합막은 예를 들어, 비정질 구조의 영역, 미결정 구조의 영역, 다결정 구조의 영역, CAAC-OS의 영역, 단결정 구조의 영역 중 어느 2종 이상의 영역이 포함되는 적층 구조를 갖는 경우가 있다.

[0067] 한 쌍의 전극(110, 112)은, 알루미늄, 티타늄, 크롬, 니켈, 구리, 이트륨, 지르코늄, 몰리브덴, 은, 탄탈, 또는 텉스텐으로 이루어지는 단체 금속, 또는 이들을 주성분으로 하는 합금을 단층 구조 또는 적층 구조로 사용한다. 예를 들어, 실리콘을 포함한 알루미늄막의 단층 구조, 티타늄막 위에 알루미늄막을 적층하는 2층 구조, 텉스텐막 위에 알루미늄막을 적층하는 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막을 적층하는 2층 구조, 티타늄막 위에 구리막을 적층하는 2층 구조, 텉스텐막 위에 구리막을 적층하는 2층 구조, 티타늄막 또는 질화 티타늄막에 겹쳐 알루미늄막 또는 구리막을 적층하고, 그 위에 티타늄 또는 질화 티타늄막을 더 형성하는 3층 구조, 몰리브덴막 또는 질화 몰리브덴막 위에 겹쳐 알루미늄막 또는 구리막을 적층하고, 그 위에 몰리브덴막 또는 질화 몰리브덴막을 더 형성하는 3층 구조 등이 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 포함한 투명 도전 재료를 사용하여도 좋다.

[0068] 트랜지스터(100)의 보호막 및 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114)은 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막(114)을 갖는 것이 바람직하다. 여기서는, 산화물 반도체막(108)에 접하도록 산화물 절연막(114)을 제공한다. 또한, 산화물 절연막(114)은 산소를 투과시키는 제 1 산화물 절연막과, 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 제 2 산화물 절연막의 적층 구조로 하면 더 바람직하다. 또한, 질화물 절연막(116)은 수소 및 산소를 차단하는 기능을 갖는다.

[0069] 산화물 절연막(114)으로서는 두께가 5nm 이상 150nm 이하, 바람직하게는 5nm 이상 50nm 이하인 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다. 또한, 본 명세서 중에서, 산화 질화 실리콘막이란 그 조성으로서 질소보다 산소를 많이 포함한 막을 가리키고, 질화 산화 실리콘막이란 그 조성으로서 산소보다 질소를 많이 포함한 막을 가리킨다.

[0070] 또한, 산화물 절연막(114)으로서 사용할 수 있는 제 1 산화물 절연막은 결함량이 적은 것이 바람직하고, 대표적으로는 ESR 측정하였을 때 실리콘의 데클링 본드에서 유래하는 $g=2.001$ 에 나타나는 신호의 스픬 밀도가 $3 \times 10^{17} \text{ spins/cm}^3$ 이하인 것이 바람직하다. 이것은 산화물 절연막(114)으로서 사용할 수 있는 제 1 산화물 절연막에 포함되는 결함 밀도가 많으면 상기 결함에 산소가 결합하여, 제 1 산화물 절연막을 투과하는 산소의 양이 감소되기 때문이다.

[0071] 또한, 산화물 절연막(114)으로서 사용할 수 있는 제 1 산화물 절연막과 산화물 반도체막(108)의 계면에서의 결함량이 적은 것이 바람직하고, 대표적으로는, ESR 측정하였을 때, 산화물 반도체막(108)의 결함에서 유래하는 $g=1.93$ 에 나타나는 신호의 스픬 밀도가 $1 \times 10^{17} \text{ spins/cm}^3$ 이하, 바람직하게는 검출 하한 이하가 좋다.

[0072] 또한, 산화물 절연막(114)에 사용할 수 있는 제 1 산화물 절연막에서는, 외부로부터 제 1 산화물 절연막에 들어간 산소가 모두 제 1 산화물 절연막 외부로 이동하는 경우가 있다. 또는, 외부로부터 제 1 산화물 절연막에 들어간 산소의 일부가 제 1 산화물 절연막에 머무르는 경우도 있다. 또한, 외부로부터 제 1 산화물 절연막에 산소가 들어감과 함께, 제 1 산화물 절연막에 포함되는 산소가 제 1 산화물 절연막 외부로 이동함으로써, 제 1 산화물 절연막에서 산소가 이동하는 경우도 있다.

[0073] 또한, 상술한 제 1 산화물 절연막에 접하도록 제 2 산화물 절연막이 형성되면 바람직하다. 제 2 산화물 절연막은 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하여 형성한다. 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은 가열에 의하여 산소의 일부가 이탈된다. 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막은, 표면 온도가 100°C 이상 700°C 이하, 또는 100°C 이상 500°C 이하의 범위에서 수행되는 TDS 분석하였을 때의 산소의 이탈량이 산소 원자로 환산하여 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 바람직하게는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 산화물 절연막이다.

[0074] 산화물 절연막(114)으로서 사용할 수 있는 제 2 산화물 절연막으로서는, 두께가 30nm 이상 500nm 이하, 바람직하게는 50nm 이상 400nm 이하인 산화 실리콘막, 산화 질화 실리콘막 등을 사용할 수 있다.

[0075] 또한, 상술한 제 2 산화물 절연막은 결함량이 적은 것이 바람직하며, 대표적으로는 ESR 측정하였을 때, 실리콘의 데클링 본드에서 유래하는 $g=2.001$ 에 나타나는 신호의 스픬 밀도가 $1.5 \times 10^{18} \text{ spins/cm}^3$ 미만, 바람직하게는 1

$\times 10^{18}$ spins/cm³ 이하인 것이 바람직하다. 또한, 제 2 산화물 절연막은 제 1 산화물 절연막에 비하여 산화물 반도체막(108)으로부터 떨어져 있기 때문에 제 1 산화물 절연막보다 결합 밀도가 많아도 좋다.

[0076] 질화물 절연막(116)은 적어도 수소 및 산소를 차단하는 효과를 갖는다. 또한, 산소, 수소, 물, 알칼리 금속, 알칼리 토금속 등을 차단하는 효과를 갖는 것이 바람직하다. 산화물 절연막(114) 위에 질화물 절연막(116)을 제공함으로써, 산화물 반도체막(108)으로부터 외부로의 산소의 확산과, 외부로부터 산화물 반도체막(108)으로의 수소, 물 등의 침입을 방지할 수 있다.

[0077] 질화물 절연막(116)으로서는, 두께가 50nm 이상 300nm 이하, 바람직하게는 100nm 이상 200nm 이하인 질화 실리콘, 질화 산화 실리콘, 질화 알루미늄, 질화 산화 알루미늄 등이 있다.

[0078] 또한, 질화물 절연막(116) 대신에, 산소, 수소, 물 등을 차단하는 효과를 갖는 산화물 절연막을 제공하여도 좋다. 산소, 수소, 물 등을 차단하는 효과를 갖는 산화물 절연막으로서는, 산화 알루미늄, 산화 질화 알루미늄, 산화 갈륨, 산화 질화 갈륨, 산화 이트륨, 산화 질화 이트륨, 산화 하프늄, 산화 질화 하프늄 등이 있다.

[0079] 게이트 전극(120) 및 도전막(122)에는, 예를 들어 반사성을 갖는 도전막을 사용할 수 있다. 반사성을 갖는 도전막은 예를 들어, 텅스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 은(Ag) 등의 금속, 또는 이들 합금 중 어느 것의 합금, 또는 이들 금속 중 어느 것의 질화물 중에서 하나 또는 복수 종류를 사용하여 형성할 수 있다. 다만, 게이트 전극(120) 및 도전막(122)에 사용할 수 있는 도전막은 이들에 한정되지 않는다. 예를 들어, 투광성을 갖는 도전막을 사용할 수도 있다. 상기 투광성을 갖는 도전막에는, 산화 텅스텐을 포함한 인듐 산화물, 산화 텅스텐을 포함한 인듐 아연 산화물, 산화 티타늄을 포함한 인듐 산화물, 산화 티타늄을 포함한 인듐 주석 산화물, ITO, 인듐 아연 산화물, 산화 실리콘을 첨가한 인듐 주석 산화물 등을 사용할 수 있다.

[0080] 게이트 전극(120) 및 도전막(122)에 반사성을 갖는 도전막을 사용하는 경우, 화소 전극으로서 기능하는 도전막(122)을 반사성 화소 전극으로서 기능시킬 수 있다. 따라서, 예를 들어 전면 발광 구조의 발광 장치를 형성하는 경우에 적합한 구조가 된다. 한편, 게이트 전극(120) 및 도전막(122)에 투광성을 갖는 도전막을 사용하는 경우, 화소 전극으로서 기능하는 도전막(122)을 투광성 화소 전극으로서 기능시킬 수 있다. 따라서, 예를 들어 배면 발광 구조의 발광 장치를 형성하는 경우에 적합한 구조가 된다.

[0081] 또한, 상술한 반사성을 갖는 도전막과 투광성을 갖는 도전막을 적층하고, 반투파 · 반반사성의 기능을 게이트 전극(120) 및 도전막(122)에 부여하여도 좋다. 이 경우, 상술한 반사성을 갖는 도전막은 투광성을 가질 정도로 얇게 형성하는 것이 바람직하다. 또한, 예를 들어, 양면 발광 구조(소위 듀얼 이미션 구조)의 발광 장치를 형성하는 경우에 적합한 구조가 된다.

[0082] 다음에, 도 1에 도시된 트랜지스터(100)의 제작 방법에 대하여 도 2를 사용하여 설명한다. 또한, 도 2의 (A), (C), (E), 및 (G) 각각은 도 1의 (B)에 도시된, 트랜지스터(100)를 채널 길이 방향에서 자른 단면도에서의 제작 공정을 나타낸 것이고, 도 2의 (B), (D), (F), 및 (H) 각각은 도 1의 (C)에 도시된, 트랜지스터(100)를 채널 폭 방향에서 자른 단면도에서의 제작 공정을 나타낸 것이다.

[0083] 도 2의 (A) 및 (B)에 도시된 바와 같이, 기판(102) 위에 게이트 전극(104)을 형성하고, 게이트 전극(104) 위에 게이트 절연막(106)을 형성한다. 다음에, 게이트 절연막(106) 위에 산화물 반도체막(108)을 형성한다.

[0084] 여기서는 기판(102)으로서 유리 기판을 사용한다.

[0085] 게이트 전극(104)의 형성 방법에 대하여 이하에서 설명한다. 먼저, 스팍터링법, CVD법, 증착법 등에 의하여 도전막을 형성하고, 제 1 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막의 일부를 에칭하여 게이트 전극(104)을 형성한다. 이 후에 마스크를 제거한다.

[0086] 또한, 게이트 전극(104)은 상술한 형성 방법 대신에 전해 도금법, 인쇄법, 잉크젯법 등으로 형성하여도 좋다.

[0087] 여기서는, 두께 100nm의 텅스텐막을 스팍터링법에 의하여 형성한다. 다음에, 포토리소그래피 공정에 의하여 마스크를 형성하고, 상기 마스크를 사용하여 텅스텐막을 드라이 에칭하여 게이트 전극(104)을 형성한다.

[0088] 게이트 절연막(106)은 스팍터링법, CVD법, 증착법 등으로 형성한다.

[0089] 게이트 절연막(106)으로서 산화 실리콘막, 산화 질화 실리콘막, 또는 질화 산화 실리콘막을 형성하는 경우, 원료 가스로서 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적

성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0090] 게이트 절연막(106)으로서 산화 칼륨막을 형성하는 경우, MOCVD(Metal Organic Chemical Vapor Deposition)법을 사용하여 형성할 수 있다.

[0091] 산화물 반도체막(108)의 형성 방법에 대하여 이하에서 설명한다. 게이트 절연막(106) 위에 산화물 반도체막(108)이 되는 산화물 반도체막을 형성한다. 다음에, 제 2 포토마스크를 사용한 포토리소그래피 공정에 의하여 산화물 반도체막 위에 마스크를 형성한 후, 이 마스크를 사용하여 산화물 반도체막의 일부를 에칭함으로써, 도 2의 (A) 및 (B)에 도시된 바와 같은 소자 분리된 산화물 반도체막(108)을 형성한다. 이 후에 마스크를 제거한다.

[0092] 나중에 산화물 반도체막(108)이 되는 산화물 반도체막은 스퍼터링법, 도포법, 펄스 레이저 증착법, 레이저 어블레이션법(laser ablation method) 등을 사용하여 형성할 수 있다.

[0093] 스퍼터링법으로 산화물 반도체막을 형성하는 경우, 플라즈마를 발생시키기 위한 전원 장치는 RF 전원 장치, AC 전원 장치, DC 전원 장치 등을 적절히 사용할 수 있다.

[0094] 스퍼터링 가스로서는, 희가스(대표적으로는 아르곤) 분위기, 산화 분위기, 희가스 및 산소의 혼합 가스를 적절히 사용한다. 또한, 희가스 및 산소의 혼합 가스를 사용하는 경우, 희가스에 대한 산소의 가스 비율을 높이는 것이 바람직하다.

[0095] 또한, 스퍼터링 타깃은, 형성하는 산화물 반도체막의 조성에 맞추어 적절히 선택하면 좋다.

[0096] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막을 얻기 위해서는 체임버 내를 고진공 배기할 뿐만 아니라 스퍼터링 가스의 고순도화도 필요하다. 스퍼터링 가스로서 사용하는 산소 가스나 아르곤 가스는 이슬점이 -40°C 이하, 바람직하게는 -80°C 이하, 더 바람직하게는 -100°C 이하, 더욱 바람직하게는 -120°C 이하까지 고순도화된 가스를 사용함으로써 산화물 반도체막에 수분 등이 들어가는 것을 가능한 한 막을 수 있다.

[0097] 여기서는 In-Ga-Zn 산화물 타깃(In:Ga:Zn=3:1:2)을 사용한 스퍼터링법에 의하여, 산화물 반도체막으로서 두께 35nm의 In-Ga-Zn 산화물막을 형성한다. 다음에, 산화물 반도체막 위에 마스크를 형성하고, 산화물 반도체막의 일부를 선택적으로 에칭함으로써, 산화물 반도체막(108)을 형성한다.

[0098] 다음에, 도 2의 (C) 및 (D)에 도시된 바와 같이, 게이트 절연막(106) 및 산화물 반도체막(108) 위에 도전막(109)을 형성한다.

[0099] 도전막(109)의 형성 방법으로서는, 스퍼터링법, CVD법, 증착법 등으로 도전막(109)을 형성한다. 여기서 도전막(109)으로서는 두께 50nm의 텅스텐막 및 두께 300nm의 구리막을 차례로 스퍼터링법에 의하여 적층한다.

[0100] 다음에, 도 2의 (E) 및 (F)에 도시된 바와 같이, 한 쌍의 전극(110, 112)을 형성한다.

[0101] 한 쌍의 전극(110, 112)의 형성 방법으로서는, 제 3 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막(109) 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막(109)을 에칭하여 한 쌍의 전극(110, 112)을 형성한다. 이 후에 마스크를 제거한다.

[0102] 여기서는, 포토리소그래피 공정에 의하여 구리막 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 텅스텐막 및 구리막을 드라이 에칭하여 한 쌍의 전극(110, 112)을 형성한다. 또한, 웨트 에칭법을 사용하여 구리막을 에칭한다. 다음에, SF₆을 사용한 드라이 에칭법에 의하여 텅스텐막을 에칭함으로써, 구리막 표면에 불화물이 형성된다. 상기 불화물에 의하여 구리막으로부터의 구리 원소의 확산이 저감되어, 산화물 반도체막(108)의 구리 농도를 저감할 수 있다.

[0103] 다음에, 도 2의 (G) 및 (H)에 도시된 바와 같이, 게이트 절연막(106), 산화물 반도체막(108), 및 한 쌍의 전극(110, 112) 위에 산화물 절연막(114)을 형성한다.

[0104] 산화물 절연막(114)의 형성 방법에 대하여 이하에서 설명한다.

[0105] 여기서는, 산화물 절연막(114)은, 제 1 산화물 절연막과 제 2 산화물 절연막의 적층 구조로 하였다.

[0106] 제 1 산화물 절연막으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치(載置)된 기판을 280°C 이상 400°C 이하로 유지하고, 처리실에 원료 가스를 도입하고 처리실 내의 압력을 20Pa 이상 250Pa 이하, 더 바람직

하계는 100Pa 이상 250Pa 이하로 하고, 처리실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 의하여 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다. 제 1 산화물 절연막의 원료 가스로서는, 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0107] 상술한 조건을 사용함으로써, 제 1 산화물 절연막으로서 산소를 투과시키는 산화물 절연막을 형성할 수 있다. 또한, 제 1 산화물 절연막을 제공함으로써, 나중에 형성하는 제 2 산화물 절연막의 형성 공정에서 산화물 반도체막(108)에 대한 대미지를 저감할 수 있다.

[0108] 또한, 제 1 산화물 절연막으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기관을 280°C 이상 400°C 이하로 유지하고, 처리실에 원료 가스를 도입하고 처리실 내의 압력을 100Pa 이상 250Pa 이하로 하고, 처리실 내에 제공되는 전극에 고주파 전력을 공급하는 조건에 의하여 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0109] 상기 성막 조건에 있어서, 기관 온도를 상기 온도로 함으로써, 실리콘 및 산소의 결합력이 강해진다. 이 결과, 제 1 산화물 절연막으로서, 산소를 투과시키고 치밀하며 단단한 산화물 절연막, 대표적으로는, 25°C에서 0.5wt %의 불산을 사용한 경우의 에칭 속도가 10nm/min 이하, 바람직하게는 8nm/min 이하인 산화 실리콘막 또는 산화 질화 실리콘막을 형성할 수 있다.

[0110] 또한, 가열하면서 제 1 산화물 절연막을 형성하기 때문에, 산화물 반도체막(108)에 포함되는 수소, 물 등을 상기 공정에서 이탈시킬 수 있다. 산화물 반도체막(108)에 포함되는 수소는 플라즈마 중에서 발생한 산소 라디칼과 결합하여 물이 된다. 제 1 산화물 절연막의 형성 공정에서 기관이 가열되기 때문에, 산소 및 수소의 결합에 의하여 생성된 물은 산화물 반도체막(108)으로부터 이탈된다. 즉, 플라즈마 CVD법에 의하여 제 1 산화물 절연막을 형성함으로써, 산화물 반도체막(108)에 포함되는 물 및 수소의 함유량을 저감할 수 있다.

[0111] 또한, 제 1 산화물 절연막을 형성하는 공정에서 가열하기 때문에, 산화물 반도체막(108)이 노출된 상태에서의 가열 시간이 적고, 가열 처리에 의한 산화물 반도체막으로부터의 산소의 이탈량을 저감할 수 있다. 즉, 산화물 반도체막 중에 포함되는 산소 결손량을 저감할 수 있다.

[0112] 또한, 처리실의 압력을 100Pa 이상 250Pa 이하로 함으로써 제 1 산화물 절연막에 포함되는 물의 양이 적게 되기 때문에 트랜지스터(100)의 전기 특성 편차를 저감함과 함께 문턱 전압의 변동을 억제할 수 있다.

[0113] 또한, 처리실의 압력을 100Pa 이상 250Pa 이하로 함으로써, 제 1 산화물 절연막을 형성할 때에, 산화물 반도체막(108)에 대한 대미지를 저감할 수 있고, 산화물 반도체막(108)에 포함되는 산소 결손량을 저감할 수 있다. 특히, 제 1 산화물 절연막 또는 나중에 형성되는 제 2 산화물 절연막의 성막 온도를 높게(대표적으로는 220°C보다 높게) 하면 산화물 반도체막(108)에 포함되는 산소의 일부가 이탈되어 산소 결손이 형성되기 쉽다. 또한, 트랜지스터의 신뢰성을 높이기 위하여, 나중에 형성하는 제 2 산화물 절연막의 결함량을 저감하기 위한 성막 조건을 사용하면, 산소 이탈량이 저감되기 쉽다. 그러므로, 산화물 반도체막(108)의 산소 결손을 보전하기 어려운 경우가 있다. 그러나, 처리실의 압력을 100Pa 이상 250Pa 이하로 하고, 제 1 산화물 절연막의 형성 시의 산화물 반도체막(108)에 대한 대미지를 저감함으로써, 제 1 산화물 절연막으로부터의 산소 이탈량이 적은 경우에도 산화물 반도체막(108) 중의 산소 결손을 저감할 수 있다.

[0114] 또한, 실리콘을 포함한 퇴적성 가스에 대한 산화성 가스량을 100배 이상으로 함으로써, 제 1 산화물 절연막에 포함되는 수소의 양을 저감할 수 있다. 이 결과, 산화물 반도체막(108)에 혼입되는 수소의 양을 저감할 수 있어 트랜지스터의 문턱 전압의 마이너스 시프트를 억제할 수 있다.

[0115] 여기서는 제 1 산화물 절연막으로서, 유량 30sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로 하고, 처리실의 압력을 200Pa, 기관 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 150W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여, 두께 50nm의 산화 질화 실리콘막을 형성한다. 상술한 조건에 의하여 산소를 투과시키는 산화 질화 실리콘막을 형성할 수 있다.

[0116] 다음에, 제 1 산화물 절연막 위에 제 2 산화물 절연막을 형성한다. 또한, 제 1 산화물 절연막을 형성한 후, 대기에 노출시키지 않으면서 연속적으로 제 2 산화물 절연막을 형성하는 것이 바람직하다. 제 1 산화물 절연막을 형성한 후, 대기 개방하지 않고, 원료 가스의 유량, 압력, 고주파 전력 및 기관 온도 중 하나 이상을 조정하여, 제 2 산화물 절연막을 연속적으로 형성함으로써, 제 1 산화물 절연막 및 제 2 산화물 절연막에서의 대기 성분에서 유래하는 불순물 농도를 저감할 수 있음과 동시에, 제 2 산화물 절연막에 포함되는 산소를 산화물 반

도체막(108)으로 이동시킬 수 있고, 산화물 반도체막(108)의 산소 결손량을 저감할 수 있다.

[0117] 제 2 산화물 절연막으로서는, 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 180°C 이상 280°C 이하, 바람직하게는 200°C 이상 240°C 이하로 유지하고, 처리실에 원료 가스를 도입하고 처리실 내의 압력을 100Pa 이상 250Pa 이하, 더 바람직하게는 100Pa 이상 200Pa 이하로 하고, 처리실 내에 제공되는 전극에 0.17W/cm² 이상 0.5W/cm² 이하, 바람직하게는 0.25W/cm² 이상 0.35W/cm² 이하의 고주파 전력을 공급하는 조건에 의하여, 산화 실리콘막 또는 산화 질화 실리콘막을 형성한다.

[0118] 제 2 산화물 절연막의 원료 가스로서는 실리콘을 포함한 퇴적성 가스 및 산화성 가스를 사용하는 것이 바람직하다. 실리콘을 포함한 퇴적성 가스의 대표적인 예로서는, 실레인, 다이실레인, 트라이실레인, 불화 실레인 등이 있다. 산화성 가스로서는, 산소, 오존, 일산화 이질소, 이산화 질소 등이 있다.

[0119] 제 2 산화물 절연막의 형성 조건으로서, 상기 압력으로 유지된 반응실에 있어서 상기 파워 밀도의 고주파 전력을 공급함으로써, 플라즈마 중에서 원료 가스의 분해 효율이 높아져 산소 라디칼이 증가되고, 원료 가스의 산화가 진행되기 때문에, 제 2 산화물 절연막에 포함되는 산소의 양이 화학양론비보다 많아진다. 한편, 기판 온도가 상기 온도로 형성된 막에서는 실리콘과 산소의 결합력이 약하기 때문에, 나중에 수행되는 공정의 가열 처리에 의하여 막 중의 산소의 일부가 이탈된다. 이 결과, 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하고 가열에 의하여 산소의 일부가 이탈되는 산화물 절연막을 형성할 수 있다. 또한, 산화물 반도체막(108) 위에 제 1 산화물 절연막이 제공된다. 이로써, 제 2 산화물 절연막의 형성 공정에서, 제 1 산화물 절연막이 산화물 반도체막(108)의 보호막이 된다. 그러므로, 산화물 반도체막(108)에 대한 대미지를 저감하면서, 파워 밀도가 높은 고주파 전력을 사용하여 제 2 산화물 절연막을 형성할 수 있다.

[0120] 여기서는 제 2 산화물 절연막으로서, 유량 200sccm의 실레인 및 유량 4000sccm의 일산화 이질소를 원료 가스로 하고, 반응실의 압력을 200Pa, 기판 온도를 220°C로 하고, 27.12MHz의 고주파 전원을 사용하여 1500W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여, 두께 400nm의 산화 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm²인 평행 평판형 플라즈마 CVD 장치이고, 공급하는 전력을 단위 면적당 전력(전력 밀도)으로 환산하면 0.25W/cm²이다.

[0121] 다음에, 가열 처리를 수행한다. 이 가열 처리의 온도는 대표적으로는, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하로 한다.

[0122] 이 가열 처리는 전기로, RTA 장치 등을 사용할 수 있다. RTA 장치를 사용함으로써, 단시간에 한하여 기판의 변형점 이상의 온도로 가열 처리를 수행할 수 있다. 따라서 가열 처리 시간을 단축할 수 있다.

[0123] 가열 처리는, 질소, 산소, 초건조 공기(물의 함유량이 20ppm 이하, 바람직하게는 1ppm 이하, 더 바람직하게는 10ppb 이하의 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기에서 수행하면 좋다. 또한, 상기 질소, 산소, 초건조 공기, 또는 희가스에 수소, 물 등이 포함되지 않는 것이 바람직하다.

[0124] 상기 가열 처리에 의하여, 산화물 절연막(114)에 포함되는 산소의 일부를 산화물 반도체막(108)으로 이동시켜, 산화물 반도체막(108)에 포함되는 산소 결손을 보전할 수 있다. 이 결과, 산화물 반도체막(108)에 포함되는 산소 결손량을 더 저감할 수 있다.

[0125] 또한, 산화물 절연막(114)에 물, 수소 등이 포함되는 경우, 물, 수소 등을 차단하는 기능을 갖는 질화물 절연막(116)을 나중에 형성하고 가열 처리를 수행하면 산화물 절연막(114)에 포함되는 물, 수소 등이 산화물 반도체막(108)으로 이동하여 산화물 반도체막(108)에 결함이 생긴다. 그러나, 이 가열에 의하여 산화물 절연막(114)에 포함되는 물, 수소 등을 이탈시킬 수 있고, 트랜지스터(100)의 전기 특성 편차를 저감함과 동시에, 문턱 전압의 변동을 억제할 수 있다.

[0126] 여기서는, 질소와 산소의 혼합 분위기에서 350°C로 1시간 동안 가열 처리를 수행한다.

[0127] 또한, 한 쌍의 전극(110, 112)을 형성할 때, 도전막의 예칭에 의하여 산화물 반도체막(108)은 대미지를 받고, 산화물 반도체막(108)의 백 채널(산화물 반도체막(108)에서 게이트 전극(104)과 대향하는 면과 반대 측의 면) 측에 산소 결손이 생긴다. 그러나, 산화물 절연막(114)에 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 적용함으로써 가열 처리로 인하여 상기 백 채널 측에 생긴 산소 결손을 수복(修復)시킬 수 있다. 이로써, 산화물 반도체막(108)에 포함되는 결함을 저감할 수 있기 때문에, 트랜지스터(100)의 신뢰성을 향상시킬 수 있다.

- [0128] 다음에, 도 3의 (A) 및 (B)에 도시된 바와 같이, 산화물 절연막(114)에 게이트 절연막(106)까지 도달하는 개구부(162)를 형성한다. 개구부(162)의 형성 방법에 대하여 이하에서 설명한다.
- [0129] 개구부(162)의 형성 방법으로서는, 제 4 포토마스크를 사용한 포토리소그래피 공정에 의하여 산화물 절연막(114) 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 산화물 절연막(114)을 에칭하여 개구부(162)를 형성한다. 이 후에 마스크를 제거한다. 여기서는, 개구부(162)를 형성하는 에칭 방법으로서는 드라이 에칭법을 사용한다.
- [0130] 또한, 개구부(162)의 형성 시에 게이트 절연막(106)의 일부의 막 두께가 얇아지는 경우가 있다. 이 경우, 게이트 절연막(106)은 단차를 갖는다.
- [0131] 또한, 도 3의 (B)에 도시된 바와 같이, 채널 폭 방향에 있어서, 산화물 반도체막(108)의 외측에 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114)의 단부가 위치하도록 산화물 절연막(114)을 에칭한다. 이로써, 개구부(162)를 갖는 산화물 절연막(114)을 형성할 수 있다.
- [0132] 다음에, 도 3의 (C) 및 (D)에 도시된 바와 같이, 개구부(162)를 덮도록 산화물 절연막(114) 위에 질화물 절연막(116)을 형성한다. 질화물 절연막(116)의 형성 방법에 대하여 이하에서 설명한다.
- [0133] 질화물 절연막(116)은 예를 들어 스퍼터링법, CVD법 등에 의하여 형성할 수 있다.
- [0134] 또한, 질화물 절연막(116)을 플라즈마 CVD법으로 형성하는 경우 플라즈마 CVD 장치의 진공 배기된 처리실 내에 재치된 기판을 300°C 이상 400°C 이하, 바람직하게는 320°C 이상 370°C 이하로 함으로써 치밀한 질화물 절연막을 형성할 수 있어 바람직하다.
- [0135] 질화물 절연막(116)으로서 플라즈마 CVD법에 의하여 질화 실리콘막을 형성하는 경우, 실리콘을 포함한 퇴적성 가스, 질소, 및 암모니아를 원료 가스로서 사용하는 것이 바람직하다. 원료 가스로서 질소와 비교하여 소량의 암모니아를 사용함으로써, 플라즈마 중에서 암모니아가 해리되어 활성종이 발생한다. 이 활성종은 실리콘을 포함한 퇴적성 가스에 포함되는 실리콘과 수소의 결합, 및 질소의 삼중 결합을 절단한다. 이 결과, 실리콘 및 질소의 결합이 촉진되어 결합이나 실리콘 및 수소의 결합이 적고 치밀한 질화 실리콘막을 형성할 수 있다. 한편, 원료 가스에 있어서, 질소에 대한 암모니아의 양이 많으면, 실리콘을 포함한 퇴적성 가스 및 질소 각각의 분해가 진행되지 않고, 실리콘과 수소의 결합이 잔존하여 결함이 증대되고, 또한 거친 질화 실리콘막이 형성된다. 그러므로, 원료 가스에 있어서 암모니아에 대한 질소의 유량비를 5 이상 50 이하, 바람직하게는 10 이상 50 이하로 하는 것이 바람직하다.
- [0136] 여기서는, 플라즈마 CVD 장치의 반응실에 유량 50sccm의 실레인, 유량 5000sccm의 질소, 및 유량 100sccm의 암모니아를 원료 가스로 하고, 처리실의 압력을 100Pa, 기판 온도를 350°C로 하고, 27.12MHz의 고주파 전원을 사용하여 1000W의 고주파 전력을 평행 평판 전극에 공급한 플라즈마 CVD법에 의하여, 질화물 절연막(116)으로서 두께 50nm의 질화 실리콘막을 형성한다. 또한, 플라즈마 CVD 장치는 전극 면적이 6000cm^2 인 평행 평판형 플라즈마 CVD 장치이고, 공급하는 전력을 단위 면적당 전력(전력 밀도)으로 환산하면 $1.7 \times 10^{-1}\text{W/cm}^2$ 이다.
- [0137] 다음에, 가열 처리를 수행하여도 좋다. 이 가열 처리의 온도는 대표적으로는, 150°C 이상 400°C 이하, 바람직하게는 300°C 이상 400°C 이하, 더 바람직하게는 320°C 이상 370°C 이하로 한다.
- [0138] 또한, 도 3의 (D)에 도시된 바와 같이, 질화물 절연막(116)은 분리된 산화물 절연막(114)의 측면을 덮도록 형성된다.
- [0139] 다음에, 도 3의 (E) 및 (F)에 도시된 바와 같이, 산화물 절연막(114) 및 질화물 절연막(116)에 전극(112)까지 도달하는 개구부(164)를 형성한다. 개구부(164)의 형성 방법에 대하여 이하에서 설명한다.
- [0140] 개구부(164)의 형성 방법으로서는, 제 5 포토마스크를 사용한 포토리소그래피 공정에 의하여 질화물 절연막(116) 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 산화물 절연막(114) 및 질화물 절연막(116)을 에칭하여 개구부(164)를 형성한다. 이 후에 마스크를 제거한다. 여기서는, 개구부(164)를 형성하는 에칭 방법으로서 드라이 에칭법을 사용한다.
- [0141] 또한, 도 3의 (E)에 도시된 바와 같이, 채널 길이 방향에 있어서, 전극(112) 위에 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)의 단부가 위치하도록 산화물 절연막(114) 및 질화물 절연막(116)을 각각 에칭한다.

- [0142] 다음에, 도 3의 (G) 및 (H)에 도시된 바와 같이, 개구부를 갖는 절연막(118)을 형성한다. 절연막(118)의 형성 방법을 이하에서 설명한다.
- [0143] 절연막(118)은 예를 들어 유기 절연막을 사용하여 형성할 수 있다. 상기 유기 절연막으로서는, 예를 들어 폴리 이미드계 수지, 폴리아미드계 수지, 아크릴계 수지, 실록산계 수지, 에폭시계 수지, 또는 페놀계 수지 등의 유기 재료를 사용할 수 있다. 또한, 절연막(118)은 평탄화막으로서 기능한다.
- [0144] 여기서는, 절연막(118)으로서, 질화물 절연막(116) 및 개구부(164)를 충전하도록 포지티브형 아크릴계 수지를 스픬 코터 장치를 사용하여 도포한다. 그 후, 제 6 포토마스크를 사용하여 상기 아크릴계 수지의 원하는 영역에 광을 조사하여, 상기 아크릴계 수지를 감광시켜 개구부를 형성한다. 그 후, 핫 플레이트 위에서 상기 아크릴계 수지를 200°C로 베이킹함으로써 개구부를 갖는 절연막(118)을 형성할 수 있다.
- [0145] 또한, 절연막(118)은 적어도 제 1 개구부와 제 2 개구부를 갖는다. 상기 제 1 개구부는, 산화물 반도체막(108)과 중첩되는 위치에 형성된 질화물 절연막(116)이 노출되도록 형성한다. 또한, 상기 제 2 개구부는 개구부(164)가 노출되도록 형성한다.
- [0146] 다음에, 도 4의 (A) 및 (B)에 도시된 바와 같이 도전막(119)을 형성한다. 도전막(119)의 형성 방법에 대하여 이하에서 설명한다.
- [0147] 도전막(119)은 스퍼터링법, CVD법, 증착법 등을 사용하여 형성할 수 있다. 여기서는, 도전막(119)으로서 두께 200nm의 알루미늄막을 사용한다.
- [0148] 다음에, 도 4의 (C) 및 (D)에 도시된 바와 같이, 도전막(119)을 가공하여 게이트 전극(120) 및 도전막(122)을 형성한다. 게이트 전극(120) 및 도전막(122)의 형성 방법에 대하여 이하에서 설명한다.
- [0149] 제 7 포토마스크를 사용한 포토리소그래피 공정에 의하여 도전막(119) 위에 마스크를 형성한다. 다음에, 이 마스크를 사용하여 도전막(119)의 일부를 에칭하여 게이트 전극(120) 및 도전막(122)을 형성한다. 이 후에 마스크를 제거한다.
- [0150] 또한, 도 4의 (C)에 도시된 바와 같이, 채널 길이 방향에 있어서, 질화물 절연막(116) 위에 단부가 위치하도록 게이트 전극(120)을 형성한다. 또한, 여기서는 게이트 전극(120)의 단부는 게이트 전극(104)의 단부와 대략 중첩된다. 또한, "대략 중첩된다"란, 트랜지스터의 제작 공정에서의 편차에 의하여, 설계 시의 트랜지스터와 제작된 트랜지스터에 차이가 생기는 경우가 있는 것을 가리킨다. 따라서, 설계 시에는 게이트 전극(104)의 단부와 게이트 전극(120)의 단부가 중첩되도록 설계된 경우라도, 5μm 정도의 차이가 생길 가능성이 있다. 따라서, "대략 중첩된다"란, 게이트 전극(104)의 단부와 게이트 전극(120)의 단부가 ±5μm 이내에 있는 경우도 그 범주에 포함된다.
- [0151] 또한, 도 4의 (C)에 도시된 바와 같이 도전막(122)은 전극(112)에 접하도록 형성된다.
- [0152] 또한, 도 4의 (D)에 도시된 바와 같이, 채널 폭 방향에 있어서, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)의 측면을 개재하여 산화물 반도체막(108)의 측면과 대향하도록(즉 산화물 반도체막(108)의 단부보다 외측으로 게이트 전극(120)의 단부가 위치하도록) 게이트 전극(120)을 형성한다.
- [0153] 다음에, 도 4의 (E) 및 (F)에 도시된 바와 같이 절연막(124)을 형성한다. 절연막(124)의 형성 방법에 대하여 이하에서 설명한다.
- [0154] 절연막(124)은 예를 들어 유기 절연막을 사용하여 형성할 수 있다. 상기 유기 절연막으로서는, 예를 들어 폴리 이미드계 수지, 폴리아미드계 수지, 아크릴계 수지, 실록산계 수지, 에폭시계 수지, 또는 페놀계 수지 등의 유기 재료를 사용할 수 있다. 또한, 절연막(124)은 본 발명의 일 형태에 따른 반도체 장치 위에 형성되는 발광 소자의 소자 분리용 격벽으로서 기능한다.
- [0155] 여기서는, 절연막(124)으로서, 포지티브형 폴리아미드계 수지를 스픬 코터 장치를 사용하여 도포한다. 그 후, 제 8 포토마스크를 사용하여 상기 폴리아미드계 수지의 원하는 영역에 광을 조사하여, 상기 폴리아미드계 수지를 감광시켜 개구부(도시되지 않았음)를 형성한다. 그 후, 핫 플레이트 위에서 상기 폴리아미드계 수지를 250°C로 베이킹함으로써 절연막(124)을 형성할 수 있다.
- [0156] 상술한 공정을 거쳐 트랜지스터(100)를 제작할 수 있다.
- [0157] <변형 예>

- [0158] 다음에, 도 1에 도시된 본 발명의 일 형태에 따른 반도체 장치의 변형예에 대하여 도 5를 사용하여 이하에서 설명한다.
- [0159] 반도체 장치가 갖는 트랜지스터(150)의 상면도 및 단면도를 도 5의 (A) 내지 (C)에 도시하였다. 도 5에 도시된 트랜지스터(150)는 채널 에치형 트랜지스터이다. 도 5의 (A)는 트랜지스터(150)의 상면도이고, 도 5의 (B)는 도 5의 (A)를 일점 쇄선 A-B에서 자른 단면도이고, 도 5의 (C)는 도 5의 (A)를 일점 쇄선 C-D에서 자른 단면도이다. 또한, 도 5의 (A)에서는 명료화를 위하여 기판(102), 게이트 절연막(106) 등을 생략하여 도시하였다.
- [0160] 도 5의 (B) 및 (C)에 도시된 트랜지스터(150)는, 기판(102) 위에 제공되는 게이트 전극(104)을 갖는다. 또한, 기판(102) 및 게이트 전극(104) 위에 형성되는 게이트 절연막(106)과, 게이트 절연막(106)을 개재하여 게이트 전극(104)과 중첩되는 산화물 반도체막(108)과, 산화물 반도체막(108)에 접하는 한 쌍의 전극(110, 112)을 갖는다. 또한, 게이트 절연막(106), 산화물 반도체막(108), 및 한 쌍의 전극(110, 112) 위에는 산화물 절연막(114) 및 질화물 절연막(116)이 형성된다. 산화물 절연막(114) 및 질화물 절연막(116)은 트랜지스터(150)의 보호막으로서의 기능, 및 트랜지스터(150)의 제 2 게이트 절연막으로서의 기능을 갖는다.
- [0161] 또한, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116) 위에 게이트 전극(120)이 형성된다. 또한, 질화물 절연막(116)에 접하도록, 개구부를 갖는 절연막(118)이 형성된다. 절연막(118)은 개구부 내측에 산화물 반도체막(108)이 위치하도록 형성된다. 또한, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114)과 질화물 절연막(116), 및 절연막(118)에는 전극(112)까지 도달하는 개구부가 형성된다. 또한, 한 쌍의 전극(110, 112) 중 한쪽(여기서는 전극(112))에 접속되는 도전막(122)이 절연막(118)을 덮도록 형성된다. 또한, 도전막(122)은 화소 전극으로서 기능한다.
- [0162] 또한, 게이트 전극(120)은 절연막(118)에 형성된 개구부 내측에서, 제 2 게이트 절연막으로서 기능하는 질화물 절연막(116)에 접하며 산화물 반도체막(108)과 중첩되는 위치에 제공된다. 또한, 게이트 전극(120)과 도전막(122)은 동일 공정으로 형성된다. 즉, 게이트 전극(120)과 도전막(122)은 같은 재료를 사용하여 형성된다.
- [0163] 또한, 질화물 절연막(116), 절연막(118), 게이트 전극(120), 및 도전막(122) 위에는 절연막(124)이 형성된다. 또한 절연막(124)은, 본 발명의 일 형태에 따른 반도체 장치 위에 형성되는 발광 소자의 소자 분리용 격벽으로서 기능한다.
- [0164] 또한, 본 실시형태에 기재된 트랜지스터(150)에서는 게이트 전극(104)과 게이트 전극(120) 사이에 산화물 반도체막(108)이 제공된다. 또한, 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)에는, 도 5의 (C)에 도시된 트랜지스터(150)의 채널 폭 방향에 있어서, 산화물 반도체막(108)을 끼운 복수의 개구부가 형성된다. 또한, 도 5의 (C)에 도시된 트랜지스터(150)의 채널 폭 방향에 있어서, 산화물 반도체막(108)의 외측에 산화물 절연막(114) 및 질화물 절연막(116)의 단부가 위치한다. 또한, 도 5의 (C)에 도시된 트랜지스터(150)의 채널 폭 방향에 있어서, 게이트 전극(120)은, 제 2 게이트 절연막의 일부로서 기능하는 산화물 절연막(114)을 개재하여 산화물 반도체막(108)의 측면과 대향한다.
- [0165] 또한, 도 5의 (C)에 도시된 트랜지스터(150)의 채널 폭 방향에 있어서, 게이트 전극(120)은 게이트 전극(104)에 접한다. 즉, 게이트 전극(104)과 게이트 전극(120)의 전위를 같게 할 수 있다.
- [0166] 도 5에 도시된 트랜지스터(150)는, 도 1에 도시된 트랜지스터의 제 2 게이트 절연막으로서 기능하는 산화물 절연막(114) 및 질화물 절연막(116)과 비교하여 산화물 절연막(114) 및 질화물 절연막(116)의 채널 폭 방향의 형상이 다르다. 또한, 산화물 절연막(114) 및 질화물 절연막(116)의 형상에 따라 게이트 전극(120)의 형상이 다르다.
- [0167] 예를 들어, 산화물 절연막(114) 및 질화물 절연막(116)을 연속적으로 형성하고 나서, 개구부를 형성하고, 상기 개구부를 덮도록 게이트 전극(120)을 형성함으로써, 도 5에 도시된 트랜지스터(150)를 형성할 수 있다.
- [0168] 도 5에 도시된 본 발명의 일 형태에 따른 반도체 장치도, 도 1에 도시된 본 발명의 일 형태에 따른 반도체 장치와 마찬가지로 뛰어난 효과를 갖는다.
- [0169] 또한, 본 실시형태에 기재된 구성 및 방법 등을 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.
- [0170] (실시형태 2)
- [0171] 본 실시형태에서는, 실시형태 1에 기재된 듀얼 게이트 구조의 트랜지스터에서, 상이한 게이트 전극끼리를 접속

시켜 같은 전위로 한 경우의 트랜지스터의 전기 특성에 대하여 도 6 내지 도 11을 사용하여 설명한다.

[0172] 또한, 여기서는, 후술하는 도 6의 (A)에 도시된 게이트 전극(201)과 게이트 전극(215)을 전기적으로 단락시켜 게이트 전압을 가하는 구동 방법을 듀얼 게이트 구동이라고 한다. 즉, 듀얼 게이트 구동에서는, 게이트 전극(201)의 게이트 전압과 게이트 전극(215)의 게이트 전압이 같게 된다.

[0173] 여기서, 트랜지스터의 전기 특성에 대하여 계산하였다. 계산에서 사용한 트랜지스터의 구조를 도 6의 (A) 및 (B)에 도시하였다. 또한, 계산에는 디바이스 시뮬레이션 소프트웨어 Atlas(Silvaco사제)를 사용하였다.

[0174] 도 6의 (A)에 도시된 구조 1의 트랜지스터는 듀얼 게이트 구조의 트랜지스터이다.

[0175] 구조 1의 트랜지스터에서는, 게이트 전극(201) 위에 절연막(203)이 형성되고, 절연막(203) 위에 산화물 반도체 막(205)이 형성된다. 절연막(203) 및 산화물 반도체 막(205) 위에는 한 쌍의 전극(207, 208)이 형성되고, 산화물 반도체 막(205) 및 한 쌍의 전극(207, 208) 위에 절연막(209)이 형성된다. 절연막(209) 위에 게이트 전극(215)이 형성된다. 또한, 게이트 전극(201) 및 게이트 전극(215)은, 절연막(203) 및 절연막(209)에 형성되는 개구부(도시되지 않았음)에서 접속된다.

[0176] 도 6의 (B)에 도시된 구조 2의 트랜지스터는 싱글 게이트 구조의 트랜지스터이다.

[0177] 구조 2의 트랜지스터에서는, 게이트 전극(201) 위에 절연막(203)이 형성되고, 절연막(203) 위에 산화물 반도체 막(205)이 형성된다. 절연막(203) 및 산화물 반도체 막(205) 위에 한 쌍의 전극(207, 208)이 형성되고, 산화물 반도체 막(205) 및 한 쌍의 전극(207, 208) 위에 절연막(209)이 형성된다.

[0178] 게이트 전극(201)의 일함수 Φ_{sd} 을 5.0V로 설정하였다. 절연막(203)을 유전율이 4.1인 두께 100nm의 막으로 설정하였다. 산화물 반도체 막(205)으로서는 In-Ga-Zn 산화물 막 (In:Ga:Zn=1:1:1) 단층을 상정하고, In-Ga-Zn 산화물 막의 밴드 갭 Eg를 3.15eV, 전자 친화력 X를 4.6eV, 비유전율을 15, 전자 이동도를 $10\text{cm}^2/\text{Vs}$ 로 하고, 도너 밀도 Nd를 $3 \times 10^{17} \text{atoms/cm}^3$ 으로 설정하였다. 한 쌍의 전극(207, 208)의 일함수 Φ_{sd} 를 4.6eV로 하고, 한 쌍의 전극(207, 208)은 산화물 반도체 막(205)과의 오믹 접합으로 설정하였다. 절연막(209)의 비유전율을 4.1로 하고, 두께를 100nm로 설정하였다. 또한, 산화물 반도체 막(205)에서의 결합 준위나 표면 산란 등의 모델은 고려하지 않았다. 또한, 트랜지스터의 채널 길이를 $10\mu\text{m}$ 로 하고 채널 폭을 $100\mu\text{m}$ 로 하였다.

[0179] <초기 특성 편차의 저감>

[0180] 구조 1의 트랜지스터와 같이 듀얼 게이트 구동으로 함으로써, 초기 특성 편차를 저감할 수 있다. 이것은, 듀얼 게이트 구동으로 함으로써, I_d-V_g 특성의 문턱 전압 V_{th} 의 변동량이 구조 2의 트랜지스터에 비하여 작은 것에 기인한다.

[0181] 여기서, 일례로서, 반도체 막이 n형화된 경우의 I_d-V_g 특성의 마이너스 시프트에 대하여 설명한다.

[0182] 도너 이온의 전하량의 합계를 Q(C)로 하고, 게이트 전극(201), 절연막(203), 및 산화물 반도체 막(205)으로 형성되는 용량을 C_{Bottom} 으로 하고, 산화물 반도체 막(205), 절연막(209), 및 게이트 전극(215)으로 형성되는 용량을 C_{Top} 으로 한다. 이 때, 구조 1의 트랜지스터의 V_{th} 의 변동량 ΔV 를 수학식(1)으로 나타낸다. 또한, 구조 2의 트랜지스터의 V_{th} 의 변동량 ΔV 를 수학식(2)으로 나타낸다.

수학식 1

$$\Delta V = -\frac{Q}{C_{Bottom} + C_{Top}} \quad (1)$$

[0183]

수학식 2

$$\Delta V = -\frac{Q}{C_{Bottom}} \quad (2)$$

[0184]

[0185] 수학식(1)으로 나타낸 바와 같이, 구조 1의 트랜지스터와 같은 듀얼 게이트 구동에서는, 도너 이온과 게이트 전극 사이의 용량이 C_{Bottom} 과 C_{Top} 의 합이 되기 때문에 문턱 전압의 변동량이 작아진다.

[0186]

또한, 구조 1의 트랜지스터 및 구조 2의 트랜지스터 각각에서, 드레인 전압이 0.1V 및 1V일 때의 전류 전압 곡선을 계산한 결과를 도 7에 나타내었다. 또한, 도 7의 (A)는 구조 1의 트랜지스터의 전류 전압 곡선을 나타낸 것이고, 도 7의 (B)는 구조 2의 트랜지스터의 전류 전압 곡선을 나타낸 것이다. 드레인 전압 V_d 가 0.1V일 때, 구조 1의 트랜지스터의 문턱 전압은 -2.26V이고, 구조 2의 트랜지스터의 문턱 전압은 -4.73V이었다.

[0187]

구조 1의 트랜지스터와 같이 듀얼 게이트 구동을 채용하면, 각 문턱 전압의 변동량이 저감된다. 이로써, 복수의 트랜지스터에서의 전기 특성 편차도 동시에 저감된다.

[0188]

또한, 여기서는 도너 이온으로 인한 마이너스 시프트를 고려하였지만, 절연막(203) 및 절연막(209) 내의 고정 전하, 가동 전하, 또는 음의 전하(유사 억셉터(acceptor-like) 준위에 포획된 전자 등)로 인한 플러스 시프트도 마찬가지로 억제되기 때문에, 편차가 저감된다고 생각된다.

[0189]

<-GBT 스트레스 시험에 의한 열화의 억제>

[0190]

또한, 구조 1의 트랜지스터와 같이 듀얼 게이트 구동으로 함으로써, -GBT 스트레스 시험에 의한 열화를 저감할 수 있다. 이하에, -GBT 스트레스 시험에 의한 열화를 저감할 수 있는 이유에 대하여 설명한다.

[0191]

첫 번째의 이유로서는, 듀얼 게이트 구동으로 함으로써, 정전(靜電) 스트레스가 생기지 않는다는 점이 있다. 도 8의 (A)에 구조 1의 트랜지스터에서, 게이트 전극(201) 및 게이트 전극(215) 각각에 -30V를 인가한 경우의 페텐셜 등고선을 플롯한 도면을 도시하였다. 또한, 도 8의 (A)를 A-B에서 자른 단면에서의 페텐셜을 도 8의 (B)에 나타내었다.

[0192]

산화물 반도체막(205)은 진성 반도체이고, 게이트 전극(201) 및 게이트 전극(215)에 음의 전압이 인가되어 완전 공핍화되었을 때, 게이트 전극(201)과 게이트 전극(215) 사이에는 전하가 전혀 존재하지 않는다. 이 상태에서 게이트 전극(201) 및 게이트 전극(215)의 전위를 같게 하면, 도 8의 (B)에 나타낸 바와 같이 게이트 전극(201)과 게이트 전극(215) 사이의 전위는 완전히 같게 된다. 전위가 같기 때문에, 절연막(203), 산화물 반도체막(205), 및 절연막(209)에 정전 스트레스는 생기지 않는다. 이 결과, 가동 이온이나, 절연막(203) 및 절연막(209)에서의 캐리어 트랩 · 디트랩(detrap) 등, -GBT 스트레스 시험에 의한 열화의 원인이 되는 현상이 발생하지 않는다.

[0193]

두 번째의 이유로서는, 듀얼 게이트 구동으로 함으로써, FET 외부로부터의 전기장이 차폐된다는 점이 있다. 여기서는, 도 6의 (A)에 도시된 구조 1의 트랜지스터 및 도 6의 (B)에 도시된 구조 2의 트랜지스터 각각에서, 절연막(209) 또는 게이트 전극(215) 위에 공기 중의 하전 입자가 흡착되는 모델을 나타낸다.

[0194]

도 9의 (B)에 도시된 바와 같이, 구조 2의 트랜지스터에서는 절연막(209) 표면에 공기 중의 양의 하전 입자가 흡착된다. 게이트 전극(201)에 음의 전압이 인가되면, 양의 하전 입자가 절연막(209)에 흡착된다. 이 결과, 도 9의 (B)의 화살표로 나타낸 바와 같이, 양의 하전 입자의 전기장이 산화물 반도체막(205)과 절연막(209)의 계면까지 영향을 미치고, 실질적으로 양의 바이어스가 인가된 상태가 된다. 이로 인하여, 문턱 전압이 마이너스로 시프트된다고 생각된다.

[0195]

한편, 도 9의 (A)에 도시된 바와 같이, 구조 1의 트랜지스터에서는 게이트 전극(215) 표면에 양의 하전 입자가 부착되더라도, 도 9의 (A)의 화살표로 나타낸 바와 같이 게이트 전극(215)이 양의 하전 입자의 전기장을 차폐하기 때문에, 트랜지스터의 전기 특성에 양의 하전 입자가 영향을 미치지 않는다. 즉, 게이트 전극(215)을 가지면 외부로부터의 전하를 전기적으로 보호할 수 있어, -GBT 스트레스 시험에 의한 열화가 억제된다.

[0196]

상술한 2개의 이유로부터, 듀얼 게이트 구동의 트랜지스터에서 -GBT 스트레스 시험에 의한 열화가 억제된다.

[0197]

<상이한 드레인 전압에서의 온 전류의 상승 전압의 변동의 억제>

- [0198] 여기서, 트랜지스터를 구조 1로 한 경우의, 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동, 및 그 원인에 대하여 설명한다.
- [0199] 도 10에 도시된 트랜지스터에서는, 게이트 전극(231) 위에 게이트 절연막(233)이 제공되고, 게이트 절연막(233) 위에 산화물 반도체막(235)이 제공된다. 산화물 반도체막(235) 위에 한 쌍의 전극(237, 238)이 제공되고, 게이트 절연막(233), 산화물 반도체막(235), 및 한 쌍의 전극(237, 238) 위에 절연막(239)이 제공된다.
- [0200] 또한, 계산에서 게이트 전극(231)의 일함수 Φ_g 을 5.0eV로 설정하였다. 게이트 절연막(233)을 유전율이 7.5인 두께 400nm의 막과 유전율이 4.1인 두께 50nm의 막의 적층 구조로 설정하였다. 산화물 반도체막(235)으로서는 In-Ga-Zn 산화물막(In:Ga:Zn=1:1:1) 단층을 상정하고, In-Ga-Zn 산화물막의 밴드 갭 Eg를 3.15eV, 전자 친화력 χ 를 4.6eV, 비유전율을 15, 전자 이동도를 $10\text{cm}^2/\text{Vs}$ 로 하고, 도너 밀도 Nd를 $1\times 10^{13}/\text{cm}^3$ 으로 설정하였다. 한 쌍의 전극(237, 238)의 일함수 Φ_{sd} 를 4.6eV로 하고, 한 쌍의 전극(237, 238)은 산화물 반도체막(235)과의 오믹 접합으로 설정하였다. 절연막(239)의 비유전율을 3.9로 하고, 두께를 550nm로 설정하였다. 또한, 산화물 반도체막(235)에서의 결합 준위나 표면 산란 등의 모델은 고려하지 않았다. 또한, 트랜지스터의 채널 길이를 3μm으로 하고 채널 폭을 50μm로 하였다.
- [0201] 다음에, 도 10의 (A)에 도시된 트랜지스터에서 절연막(239) 표면에 양의 하전 입자가 흡착된 모델을 도 10의 (B) 및 (C)에 도시하였다. 또한, 도 10의 (B)는 절연막(239) 표면에 양의 고정 전하가 균일하게 흡착된다고 가정한 구조를 도시한 것이고, 도 10의 (C)는 절연막(239) 표면에 양의 고정 전하가 부분적으로 흡착된다고 가정한 구조를 도시한 것이다.
- [0202] 도 10의 (A) 내지 (C)에 도시된 트랜지스터의 전기 특성을 계산한 결과를 도 11의 (A) 내지 (C)에 나타내었다.
- [0203] 도 11의 (A)를 보면, 양의 고정 전하가 존재하지 않는다고 가정한 도 10의 (A)에 도시된 트랜지스터의 절연막(239)의 드레인 전압 V_d 가 1V 및 10V일 때 각 상승 전압은 대략 일치되는 것을 알 수 있다.
- [0204] 한편, 도 11의 (B)를 보면, 양의 고정 전하가 균일하게 존재한다고 가정한 도 10의 (B)에 도시된 트랜지스터의 절연막(239)의 문턱 전압은 마이너스 시프트된다. 또한, 드레인 전압 V_d 가 1V 및 10V일 때 각 상승 전압은 대략 일치되는 것을 알 수 있다.
- [0205] 또한, 도 11의 (C)를 보면, 양의 고정 전하가 부분적으로 존재한다고 가정한 도 10의 (C)에 도시된 트랜지스터의 절연막(239)의 드레인 전압 V_d 가 1V 및 10V일 때 각 상승 전압은 서로 다른 것을 알 수 있다.
- [0206] 한편, 구조 1의 트랜지스터에서는 게이트 전극(215)이 제공되기 때문에, 상술한 <-GBT 스트레스 시험에 의한 열화의 억제>에서 설명한 바와 같이, 게이트 전극(215)이 외부의 하전 입자의 전기장을 차폐하므로, 트랜지스터의 전기 특성에 하전 입자가 영향을 미치지 않는다. 즉, 게이트 전극(215)을 가짐으로써, 외부의 전하로부터 전기적으로 보호될 수 있기 때문에, 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동을 억제할 수 있다.
- [0207] 상술한 것으로부터, 듀얼 게이트 구조로 하고 각 게이트 전극에 임의의 전압을 인가함으로써, -GBT 스트레스 시험에 의한 열화의 억제, 및 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동의 억제가 가능하다. 또한, 듀얼 게이트 구조로 하고 각 게이트 전극에 같은 전위의 전압을 인가함으로써, 초기 특성 편차의 저감, -GBT 스트레스 시험에 의한 열화의 억제, 및 상이한 드레인 전압에서의 온 전류의 상승 전압의 변동의 억제가 가능하다.
- [0208] <채널 폭 방향에서의 게이트 전극의 단부와 산화물 반도체막의 단부 사이의 거리와, 문턱 전압의 변동량에 대하여>
- [0209] 구조 1의 트랜지스터를 채널 폭 방향에서 자른 단면 모식도를 도 12에 도시하였다. 또한, 도 12에 도시된 트랜지스터의 단면 모식도의 각 구성은 도 6의 (A)에 도시된 구조 1의 각 구성과 축적이 다르다.
- [0210] 구조 1의 트랜지스터에서, 도 6의 (A)에 도시된 트랜지스터의 채널 폭 방향에 있어서, 산화물 반도체막(205)의 측면과 게이트 전극(215)이 대향하도록 게이트 전극(215)의 단부가 산화물 반도체막(205)의 외측에 위치하는 구조(이하, 구조 3(도 12의 (A) 참조)이라고 함)에 대하여 고찰한다.
- [0211] 구조 3의 트랜지스터에서, 산화물 반도체막(205)의 측면에 단위 면적당 전하량 $Q(\text{C}/\text{m}^2)$ 의 도너 이온이 존재하는 경우를 생각한다. 이 전하와 게이트 전극(201) 사이에 형성되는 단위 면적당 용량을 C_{Bottom} 으로 하고, 같은 전

하와 게이트 전극(215) 사이에 형성되는 단위 면적당 결합 용량을 C_{Top} 으로 하고, 채널 폭 방향에 있어서 같은 전하와 게이트 전극(215) 사이에 형성되는 단위 면적당 용량을 C_{Side} 로 한다. 절연막(203) 중 산화물 반도체막(205) 아래에 있는 영역의 두께를 t_1 로 하고, 절연막(209) 중 산화물 반도체막(205) 측면에 있는 영역의 두께를 t_2 로 하고, 절연막(209) 중 산화물 반도체막(205) 위에 있는 영역의 두께를 t_3 으로 하고, 산화물 반도체막(205)의 두께를 t_{os} 로 하고, 절연막의 유전율을 ϵ 로 하면, C_{Bottom} , C_{Top} , C_{Side} 는 각각 근사적으로 다음과 같이 어렵잖을 수 있다.

수학식 3

$$[0212] C_{Bottom} = \epsilon \frac{1}{t_1 + t_{os}/2} \left[\frac{1}{2} + \frac{(t_1 + t_{os})t_2}{(t_1 + t_{os})^2 + t_2^2} \right] \quad (3)$$

수학식 4

$$[0213] C_{Top} = \epsilon \frac{1}{t_3 + t_{os}/2} \left[\frac{1}{2} + \frac{(t_3 + t_{os})t_2}{(t_3 + t_{os})^2 + t_2^2} \right] \quad (4)$$

수학식 5

$$[0214] C_{Side} = \frac{\epsilon}{t_2} \quad (5)$$

[0215] 이 때, 구조 3의 트랜지스터를 듀얼 게이트 구동시켰을 때의, 전하량 Q 에 의한 V_{th} 의 변동량 ΔV_3 을 수학식(6)으로 나타낸다.

수학식 6

$$[0216] \Delta V_3 = -\frac{Q}{C_{Bottom} + C_{Top} + C_{Side}} \quad (6)$$

[0217] 한편, 채널 폭 방향에 있어서, 게이트 전극(201) 및 게이트 전극(215)이 산화물 반도체막(205)보다 t_2 만큼 돌출되면서, 산화물 반도체막(205)의 측면과 대향하는 게이트 전극이 없는 구조 4(도 12의 (B) 참조)를 생각한다. 이 때, 구조 4의 트랜지스터를 듀얼 게이트 구동시켰을 때의, 전하량 Q 에 의한 V_{th} 의 변동량 ΔV_4 를 수학식(7)으로 나타낸다.

수학식 7

$$[0218] \Delta V_4 = -\frac{Q}{C_{Bottom} + C_{Top}} \quad (7)$$

[0219] 따라서, 수학식(6)과 수학식(7)을 비율로 나타내면, 수학식(8)과 같이 된다.

수학식 8

$$\frac{\Delta V_3}{\Delta V_4} = \frac{C_{Bottom} + C_{Top}}{C_{Bottom} + C_{Top} + C_{Side}} \quad (8)$$

[0220] 수학식(8)의 우변은 1보다 작게 되므로, 도 12의 (A)에 도시된 구조 3은 도 12의 (B)에 도시된 구조 4보다 같은 전하량 Q에 의한 V_{th} 의 변동량을 작게 할 수 있다.

[0221] 또한, 트랜지스터에서의 V_{th} 의 변동량을 수학식(6)과 수학식(7)으로 나타낼 수 있는 상황은, 산화물 반도체막(205)의 측면에서의 전하량 Q가 V_{th} 의 변동을 일으키는 주요인인 경우에 한정된다. 예를 들어, 게이트 전극(201) 또는 게이트 전극(215)이 채널 폭 방향에 있어서 산화물 반도체막(205)보다 돌출되지 않는 경우에, 산화물 반도체막(205)의 측면에서의 도너 이온의 전하량 Q로 인하여 기생 채널이 형성될 수 있다. 이와 같은 경우에, 구조 3 또는 구조 4로 함으로써, 각각 수학식(6) 및 수학식(7)에 따라 전하량 Q의 영향이 억제된다.

[0223] 상기에서는 전하량 Q의 기원으로서 특히 산화물 반도체막(205)의 측면에서의 도너 이온을 상정하였지만, 절연막, 절연막 계면, 또는 산화물 반도체막에서의 고정 전하, 또는 트랩 준위에 포획된 전자나 정공이더라도, 이들이 V_{th} 의 변동을 일으키는 주요인인 경우에는 같은 논의가 이뤄진다.

[0224] 구조 4를 더 일반화시킨 경우로서, 게이트 전극(201)과 게이트 전극(215)이 채널 폭 방향에 있어서 산화물 반도체막(205)보다 각각 X_B , X_T 만큼 돌출되는 구조 5(도 12의 (C) 참조)를 생각한다. 이 때, C_{Bottom} 은 수학식(9)과 같이, C_{Top} 은 수학식(10)과 같이 나타낼 수 있다.

수학식 9

$$C_{Bottom} = \varepsilon \frac{1}{t_1 + t_{os}/2} \left[\frac{1}{2} + \frac{(t_1 + t_{os})X_B}{(t_1 + t_{os})^2 + X_B^2} \right] \quad (9)$$

수학식 10

$$C_{Top} = \varepsilon \frac{1}{t_3 + t_{os}/2} \left[\frac{1}{2} + \frac{(t_3 + t_{os})X_T}{(t_3 + t_{os})^2 + X_T^2} \right] \quad (10)$$

[0225] X_B , X_T 를 변화시켰을 때, 수학식(9)은 $X_B=t_1+t_{os}$ 가 되고 수학식(10)은 $X_T=t_3+t_{os}$ 가 되고, 수학식(11) 및 수학식(12)에 나타내는 최대값 C_{Bottom}^{Max} 과 C_{Top}^{Max} 가 된다.

수학식 11

$$C_{Bottom}^{Max} = \varepsilon \frac{1}{t_1 + t_{os}/2} \quad (11)$$

수학식 12

$$C_{Top}^{Max} = \varepsilon \frac{1}{t_3 + t_{os}/2} \quad (12)$$

[0230] 따라서, 수학식(7)에 기초하여 V_{th} 의 변동량을 가장 작게 하기 위해서는, $X_B=t_1+t_{os}$, $X_I=t_3+t_{os}$ 로 하면 좋다.

[0231] (실시형태 3)

[0232] 본 실시형태에서는, 본 발명의 일 형태에 따른 반도체 장치를 적용한 표시 장치에 대하여 도면을 사용하여 설명한다. 또한, 상술한 실시형태에 기재된 부호와 같은 부분, 또는 같은 기능을 갖는 부분에 대해서는 같은 부호를 붙이고 자세한 설명은 생략한다.

[0233] 도 13의 (A)에 표시 장치의 일례의 블록도를 도시하였다. 도 13의 (A)에 도시된 표시 장치는 화소부(600)와, 주사선 구동 회로(604)와, 신호선 구동 회로(606)와, 각각 평행 또는 실질적으로 평행하게 배치되며 주사선 구동 회로(604)에 의하여 전위가 제어되는 m 개의 주사선(607)과, 각각 평행 또는 대략 평행하게 배치되며 신호선 구동 회로(606)에 의하여 전위가 제어되는 n 개의 신호선(609)을 구비한다. 또한, 화소부(600)는 매트릭스 형상으로 배치된 복수의 화소(601)를 갖는다. 또한, 주사선 구동 회로(604) 및 신호선 구동 회로(606)를 합쳐서 구동 회로부라고 부르는 경우가 있다.

[0234] 각 주사선(607)은 화소부(600)에서 m 행 n 열로 배치된 화소(601) 중, 어느 행에 배치된 n 개의 화소(601)에 전기적으로 접속된다. 또한, 각 신호선(609)은 m 행 n 열로 배치된 화소(601) 중 어느 열에 배치된 m 개의 화소(601)에 전기적으로 접속된다. m , n 은 모두 1 이상의 정수이다. 또한, 각 용량선(615)은, m 행 n 열로 배치된 화소(601) 중 어느 행에 배치된 n 개의 화소(601)에 전기적으로 접속된다. 또한, 용량선(615)이 신호선(609)을 따라 각각 평행 또는 대략 평행으로 배치되는 경우에는 m 행 n 열로 배치된 화소(601) 중 어느 열에 배치된 m 개의 화소(601)에 전기적으로 접속된다.

[0235] 실시형태 1에서 기재한 반도체 장치에는 도 13의 (A)에 도시된 화소(601)를 사용할 수 있다.

[0236] 도 13의 (B)는 도 13의 (A)에 도시된 표시 장치의 화소(601)에 사용할 수 있는 회로 구성의 일례를 도시한 것이다.

[0237] 도 13에 도시된 화소(601)는 데이터 신호의 데이터 기록을 제어하는 트랜지스터(300b)와, 화소의 구동을 제어하는 트랜지스터(300a)와, 트랜지스터(300c)와, 용량 소자(370)와, 발광 소자(350)를 구비한다.

[0238] 트랜지스터(300b)의 소스 전극 및 드레인 전극 중 한쪽은 데이터 신호가 공급되는 신호선 SL에 전기적으로 접속된다. 또한, 트랜지스터(300b)의 게이트 전극은 게이트 신호가 공급되는 주사선 GL에 전기적으로 접속된다.

[0239] 트랜지스터(300b)는 온 상태 또는 오프 상태가 됨으로써, 데이터 신호의 데이터의 기록을 제어하는 기능을 갖는다.

[0240] 트랜지스터(300a)의 소스 전극 및 드레인 전극 중 한쪽은 애노드선으로서 기능하는 배선 AN01에 전기적으로 접속되고, 트랜지스터(300a)의 소스 전극 및 드레인 전극 중 다른 쪽은 발광 소자(350)의 한쪽 전극에 전기적으로 접속된다. 또한, 트랜지스터(300a)의 게이트 전극은 트랜지스터(300b)의 소스 전극 및 드레인 전극 중 다른 쪽 및 용량 소자(370)의 한쪽 전극에 전기적으로 접속된다.

[0241] 트랜지스터(300a)는 온 상태 또는 오프 상태가 됨으로써, 발광 소자(350)에 흐르는 전류를 제어하는 기능을 갖는다.

[0242] 트랜지스터(300c)의 소스 전극 및 드레인 전극 중 한쪽은 데이터의 기준 전위가 공급되는 배선 ML에 접속되고, 트랜지스터(300c)의 소스 전극 및 드레인 전극 중 다른 쪽은 발광 소자(350)의 한쪽 전극 및 용량 소자(370)의 다른 쪽 전극에 전기적으로 접속된다. 또한, 트랜지스터(300c)의 게이트 전극은 게이트 신호가 공급되는 주사선 GL에 전기적으로 접속된다.

[0243] 트랜지스터(300c)는 발광 소자(350)에 흐르는 전류를 조정하는 기능을 갖는다. 예를 들어, 트랜지스터(300a)의 문턱 전압이나 전계 효과 이동도의 편차가 생긴 경우, 또는 트랜지스터(300a)가 열화된 경우에 트랜지스터(300c)의 소스 전극 및 드레인 전극 중 한쪽이 접속된 배선 ML에 흐르는 전류를 모니터링함으로써, 발광 소자(350)에 흐르는 전류를 보정할 수 있다. 배선 ML에 공급되는 전위로서는 예를 들어, 발광 소자(350)의 문턱 전압 이하의 전압으로 할 수 있다.

[0244] 용량 소자(370)의 한 쌍의 전극 중 한쪽은 트랜지스터(300b)의 소스 전극 및 드레인 전극 중 다른 쪽 및 트랜지스터(300a)의 게이트 전극에 전기적으로 접속되고, 용량 소자(370)의 한 쌍의 전극 중 다른 쪽은 트랜지스터(300b)의 소스 전극 및 드레인 전극 중 다른 쪽 및 발광 소자(350)의 한쪽 전극에 전기적으로 접속된다.

- [0245] 도 13의 (B)에 도시된 화소(601)의 구성에서, 용량 소자(370)는 기록된 데이터를 유지하는 유지 용량으로서 기능한다.
- [0246] 발광 소자(350)의 한 쌍의 전극 중 한쪽은 트랜지스터(300a)의 소스 전극 및 드레인 전극 중 다른 쪽, 용량 소자(370)의 다른 쪽 전극, 및 트랜지스터(300c)의 소스 전극 및 드레인 전극 중 다른 쪽에 전기적으로 접속된다. 또한, 발광 소자(350)의 한 쌍의 전극 중 다른 쪽은 캐소드로서 기능하는 배선 CAT에 전기적으로 접속된다.
- [0247] 발광 소자(350)로서는 예를 들어 유기 일렉트로루미네센스 소자(유기 EL 소자라고도 함) 등을 사용할 수 있다. 다만, 발광 소자(350)로서는 이것으로 한정되지 않고, 무기 재료로 이루어지는 무기 EL 소자를 사용하여도 좋다.
- [0248] 또한, 배선 ML에 평행한 방향으로 연장된 배선 AN02가 제공된다. 배선 AN02는 애노드선으로서 기능하는 배선 AN01에 접속되고, 배선 AN01, 배선 AN02의 배선 저항을 저감할 수 있다. 이 결과, 대면적 기판을 사용한 발광 장치에서, 배선의 전압 강하를 저감할 수 있어, 발광 장치의 휘도 불균일을 저감할 수 있다.
- [0249] 배선 AN01과 배선 AN02, 및 배선 CAT 중 한쪽에는 고전원 전위 VDD가 공급되고, 다른 쪽에는 저전원 전위 VSS가 공급된다. 도 13의 (B)에 도시된 구성에서는 배선 AN01과 배선 AN02에 고전원 전위 VDD를 공급하고, 배선 CAT에 저전원 전위 VSS를 공급하는 구성으로 하였다.
- [0250] 도 13의 (B)에 도시된 화소(601)를 갖는 표시 장치에서는, 주사선 구동 회로에 의하여 각 행의 화소(601)를 차례로 선택하고, 트랜지스터(300b)를 온 상태로 하여 데이터 신호의 데이터를 기록한다.
- [0251] 데이터가 기록된 화소(601)는 트랜지스터(300b)가 오프 상태가 됨으로써 유지 상태가 된다. 또한, 트랜지스터(300b)는 용량 소자(370)에 접속되기 때문에, 기록된 데이터를 장시간 동안 유지할 수 있게 된다. 또한, 트랜지스터(300a)에 의하여 소스 전극과 드레인 전극 사이에 흐르는 전류량이 제어되고, 발광 소자(350)는 흐르는 전류량에 따른 휘도로 발광한다. 이것을 행마다 차례로 수행함으로써 화상을 표시할 수 있다.
- [0252] 다음에, 도 13의 (A) 및 (B)에 도시된 화소(601)에 사용할 수 있는 구성에 대하여 도 14 내지 도 18을 사용하여 이하에서 설명한다.
- [0253] 도 14는 화소(601)에 사용할 수 있는 화소의 상면도의 일부를 도시한 것이다. 또한, 도 15는 도 14를 일점 쇄선 X1-X2에서 자른 단면을 도시한 것이고, 도 16은 도 14를 일점 쇄선 X3-X4에서 자른 단면을 도시한 것이다.
- [0254] 도 14에서, 주사선으로서 기능하는 배선 GL은 신호선에 대략 직교되는 방향(도면 중에서 좌우 방향)으로 연장되어 제공된다. 신호선으로서 기능하는 배선 SL은 주사선에 대략 직교되는 방향(도면 중에서 상하 방향)으로 연장되어 제공된다. 데이터의 기준 전위가 공급되는 배선 ML은 배선 SL에 평행한 방향으로 연장되어 제공된다. 애노드선으로서 기능하는 배선 AN02는 배선 SL 및 배선 ML에 평행한 방향으로 연장되어 제공된다.
- [0255] 트랜지스터(300a, 300b, 300c)는 화소(601) 내에 제공된다. 또한, 트랜지스터(300a, 300b, 300c) 각각은, 게이트 전극으로서 기능하는 도전막과, 게이트 절연막과, 게이트 절연막 위의, 채널 영역이 형성되는 산화물 반도체막과, 산화물 반도체막에 전기적으로 접속되는 한 쌍의 전극으로서 기능하는 도전막에 의하여 구성된다. 예를 들어, 트랜지스터(300a)에서는, 게이트 전극(304b)과, 게이트 절연막(도시되지 않았음)과, 산화물 반도체막(308)과, 전극(310, 312)에 의하여 구성된다. 또한, 트랜지스터(300a)의 게이트 전극은 배선 GL에 전기적으로 접속되고, 트랜지스터(300a)의 전극(310, 312) 중 어느 하나는 배선 SL에 전기적으로 접속된다.
- [0256] 또한, 트랜지스터(300b, 300c)의 구성에 대해서는 특히 기재하지 않지만, 트랜지스터(300a)의 구성과 같은 구성으로 할 수 있다.
- [0257] 또한, 전극(304a)은 개구부(352a)에서 전극(310)에 전기적으로 접속된다. 또한, 전극(312)은 개구부(354, 356b)에서 화소 전극(322)에 전기적으로 접속된다. 또한, 전극(304d)은 개구부(352b) 및 개구부(352c)에서 전극(312a)에 전기적으로 접속된다. 또한, 화소 전극(322) 및 전극(312a)은 도 14에 도시되지 않았다.
- [0258] 또한, 전극(312)의 아래쪽에는 전극(304c)이 형성된다. 전극(312)과, 전극(312) 아래에 형성되는 유전막과, 전극(304c)에 의하여 용량 소자가 형성된다. 상기 용량 소자는 도 13의 (B)에 도시된 용량 소자(370)에 상당한다.
- [0259] 다음에, 도 14에 도시된 일점 쇄선 X1-X2에서 자른 단면, 및 일점 쇄선 X3-X4에서 자른 단면에 대하여 도 15 및 도 16을 사용하여 설명한다.

- [0260] 도 15 및 도 16에 도시된 화소는 기판(302)과, 기판(302) 위의 게이트 전극(304b) 및 전극(304a, 304c, 304d)과, 기판(302), 게이트 전극(304b), 및 전극(304a, 304c, 304d) 위에 형성된 절연막(306a, 306b)과, 절연막(306b) 위의 산화물 반도체막(308)과, 산화물 반도체막(308) 위의 한 쌍의 전극(310, 312)과, 전극(312)과 동일한 공정으로 형성된 전극(312a)과, 산화물 반도체막(308) 및 전극(310, 312, 312a) 위에 형성된 산화물 절연막(314)과, 산화물 절연막(314) 위에 형성된 질화물 절연막(316)과, 질화물 절연막(316) 위에 제공되며 산화물 반도체막(308)과 중첩되는 위치에 형성된 게이트 전극(320)과, 질화물 절연막(316) 위에 제공되며 산화물 반도체막(308)과 중첩되는 위치에 개구부가 형성된 절연막(318)과, 게이트 전극(320)과 동일한 공정으로 형성되며 절연막(318) 위에 형성된 화소 전극(322)과, 화소 전극(322)의 단부 및 트랜지스터를 덮도록 형성된 절연막(324)을 갖는다.
- [0261] 또한, 게이트 전극(304b)과, 절연막(306a, 306b)과, 산화물 반도체막(308)과, 전극(310, 312)과, 산화물 절연막(314)과, 질화물 절연막(316)과, 게이트 전극(320)에 의하여 트랜지스터(300a)를 구성한다. 절연막(306a, 306b)은 트랜지스터(300a)의 제 1 게이트 절연막으로서 기능하고, 산화물 절연막(314) 및 질화물 절연막(316)은 트랜지스터(300a)의 제 2 게이트 절연막으로서 기능한다.
- [0262] 또한, 전극(312) 및 전극(304c) 사이의 영역에서 절연막(306a, 306b)은 유전체로서 기능한다. 즉, 전극(312), 절연막(306a, 306b), 및 전극(304c)은 용량 소자를 형성한다.
- [0263] 또한, 화소 전극(322) 및 절연막(318) 위에는 EL층(326)이 형성되고, EL층(326) 위에는 전극(328)이 형성된다. 또한, 화소 전극(322)과, EL층(326)과, 전극(328)으로 발광 소자(350)가 형성된다. EL층(326)에는 발광성 물질을 포함한 발광층이 적어도 포함되면 좋고, 상기 발광층 외에 정공 주입층, 정공 수송층, 전자 수송층, 전자 주입층, 및 전하 발생층 등의 기능층이 포함되어도 좋다. EL층(326)은 한 쌍의 전극(여기서는 화소 전극(322)과 전극(328))으로부터 전자와 정공이 주입되어 전류가 흐른다. 그리고, 상기 전자와 정공이 재결합함으로써 발광성 물질이 여기 상태를 형성하고, 그 여기 상태가 기저 상태로 되돌아갈 때 발광이 일어날 수 있다.
- [0264] 또한, 절연막(318)은 화소 전극(322) 아래쪽에 형성되는 요철을 평탄화시키는 기능을 가지면 좋고, 예를 들어 유기 절연막 등을 사용하여 형성할 수 있다.
- [0265] 또한, 절연막(324)은 인접하는 화소 사이에서 EL층(326)을 분리시키는 기능, 즉 격벽으로서 기능한다. 절연막(324)은 절연성을 가지면 좋고, 예를 들어 유기 절연막 또는 무기 절연막을 사용할 수 있다. 유기 절연막으로서는, 예를 들어 폴리아미드계 수지, 폴리아미드계 수지, 아크릴계 수지, 실록산계 수지, 에폭시계 수지, 또는 페놀계 수지 등을 사용할 수 있다. 무기 절연막으로서는, 산화 실리콘, 산화 질화 실리콘 등을 사용할 수 있다. 특히, 감광성 유기 수지 재료를 사용하면 절연막(324)을 쉽게 제작할 수 있기 때문에 바람직하다.
- [0266] 또한, 전극(304a) 위의 절연막(306a, 306b)에는 개구부(352a)가 형성된다. 전극(304a)은 개구부(352a)를 통해 전극(310)에 접속된다. 또한, 전극(304d) 위의 절연막(306a, 306b)에는 개구부(352b, 352c)가 형성된다. 전극(304d)은 개구부(352b, 352c)를 통해 전극(312a)에 접속된다. 전극(304d) 위에 형성된 개구부(352b, 352c)와 같이, 복수의 개구부를 형성함으로써 전극(304d)과 전극(312a)의 접촉 저항을 낮게 할 수 있다. 또한, 도 16에서는 개구부(352b, 352c)의 2개의 개구부를 형성하는 경우에 대하여 예시하였지만, 이에 한정되지 않고, 하나의 개구부 또는 3개 이상의 개구부를 형성하여도 좋다.
- [0267] 또한, 트랜지스터(300a) 위의 절연막(318)에는 개구부(356a)가 형성된다. 개구부(356a)를 형성함으로써, 게이트 전극(320)과 산화물 반도체막(308) 사이의 간격을 짧게 할 수 있다. 따라서, 게이트 전극(320)에 인가되는 전류를 산화물 반도체막(308)에 적합하게 인가할 수 있다.
- [0268] 또한, 전극(312) 위의 산화물 절연막(314) 및 질화물 절연막(316)에는 개구부(354)가 형성된다. 또한, 개구부(354) 위의 절연막(324)에는 개구부(356b)가 형성된다. 전극(312)은 개구부(354, 356b)를 통해 화소 전극(322)에 전기적으로 접속된다.
- [0269] 또한, 도 15 및 도 16에 도시된 화소에 사용할 수 있는 재료에 대해서는 실시형태 1의 반도체 장치에 대한 기재를 원용할 수 있다. 구체적으로는, 기판(302)은 기판(102)을, 게이트 전극(304b) 및 전극(304a, 304c, 304d)은 게이트 전극(104)을, 절연막(306a, 306b)은 게이트 절연막(106)을, 산화물 반도체막(308)은 산화물 반도체막(108)을, 전극(310, 312)은 전극(110, 112)을, 산화물 절연막(314)은 산화물 절연막(114)을, 질화물 절연막(316)은 질화물 절연막(116)을, 절연막(318)은 절연막(118)을, 게이트 전극(320) 및 화소 전극(322)은 게이트 전극(120) 및 화소 전극으로서 기능하는 도전막(122)을, 절연막(324)은 절연막(124)을 각각 원용할 수 있다.

[0270] <변형 예>

여기서는, 도 13의 (A) 및 (B)에 도시된 화소(601)의 변형예에 대하여 도 17을 사용하여 설명한다. 화소(601)의 단면도를 도 17에 도시하였다. 도 17에 도시된 트랜지스터(200)는 채널 폭 방향에 철연막(216)과 질화물 절연막(206a)을 포함하는 트랜지스터(200)이다. 또한, 선 A-B를 따른 단면도는 트랜지스터(200)의 채널 길이 방향에서의 트랜지스터(200)와 화소 전극으로서 기능하는 도전막(222)의 접속부의 단면도, 및 용량 소자(270)의 단면도이고, 선 C-D를 따른 단면도는 트랜지스터(200)의 채널 폭 방향에서의 단면도이고, 선 E-F를 따른 단면도는 게이트 전극(204) 및 게이트 전극(220)의 접속부의 단면도이다. 또한, 도 13의 (B)에 도시된 트랜지스터(300a)를 도 17에서는 트랜지스터(200)로 하고, 도 13의 (B)에 도시된 용량 소자(370)를 도 17에서는 용량 소자(270)로 한다. 또한, 도 13의 (B)에 도시된 발광 소자(350)에 대해서는 제 1 전극으로서 기능하는 도전막(222)만을 도시하였고 EL층(326) 및 제 2 전극은 생략하였다. 또한, 도 13의 (B)에 도시된 트랜지스터(300b), 트랜지스터(300a) 등을 생략하였다.

도 17에 도시된 트랜지스터(200)는 듀얼 게이트 구조의 트랜지스터이고, 기판(202) 위에 제공되는 게이트 전극(204)을 갖는다. 또한, 기판(202) 및 게이트 전극(204) 위에 형성되는 질화물 절연막(206a)과, 질화물 절연막(206a) 위에 형성되는 산화물 절연막(206b)과, 질화물 절연막(206a) 및 산화물 절연막(206b)을 개재하여 게이트 전극(204)과 중첩되는 산화물 반도체막(208a)과, 산화물 반도체막(208a)에 접하는, 한 쌍의 전극으로서 기능하는 도전막(210, 212)을 갖는다. 또한, 산화물 절연막(206b), 산화물 반도체막(208a), 및 한 쌍의 전극으로서 기능하는 도전막(210, 212) 위에는 산화물 절연막(213)이 형성되고, 산화물 절연막(213) 위에는 산화물 절연막(214)이 형성된다. 또한, 질화물 절연막(206a), 산화물 절연막(213), 산화물 절연막(214), 도전막(212) 위에는 질화물 절연막(216)이 형성된다. 또한, 질화물 절연막(216) 위에, 산화물 반도체막(208a)과 중첩되는 위치에 개구부가 형성된 절연막(218)이 형성된다. 절연막(218)의 개구부에서, 질화물 절연막(216) 위에서 산화물 반도체막(208a)과 중첩되는 위치에 게이트 전극(220)이 형성된다. 또한, 한 쌍의 전극으로서 기능하는 도전막(210, 212) 중 한쪽(여기서는 도전막(212))에 접속되는 도전막(222)이 절연막(218) 위에 형성된다. 또한, 도전막(222)은 화소 전극으로서 기능한다. 또한, 게이트 전극(220) 및 도전막(222)은 동일 공정으로 형성된다.

[0273] E-F에서의 단면도에 도시된 바와 같이, 질화물 절연막(206a) 및 질화물 절연막(216)에 형성되는 개구부(264)에서 게이트 전극(220)은 게이트 전극(204)에 접속된다. 즉, 게이트 전극(204) 및 게이트 전극(220)의 전위는 같다.

[0274] 질화물 절연막(206a) 및 산화물 절연막(206b)은 제 1 게이트 절연막으로서 기능하고, 산화물 절연막(213, 214) 및 질화물 절연막(216)은 제 2 게이트 절연막으로서 기능한다.

[0275] 트랜지스터(200)는 실시형태 1에 기재된 트랜지스터(100)와 마찬가지로 형성할 수 있다. 산화물 절연막(214)은 화학양론적 조성을 만족시키는 산소보다 많은 산소를 포함하는 산화물 절연막을 사용하여 형성하는 것이 바람직하다. 트랜지스터(200)에서, 질화물 절연막(206a)과 질화물 절연막(216)은 내측에 산화물 반도체막(208a) 및 산화물 절연막(213, 214)을 가지면서 접한다. 따라서, 질화물 절연막(206a) 및 질화물 절연막(216)에 의하여, 산화물 절연막(213) 또는 산화물 절연막(214)에 포함되는 산소가 외부로 이동하는 것을 막을 수 있다. 이로써, 산화물 절연막(213) 또는 산화물 절연막(214)에 포함되는 산소를 산화물 반도체막(208a)으로 효율 좋게 이동시켜, 산화물 반도체막에 포함되는 산소 결손량을 저감할 수 있다. 이 결과, 노멀리 오프 특성을 갖는 트랜지스터가 된다. 또한, 시간에 따른 변화나 스트레스 시험에 의한 트랜지스터의 전기 특성(대표적으로는 문턱 전압)의 변동량을 저감할 수 있다.

[0276] 또한, 채널 폭 방향에 있어서, 게이트 전극(220)이 산화물 절연막(213, 214)의 측면을 개재하여 산화물 반도체막(208a)의 측면과 대향하기 때문에, 문턱 전압에서 드레인 전류가 급격히 상승되고 전기 특성이 뛰어난 트랜지스터가 된다. 또한, 온 전류가 크며 전계 효과 이동도가 높은 트랜지스터가 된다.

[0277] 또한, 도전성을 갖는 막(208b) 및 도전막(222) 사이의 영역에서 질화물 절연막(216) 및 절연막(218)은 유전체로서 기능한다. 즉, 도전성을 갖는 막(208b), 질화물 절연막(216), 절연막(218), 및 도전막(222)은 용량 소자(270)를 형성한다. 도전성을 갖는 막(208b)은 산화물 반도체막(208a)과 동시에 형성되기 때문에 투광성을 갖는다. 그러므로, 도전막(222)을 투광성을 갖는 도전막으로 형성함으로써, 투광성을 갖는 용량 소자가 된다. 따라서, 예를 들어 배면 발광 구조의 발광 장치를 형성하는 경우에 화소의 개구율이 높아지고 적합한 구조가 된다.

[0278] 용량 소자(270)에서, 도전성을 갖는 막(208b)은 산화물 반도체막(208a)과 동시에 형성된 산화물 반도체막을 가공하여 형성된다. 따라서, 도전성을 갖는 막(208b)은 산화물 반도체막(208a)과 같은 금속 원소를 갖는 막이다.

또한, 산화물 반도체막(208a)과 같은 결정 구조, 또는 다른 결정 구조를 갖는 막이다. 그러나, 산화물 반도체막(208a)과 동시에 형성된 산화물 반도체막에 불순물 또는 산소 결손을 포함시킴으로써 도전성을 갖는 막(208b)이 된다. 도전성을 갖는 막(208b)이 되는 산화물 반도체막에 포함되는 불순물로서는 수소가 있다. 또한, 수소 대신에 불순물로서 붕소, 인, 주석, 안티몬, 희가스 원소, 알칼리 금속, 알칼리 토금속 등이 포함되어 있어도 좋다.

[0279] 그러므로, 산화물 반도체막(208a) 및 도전성을 갖는 막(208b)은 모두 산화물 절연막(206b) 위에 형성되지만 불순물 농도가 서로 다르다. 구체적으로는, 도전성을 갖는 막(208b)의 불순물 농도는 산화물 반도체막(208a)의 불순물 농도보다 높다. 예를 들어 산화물 반도체막(208a)에 포함되는 수소 농도는 5×10^{19} atoms/cm³ 미만, 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더욱 바람직하게는 5×10^{17} atoms/cm³ 이하, 보다 바람직하게는 1×10^{16} atoms/cm³ 이하이고, 도전성을 갖는 막(208b)에 포함되는 수소 농도는 8×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 5×10^{20} atoms/cm³ 이상이다. 또한, 산화물 반도체막(208a)에 비하여 도전성을 갖는 막(208b)에 포함되는 수소 농도는 2배 이상, 바람직하게는 10배 이상이다.

[0280] 또한, 산화물 반도체막(208a)과 동시에 형성된 산화물 반도체막을 플라즈마에 노출시킴으로써, 산화물 반도체막에 대미지를 주어 산소 결손을 형성할 수 있다. 예를 들어, 산화물 반도체막 위에 플라즈마 CVD법 또는 스퍼터링법으로 막을 형성하면, 산화물 반도체막이 플라즈마에 노출되어 산소 결손이 생성된다. 또는, 산화물 절연막(213) 및 산화물 절연막(214)을 형성하기 위한 에칭 처리에서 산화물 반도체막이 플라즈마에 노출됨으로써 산소 결손이 생성된다. 또는, 산화물 반도체막이 수소, 희가스, 암모니아, 산소와 수소의 혼합 가스 등의 플라즈마에 노출됨으로써 산소 결손이 생성된다. 이 결과, 산화물 반도체막은 도전성이 높아져 도전성을 갖는 막(208b)이 된다.

[0281] 즉, 도전성을 갖는 막(208b)은 도전성이 높은 산화물 반도체막이라고도 할 수 있다. 또한, 도전성을 갖는 막(208b)은 도전성이 높은 금속 산화물막이라고도 할 수 있다.

[0282] 또한, 질화물 절연막(216)으로서 질화 실리콘막을 사용하는 경우, 질화 실리콘막은 수소를 포함한다. 따라서, 질화물 절연막(216)의 수소가 산화물 반도체막(208a)과 동시에 형성된 산화물 반도체막에 확산되면, 상기 산화물 반도체막에서 수소는 산소와 결합하여 캐리어인 전자가 생성된다. 또한, 질화 실리콘막을 플라즈마 CVD법 또는 스퍼터링법으로 형성하면, 산화물 반도체막이 플라즈마에 노출되어 산소 결손이 생성된다. 질화 실리콘막에 포함되는 수소가 상기 산소 결손에 들어감으로써 캐리어인 전자가 생성된다. 이로써, 산화물 반도체막의 도전성은 높아져 도전성을 갖는 막(208b)이 된다.

[0283] 도전성을 갖는 막(208b)은 산화물 반도체막(208a)보다 저항률이 낮다. 도전성을 갖는 막(208b)의 저항률은 산화물 반도체막(208a)의 저항률의 1×10^{-8} 배 이상 1×10^{-1} 배 미만인 것이 바람직하고, 대표적으로는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-4} \Omega \text{cm}$ 미만, 더 바람직하게는 $1 \times 10^{-3} \Omega \text{cm}$ 이상 $1 \times 10^{-1} \Omega \text{cm}$ 미만이면 좋다.

[0284] 또한, 산화물 절연막(213, 214)은 도 3의 (A) 및 (B)에 도시된 공정에서, 다른 화소에 형성되는 산화물 절연막(213, 214)과 분리되도록 에칭되면 좋다. 이로써, 도 3의 (C) 및 (D)에 도시된 공정에서 산화물 반도체막(208a)과 동시에 형성된 산화물 반도체막은 질화물 절연막(216)에 접한다. 이 결과, 산화물 반도체막(208a)과 동시에 형성된 산화물 반도체막의 도전성이 높아져 도전성을 갖는 막(208b)이 된다.

[0285] 본 변형예에 기재된 발광 장치는 트랜지스터의 산화물 반도체막과 동시에 용량 소자의 한쪽 전극이 되는 전극이 형성된다. 또한, 화소 전극으로서 기능하는 도전막을 용량 소자의 다른 쪽 전극으로서 사용한다. 이로써, 용량 소자를 형성하기 위하여 도전막을 새로 형성하는 공정이 불필요하기 때문에 제작 공정을 단순화할 수 있다. 또한, 한 쌍의 전극이 투광성을 갖기 때문에 용량 소자는 투광성을 갖는다. 이 결과, 용량 소자의 점유 면적을 크게 하면서 화소의 개구율을 높일 수 있다.

[0286] 또한, 본 실시형태에 기재된 구성 및 방법 등을 다른 실시형태에 기재되는 구성 및 방법 등과 적절히 조합하여 사용할 수 있다.

[0287] (실시형태 4)

[0288] 본 실시형태에서는 본 발명의 일 형태에 따른 액티브 매트릭스형 발광 장치의 일례에 대하여 도 18을 사용하여

설명한다.

- [0289] 도 18의 (A)는 본 발명의 일 형태에 따른 발광 장치의 평면도이다. 또한, 도 18의 (B)는 도 18의 (A)를 일점 쇄선 A1-A2 및 B1-B2에서 자른 단면도에 상당한다.
- [0290] 도 18의 (A) 및 (B)에 도시된 액티브 매트릭스형 발광 장치는 지지 기판(801) 위에 발광부(802), 구동 회로부(803)(주사선 구동 회로 등), 구동 회로부(804)(신호선 구동 회로 등), 및 실재(805)를 갖는다. 발광부(802) 및 구동 회로부(803, 804)는 지지 기판(801), 밀봉 기판(806), 및 실재(805)로 둘러싸인 공간(810)에 밀봉된다.
- [0291] 구동 회로부(803) 및 구동 회로부(804)는 실시형태 1에서 설명한 트랜지스터를 사용하여 형성할 수 있다. 또한, 구동 회로 등을 분할하고, 화소를 끼워 대향 측에 배치하여도 좋다.
- [0292] 도 18의 (B)에 도시된 발광부(802)는 데이터 신호의 데이터 기록을 제어하는 기능을 갖는 제 1 트랜지스터(도시 되지 않았음)와, 발광 소자에 흐르는 전류를 조정하는 기능을 갖는 제 2 트랜지스터(811)와, 제 2 트랜지스터(811)의 배선(소스 전극 또는 드레인 전극)에 전기적으로 접속된 제 1 전극(831)을 포함하는 복수의 화소에 의하여 형성된다.
- [0293] 발광 소자(840)는 톱 이미션(전면 발광) 구조이며, 제 1 전극(831), EL층(833), 및 제 2 전극(835)으로 구성된다. 또한, 제 1 전극(831)의 단부를 덮도록, 격벽으로서 기능하는 절연막(839)이 형성된다.
- [0294] 트랜지스터(811)는 듀얼 게이트 구조이며, 제 1 전극(831)과 동시에 형성되는 게이트 전극(832)을 절연막(844) 위에 갖는다. 절연막(839) 아래에 트랜지스터(811)를 제공함으로써, 게이트 전극(832)에서 외광이 반사되는 것을 저감할 수 있다.
- [0295] 지지 기판(801) 위에는 외부로부터의 신호(비디오 신호, 클록 신호, 스타트 신호, 또는 리셋 신호 등)나 전위를 구동 회로부(803, 804)에 전달하는 외부 입력 단자를 접속시키기 위한 리드 배선(809)이 제공된다. 여기서는, 외부 입력용 배선으로서 FPC(808)(Flexible Printed Circuit)를 제공하는 예를 기재하였다.
- [0296] 구동 회로부(803, 804)는 복수의 트랜지스터를 갖는다. 도 18의 (B)에는 구동 회로부(803)가, n채널형 트랜지스터(852, 853)를 갖는 NMOS 회로를 갖는 예를 도시하였다. 구동 회로부의 회로는 각종 CMOS 회로, PMOS 회로, 또는 NMOS 회로로 형성할 수 있다. 또한, 본 실시형태에서는 발광부가 형성된 기판 위에 구동 회로가 형성된 구동 회로 일체형을 기재하지만, 이 구성에 한정되지 않고, 발광부가 형성된 기판과는 다른 기판에 구동 회로를 형성할 수도 있다.
- [0297] 공정수가 증가되는 것을 방지하기 위하여 리드 배선(809)은 발광부나 구동 회로부에 사용하는 전극이나 배선과 동일한 재료, 동일한 공정으로 제작하는 것이 바람직하다. 예를 들어, 발광부(802) 및 구동 회로부(803)에 포함되는 트랜지스터의 게이트 전극과 동일한 재료, 및 동일한 공정으로 리드 배선(809)을 제작할 수 있다.
- [0298] 지지 기판(801)은 발광 장치의 제작 공정에 견딜 수 있을 정도의 내열성을 갖는 기판을 사용할 수 있다. 상기 기판의 두께 및 크기는 제작 장치에 적용할 수 있는 한 특별히 한정되지 않는다.
- [0299] 지지 기판(801)은 가스 배리어성을 가지면 바람직하다. 또한, 가스 배리어성을 갖는 막을 적층하여 사용하여도 좋다. 구체적으로는, 가스 배리어성의 수증기 투과율이 $10^{-5} \text{ g/m}^2 \cdot \text{day}$ 이하, 바람직하게는 $10^{-6} \text{ g/m}^2 \cdot \text{day}$ 이하이면, 발광 장치의 신뢰성을 높일 수 있다.
- [0300] 또한, 지지 기판(801)은 가요성을 가져도 좋다. 가요성을 갖는 기판으로서는 대표적으로는 플라스틱 기판을 그 예로 들 수 있고, 그 외에 두께가 $50\mu\text{m}$ 이상 $500\mu\text{m}$ 이하인 얇은 유리나 금속박 등을 사용할 수도 있다.
- [0301] 예를 들어, 지지 기판(801)에 적용할 수 있는 기판으로서는, 무알칼리 유리 기판, 바륨보로실리케이트 유리 기판, 알루미노보로실리케이트 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판, 금속 기판, 스테인리스 기판, 플라스틱 기판, 폴리에틸렌테레프탈레이트 기판, 폴리이미드 기판 등을 들 수 있다.
- [0302] 구동 회로부(803)가 갖는 트랜지스터의 구조는 특별히 한정되지 않는다. 도 18의 (B)에 도시된 트랜지스터는 채널 에치형 보텀 게이트 구조를 일례로서 도시하였지만, 채널 보호형 보텀 게이트 구조, 자기정렬(self-aligned)형 톱 게이트 구조, 또는 비자기정렬(non-self-aligned)형 톱 게이트 구조이어도 좋다.
- [0303] 채널이 형성되는 영역에 산화물 반도체를 사용한 트랜지스터에는 오프 전류가 매우 낮은 특성을 갖는 것이다. 상기 트랜지스터를 사용하면, 화소(용량 소자)에 입력된 신호를 유지하는 능력이 높아지고, 예를 들어 정지 화상 표시 등을 수행할 때에 프레임 주파수를 작게 할 수 있다. 프레임 주파수를 작게 함으로써, 발광 장

치의 소비 전력을 저감할 수 있다.

[0304] 절연막(839)의 재료로서는 실시형태 1에 기재된 절연막(118)의 재료를 적절히 사용할 수 있다.

[0305] 절연막(839)은 제 1 전극(831)의 단부를 덮도록 제공된다. 절연막(839)은 상기 격벽의 위에 형성되는 EL층(833)이나 제 2 전극(835)의 피복성을 향상시키기 위하여, 측벽이 곡면이 되는 형상으로 하는 것이 바람직하다.

[0306] 또한, 절연막(839)에는 EL층(833)보다 굴절률이 작은 재료를 사용하는 것이 바람직하다. 상기 재료를 사용하여 절연막(839)을 형성함으로써, EL층(833)과 절연막(839)의 계면에서 전반사를 일으킬 수 있고, 절연막(839) 중에 진입하는 광을 감소시켜 광 추출 효율을 향상시킬 수 있다.

[0307] 발광 장치가 구비하는 발광 소자는 한 쌍의 전극(제 1 전극(831) 및 제 2 전극(835))과, 상기 한 쌍의 전극 사이에 제공된 EL층(833)을 갖는다. 상기 한 쌍의 전극 중 한쪽은 양극으로서 기능하고 다른 쪽은 음극으로서 기능한다.

[0308] 톱 이미션 구조의 발광 소자에서는 상부 전극으로서 가시광에 대한 투광성을 갖는 도전막을 사용한다. 또한, 하부 전극으로서는 가시광을 반사시키는 도전막을 사용하는 것이 바람직하다. 보텀 이미션(배면 발광) 구조의 발광 소자에서는 하부 전극으로서 가시광에 대한 투광성을 갖는 도전막을 사용한다. 또한, 상부 전극으로서는 가시광을 반사시키는 도전막을 사용하는 것이 바람직하다. 듀얼 이미션(양면 발광) 구조의 발광 소자에서는 상부 전극 및 하부 전극으로서 가시광에 대한 투광성을 갖는 도전막을 사용한다.

[0309] 제 1 전극(831)과 제 2 전극(835) 사이에 발광 소자의 문턱 전압보다 높은 전압을 인가하면, EL층(833)에, 제 1 전극(831) 측으로부터 정공이 주입되고, 제 2 전극(835) 측으로부터 전자가 주입된다. 주입된 전자와 정공은 EL층(833)에서 재결합하여 EL층(833)에 포함되는 발광 물질이 발광한다.

[0310] EL층(833)은 발광층을 갖는다. EL층(833)은 발광층 외에, 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블록 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 또는 양극성(bipolar) 물질(전자 수송성 및 정공 수송성이 높은 물질) 등을 포함한 층을 더 가저도 좋다.

[0311] EL층(833)에는 저분자계 화합물 및 고분자계 화합물의 어느 쪽을 사용할 수도 있고 무기 화합물을 포함하여도 좋다. EL층(833)을 구성하는 층은 각각 증착법(진공 증착법을 포함함), 전사(轉寫)법, 인쇄법, 잉크젯법, 도포법 등의 방법으로 형성할 수 있다.

[0312] 또한, 발광 소자(840)의 제 1 전극(831)과 제 2 전극(835)을 사용하여 미소 공진기(마이크로 캐비티라고도 함)를 구성할 수 있다. 예를 들어 EL층(833)이 발하는 광을 반사시키는 도전막을 제 1 전극(831)에 사용하고, 상기 광의 일부를 반사하고 일부를 투과시키는 반투파·반반사성 도전막을 제 2 전극(835)에 사용하여 구성할 수 있다.

[0313] 또한, 광학 조정층을 제 1 전극(831)과 제 2 전극(835) 사이에 제공할 수 있다. 광학 조정층은 반사성 제 1 전극(831)과 반투파·반반사성 제 2 전극(835) 사이의 광학 거리를 조정하는 층이며, 광학 조정층의 두께를 조정함에 의하여, 제 2 전극(835)으로부터 우선적으로 추출하는 광의 파장을 조정할 수 있다.

[0314] 광학 조정층에 사용할 수 있는 재료로서는 EL층을 적용할 수 있다. 예를 들어, 전하 발생 영역을 사용하여 그 두께를 조정하여도 좋다. 특히 정공 수송성이 높은 물질과 억셉터성 물질을 포함한 영역을 광학 조정층에 사용하면, 광학 조정층이 두꺼운 구성이라도 구동 전압의 상승을 억제할 수 있기 때문에 바람직하다.

[0315] 또한, 광학 조정층에 사용할 수 있는 다른 재료로서는, EL층(833)이 발하는 광을 투과시키는 투광성 도전막을 적용할 수 있다. 예를 들어, 반사성 도전막의 표면에 상기 투광성 도전막을 적층하여 제 1 전극(831)을 구성할 수 있다. 이 구성을 사용하면, 인접하는 제 1 전극(831)의 광학 조정층의 두께를 다르게 하기 쉽기 때문에 바람직하다.

[0316] 절연막(844)에는, 실시형태 1에 기재된 산화물 절연막(114) 및 질화물 절연막(116)을 사용할 수 있다.

[0317] 절연막(846)으로서는, 트랜지스터에 기인하는 표면 요철을 저감하기 위하여 평탄화막으로서 기능하는 절연막을 선택하는 것이 적합하다. 실시형태 1에 기재된 절연막(118)을 적절히 사용할 수 있다.

[0318] 실재(805) 및 밀봉 기판(806)은 대기 중의 불순물(대표적으로는 물 및/또는 산소)을 가능한 한 투과시키지 않는 재료를 사용하여 형성되는 것이 바람직하다. 실재(805)에는 에폭시계 수지나, 글라스 프릿 등을 사용할 수 있다.

- [0319] 밀봉 기판(806)에 사용할 수 있는 재료로서는 지지 기판(801)에 적용 가능한 기판 외에, PVF(폴리비닐 플루오라이드), 폴리에스테르 또는 아크릴 등으로 이루어진 플라스틱 기판이나, FRP(Fiber Reinforced Plastics) 등을 그 예로 들 수 있다.
- [0320] 또한, 지지 기판(801) 측에 형성하는 구조물과 밀봉 기판(806) 측에 형성하는 구조물이 접하지 않는 공간(810)에는 투광성을 갖는 재료가 포함되어도 좋다.
- [0321] 상기 투광성을 갖는 재료로서는, 예를 들어 발광 소자의 신뢰성을 떨어뜨리는 불순물(대표적으로는 물 및/또는 산소)과 반응하거나, 또는 불순물을 흡착하는 재료를 사용할 수 있다. 이로써, 상기 불순물은 발광 소자의 신뢰성을 떨어뜨리기 전에 충전물에 포함되는 재료와 우선적으로 반응 또는 흡착되어, 그 활성을 손실시킬 수 있다. 따라서, 발광 장치의 신뢰성을 향상시킬 수 있다.
- [0322] 상기 투광성을 갖는 재료로서는, 예를 들어 정공 수송성이 높은 물질, 발광 물질, 호스트 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질 또는/및 억셉터성 물질 등을 사용할 수 있다.
- [0323] 구체적으로는, 도전성 고분자, 폴리(3,4-에틸렌다이옥시티오펜)/폴리(스틸렌설폰산)(약칭: PEDOT/PSS), 건조제, EL층(833)에 적용 가능한 재료, 4,4'-비스[N-(1-나프틸)-N-페닐아미노]바이페닐(약칭: NPB 또는 α -NPD), 트리스(8-퀴놀리놀라토)알루미늄(III)(약칭: Alq) 등을 들 수 있다.
- [0324] 또한, 상기 투광성을 갖는 재료는 제 2 전극(835)과 밀봉 기판(806)(밀봉 기판(806) 위에 형성되는 구조물을 포함함)을 광학적으로 접속시킬 수 있다. 이로써, 발광 소자(840)로부터 사출되는 광이 제 2 전극(835)으로부터 밀봉 기판(806)까지 도달하는 광로에 있어서, 굴절률이 급격히 변화(굴절률의 단차라고도 함)되는 것이 억제되어, 제 2 전극(835) 측으로부터 밀봉 기판(806)에 발광 소자(840)의 발광을 효율 좋게 추출할 수 있다. 따라서, 발광 장치의 발광 효율을 향상시킬 수 있다.
- [0325] 상기 투광성을 갖는 재료는 제 2 전극(835)보다 굴절률이 큰 재료인 것이 바람직하다. 상기 재료를 사용함으로써, 제 2 전극(835)과 상기 재료의 계면에서의 전반사를 억제하여 광을 효율 좋게 추출할 수 있다.
- [0326] 또한, 제 2 전극(835)과 밀봉 기판(806)을 광학적으로 접속시킬 수 있는 재료로서는, 상술한 재료 외에, 액정 재료, 불소계 불활성 액체(페플루오로 카본 등), 투광성을 갖는 수지 등을 사용할 수 있다. 또한, 필요에 따라 이를 재료로부터 발광 소자의 신뢰성을 떨어뜨리는 불순물을 제거하여도 좋다. 또한, 이를 재료에 상기 불순물과 반응 또는 흡착되는 재료를 분산시켜도 좋다.
- [0327] 또한, 액정 재료로서는, 네마틱 액정, 콜레스테릭 액정, 스멕틱 액정, 디스코틱 액정, 서모트로픽 액정, 리오토로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정(PDLC), 강유전 액정, 반강유전 액정, 주쇄형 액정, 측쇄형 고분자 액정, 바나나형 액정 등의 액정, 또는 이를 액정과 키랄체 등의 혼합 재료를 사용할 수 있다.
- [0328] 컬러 필터(866)는 광원으로부터의 광을 조색하여 색순도를 높이는 목적으로 제공된다. 예를 들어, 백색 발광의 발광 소자를 사용하여 풀 컬러 표시 장치로 하는 경우에는, 상이한 색의 컬러 필터를 제공한 복수의 화소를 사용한다. 그 경우, 적색(R), 녹색(G), 청색(B)의 3색의 컬러 필터를 사용하여도 좋고, 이들에 황색(Y)을 추가한 4색으로 할 수도 있다. 또한, R, G, B(및 Y)의 화소에 백색(W)의 화소를 추가하여 4색(또는 5색)으로 하여도 좋다.
- [0329] 또한, 인접한 컬러 필터(866)들 사이에 블랙 매트릭스(864)가 제공된다. 블랙 매트릭스(864)는 인접한 화소들로부터 돌아 들어가는 광을 차광하여, 인접한 화소들간에서의 혼색을 억제한다. 블랙 매트릭스(864)는 상이한 발광색의 인접되는 화소간에만 배치하고, 동색 화소간에는 배치하지 않는 구성으로 하여도 좋다. 여기서, 컬러 필터(866)의 단부를 블랙 매트릭스(864)와 중첩시켜 제공함으로써 광누설을 억제할 수 있다.
- [0330] 블랙 매트릭스(864)에는 광원의 광을 차광하는 재료를 사용할 수 있고, 금속 재료나 안료를 포함한 수지 재료 등을 사용하여 형성할 수 있다. 또한, 블랙 매트릭스(864)를 구동 회로부 등 발광부(802) 외의 영역에 중첩시켜 제공하면, 도파광 등에 의한 의도하지 않는 광누설을 억제할 수 있다.
- [0331] 또한, 도 18의 (B)에 도시된 바와 같이, 컬러 필터(866)와 블랙 매트릭스(864)를 덮는 오버코트(868)를 제공하면, 컬러 필터(866)나 블랙 매트릭스(864)에 포함되는 안료 등의 불순물이 발광 소자 등에 확산되는 것을 억제할 수 있다. 오버코트(868)는 투광성을 갖고, 무기 절연 재료나 유기 절연 재료를 사용하여 형성할 수 있다.
- [0332] 또한, 본 실시형태는 본 명세서에서 기재하는 다른 실시형태와 적절히 조합할 수 있다.

- [0333] (실시형태 5)
- [0334] 본 실시형태에서는 본 발명의 일 형태에 따른 발광 장치를 탑재할 수 있는 전자 기기에 대하여 설명한다.
- [0335] 발광 장치를 적용한 전자 기기로서, 예를 들어, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 함), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 함), 휴대형 게임기, 휴대 정보 단말, 음향 재생 장치, 파칭코기 등의 대형 게임기 등을 들 수 있다. 이들 전자 기기의 구체적인 예를 도 19에 도시하였다.
- [0336] 도 19의 (A)는 텔레비전 장치의 일례를 도시한 것이다. 텔레비전 장치(7100)에서는 하우징(7101)에 표시부(7103)가 제공된다. 표시부(7103)는 영상을 표시할 수 있고, 발광 장치를 표시부(7103)에 사용할 수 있다. 또한, 여기서는, 스탠드(7105)에 의하여 하우징(7101)을 지지한 구성을 도시하였다.
- [0337] 텔레비전 장치(7100)는 하우징(7101)이 구비하는 조작 스위치나, 별체의 리모트 컨트롤러(7110)에 의하여 조작 할 수 있다. 리모트 컨트롤러(7110)가 구비한 조작 키(7109)에 의하여 채널이나 음량을 조작할 수 있고, 표시부(7103)에 표시되는 영상을 조작할 수 있다. 또한, 상기 리모트 컨트롤러로부터 출력하는 정보를 표시하는 표시부(7107)를 리모트 컨트롤러(7110)에 제공하는 구성으로 하여도 좋다.
- [0338] 또한, 텔레비전 장치(7100)는 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의하여 일반적인 텔레비전 방송이 수신될 수 있고, 또한 모뎀을 통하여 유선 또는 무선으로 통신 네트워크에 접속됨으로써, 일방향(송신자에서 수신자로) 또는 쌍방향(송신자와 수신자 사이 또는 수신자들 사이 등)의 정보 통신이 수행될 수 있다.
- [0339] 도 19의 (B)는 컴퓨터를 도시한 것이고, 본체(7201), 하우징(7202), 표시부(7203), 키보드(7204), 외부 접속 포트(7205), 포인팅 디바이스(7206) 등을 포함한다. 또한, 컴퓨터는, 발광 장치를 그 표시부(7203)에 사용함으로써 제작된다.
- [0340] 도 19의 (C)는 휴대형 게임기를 도시한 것이고, 하우징(7301)과 하우징(7302)의 2개의 하우징으로 구성되고, 연결부(7303)에 의하여 개폐 가능하게 연결된다. 하우징(7301)에는 표시부(7304)가 제공되고, 하우징(7302)에는 표시부(7305)가 제공된다. 또한, 도 19의 (C)에 도시된 휴대형 게임기는, 상기 외에, 스피커부(7306), 기록 매체 삽입부(7307), LED 램프(7308), 입력 수단(조작 키(7309), 접촉 단자(7310), 센서(7311)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도(硬度), 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도(傾度), 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(7312)) 등을 구비한다. 물론, 휴대형 게임기의 구성은 상술한 것에 한정되지 않고, 적어도 표시부(7304) 및 표시부(7305)의 양쪽, 또는 한쪽에 발광 장치를 사용하면 좋고, 기타 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 19의 (C)에 도시된 휴대형 게임기는 기록 매체에 기록된 프로그램 또는 데이터를 판독 하여 표시부에 표시하는 기능이나, 무선 통신에 의하여 다른 휴대형 게임기와 정보를 공유하는 기능을 갖는다. 또한, 도 19의 (C)에 도시된 휴대형 게임기가 갖는 기능은 상술한 것에 한정되지 않고, 다양한 기능을 가질 수 있다.
- [0341] 도 19의 (D)는 휴대 전화기의 일례를 도시한 것이다. 휴대 전화기(7400)는, 하우징(7401)에 제공된 표시부(7402) 외에, 조작 버튼(7403), 외부 접속 포트(7404), 스피커(7405), 마이크로폰(7406) 등을 구비한다. 또한, 휴대 전화기(7400)는, 발광 장치를 표시부(7402)에 사용함으로써 제작된다.
- [0342] 도 19의 (D)에 도시된 휴대 전화기(7400)는 표시부(7402)를 손가락 등으로 터치함으로써 정보를 입력할 수 있다. 또한, 전화를 걸거나, 또는 메일을 작성하는 등의 조작은, 표시부(7402)를 손가락 등으로 터치함으로써 수행할 수 있다.
- [0343] 표시부(7402)의 화면은 주로 3가지 모드가 있다. 제 1 모드는 화상의 표시가 주된 표시 모드이며, 제 2 모드는 문자 등의 정보의 입력이 주된 입력 모드이다. 제 3 모드는 표시 모드와 입력 모드의 2개의 모드가 혼합한 표시+입력 모드이다.
- [0344] 예를 들어, 전화를 걸거나, 또는 메일을 작성하는 경우에는, 표시부(7402)를 문자의 입력이 주된 문자 입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 수행하면 좋다. 이 경우에, 키보드 또는 번호 버튼을 표시부(7402)의 거의 대부분에 표시시키는 것이 바람직하다.
- [0345] 또한, 휴대 전화기(7400) 내부에, 자이로(gyroscope), 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 휴대 전화기(7400)의 방향(세로인지 가로인지)을 판단하여, 표시부(7402)의 화면 표시를

자동적으로 전환하도록 할 수 있다.

[0346] 또한, 화면 모드는 표시부(7402)를 터치하거나, 또는 하우징(7401)의 조작 버튼(7403)을 조작함으로써 전환될 수 있다. 또한, 표시부(7402)에 표시되는 화상의 종류에 따라 전환되도록 할 수도 있다. 예를 들어, 표시부에 표시하는 화상 신호가 동영상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 전환한다.

[0347] 또한, 입력 모드에 있어서, 표시부(7402)의 광 센서로 검출되는 신호를 검지하여, 표시부(7402)의 터치 조작에 의한 입력이 일정 기간 없는 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어하여도 좋다.

[0348] 표시부(7402)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들어, 표시부(7402)를 손바닥이나 손가락으로 터치하여, 장문, 지문 등을 활상(撮像)함으로써, 본인 인증을 수행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백 라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 활상할 수도 있다.

[0349] 도 19의 (E)는 폴더형 컴퓨터의 일례를 도시한 것이다. 폴더형 컴퓨터(7450)는, 힌지(7454)로 접속된 하우징(7451L)과 하우징(7451R)을 구비한다. 또한, 조작 버튼(7453), 왼쪽 스피커(7455L) 및 오른쪽 스피커(7455R) 외에, 컴퓨터(7450)의 측면에는 도시되지 않은 외부 접속 포트(7456)를 구비한다. 또한, 하우징(7451L)에 제공된 표시부(7452L)와 하우징(7451R)에 제공된 표시부(7452R)가 서로 대향하도록 힌지(7454)를 접음으로써 표시부를 하우징으로 보호할 수 있다.

[0350] 표시부(7452L)와 표시부(7452R)는 화상을 표시하는 것 외에, 손가락 등으로 터치함으로써 정보를 입력할 수 있다. 예를 들어, 이미 인스톨된 프로그램을 나타내는 아이콘을 손가락으로 터치함으로써 선택하여, 프로그램을 기동시킬 수 있다. 또는, 표시된 화상의 2개소를 터치한 상태로 손가락들 사이의 간격을 변화시킴으로써 화상을 확대 또는 축소할 수 있다. 또는, 표시된 화상의 1개소를 터치한 손가락을 이동시킴으로써 화상을 이동시킬 수 있다. 그리고, 키보드의 화상을 표시시켜, 표시된 문자나 기호를 손가락으로 터치함으로써 선택하고, 정보를 입력할 수도 있다.

[0351] 또한, 컴퓨터(7450)에 자이로, 가속도 센서, GPS(Global Positioning System) 수신기, 지문 센서, 비디오 카메라를 탑재할 수도 있다. 예를 들어, 자이로, 가속도 센서 등 기울기를 검출하는 센서를 갖는 검출 장치를 제공함으로써, 컴퓨터(7450)의 방향(세로인지 가로인지)을 판단하여 표시하는 화면의 방향을 자동적으로 전환할 수 있다.

[0352] 또한, 컴퓨터(7450)는 네트워크에 접속될 수 있다. 컴퓨터(7450)는 인터넷상의 정보를 표시할 수 있는 것 외에, 네트워크에 접속된 다른 전자 기기를 원격 조작하는 단말로서 사용할 수 있다.

[0353] 도 19의 (F)는 조명 장치의 일례를 도시한 것이다. 조명 장치(7500)는 하우징(7501)에 광원으로서 본 발명의 일 형태에 따른 발광 장치(7503a), 발광 장치(7503b), 발광 장치(7503c), 및 발광 장치(7503d)가 제공된다. 조명 장치(7500)는 천장이나 벽 등에 장착할 수 있다.

[0354] 또한, 본 실시형태는 본 명세서에서 기재한 다른 실시형태와 적절히 조합할 수 있다.

부호의 설명

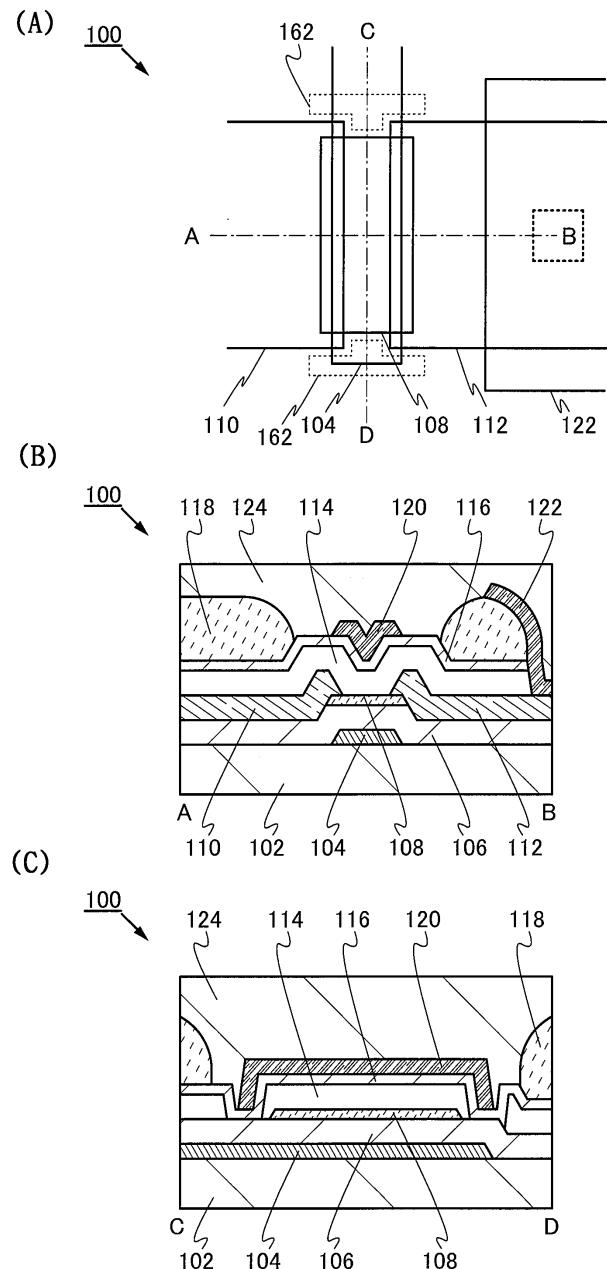
[0355] 100: 트랜지스터	102: 기판
104: 게이트 전극	106: 게이트 절연막
108: 산화물 반도체막	109: 도전막
110: 전극	112: 전극
114: 산화물 절연	116: 질화물 절연막
118: 절연막	119: 도전막
120: 게이트 전극	122: 도전막
124: 절연막	150: 트랜지스터
162: 개구부	164: 개구부

200: 트랜지스터	201: 게이트 전극
202: 기판	203: 절연막
204: 게이트 전극	205: 산화물 반도체막
206a: 질화물 절연막	206b: 산화물 절연막
207: 전극	208: 전극
208a: 산화물 반도체막	208b: 막
209: 절연막	210: 도전막
212: 도전막	213: 산화물 절연막
214: 산화물 절연막	215: 게이트 전극
216: 질화물 절연막	218: 절연막
220: 게이트 전극	222: 도전막
231: 게이트 전극	233: 게이트 절연막
235: 산화물 반도체막	237: 전극
238: 전극	239: 절연막
264: 개구부	270: 용량 소자
300a: 트랜지스터	300b: 트랜지스터
300c: 트랜지스터	302: 기판
304a: 전극	304b: 게이트 전극
304c: 전극	304d: 전극
306a: 절연막	306b: 절연막
308: 산화물 반도체막	310: 전극
312: 전극	312a: 전극
314: 산화물 절연막	316: 질화물 절연막
318: 절연막	320: 게이트 전극
322: 화소 전극	324: 절연막
326: EL층	328: 전극
350: 발광 소자	352a: 개구부
352b: 개구부	352c: 개구부
354: 개구부	356a: 개구부
356b: 개구부	370: 용량 소자
600: 화소부	601: 화소
604: 주사선 구동 회로	606: 신호선 구동 회로
607: 주사선	609: 신호선
615: 용량선	801: 지지 기판
802: 발광부	803: 구동 회로부
804: 구동 회로부	805: 실재

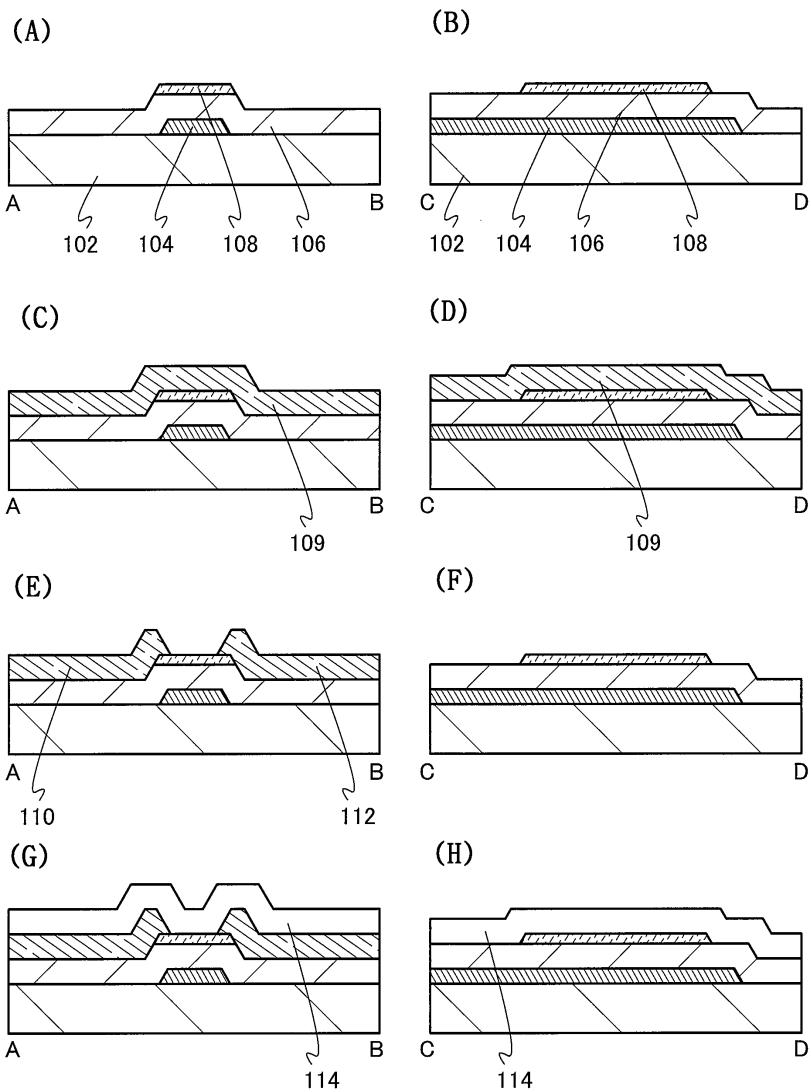
806: 밀봉 기판	808: FPC
809: 배선	810: 공간
811: 트랜지스터	831: 전극
832: 게이트 전극	833: EL층
835: 전극	839: 절연막
840: 발광 소자	844: 절연막
846: 절연막	852: 트랜지스터
853: 트랜지스터	864: 블랙 매트릭스
866: 컬러 필터	868: 오버코트
7100: 텔레비전 장치	7101: 하우징
7103: 표시부	7105: 스탠드
7107: 표시부	7109: 조작 키
7110: 리모트 컨트롤러	7201: 본체
7202: 하우징	7203: 표시부
7204: 키보드	7205: 외부 접속 포트
7206: 포인팅 디바이스	7301: 하우징
7302: 하우징	7303: 연결부
7304: 표시부	7305: 표시부
7306: 스파커부	7307: 기록 매체 삽입부
7308: LED 램프	7309: 조작 키
7310: 접속 단자	7311: 센서
7312: 마이크로폰	7400: 휴대 전화기
7401: 하우징	7402: 표시부
7403: 조작 버튼	7404: 외부 접속 포트
7405: 스파커	7406: 마이크로폰
7450: 컴퓨터	7451L: 하우징
7451R: 하우징	7452L: 표시부
7452R: 표시부	7453: 조작 버튼
7454: 힌지	7455L: 왼쪽 스파커
7455R: 오른쪽 스파커	7456: 외부 접속 포트
7500: 조명 장치	7501: 하우징
7503a: 발광 장치	7503b: 발광 장치
7503c: 발광 장치	7503d: 발광 장치

도면

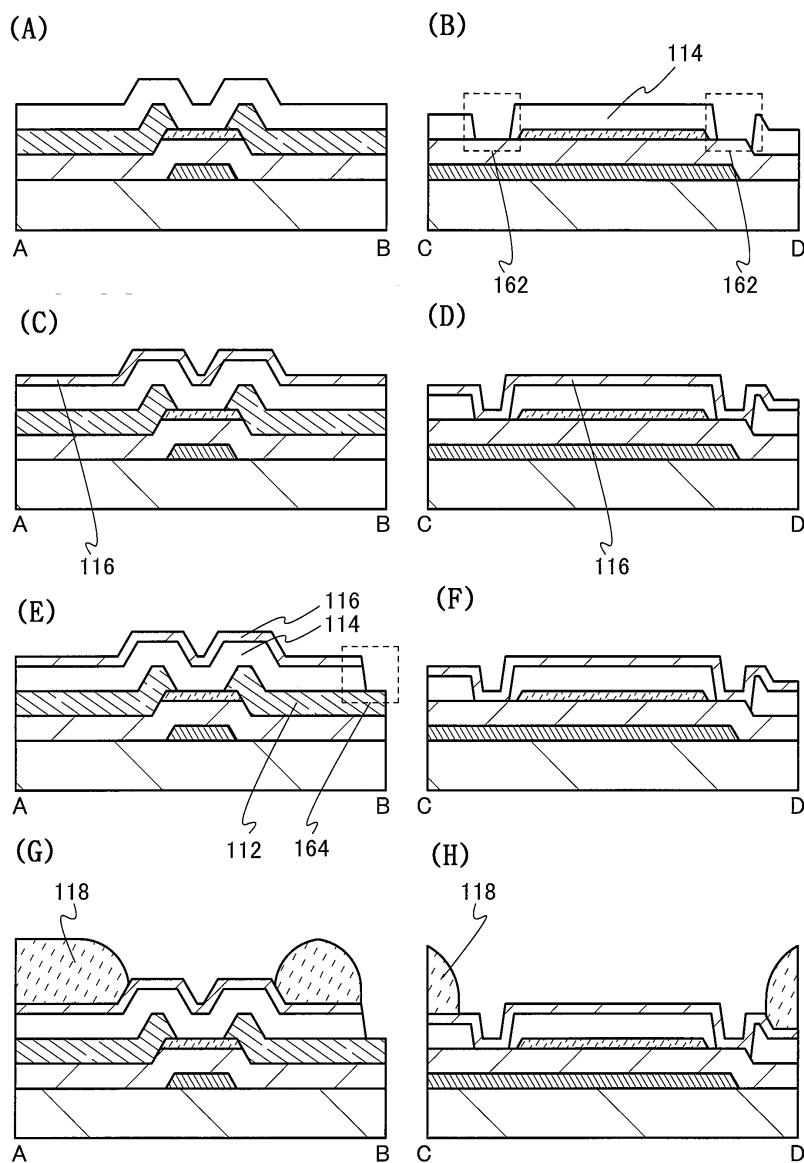
도면1



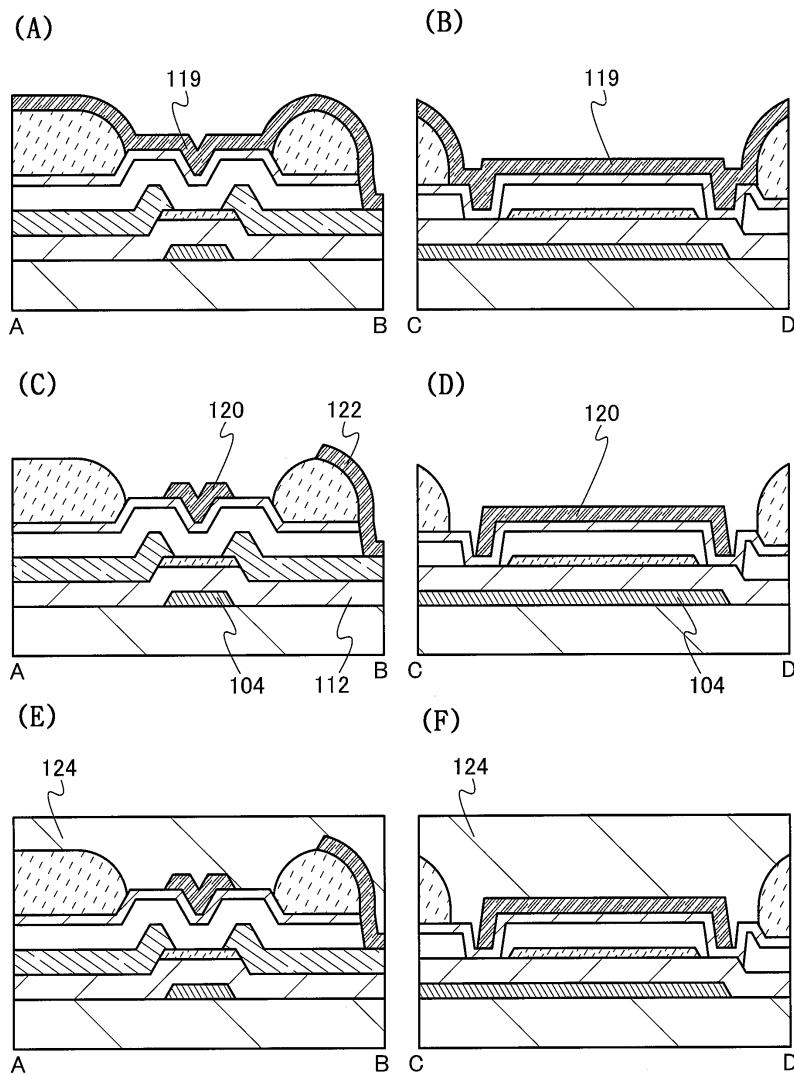
도면2



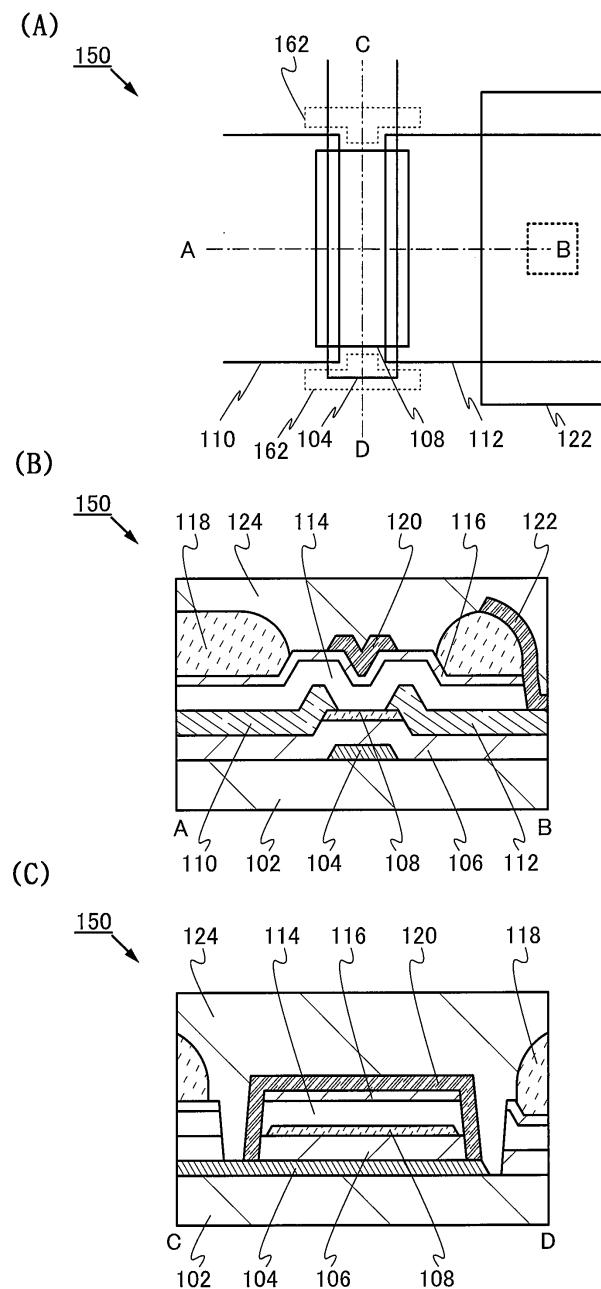
도면3



도면4

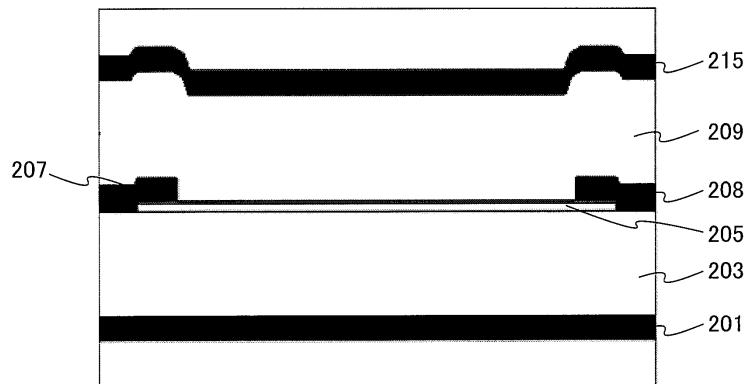


도면5

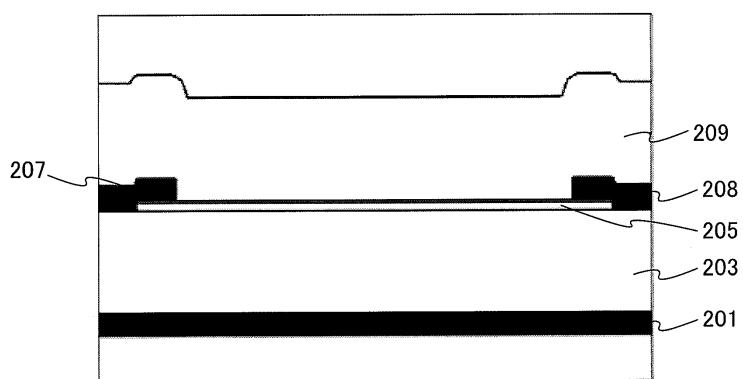


도면6

(A)

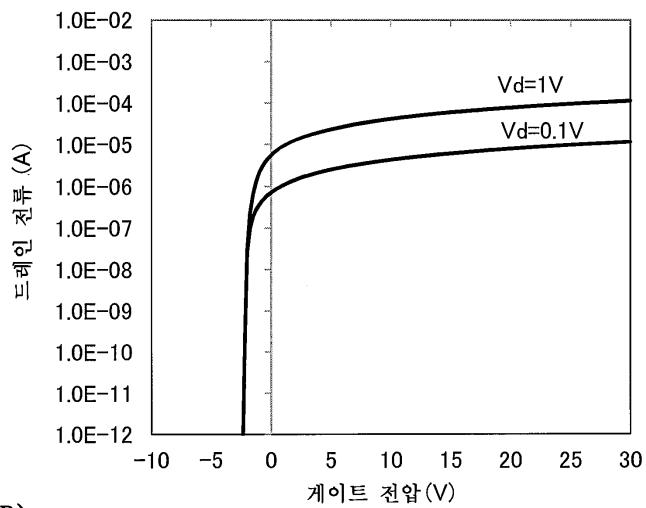


(B)

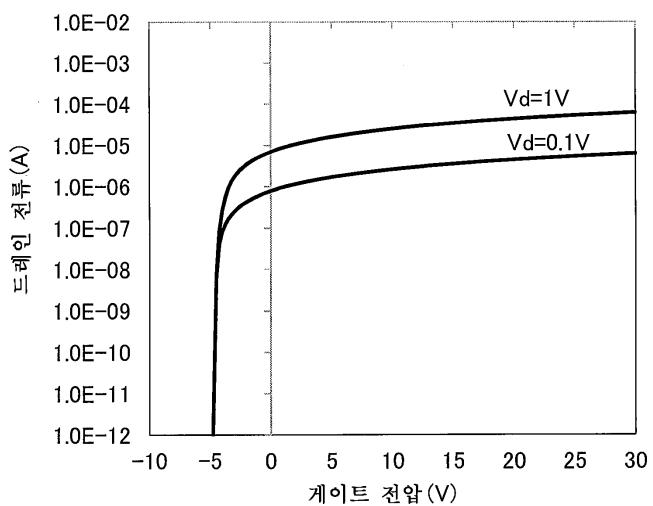


도면7

(A)

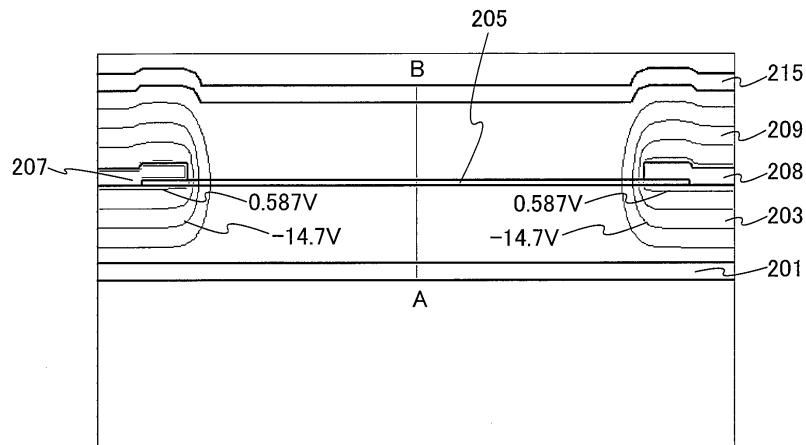


(B)

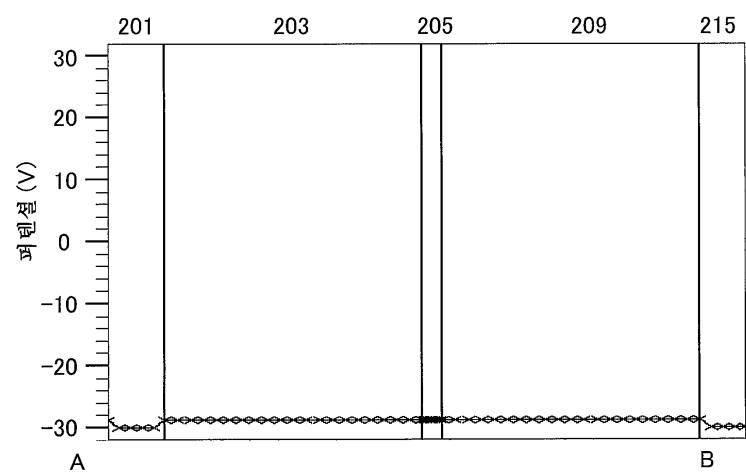


도면8

(A)

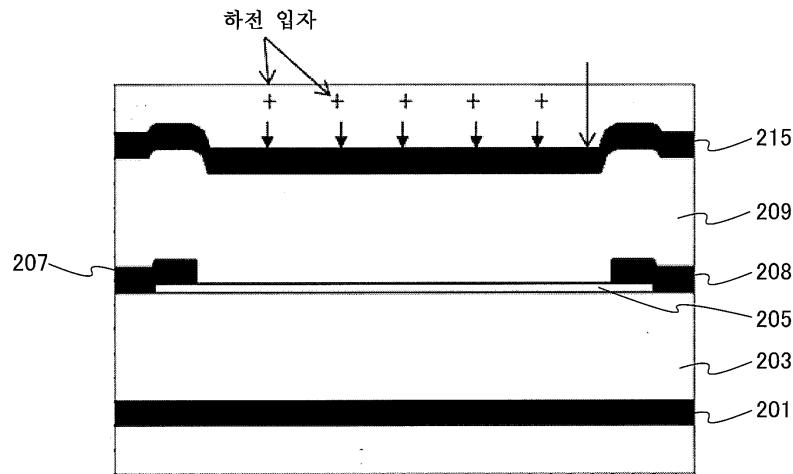


(B)

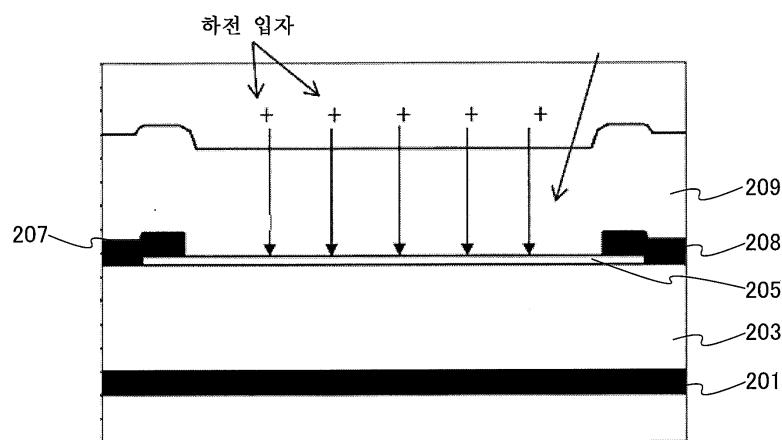


도면9

(A)

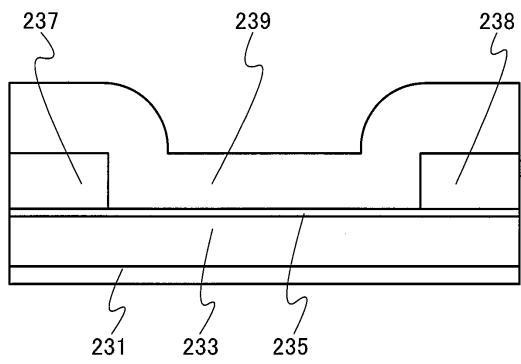


(B)

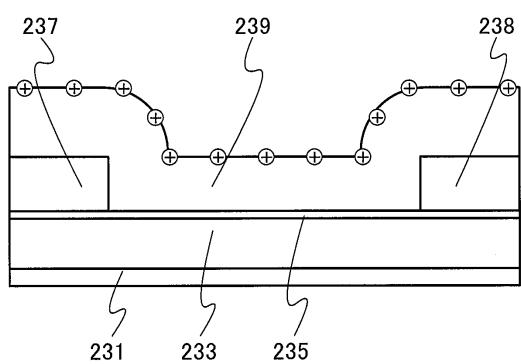


도면10

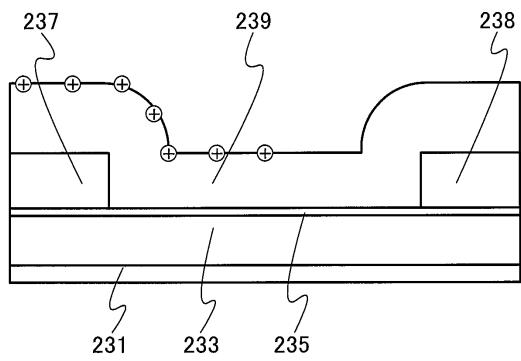
(A)



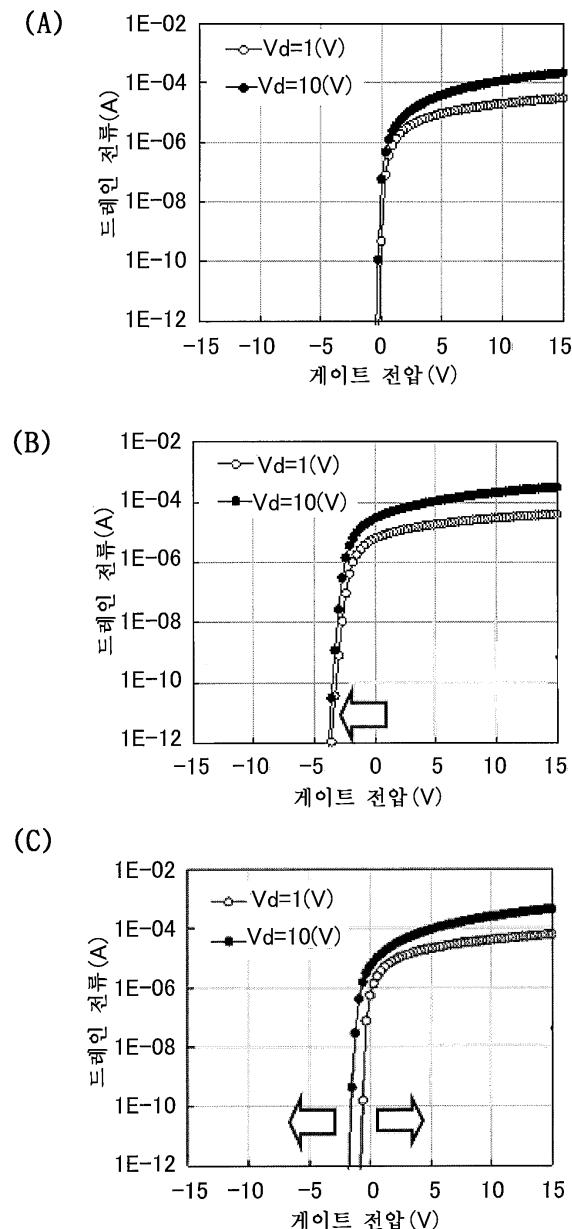
(B)



(C)

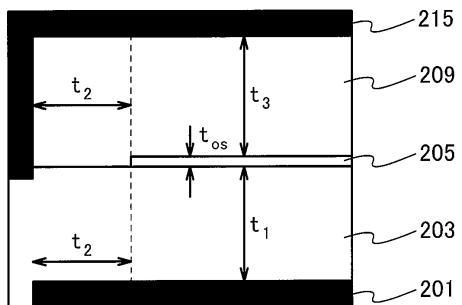


도면11

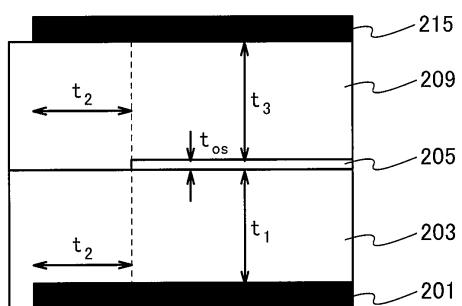


도면12

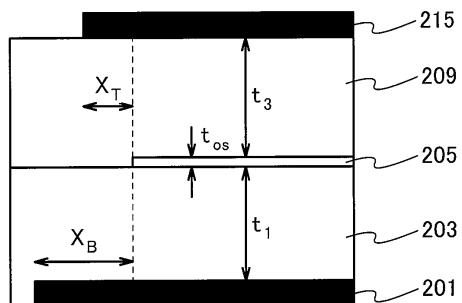
(A)



(B)

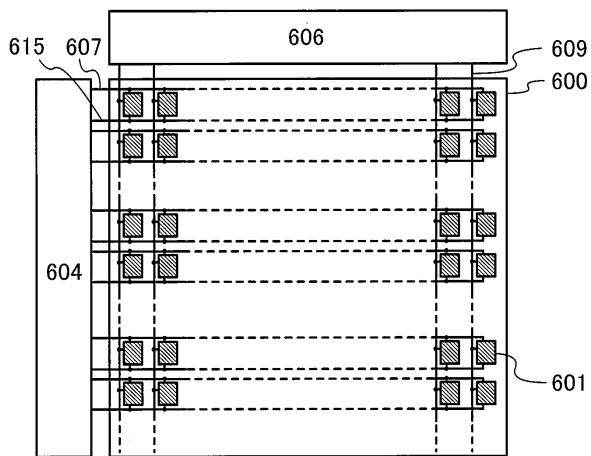


(C)

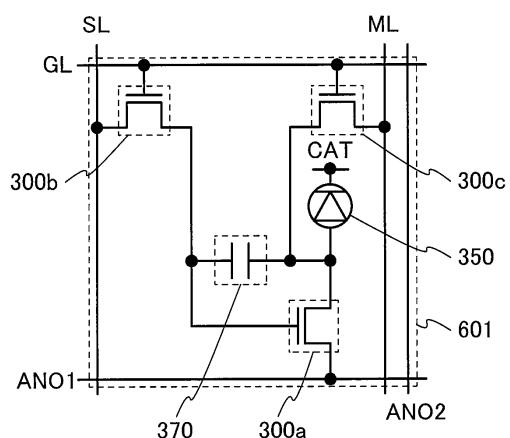


도면13

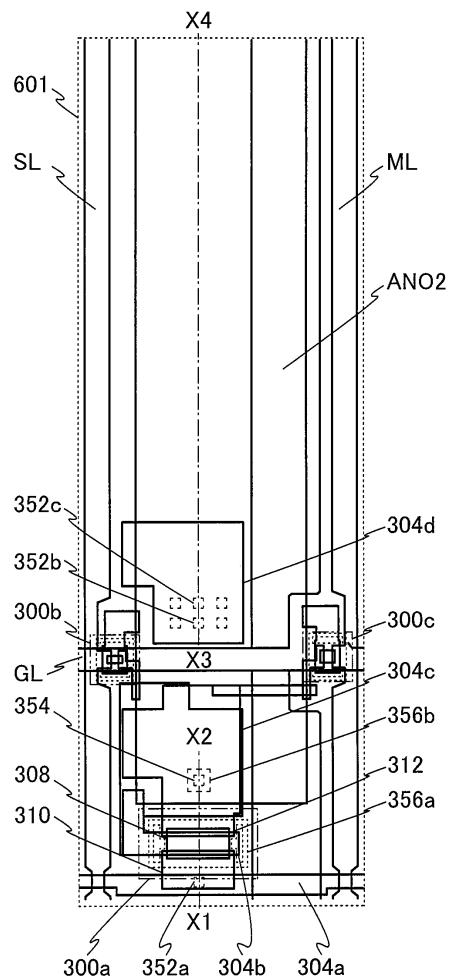
(A)



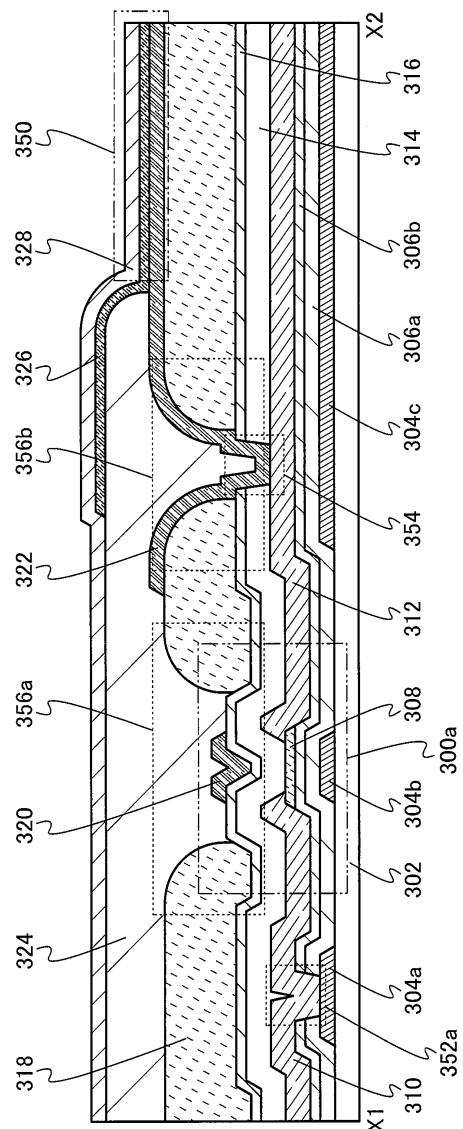
(B)



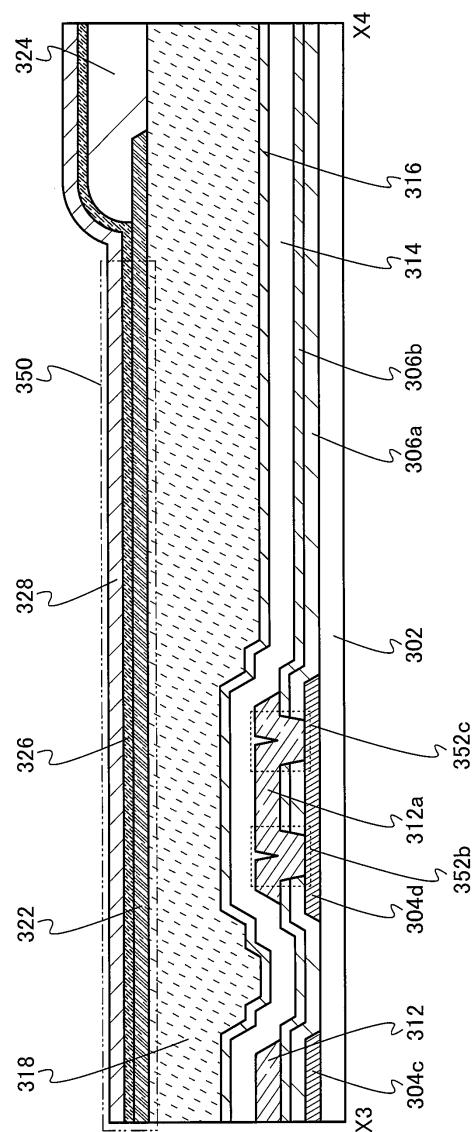
도면14



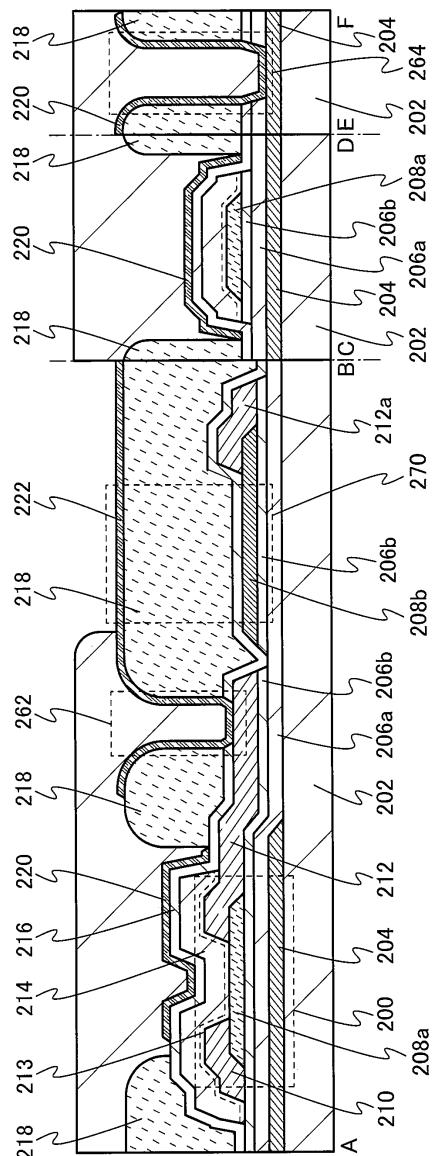
도면15



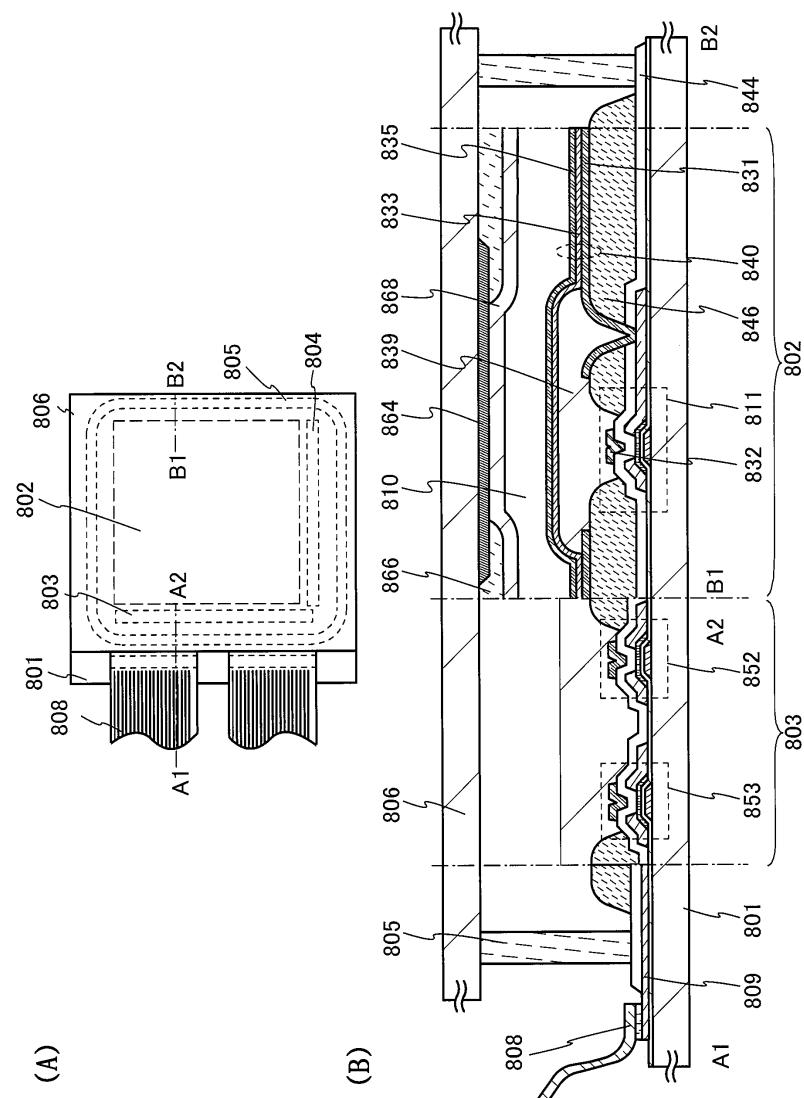
도면16



도면17



도면18



도면19

