

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4200968号
(P4200968)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int.Cl. F I
G 1 1 C 11/22 (2006.01) G 1 1 C 11/22 5 0 1 L
 G 1 1 C 11/22 5 0 1 K

請求項の数 4 (全 19 頁)

(21) 出願番号	特願2004-349995 (P2004-349995)	(73) 特許権者	000002369
(22) 出願日	平成16年12月2日(2004.12.2)		セイコーエプソン株式会社
(65) 公開番号	特開2006-164321 (P2006-164321A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成18年6月22日(2006.6.22)	(74) 代理人	100104710
審査請求日	平成17年9月26日(2005.9.26)		弁理士 竹腰 昇
		(74) 代理人	100124682
			弁理士 黒田 泰
		(74) 代理人	100090479
			弁理士 井上 一
		(74) 代理人	100090387
			弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄

最終頁に続く

(54) 【発明の名称】 強誘電体メモリ

(57) 【特許請求の範囲】

【請求項1】

強誘電体キャパシタを有する複数のメモリセルが配置されるメモリセルアレイと、複数のワード線と、複数のプレート線と、複数のプレート線選択回路と、複数のワード線昇圧回路を含み、

前記複数のプレート線選択回路の第Lのプレート線選択回路は、

第Lのプレート線と第Iのプレート線選択信号の供給ノードとの間に設けられ、第Kのワード線が選択電圧に設定された場合にオンになり、前記第Lのプレート線に前記第Iのプレート線選択信号を供給する第1のトランジスタと、

前記第Lのプレート線と第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第Lのプレート線を前記第1の電源の電圧レベルに設定する第2のトランジスタを含み、

前記複数のプレート線選択回路の第Mのプレート線選択回路は、

第Mのプレート線と第Jのプレート線選択信号の供給ノードとの間に設けられ、前記第Kのワード線が選択電圧に設定された場合にオンになり、前記第Mのプレート線に前記第Jのプレート線選択信号を供給する第3のトランジスタと、

前記第Mのプレート線と前記第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第Mのプレート線を前記第1の電源の電圧レベルに設定する第4のトランジスタを含み、

前記複数のワード線昇圧回路の第Kのワード線昇圧回路は、

10

20

一端が前記第 K のワード線に接続され、他端が第 1 のノードに接続される昇圧用キャパシタと、

昇圧制御信号の供給ノードと前記第 1 のノードの間に設けられ、前記第 K のワード線が選択電圧に設定された場合にオンになり、前記第 1 のノードに前記昇圧制御信号を供給する第 5 のトランジスタを含み、

前記第 K のワード線の信号が入力されその反転信号を出力するインバータ回路が、前記第 L のプレート線選択回路と前記第 M のプレート線選択回路と前記第 K のワード線昇圧回路との間で共用されることを特徴とする強誘電体メモリ。

【請求項 2】

請求項 1 において、

第 K のワード線用のプレート線選択回路と第 K + 1 のワード線用のプレート線選択回路との間で、プレート線選択信号が共用されることを特徴とする強誘電体メモリ。

【請求項 3】

請求項 1 又は 2 において、

前記第 K のワード線昇圧回路は、

前記第 1 のノードと前記第 1 の電源との間に設けられ、前記第 K のワード線が非選択電圧に設定された場合にオンになり、前記第 1 のノードを前記第 1 の電源の電圧レベルに設定する第 6 のトランジスタを含むことを特徴とする強誘電体メモリ。

【請求項 4】

請求項 1 乃至 3 のいずれかにおいて、

前記昇圧制御信号を生成する昇圧制御信号生成回路を含み、

前記昇圧制御信号生成回路は、

前記第 I、第 J のプレート線選択信号の信号変化タイミングを設定するためのプレート線タイミング信号がアクティブから非アクティブになった後、所与の期間、前記昇圧制御信号をアクティブに設定することを特徴とする強誘電体メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、強誘電体メモリに関する。

【背景技術】

【0002】

近年、情報記憶用キャパシタとして強誘電体キャパシタを用いる強誘電体メモリ (FERRAM: Ferroelectric Random Access Memory) が脚光を浴びている。この強誘電体メモリは、RFID (Radio Frequency Identification) システムのトランスポンダ側に搭載されるメモリなどとして広く用いられている。

【0003】

強誘電体メモリのワード線、プレート線には大きな容量が寄生しており、特にプレート線には、より大きな容量が寄生している。このため、1本のワード線に対応するプレート線を、プレート線選択信号を用いて複数のローカルなプレート線に階層化する従来技術が知られている。

【0004】

しかしながら、この従来技術では、ナンド回路やインバータ回路を用いてプレート線の階層化を行っているため、回路規模が大きくなってしまいう課題がある。

【0005】

また強誘電体メモリのワード線やプレート線を駆動する駆動回路についても種々の従来技術がある。

【0006】

しかしながら、この従来技術では、トランジスタのしきい値電圧の影響で、ワード線に供給される電圧が電源電圧 VCC よりも低くなってしまいう課題がある。ワード線の選択電圧が VCC 未満になると、メモリセルへの論理 "1" の書き込み不良が生じ、特に

10

20

30

40

50

電源電圧が低電圧化された場合に大きな問題になる。

【特許文献1】特開平10-229171号公報

【特許文献2】特開2001-283583号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、以上のような技術的課題に鑑みてなされたものであり、その目的とするところは、小規模な回路構成でプレート線等を駆動できる強誘電体メモリを提供することにある。

【課題を解決するための手段】

【0008】

本発明は、強誘電体キャパシタを有する複数のメモリセルが配置されるメモリセルアレイと、複数のワード線と、複数のプレート線と、複数のプレート線選択回路とを含み、前記複数のプレート線選択回路の第Lのプレート線選択回路は、第Lのプレート線と第Iのプレート線選択信号の供給ノードとの間に設けられ、第Kのワード線が選択電圧に設定された場合にオンになり、前記第Lのプレート線に前記第Iのプレート線選択信号を供給する第1のトランジスタと、前記第Lのプレート線と第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第Lのプレート線を前記第1の電源の電圧レベルに設定する第2のトランジスタを含み、前記複数のプレート線選択回路の第Mのプレート線選択回路は、第Mのプレート線と第Jのプレート線選択信号の供給ノードとの間に設けられ、前記第Kのワード線が選択電圧に設定された場合にオンになり、前記第Mのプレート線に前記第Jのプレート線選択信号を供給する第3のトランジスタと、前記第Mのプレート線と前記第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第Mのプレート線を前記第1の電源の電圧レベルに設定する第4のトランジスタを含む強誘電体メモリに係する。

【0009】

本発明によれば、第Kのワード線が非選択電圧に設定された場合には、第2のトランジスタがオンになり、第Lのプレート線（ローカルプレート線）が第1の電源の電圧レベルに設定される。そして第Kのワード線が選択電圧に設定されると、第1のトランジスタがオンになり、第Iのプレート線選択信号が第Lのプレート線に供給されるようになる。これにより、第Lのプレート線が第Iのプレート線選択信号により駆動されて、第Lのプレート線に接続されるメモリセルのデータの書き込み、読み出し等を行うことが可能になる。また本発明によれば、第Kのワード線が非選択電圧に設定された場合には、第4のトランジスタがオンになり、第Mのプレート線（ローカルプレート線）が第1の電源の電圧レベルに設定される。そして第Kのワード線が選択電圧に設定されると、第3のトランジスタがオンになり、第Jのプレート線選択信号が第Mのプレート線に供給されるようになる。これにより、第Mのプレート線が第Jのプレート線選択信号により駆動されて、第Mのプレート線に接続されるメモリセルのデータの書き込み、読み出し等を行うことが可能になる。

【0010】

また本発明では、前記第Kのワード線の信号が入力されその反転信号を出力するインバータ回路が、前記第Lのプレート線選択回路と前記第Mのプレート線選択回路との間で共用されるようにしてもよい。

【0011】

このようにすれば、インバータ回路の個数を節約して回路を小規模化できる。

【0012】

また本発明では、第Kのワード線用のプレート線選択回路と第K+1のワード線用のプレート線選択回路との間で、プレート線選択信号が共用されるようにしてもよい。

【0013】

このようにすれば、複数のプレート線選択回路でプレート線選択信号を共用して、プレ

10

20

30

40

50

ート線選択信号を階層化できるようになる。なおプレート線選択信号が共用されるワード線の本数は2本に限定されず、3本以上でもよい。

【0014】

また本発明では、複数のワード線昇圧回路を更に含み、前記複数のワード線昇圧回路の第Kのワード線昇圧回路は、一端が前記第Kのワード線に接続され、他端が第1のノードに接続される昇圧用キャパシタと、昇圧制御信号の供給ノードと前記第1のノードの間に設けられ、前記第Kのワード線が選択電圧に設定された場合にオンになり、前記第1のノードに前記昇圧制御信号を供給する第5のトランジスタを含むようにしてもよい。

【0015】

本発明によれば、第Kのワード線が選択電圧に設定されると、第5のトランジスタがオンになり、第1のノードに昇圧制御信号が供給されるようになる。従って、昇圧制御信号の電圧レベルを変化させることで、昇圧用キャパシタの容量カップリングにより、第Kのワード線の電圧を昇圧することが可能になる。

10

【0016】

また本発明では、前記第Kのワード線昇圧回路は、前記第1のノードと前記第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第1のノードを前記第1の電源の電圧レベルに設定する第6のトランジスタを含むようにしてもよい。

【0017】

このようにすれば、昇圧用キャパシタの容量カップリングにより、第Kのワード線の電圧レベルを急速に変化させることなどが可能になる。

20

【0018】

また本発明では、前記昇圧制御信号を生成する昇圧制御信号生成回路を含み、前記昇圧制御信号生成回路は、前記第I、第Jのプレート線選択信号の信号変化タイミングを設定するためのプレート線タイミング信号がアクティブから非アクティブになった後、所与の期間、前記昇圧制御信号をアクティブに設定するようにしてもよい。

【0019】

このようにすれば、プレート線タイミング信号がアクティブになった後（プレート線選択後）の所与の期間において、昇圧制御信号をアクティブにしてワード線電圧の昇圧を維持できるようになり、メモリセルへのデータの適正な書き込みを実現できる。

30

【0020】

また本発明では、前記第Kのワード線の信号が入力されその反転信号を出力するインバータ回路が、前記第Lのプレート線選択回路と前記第Mのプレート線選択回路と前記第Kのワード線昇圧回路との間で共用されるようにしてもよい。

【0021】

このようにすればインバータ回路の個数を節約して回路を小規模化できる。

【0022】

また本発明は、強誘電体キャパシタを有する複数のメモリセルが配置されるメモリセルアレイと、複数のワード線と、複数のプレート線と、複数のプレート線選択回路と、複数のワード線昇圧回路を含み、前記複数のプレート線選択回路の第Lのプレート線選択回路は、第Lのプレート線と第Iのプレート線選択信号の供給ノードとの間に設けられ、第Kのワード線が選択電圧に設定された場合にオンになり、前記第Lのプレート線に前記第Iのプレート線選択信号を供給する第1のトランジスタと、前記第Lのプレート線と第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第Lのプレート線を前記第1の電源の電圧レベルに設定する第2のトランジスタを含み、前記複数のワード線昇圧回路の第Kのワード線昇圧回路は、一端が前記第Kのワード線に接続され、他端が第1のノードに接続される昇圧用キャパシタと、昇圧制御信号の供給ノードと前記第1のノードとの間に設けられ、前記第Kのワード線が選択電圧に設定された場合にオンになり、前記第1のノードに前記昇圧制御信号を供給する第3のトランジスタを含む強誘電体メモリに関係する。

40

50

【0023】

本発明によれば、第Kのワード線が選択電圧に設定されると、第1のトランジスタがオンになり、第Iのプレート線選択信号が第Lのプレート線に供給されるようになる。これにより、第Lのプレート線が第Iのプレート線選択信号により駆動されて、第Lのプレート線に接続されるメモリセルのデータの書き込み、読み出し等を行うことが可能になる。また本発明によれば、第Kのワード線が選択電圧に設定されると、第3のトランジスタがオンになり、第1のノードに昇圧制御信号が供給されるようになる。従って、昇圧制御信号の電圧レベルを変化させることで、昇圧用キャパシタの容量カップリングにより、第Kのワード線の電圧を昇圧することが可能になる。

【0024】

また本発明では、前記第Kのワード線昇圧回路は、前記第1のノードと前記第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第1のノードを前記第1の電源の電圧レベルに設定する第4のトランジスタを含むようにしてもよい。

【0025】

このようにすれば、昇圧用キャパシタの容量カップリングにより、第Kのワード線の電圧レベルを急速に変化させることなどが可能になる。

【0026】

また本発明では、前記昇圧制御信号を生成する昇圧制御信号生成回路を含み、前記昇圧制御信号生成回路は、前記第Iのプレート線選択信号の信号変化タイミングを設定するためのプレート線タイミング信号がアクティブから非アクティブになった後、所与の期間、前記昇圧制御信号をアクティブに設定するようにしてもよい。

【0027】

このようにすれば、プレート線タイミング信号がアクティブになった後の所与の期間において、昇圧制御信号をアクティブにしてワード線電圧の昇圧を維持できるようになり、メモリセルへのデータの適正な書き込みを実現できる。

【0028】

また本発明は、強誘電体キャパシタを有する複数のメモリセルが配置されるメモリセルアレイと、複数のワード線と、複数のプレート線と、複数のワード線昇圧回路を含み、前記複数のワード線昇圧回路の第Kのワード線昇圧回路は、一端が第Kのワード線に接続され、他端が第1のノードに接続される昇圧用キャパシタと、昇圧制御信号の供給ノードと前記第1のノードとの間に設けられ、前記第Kのワード線が選択電圧に設定された場合にオンになり、前記第1のノードに前記昇圧制御信号を供給する第1のトランジスタを含む強誘電体メモリに関係する。

【0029】

本発明によれば、第Kのワード線が選択電圧に設定されると、第1のトランジスタがオンになり、第1のノードに昇圧制御信号が供給されるようになる。従って、昇圧制御信号の電圧レベルを変化させることで、昇圧用キャパシタの容量カップリングにより、第Kのワード線の電圧を昇圧することが可能になる。

【0030】

また本発明では、前記第Kのワード線昇圧回路は、前記第1のノードと第1の電源との間に設けられ、前記第Kのワード線が非選択電圧に設定された場合にオンになり、前記第1のノードを前記第1の電源の電圧レベルに設定する第2のトランジスタを含むようにしてもよい。

【0031】

このようにすれば、昇圧用キャパシタの容量カップリングにより、第Kのワード線の電圧レベルを急速に変化させることなどが可能になる。

【発明を実施するための最良の形態】

【0032】

以下、本発明の実施形態について詳細に説明する。なお、以下に説明する本実施形態は

10

20

30

40

50

、特許請求の範囲に記載された本発明の内容を不当に限定するものではない。また本実施形態で説明される構成の全てが本発明の解決手段として必須であるとは限らない。

【 0 0 3 3 】

1 . 強誘電体メモリ

図 1 (A) に強誘電体メモリのメモリセルの構成例を示す。このメモリセルは、強誘電体キャパシタ C S と N 型 (広義には第 1 導電型) のトランスファートランジスタ T R を含む。強誘電体キャパシタ C S の一端にはノード N C が接続され、他端にはプレート線 P L が接続される。トランスファートランジスタ T R のゲートにはワード線 W L が接続され、ソースにはビット線 B L が接続され、ドレインにはノード N C が接続される。なお本明細書では、便宜的に、トランジスタの電流経路のどちらか一方側をドレインと呼び、他方側をソースと呼ぶ。またメモリセルは図 1 (A) の構成に限定されない。例えば図 1 (A) のような 1 T 1 C (1 Transistor 1 Capacitor) 型のみならず、 2 T 2 C (2 Transistor 2 Capacitor) 型や、 F E T 型等であってもよい。

10

【 0 0 3 4 】

図 1 (B) に示すように、メモリセルに論理 “ 1 ” を書き込む場合には、ワード線 W L に選択電圧を印加し、ビット線 B L に V C C (広義には第 2 の電源) の電圧を印加し、プレート線 P L に 0 V (広義には第 1 の電源の電圧) を印加する。これにより図 1 (C) のヒステリシス特性の A 1 に示すように、強誘電体キャパシタ C S の残留分極が「負」になる。このように残留分極が「負」である状態を、例えば論理 “ 1 ” が記憶されている状態と定義できる。

20

【 0 0 3 5 】

一方、メモリセルに論理 “ 0 ” を書き込む場合には、ワード線 W L に選択電圧を印加し、ビット線 B L に 0 V を印加し、プレート線 P L に V C C (例えば 5 V) を印加する。これにより図 1 (C) のヒステリシス特性の A 2 に示すように、強誘電体キャパシタ C S の残留分極が「正」になる。このように残留分極が「正」である状態を、例えば論理 “ 0 ” が記憶されている状態と定義できる。

【 0 0 3 6 】

さて、図 1 (A) においてトランスファートランジスタ T R はしきい値 (V T H) を有する。従って、ビット線 B L に V C C を印加し、ワード線 W L にも V C C を印加した場合には、ノード N C の電圧は V C C よりも低い電圧 (V C C - V T H) になってしまう。このため強誘電体キャパシタ C S に十分な電圧を印加できなくなり、書き込み不良やインプリントの問題が生じる。従って、ワード線 W L には V C C よりも高い電圧 (V P P) を選択電圧として印加することが望ましい。なお、図 1 (B) から明らかなように、ノード N C の電圧がしきい値電圧の影響で低下する現象は、ビット線 B L に V C C を印加してメモリセルに論理 “ 1 ” を書き込む場合にだけ問題となる。

30

【 0 0 3 7 】

図 2 (A) にメモリセルへのライト動作時の信号波形例を示す。同図に示すように、論理 “ 1 ” をメモリセルに書き込む場合には、期間 T 0 2 ~ T 0 3 で論理 “ 0 ” の書き込みが行われ、その後の期間 T 0 4 ~ T 0 5 で論理 “ 1 ” の書き込みが行われる。また論理 “ 0 ” をメモリセルに書き込む場合には、期間 T 0 2 ~ T 0 4 で論理 “ 0 ” の書き込みが行われる。

40

【 0 0 3 8 】

図 2 (B) にメモリセルからのリード動作時の信号波形例を示す。同図に示すように、期間 T 1 1 ~ T 1 2 でビット線がハイインピーダンス状態 (H i Z) になり、期間 T 1 2 ~ T 1 3 で強誘電体キャパシタからビット線への電荷の転送が行われる。続く期間 T 1 3 ~ T 1 4 でセンスアンプによるビット線電圧の増幅動作が行われる。そしてメモリセルから論理 “ 1 ” のデータが読み出された場合には、読み出しにより破壊されたデータを回復するために、期間 T 1 4 ~ T 1 5 で論理 “ 1 ” のリライトが行われる。一方、メモリセルから論理 “ 0 ” のデータが読み出された場合には、期間 T 1 3 ~ T 1 4 でセンスアンプによるビット線電圧の増幅動作が行われると共に、論理 “ 0 ” のリライトが行われる。

50

【 0 0 3 9 】

図 2 (A)、図 2 (B) の期間 T 0 4 ~ T 0 5、T 1 4 ~ T 1 5 に示すように、論理 “ 1 ” の書き込みはプレート線 P L が 0 V (非アクティブ) に立ち下がった後に行われる。従ってプレート線 P L が 0 V に立ち下がった後も、所与の期間、ワード線 W L に選択電圧を印加し続ける必要がある。この場合、図 1 (A) で説明したように、ワード線 W L の選択電圧が高電圧に設定されていないと、ノード N C の電圧がトランスファートランジスタ T R のしきい値電圧により低下してしまう。従って、少なくとも期間 T 0 4 ~ T 0 5、T 1 4 ~ T 1 5 において、ワード線 W L の選択電圧を高電圧 (V P P) に設定することが望ましい。

【 0 0 4 0 】

2 . 全体構成

図 3 に本実施形態の強誘電体メモリ (半導体記憶装置) の全体構成を示す。なお本実施形態の強誘電体メモリは図 3 の構成に限定されず、その一部の構成要件を省略する構成としたり、他の構成要件を加える構成としてもよい。

【 0 0 4 1 】

図 3 の強誘電体メモリは、2 つのブロック (広義には複数のブロック) に分割されたメモリセルアレイ 1 2、1 4 を含む。各メモリセルアレイ 1 2、1 4 には、強誘電体キャパシタを有する複数のメモリセルが配置される。具体的には図 1 (A) のように、各メモリセルは、強誘電体キャパシタと、強誘電体キャパシタの一端に接続されるトランスファートランジスタを含む。なお 2 T 2 C 型のメモリセルの場合には、論理 “ 0 ” 又は “ 1 ” の一方を記憶する第 1 の強誘電体キャパシタと、第 1 の強誘電体キャパシタの一端に接続される第 1 のトランスファートランジスタと、論理 “ 0 ” 又は “ 1 ” の他方を記憶する第 2 の強誘電体キャパシタと、第 2 の強誘電体キャパシタの一端に接続される第 2 のトランスファートランジスタを含む。またメモリセルアレイの他に、センスアンプのリファレンス電圧を生成するためのリファレンスセル (ダミーメモリセル) のアレイを設けてもよい。

【 0 0 4 2 】

強誘電体メモリは複数のワード線と、複数のプレート線と、複数のビット線を含む。なお、本明細書では、適宜、「ワード線」、「プレート線 (ローカルプレート線)」、「ビット線」を、各々、「W L」、「P L (L P L)」、「B L」と略称する。複数のワード線の各ワード線 (第 K のワード線) は、メモリセルのトランスファートランジスタのゲートに接続される。複数のビット線の各ビット線は、トランスファートランジスタのソース及びドレインを介して強誘電体キャパシタの一端に接続される。複数のプレート線の各プレート線 (第 K のプレート線) は強誘電体キャパシタの他端に接続される。

【 0 0 4 3 】

強誘電体メモリは W L 駆動部 2 2 や P L 駆動部 2 4 (広義には駆動部) を含む。この W L 駆動部 2 2 はアドレス信号のデコードやワード線の駆動などを行う。P L 駆動部 2 4 は、プレート線の駆動や、プレート線 (ローカルプレート線) の選択などを行う。具体的には、例えば左側 (右側でもよい) に設けられた W L 駆動部 2 2 がワード線を駆動し、このワード線の信号を受けた P L 駆動部 2 4 が、左側のメモリセルアレイ 1 2 のプレート線 (ローカルプレート線 L P L (L)) と、右側のメモリセルアレイ 1 4 のプレート線 (ローカルプレート線 L P L (R)) を駆動する。

【 0 0 4 4 】

W L 駆動部 2 2 は複数の W L 駆動回路 3 0 -1、3 0 -2、3 0 -3 を含む。各 W L 駆動回路 3 0 -1、3 0 -2、3 0 -3 は各ワード線を駆動する。

【 0 0 4 5 】

P L 駆動部 2 4 は、複数の P L 選択回路 7 0 L -1、7 0 R -1、7 0 L -2、7 0 R -2 や、複数の W L 昇圧回路 8 0 -1、8 0 -2 を含む。各 P L 選択回路 7 0 L -1、7 0 R -1、7 0 L -2、7 0 R -2 は、プレート線 (ローカルプレート線) の選択を行い、選択されたプレート線にプレート線選択信号を供給する。また各 W L 昇圧回路 8 0 -1、8 0 -2 は各ワード線の昇圧を行う。

10

20

30

40

50

【 0 0 4 6 】

強誘電体メモリは制御回路52、54を含む。これらの制御回路52、54は、アドレス信号(Xアドレス信号、Yアドレス信号)や各種タイミング信号(WLタイミング信号、PLタイミング信号等)を受け、各種制御信号(WL選択信号、PL選択信号、昇圧制御信号、WL制御信号、PL制御信号等)を生成し、WL駆動部22やPL駆動部24やセンスアンプ&ライト部62、64などに供給する。

【 0 0 4 7 】

センスアンプ&ライト部62、64は、ビット線を制御して、データのリード動作やライト(リライト)動作などを行う。具体的には、例えばデータのリード時には、ビット線の電圧をセンスアンプにより増幅し、リファレンス電圧と比較することで、メモリセルから読み出されたデータが論理“1”なのか“0”なのかを判定する。またデータバスからのデータをライトする時には、ビット線の電圧をVCCや0Vに設定して、論理“1”や“0”をメモリセルに書き込む。

10

【 0 0 4 8 】

なお図3ではメモリセルアレイを2つのブロックに分割しているが、3つ以上のブロックに分割してもよい。また強誘電体メモリの構成は図3の構成に限定されず種々の変形実施が可能であり、例えば図4のような構成にしてもよい。図4では、WL駆動部22とPL駆動部24の両方の機能を実現するWL&PL駆動部20が、メモリセルアレイ10の左側(右側でもよい)に配置されている。そしてこのWL&PL駆動部20により、ワード線の駆動やプレート線の駆動(選択)が行われる。

20

【 0 0 4 9 】

3. 比較例

図5に本実施形態の比較例となるPL選択回路200L、200Rの例を示す。このPL選択回路200Lはナンド回路NAND1、インバータ回路INV1を含み、PL選択回路200Rはナンド回路NAND2、インバータ回路INV2を含む。そしてワード線WLが選択電圧(VCC)に設定され、PL選択信号PS(L)が選択電圧(VCC)に設定されると、NAND1の出力がL(ロー)レベルになり、プレート線(ローカルプレート線)LPL(L)へINV1からH(ハイ)レベルが供給される。これにより、プレート線LPL(L)が強誘電体キャパシタの一端に接続されたメモリセルのデータの書き込み、読み出しが行われる。またワード線WLが選択電圧に設定され、PL選択信号PS(R)が選択電圧(VCC)に設定されると、NAND2の出力がLレベルになり、プレート線(ローカルプレート線)LPL(R)へINV2からHレベルが供給される。これにより、プレート線LPL(R)が強誘電体キャパシタの一端に接続されたメモリセルのデータの書き込み、読み出し動作が行われるようになる。

30

【 0 0 5 0 】

しかしながら図5の比較例では、多くの論理回路(NAND1、NAND2、INV1、INV2)が必要になり、PL選択回路が大規模化、複雑化してしまう。PL選択回路の個数は多いため、これは強誘電体メモリの大規模化を招くと共に省電力化の妨げになるという課題がある。また図5の比較例ではプレート線の信号に基づくワード線昇圧については行われていなかった。

40

【 0 0 5 1 】

4. PL選択回路、WL昇圧回路

図6に、上述した課題を解決できる本実施形態のPL選択回路70L、70R、WL昇圧回路80の構成例を示す。なお本実施形態のPL選択回路、WL昇圧回路は図6の構成に限定されず、その一部の構成要件を省略する構成としたり、他の構成要件を加える構成としてもよい。

【 0 0 5 2 】

PL選択回路70L(第LのPL選択回路:Lは整数)はN型(広義には第1導電型)のトランジスタTD1、TD2(第1、第2のトランジスタ)を含む。

【 0 0 5 3 】

50

トランジスタTD1は、プレート線LPL(L)(第Lのプレート線)と、PL選択信号PS(L)(第Iのプレート線選択信号:Iは整数)の供給ノードND1との間に設けられる。具体的にはトランジスタTD1は、ソースに供給ノードND1が接続され、ゲートにワード線WLが接続され、ドレインにプレート線LPL(L)が接続される。

【0054】

そしてトランジスタTD1は、ワード線WL(第Kのワード線:Kは整数)が選択電圧(VCC、VPP)に設定された場合にオンになり、プレート線LPL(L)にPL選択信号PS(L)を供給する。具体的には、ワード線WLがVCC(第2の電源)の電圧レベルに設定され、PL選択信号PS(L)が0Vの場合には、プレート線LPL(L)は0Vのままになる。一方、ワード線WLがVCCに設定され、PL選択信号PS(L)がVCCの場合には、プレート線LPL(L)はVCC-VTD1(VTD1はトランジスタTD1のしきい値電圧)に設定される。これにより、プレート線LPL(L)に強誘電体キャパシタの一端が接続されたメモリセルのデータの書き込み、読み出し動作が行われるようになる。

10

【0055】

トランジスタTD2は、プレート線LPL(L)とGND(広義には第1の電源)との間に設けられる。具体的にはトランジスタTD2は、ソースにGNDが接続され、ゲートにインバータ回路INVDの出力ノードND2が接続され、ドレインにプレート線LPL(L)が接続される。そしてトランジスタTD2は、ワード線WLが非選択電圧(0V)に設定され、インバータ回路INVDの出力ノードND2がVCCになると、オンになり、プレート線LPL(L)をGND(第1の電源)の電圧レベルである0Vに設定(ディスチャージ)する。即ち、ワード線WLが選択電圧にならない限り、トランジスタTD2によりプレート線LPL(L)は0V(GND)に設定される。

20

【0056】

またPL選択回路70Lは、ワード線WLの信号が入力され、その反転信号を出力するインバータ回路INVDを含む。このインバータ回路INVDは、PL選択回路70L、PL選択回路70R、WL昇圧回路80で共用される。即ち、インバータ回路INVDの出力は、PL選択回路70LのトランジスタTD2のゲートと、PL選択回路70RのトランジスタTE2のゲートと、WL昇圧回路80のトランジスタTF2のゲートに入力される。

30

【0057】

PL選択回路70R(第MのPL選択回路:Mは整数)はN型(第1導電型)のトランジスタTE1、TE2(第3、第4のトランジスタ)を含む。

【0058】

トランジスタTE1は、プレート線LPL(R)(第Mのプレート線)と、PL選択信号PS(R)(第Jのプレート線選択信号:Jは整数)の供給ノードNE1との間に設けられる。具体的にはトランジスタTE1は、ソースに供給ノードNE1が接続され、ゲートにワード線WLが接続され、ドレインにプレート線LPL(R)が接続される。

【0059】

そしてトランジスタTE1は、ワード線WLが選択電圧に設定された場合にオンになり、プレート線LPL(R)にPL選択信号PS(R)を供給する。具体的には、ワード線WLがVCCに設定され、PL選択信号PS(R)が0Vの場合には、プレート線LPL(R)は0Vのままになる。一方、ワード線WLがVCCに設定され、PL選択信号PS(R)がVCCの場合には、プレート線LPL(R)はVCC-VTE1(VTE1はトランジスタTE1のしきい値電圧)に設定される。これにより、プレート線LPL(R)に強誘電体キャパシタの一端が接続されたメモリセルのデータの書き込み、読み出し動作が行われるようになる。

40

【0060】

またトランジスタTE2は、プレート線LPL(R)とGNDとの間に設けられる。具体的にはトランジスタTE2は、ソースにGNDが接続され、ゲートにインバータ回路I

50

NVDの出力ノードND2が接続され、ドレインにプレート線LPL(R)が接続される。そしてトランジスタTE2は、ワード線WLが非選択電圧(0V)に設定され、インバータ回路INV Dの出力ノードND2がVCCになると、オンになり、プレート線LPL(R)を0Vに設定(ディスチャージ)する。即ち、ワード線WLが選択電圧にならない限り、トランジスタTE2によりプレート線LPL(R)は0Vに設定される。

【0061】

WL昇圧回路80(第Kのワード線昇圧回路)は、昇圧用のキャパシタCFと、N型のトランジスタTF1、TF2を含む。

【0062】

昇圧用のキャパシタCFは、一端がワード線WLに接続され、他端が第1のノードNF2に接続される。なおキャパシタCFは、常誘電体キャパシタであってもよいし、強誘電体キャパシタであってもよい。

【0063】

トランジスタTF1(第5のトランジスタ)は、昇圧制御信号PLSの供給ノードNF1と、ノードNF2との間に設けられる。具体的にはトランジスタTF1は、ソースに供給ノードNF1が接続され、ゲートにワード線WLが接続され、ドレインにノードNF2が接続される。そしてトランジスタTF1は、ワード線WLが選択電圧に設定された場合にオンになり、ノードNF2に昇圧制御信号PLSを供給する。そして、昇圧制御信号PLSが0V(非アクティブ)からVCC(アクティブ)に変化すると、昇圧用キャパシタCFの容量カップリングにより、ワード線WLの電圧が昇圧(VPP)される。これにより、トランジスタTD1、TE1のゲート電圧が上昇し、プレート線LPL(L)、LPL(R)の電圧レベルがVCCに設定されるようになる。

【0064】

なおWL昇圧回路80の配置場所は、図6のようなPL選択回路70Lと70Rの間の場所に限定されず、ワード線WLと接続できる場所であれば任意の場所に配置できる。例えば図3のPL駆動部24の場所にWL昇圧回路80を配置してもよいし、WL駆動部22の場所にWL昇圧回路80を配置してもよい。

【0065】

次に図7の信号波形図を用いて本実施形態の動作を説明する。タイミングT42でアドレスが変化すると、アドレス遷移検出信号ATDがアクティブになる。この時、図7では、Yアドレス信号はYADD(L)となっている。従ってプレート線LPL(L)側(図3のメモリセルアレイ12側)が選択状態になり、プレート線LPL(R)側(メモリセル14側)は非選択状態になる。

【0066】

タイミングT43で、WLタイミング信号WLEがアクティブ(VCC、ハイレベル)になり、ワード線WLが選択されると、WLの電圧がVCCに設定される。そしてタイミングT44でPLタイミング信号PLEがアクティブになると、PL選択信号PSがアクティブになる。具体的には図7ではプレート線LPL(L)側が選択状態になっているため、PL選択信号PS(L)が非アクティブ(0V)からアクティブ(VCC)になり、PS(R)は非アクティブ(0V)のままとなる。この時、図6のトランジスタTD1がオンになっているため、プレート線LPL(L)の電圧が上昇する。

【0067】

またタイミングT44でPLタイミング信号PLEがアクティブになると、昇圧制御信号PLSがアクティブになる。従って、図6の昇圧用キャパシタCFによる容量カップリングにより、ワード線WLがVCCからVPPに昇圧される。従って、トランジスタTD1(TE1)のゲートにはVCCよりも高い電圧VPPが印加されるため、プレート線LPL(L)の電圧は、VCC-VTD1ではなくVCCに設定されるようになる。

【0068】

次に、タイミングT45でPLタイミング信号PLEが非アクティブ(0V)になるため、プレート線LPL(L)の電圧は0Vに戻る。一方、このタイミングT45におい

10

20

30

40

50

て、昇圧制御信号 PLS はアクティブのままとなる。即ち昇圧制御信号 PLS は、期間 T44 ~ T46 の間、アクティブであるため、ワード線 WL の電圧も期間 T44 ~ T46 の間、昇圧電圧 VPP に設定される。これにより、図 2 (A) の期間 T04 ~ T05 での論理 “1” の書き込みを適正に行うことが可能になる。

【0069】

本実施形態の PL 選択回路、昇圧回路によれば、以下の作用効果を奏することができる。

【0070】

(1) 図 5 に示すナンド回路、インバータ回路を用いる比較例に比べて、回路を構成するトランジスタの数を格段に削減でき、回路の配置面積も低減できる。即ち図 5 の比較例では PL 選択回路 200L 及び 200R を構成するトランジスタの総数は 12 個である。これに対して図 6 の本実施形態では、PL 選択回路 70L 及び 70R を構成するトランジスタの総数は、インバータ回路 INVD を構成する 2 個のトランジスタを加えても、6 個であり、比較例に比べて格段に少ない。また、インバータ回路 INVD は、WL 昇圧回路との間でも共用できるため、回路面積を更に小さくできる。

【0071】

(2) 昇圧制御信号 PLS がアクティブである期間、ワード線 WL の電圧を昇圧電圧 VPP に設定できるため、特に論理 “1” の書き込みを十分に行えるようになる。

【0072】

即ち図 2 (A) で説明したように、メモリセルに論理 “1” の書き込みが行われるのは、プレート線 PL の電圧が立ち下がった後の T04 ~ T05 の期間であり、ワード線電圧はこの T04 ~ T05 の期間で昇圧されていることが望ましい。

【0073】

本実施形態では、PL タイミング信号 PLE とは別個の独立した昇圧制御信号 PLS を用いているため、図 7 のタイミング T45 で信号 PLE が非アクティブになった後も、昇圧制御信号 PLS についてはアクティブのままに維持できる。従って、タイミング T45 の後も、ワード線 WL を昇圧電圧 VPP に設定できるため、論理 “1” の書き込みを十分に行えるようになる。

【0074】

(3) ワード線 WL が VPP に昇圧され、この昇圧電圧 VPP がトランジスタ TD1、TE1 のゲートに入力されるため、プレート線 LPL (L)、LPL (R) の電圧を、VCC - VTD1、VCC - VTE1 よりも高い VCC に設定できる。

【0075】

(4) PL 選択信号 PS (L)、PS (R) の信号線は、トランジスタ TD1、TE1 のゲートではなくドレインに接続されており、昇圧制御信号 PLS の信号線も、トランジスタ TF1 のゲートではなくドレインに接続されている。従って、これらの信号線の寄生容量 (負荷) を軽減できるため、信号波形が鈍るなどの問題を解消できる。またこれらの信号線の充放電電流も少なくなるため、省電力化を図れる。

【0076】

即ち図 5 の比較例では、PL 選択信号 PS (L)、PS (R) の信号線は、ナンド回路を構成するトランジスタのゲートに接続されたため、信号線の寄生容量が非常に大きくなってしまふ。このため、これらの信号線を駆動する回路のトランジスタサイズを大きくする必要があり、回路が大規模化するという問題がある。また信号線の充放電電流も大きくなるため、消費電力が増えるという問題がある。本実施形態によれば、このような問題を解消できる。

【0077】

(5) メモリセルを構成するトランスファーフートランジスタ (図 1 (A) の TR) のゲートに印加される電圧と同じ電圧 (ワード線電圧) が、トランジスタ TD1、TE1 のゲートに印加される。従って、インプリントが生じにくい強誘電体メモリを提供できる。例えばワード線電圧が VCC である場合には、図 6 のトランジスタ TD1 のゲート電圧

10

20

30

40

50

も図1(A)のトランスファートランジスタTRのゲート電圧も共にVCCになる。この状態で、PL選択信号がVCCになると、プレート線電圧はVCC - VTD1になる。一方、図1(A)において、ビット線電圧がVCCになると、ノードNCの電圧はVCC - VTHになる。従って、結局、強誘電体キャパシタCSの一端であるノードNCに印加される電圧と、他端であるプレート線に印加される電圧は、同じ方向にシフトすることになるため、インプリントが生じにくい強誘電体メモリを提供できる。

【0078】

(6)ワード線WLとPL選択信号PSにより選択されたプレート線にだけ電圧が印加され、それ以外のプレート線はトランジスタTD2、TE2により0Vに接地される。従って、非選択のメモリセルの記憶データが、プレート線の信号ノイズにより破壊されてしまいう事態を防止できる。

10

【0079】

(7)ワード線電圧が0Vに立ち下がると、WL昇圧回路80のトランジスタTF2がオンになり、ノードNF2の電圧が0V側に变化する。従って、昇圧用キャパシタCFの容量カップリングを利用して、ワード線電圧を高速に立ち下げることが可能になる。これにより回路の高速動作を実現できる。

【0080】

(8)PL選択信号線PSを、ビット線BLと平行に配線するだけでなく、図8に示すように、ワード線WLと平行にメインのPL選択信号線MPLを配線することで、プレート線の階層化を行うことができる。この場合に本実施形態では、隣接したPL選択回路(第Kのワード線用のPL選択回路と第K+1のワード線用のPL選択回路)でメインのPL選択信号線を共用できる。即ち図8では、PL選択回路70L-1、70L-2でメインのPL選択信号線MPL(L)を共用し、PL選択回路70R-1、70R-2でメインのPL選択信号線MPL(R)を共用できる。これにより、メインのPL選択信号線を駆動する回路の配置数を削減でき、回路の小規模化を図れる。

20

【0081】

5. 変形例

図9に本実施形態の第1の変形例を示す。図9ではPL選択回路70L、70Rは設けられているが、図6のWL昇圧回路80は設けられていない。この図9の第1の変形例では、WL信号の反転信号を生成するインバータ回路INV Dは、PL選択回路70L、70Rの間で共用されることになる。

30

【0082】

例えば、図10(A)にWL駆動回路30(第KのWL駆動回路)の構成例を示す。WL駆動回路30は、ドライバDRVとトランスファートランジスタTRAとゲート制御回路32を含む。ドライバDRVはワード線WLを駆動する回路である。N型のトランスファートランジスタTRAは、ドライバDRVとワード線WLの間に設けられ、ゲート制御回路32によりそのゲートが制御され、駆動ノードNA1とワード線WLとの間の接続のオン/オフ制御を行う。ゲート制御回路32はトランスファートランジスタTRAのゲート制御を行う回路であり、電圧設定回路34と昇圧用のキャパシタCA1を含む。

【0083】

40

アドレスデコード信号#Xが非アクティブ(VCC)である場合には、N型のトランジスタTA3がオンになり、ワード線WLが0Vにディスチャージされる。なお「#」は負論理を示す。そしてアドレスデコード信号#Xが0Vになり、ワード線WLが選択されると、駆動ノードNA1の電圧がVCCになる。これにより、トランスファートランジスタTRAのゲートノードNA2は、第1の電圧レベルVCC - VTA2(VTA2はトランジスタTA2のしきい値電圧)に設定される。

【0084】

次に、ワード線制御信号WL0がアクティブ(VCC)になると、ゲート制御用のキャパシタCA1の容量カップリングにより、ゲートノードNA2の電圧が上昇する。この時、ゲートノードNA1の電圧は、クランプ回路として機能するトランジスタTA1によ

50

り、第2の電圧レベル $V_{CC} + V_{TA1}$ (V_{TA1} はトランジスタ T_{A1} のしきい値電圧)にクランプされる。ゲートノード N_{A2} が $V_{CC} + V_{TA1}$ に設定されることで、トランスファートランジスタ T_{RA} は強いオンになり、ワード線 W_L がドライバ D_{RV} により駆動されて、ワード線電圧が V_{CC} に上昇する。

【0085】

次に、ワード線制御信号 W_{L0} が非アクティブ(0V)になると、ゲート制御用のキャパシタ C_{A1} の容量カップリングにより、ゲートノード N_{A2} が、トランスファートランジスタ T_{RA} をオフにする第3の電圧レベル $V_{CC} - (> V_{TA}$ 、 V_{TA} は T_{RA} のしきい値電圧)に設定される。

【0086】

図10(A)の回路によれば、ゲート制御回路32によりトランスファートランジスタ T_{RA} をオン/オフ制御することで、ドライバ D_{RV} とワード線 W_L との間の接続を任意に遮断できる。そしてトランスファートランジスタ T_{RA} をオフにしてドライバ D_{RV} とワード線 W_L の接続を遮断することで、ワード線 W_L がハイインピーダンス状態に設定されて、ワード線電圧の昇圧が容易化される。

【0087】

一方、図10(B)では、 W_L 駆動回路30が W_L 昇圧回路38を含んでいる。この W_L 昇圧回路38は、ワード線 W_L の昇圧動作を行う回路であり、第2のワード線制御信号 W_{L1} がアクティブ(V_{CC})になった場合に、ワード線を昇圧する。この W_L 昇圧回路38は、一端にワード線制御信号 W_{L1} が供給され、他端にワード線 W_L が接続される昇圧用のキャパシタ C_{A2} を含む。そしてトランスファートランジスタ T_{RA} がオフになりワード線がハイインピーダンス状態になった後に、ワード線制御信号 W_{L1} がアクティブになると、キャパシタ C_{A2} による容量カップリングによりワード線 W_L が V_{PP} に昇圧される。この時、ワード線 W_L の電圧は、クランプ回路として機能するトランジスタ T_{A4} により、電圧レベル $V_{CC} + V_{TA4}$ (V_{TA4} はトランジスタ T_{A4} のしきい値電圧)にクランプされる。

【0088】

図10(B)のように W_L 駆動回路30が W_L 昇圧回路38を含む場合には、図6の W_L 昇圧回路80は不要となる。従って、この場合には、 W_L 昇圧回路を含まない図9の第1の変形例を採用することが望ましい。

【0089】

図11に本実施形態の第2の変形例を示す。図11では W_L 昇圧回路80-1、80-2は設けられているが、図6の PL 選択回路70L、70Rは設けられていない。即ちこの第2の変形例では、ワード線 W_{L1} に対応して W_L 昇圧回路 W_{L80-1} が設けられ、ワード線 W_{L2} に対応して W_L 昇圧回路80-2が設けられる。他のワード線についても同様である。

【0090】

図10(A)のトランスファートランジスタ T_{RA} がオンになり、ドライバ D_{RV} によりワード線 W_{L1} が駆動された後、 T_{RA} がオフになるとワード線 W_{L1} がハイインピーダンス状態に設定される。その後図11の昇圧制御信号 P_{LS} がアクティブ(V_{CC})になると、ハイインピーダンス状態に設定されたワード線 W_{L1} の電圧が、 W_L 昇圧回路80-1により昇圧される。このようにワード線電圧が昇圧されると、図1(A)のトランスファートランジスタ T_{R} のゲートに、 V_{CC} よりも高い昇圧電圧 V_{PP} が印加されるようになる。これにより、ワード線選択時に図1(A)のノード N_C の電圧を、 $V_{CC} - V_{TH}$ よりも高い V_{CC} に設定できるようになる。従って、強誘電体キャパシタ C_S に十分な電圧を印加でき、データの適正な書き込みを実現できる。

【0091】

また図11の回路では、ワード線 W_{L1} の電圧が V_{PP} から0Vに変化する際に、トランジスタ T_{F21} がオフからオンに変化することで、ノード N_{F21} が0V側に変化する。従って、昇圧制御用のキャパシタ C_{F1} の容量カップリングを利用して、ワード線 W_L

10

20

30

40

50

1の電圧をVPPから0Vに急速に変化させることが可能になる。

【0092】

6. 信号生成回路

図12に、本実施形態で使用される各種信号を生成する回路の例を示す。図12のWL選択信号生成回路100は図3の制御回路52に含まれ、昇圧制御信号生成回路110、PL選択信号生成回路120は制御回路54に含まれる。

【0093】

WL選択信号生成回路100は、ナンド回路NANDG1、インバータ回路INVG1を含み、WLタイミング信号WLEとXアドレス信号XADDに基づいて、WL選択信号WSELを生成する。

10

【0094】

昇圧制御信号生成回路110は、WLタイミング信号WLEとPLタイミング信号PLEに基づいて、図6、図7の昇圧制御信号PLSを生成する。

【0095】

PL選択信号生成回路120は、ナンド回路NANDG2、NANDG3、インバータ回路INVG2、INVG3を含む。そして、Yアドレス信号YADD(L)とPLタイミング信号PLEに基づいて、図6、図7のPL選択信号PS(L)を生成する。またYアドレス信号YADD(R)とPLタイミング信号PLEに基づいて、PL選択信号PS(R)を生成する。

【0096】

図13(A)に、図12の昇圧制御信号生成回路110の第1の構成例を示し、図13(B)にその動作を説明するための信号波形図を示す。

20

【0097】

図13(A)の昇圧制御信号生成回路110は、VCC(第2の電源)とGND(第1の電源)の間に直列に接続されたP型のトランジスタTH1、TH2とN型のトランジスタTH3を含む。トランジスタTH1のゲートにはWLタイミング信号WLEが入力され、トランジスタTH2、TH3のゲートにはPLタイミング信号PLEが入力される。そしてトランジスタTH2とTH3のドレインが共通接続される出力ノードNH1に、インバータ回路INVH3の入力が接続される。なお、WLタイミング信号WLEは、WL選択信号等のタイミングを設定するための信号であり、PLタイミング信号PLEは、PL選択信号PS(L)、PS(R)の信号変化タイミングを設定するための信号である。

30

【0098】

図13(B)のタイミングT51で信号WLEがアクティブ(VCC)になりトランジスタTH1がオフになった後、タイミングT52で信号PLEがアクティブ(VCC)になると、トランジスタTH3がオンになる。これにより、ノードNH1の電圧が0Vに変化し、昇圧制御信号PLSがアクティブ(VCC)になる。

【0099】

次にタイミングT53で信号PLEが非アクティブ(0V)になると、トランジスタTH3がオフになり、トランジスタTH2がオンになるが、トランジスタTH1はオフのままになる。このため、ノードNH1の電圧は、寄生容量CL1、CL2により0Vに保持され、信号PLSの電圧レベルは変化せずにVCCに維持される。その後、タイミングT54で信号WLEが非アクティブ(0V)になると、トランジスタTH1がオンになり、ノードNH1の電圧がVCCになるため、信号PLSは非アクティブ(0V)になる。

40

【0100】

図14(A)に、図12の昇圧制御信号生成回路110の第2の構成例を示し、図14(B)にその動作を説明するための信号波形図を示す。この昇圧制御信号生成回路110は、遅延回路122、124とNAND回路NANDH、NOR回路NORH、インバータ回路INVH1、INVH2を含む。

50

【 0 1 0 1 】

図 1 4 (B) のタイミング T 6 1 で信号 P L E がアクティブ (V C C) になると、遅延回路 1 2 2 の素子遅延により決まる遅延時間 D L 1 が経過した後のタイミング T 6 2 で、信号 P L S がアクティブ (V C C) になる。その後、タイミング T 6 3 で信号 P L E が非アクティブ (0 V) になると、遅延回路 1 2 4 の素子遅延により決まる遅延時間 D L 2 が経過した後のタイミング T 6 4 で、信号 P L S が非アクティブ (0 V) になる。

【 0 1 0 2 】

図 1 3 (A)、図 1 4 (A) の昇圧制御信号生成回路 1 1 0 によれば、P L タイミング信号 P L E がアクティブ (V C C) から非アクティブ (0 V) になった後、所与の期間、昇圧制御信号 P L S がアクティブ (V C C) に設定される。即ち、図 1 3 (B) の期間 T 5 3 ~ T 5 4 や図 1 4 (B) の期間 T 6 3 ~ T 6 4 において、昇圧制御信号 P L S がアクティブに維持される。従って、この期間 T 5 3 ~ T 5 4 や期間 T 6 3 ~ T 6 4 において、ワード線 W L が V P P に昇圧されるようになり、特に論理 “ 1 ” の書き込みを十分に行えるようになる。

【 0 1 0 3 】

即ち図 2 (A) で説明したように、メモリセルに論理 “ 1 ” の書き込みが行われるのは、プレート線 P L の電圧 (P L E) が立ち下がった後の期間である。従って、図 1 3 (B) の期間 T 5 3 ~ T 5 4 や図 1 4 (B) の期間 T 6 3 ~ T 6 4 において、昇圧制御信号 P L S をアクティブにしてワード線電圧を V P P に昇圧すれば、論理 “ 1 ” の書き込みを十分に行うことが可能になる。

【 0 1 0 4 】

なお、本発明は本実施形態に限定されず、本発明の要旨の範囲内で種々の変形実施が可能である。例えば、明細書又は図面中の記載において広義や同義な用語 (第 1 導電型、第 1 の電源、第 2 の電源等) として引用された用語 (N 型、0 V (G N D)、V C C 等) は、明細書又は図面中の他の記載においても広義や同義な用語に置き換えることができる。

【 0 1 0 5 】

また本実施形態では、メモリセルアレイを図 3 に示すように 2 つのブロックに分割してプレート線を 2 つの階層に階層化する場合について説明したが、本発明はこれに限定されない。例えばメモリセルアレイを 3 つ以上のブロックに分割して、プレート線を 3 階層以上に階層化する場合も本発明の範囲に含まれる。

【 0 1 0 6 】

また強誘電体メモリの全体構成も図 3、図 4 で説明した構成に限定されない。例えば P L 選択回路や W L 選択回路の配置場所も図 3、図 4 の場所に限定されず、種々の変形実施が可能である。また昇圧制御信号などの各種信号の生成手法も本実施形態で説明した手法に限定されない。また強誘電体メモリをロジック回路として利用してもよい。

【 図面の簡単な説明 】

【 0 1 0 7 】

【 図 1 】 図 1 (A) ~ 図 1 (C) は強誘電体メモリのメモリセルの説明図。

【 図 2 】 図 2 (A)、図 2 (B) は強誘電体メモリのライト動作、リード動作の説明図。

【 図 3 】 強誘電体メモリの構成例。

【 図 4 】 強誘電体メモリの構成例。

【 図 5 】 比較例の構成例。

【 図 6 】 本実施形態の P L 選択回路、W L 昇圧回路の構成例。

【 図 7 】 本実施形態の P L 選択回路、W L 昇圧回路の動作を説明する信号波形図。

【 図 8 】 メイン P L 選択信号線の配線を説明する図。

【 図 9 】 本実施形態の第 1 の変形例。

【 図 1 0 】 図 1 0 (A)、図 1 0 (B) は W L 駆動回路の構成例。

【 図 1 1 】 本実施形態の第 2 の変形例。

【 図 1 2 】 各種信号を生成する信号生成回路の構成例。

【 図 1 3 】 図 1 3 (A)、図 1 3 (B) は、昇圧制御信号生成回路の構成例と、その動作

10

20

30

40

50

を説明するための信号波形図。

【図14】図14(A)、図14(B)は、昇圧制御信号生成回路の構成例と、その動作を説明するための信号波形図。

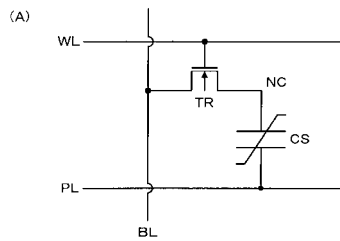
【符号の説明】

【0108】

TD1、TD2、TE1、TE2、TF1、TF2 トランジスタ、
 CF 昇圧制御キャパシタ、INVD インバータ回路、
 WL ワード線、LPL(L)、LPL(R) プレート線、
 PS(L)、PS(R) PL選択信号、PLS 昇圧制御信号、
 WLE WLタイミング信号、PLE PLタイミング信号、
 ND1、NE1 PS(L)、PS(R)の供給ノード、ND2 INVDの出力ノード、
 NF1 PLSの供給ノード、NF2 第1のノード、
 10、12、14 メモリセルアレイ、20 WL&PL駆動部、22 WL駆動部、
 24 PL駆動部、30 WL駆動回路、32 ゲート制御回路、34 電圧設定回路、
 38 WL昇圧回路、50、52、54 制御回路、
 62、64 センスアンプ&ライト部、70L、70R PL選択回路、
 80 WL昇圧回路、100 WL選択信号生成回路、110 昇圧制御信号生成回路、
 120 PL選択信号生成回路、

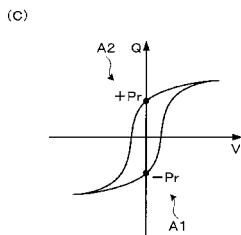
10

【図1】

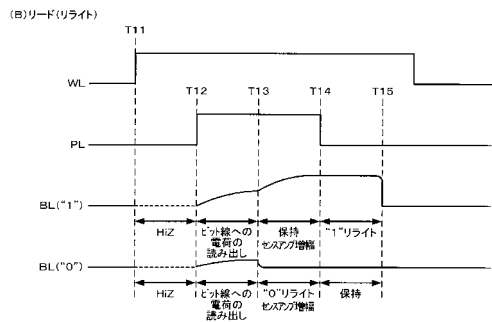
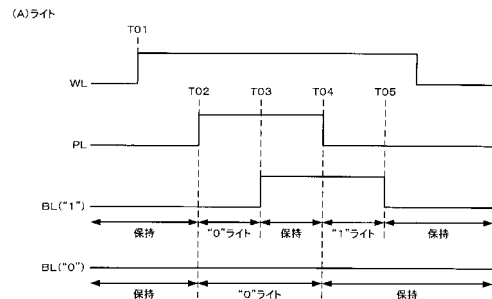


(B)

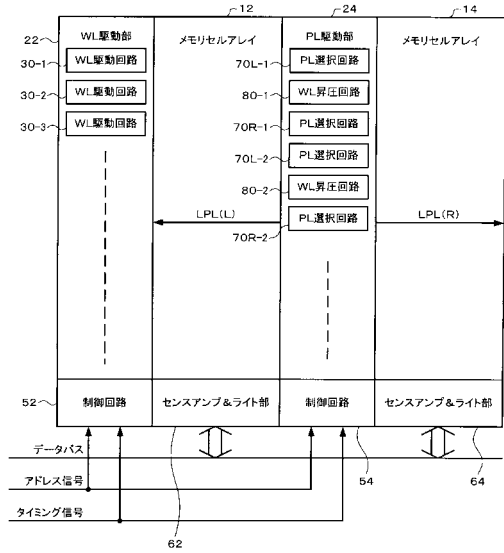
	"1"	"0"
BL	VCC	OV
PL	OV	VCC



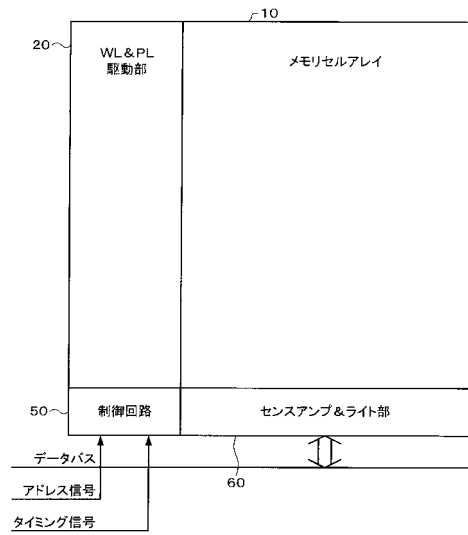
【図2】



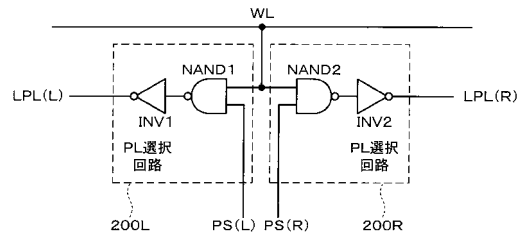
【図3】



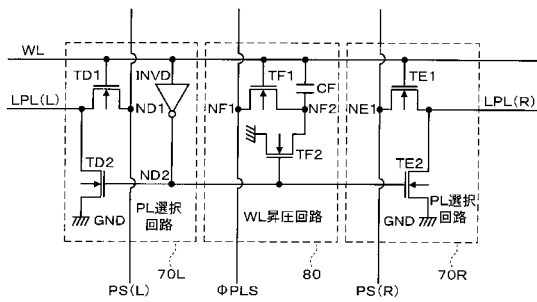
【図4】



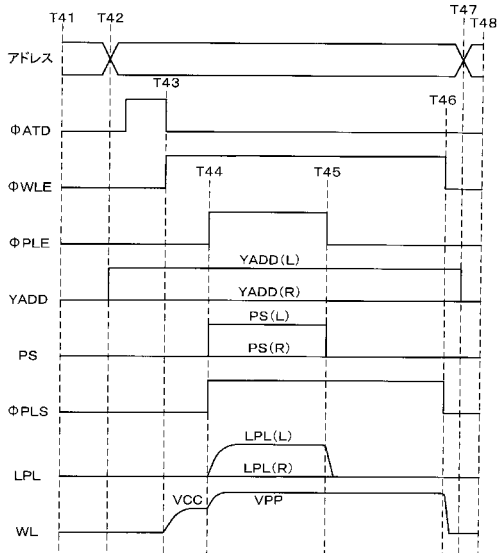
【図5】



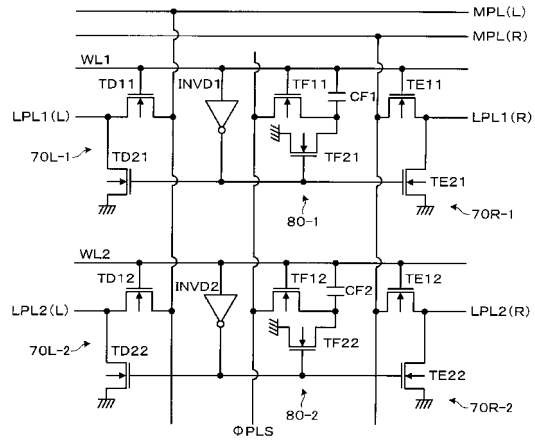
【図6】



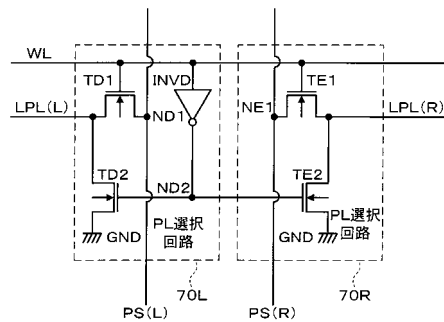
【図7】



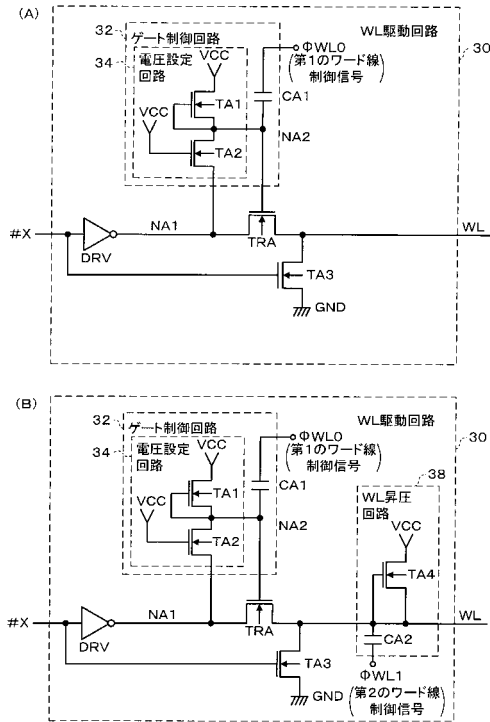
【図8】



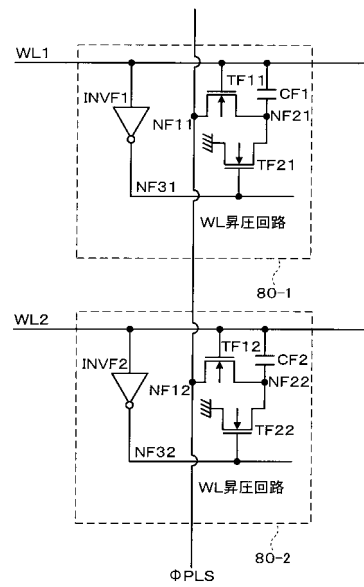
【図9】



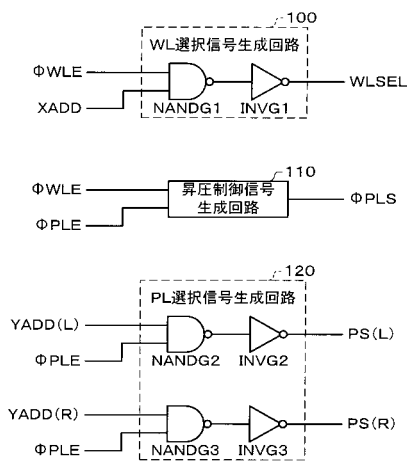
【図10】



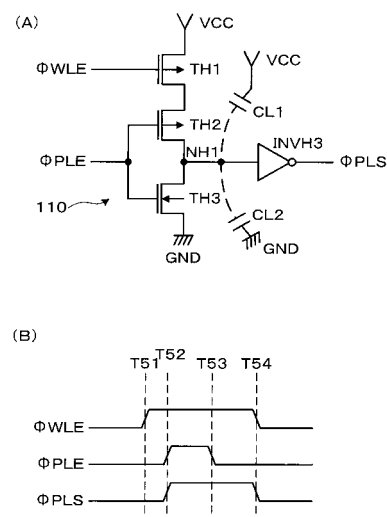
【図11】



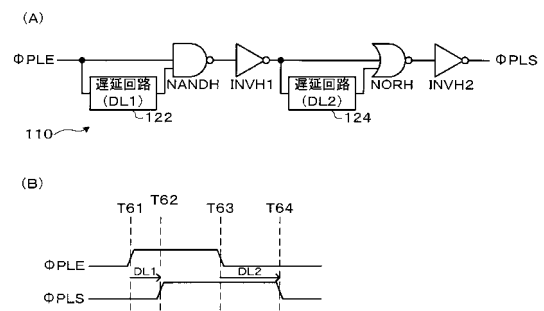
【図12】



【図13】



【図14】



フロントページの続き

(72)発明者 渡辺 賢哉

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

審査官 高野 芳徳

(56)参考文献 特開平10-162589(JP,A)
特開平11-330950(JP,A)
特開2003-297076(JP,A)
特開平10-340588(JP,A)
特開2000-113684(JP,A)
米国特許第06430093(US,B1)
特開平09-045089(JP,A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/22