

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2017 年 10 月 26 日 (26.10.2017)



(10) 国际公布号
WO 2017/181449 A1

- (51) 国际专利分类号:
H01L 21/336 (2006.01) *H01L 29/06* (2006.01)
H01L 29/786 (2006.01) *H01L 27/092* (2006.01)
- (21) 国际申请号: PCT/CN2016/081458
- (22) 国际申请日: 2016 年 5 月 9 日 (09.05.2016)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201610242557.5 2016 年 4 月 18 日 (18.04.2016) CN
- (71) 申请人: 深圳市华星光电技术有限公司 (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (72) 发明人: 邓金全 (DENG, Jinquan); 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。
- (74) 代理人: 广州三环专利代理有限公司 (GUANGZHOU SCIHEAD PATENT AGENT CO., LTD.); 中国广东省广州市越秀区先烈中路 80 号汇华商贸大厦 1508 室, Guangdong 510070 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH,

(54) Title: THIN FILM TRANSISTOR, MANUFACTURING METHOD FOR THIN FILM TRANSISTOR, AND CMOS DEVICE

(54) 发明名称: 薄膜晶体管、薄膜晶体管的制备方法及 CMOS 器件

10

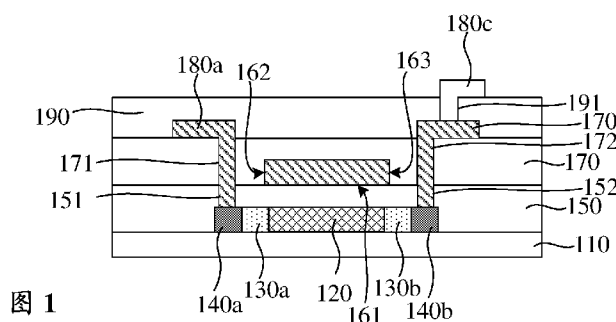


图 1

(57) Abstract: A thin film transistor, a manufacturing method for a thin film transistor, and a CMOS device. A thin film transistor (10) comprises: a substrate (110) and a low temperature poly-silicon layer (120) arranged on the same side as the substrate (110); first and second lightly doped regions (130a, 130b) on the same layer as the low temperature poly-silicon layer (120) and arranged on opposite ends of the low temperature poly-silicon layer (120), and first and second heavily doped regions (140a, 140b) arranged on the same layer as the low temperature poly-silicon layer (120), wherein the first heavily doped region (140a) is arranged at one end of the first lightly doped region (130a) away from the low temperature poly-silicon layer (120), and the second heavily doped region (140b) is arranged at one end of the second lightly doped region (130b) away from the low temperature poly-silicon layer (120); a first insulation layer (150), covering the first and second lightly doped regions (130a, 130b) and the first and second heavily doped regions (140a, 140b); and a gate electrode (160), comprising a first surface (161), a second surface (162) and a third surface (163), wherein the first surface (161) is arranged on the first insulation layer (150), the second and third surfaces (162, 163) are arranged opposite each other and both intersect the first surface (161), the second surface (162) is arranged closer to the first lightly doped region (130a) compared with the third surface (163), and the distance between surfaces where the second surface (162) is in contact with the first lightly doped region (130a) and the low temperature poly-silicon layer (120) is equal to the distance between surfaces where the third surface (163) is in contact with the second lightly doped region (130b) and the low temperature poly-silicon layer (120).

TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

is in contact with the second lightly doped region (130b) and the low temperature poly-silicon layer (120).

(57) 摘要: 一种薄膜晶体管、薄膜晶体管的制备方法及CMOS器件。薄膜晶体管(10)包括: 基板(110)及设置在基板(110)同侧的低温多晶硅层(120), 与低温多晶硅层(120)同层且设置在低温多晶硅层(120)相对两端的第一及第二轻掺杂区(130a、130b), 与低温多晶硅层(120)同层设置的第一、第二重掺杂区(140a、140b), 第一重掺杂区(140a)设置在第一轻掺杂区(130a)远离低温多晶硅层(120)的一端, 第二重掺杂区(140b)设置在第二轻掺杂区(130b)远离低温多晶硅层(120)的一端, 第一绝缘层(150), 覆盖第一、第二轻掺杂区(130a、130b)、第一、第二重掺杂区(140a、140b), 栅极(160)包括第一表面(161)、第二表面(162)及第三表面(163), 第一表面(161)设置在第一绝缘层(150)上, 第二、第三表面(162、163)相对设置且均与第一表面(161)相交, 第二表面(162)相较于第三表面(163)邻近第一轻掺杂区(130a)设置, 第二表面(162)与第一轻掺杂区(130a)与低温多晶硅层(120)接触的表面之间的距离等于第三表面(163)与第二轻掺杂区(130b)与低温多晶硅层(120)接触的表面之间的距离。

薄膜晶体管、薄膜晶体管的制备方法及 CMOS 器件

5 本发明要求 2016 年 4 月 18 日递交的发明名称为“薄膜晶体管、薄膜晶体管的制备方法及 CMOS 器件”的申请号 201610242557.5 的在先申请优先权，上述在先申请的内容以引入的方式并入本文本中。

技术领域

本发明涉及显示领域，尤其涉及一种薄膜晶体管、薄膜晶体管的制备方法
及 CMOS 器件。

10

背景技术

显示设备，比如液晶显示器（Liquid Crystal Display, LCD）是一种常用的电子设备，由于其具有功耗低、体积小、重量轻等特点，因此备受用户的青睐。随着平面显示技术的发展，具有高分辨率、低能耗的液晶显示器的需求被提出。
15 非晶硅的电子迁移率较低，而低温多晶硅（Low Temperature Poly-silicon, LTPS）可以在低温下制作，且拥有比非晶硅更高的载流子迁移率。其次，低温多晶硅制作的 CMOS 器件可应用于使液晶显示器具有更高的分辨率和低能耗。因此，低温多晶硅得到了广泛地应用和研究。较高的载流子迁移率容易产生热载流子效应，导致低温多晶硅所应用的低温多晶硅薄膜晶体管的阈值电压
20 （ V_{th} ）漂移，Kink 效应等。为了避免热载流子效应一般采用离子注入形成浅掺杂过渡区，如 LDD（Light Doped Drain）和 GOLDD（Gate On LDD）等。浅掺杂过渡区的形成一般通过光罩（mask）工艺或者通过栅极自对准工艺（Gate Self Alignment）掺杂形成。这些方法的缺点是需要的光罩工序较多，且形成的低温多晶硅薄膜晶体管容易出现掺杂偏差或者栅极与 LDD 区域偏移，从而导
25 致低温多晶硅薄膜晶体管的器件特性不良。

发明内容

本发明提供一种薄膜晶体管，所述薄膜晶体管包括：
基板；

低温多晶硅层, 邻近所述基板的表面设置;

第一轻掺杂区及第二轻掺杂区, 与所述低温多晶硅层同层设置, 且设置在所述低温多晶硅层相对的两端, 所述第一轻掺杂区及所述第二轻掺杂区关于所述低温多晶硅层对称部分的掺杂浓度相同;

- 5 第一重掺杂区及第二重掺杂区, 与所述低温多晶硅层同层设置, 所述第一重掺杂区设置在所述第一轻掺杂区远离所述低温多晶硅层的一端, 所述第二重掺杂区设置在所述第二轻掺杂区远离所述低温多晶硅层的一端, 所述第一重掺杂区与所述第二重掺杂区关于所述低温多晶硅层对称部分的掺杂浓度相同, 且所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区、所述第二重掺杂区
- 10 的掺杂类型相同;

第一绝缘层, 覆盖所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区, 且所述第一绝缘层远离所述基板的表面到所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区远离所述基板的表面的距离相等;

- 15 栅极, 所述栅极包括第一表面、第二表面及第三表面, 所述第一表面设置在所述第一绝缘层远离所述基板的表面上, 所述第二表面与所述第三表面相对设置且所述第二表面与所述第一表面相交, 所述第二表面相较于所述第三表面邻近所述第一轻掺杂区设置, 所述第三表面与所述第一表面相交, 所述第二表面所在的平面与所述第一轻掺杂区与所述低温多晶硅层接触的表面所在的平面之间的距离等于所述第三表面所在的平面与所述第二轻掺杂区与所述低温多晶硅层接触的表面所在的平面之间的距离。
- 20 其中, 所述第二表面所在的平面位于所述第一轻掺杂区与所述低温多晶硅层接触的端面所在的平面以及所述第一轻掺杂区与所述第一重掺杂区接触的端面所在的平面之间, 所述第三表面所在的平面位于所述第二轻掺杂区与所述低温多晶硅层接触的端面所在的平面以及所述第二轻掺杂区与所述第二重掺杂区接触的端面所在的平面之间。

- 25 其中, 所述第一绝缘层开设有第一贯孔及第二贯孔, 所述第一贯孔对应所述第一重掺杂区, 所述第二贯孔对应所述第二重掺杂区, 所述薄膜晶体管还包括:

其中, 所述第一绝缘层开设有第一贯孔及第二贯孔, 所述第一贯孔对应所述第一重掺杂区, 所述第二贯孔对应所述第二重掺杂区, 所述薄膜晶体管还包括:

第二绝缘层,覆盖所述栅极,所述第二绝缘层开设有第三贯孔及第四贯孔,所述第三贯孔与所述第一贯孔连通,所述第四贯孔与所述第二贯孔连通;

源极和漏极,间隔设置在所述第二绝缘层上,且所述源极通过所述第一贯孔及所述第三贯孔与所述第一重掺杂区相连,所述漏极通过所述第二贯孔及所述第四贯孔与所述第二重掺杂区相连;

其中,所述薄膜晶体管还包括:平坦层及像素电极,覆盖所述源极和所述漏极,且所述平坦层开设有第五贯孔,所述第五贯孔对应所述漏极设置,所述像素电极设置在所述平坦层上且通过所述第五贯孔连接所述漏极。

其中,所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区的掺杂类型同为N型离子掺杂或者同为P型离子掺杂。

本发明还提供了一种薄膜晶体管的制备方法,所述薄膜晶体管的制备方法包括:

提供基板;

在所述基板的表面形成低温多晶硅材料层并图案化所述低温多晶硅材料层,以形成低温多晶硅图案;

在所述低温多晶硅图案远离所述基板的表面依次设置第一绝缘层、第一金属层及第一光阻层;

图案化所述第一光阻层,以露出第一金属层的两端,图案化后的第一光阻层为第一光阻图案,固化所述第一光阻图案,其中,所述第一光阻图案包括第一部分及第二部分,所述第一部分设置在所述第一金属层的中部,所述第二部分设置在所述第一部分远离所述第一金属层的表面,所述第一部分及第二部分形成“凸”字;

图案化所述第一金属层,仅保留同时被所述第一部分及第二部分覆盖的第一金属层,保留下来的所述第一金属层形成薄膜晶体管的栅极;

对所述第一部分未被第二部分覆盖的部分进行部分灰化以及对所述第二部分进行全部灰化,对所述第一部分进行部分灰化后的图案为第二光阻图案,所述第二光阻图案包括第一子部分及第二子部分,所述第一子部分设置在所述栅极上,所述第二子部分设置在所述第一子部分远离所述栅极的表面且所述第二子部分的宽度小于所述第一子部分的宽度,所述第一子部分及所述第二

子部分形成“凸”字，且所述第二子部分的宽度等于所述栅极的宽度；

以所述第二光阻图案及所述第一绝缘层为掩膜对所述低温多晶硅图案进行离子掺杂，所述栅极对应的低温多晶硅图案形成低温多晶硅层，仅与第一子部分对应且未所述第二子部分对应的低温多晶硅图案形成第一轻掺杂区及第二轻掺杂区，所述第一轻掺杂区远离所述低温多晶硅层的一端形成第一重掺杂区，所述第二轻掺杂区远离所述低温多晶硅层的一端形成第二重掺杂区；

剥离所述第二光阻图案。

其中，所述薄膜晶体管的制备方法还包括：

在所述栅极及所述第一绝缘层上沉积第二绝缘层；

10 在所述第二绝缘层及所述第一绝缘层对应所述第一重掺杂区及所述第二重掺杂区开设贯孔，以在所述第一绝缘层上形成对应所述第一重掺杂区的第一贯孔及对应所述第二重掺杂区的第二贯孔，以及在所述第二绝缘层上形成与所述第一贯孔连通的第三贯孔以及与所述第二贯孔连通的第四贯孔；

15 在所述第二绝缘层上沉积第二金属层，对所述第二金属层进行图案化，以形成通过所述第一贯孔及所述第三贯孔与所述第一重掺杂区连接的源极，以及通过所述第二贯孔及所述第四贯孔与所述第二重掺杂区连接的漏极；

在所述源极和所述漏极上沉积平坦层。

其中，所述离子掺杂为 N 型离子掺杂或者为 P 型离子掺杂。

20 其中，以所述第二光阻图案及所述第一绝缘层为掩膜对所述低温多晶硅图案进行离子掺杂时，对应所述第一部分、所述第二部分及所述第一光阻图案的掺杂的离子浓度相等，掺杂时间相同。

本发明还提供了一种 CMOS 器件，所述 CMOS 器件包括前述任意一实施方式所述的薄膜晶体管。

25 本发明的薄膜晶体管的制备方法中以所述第二光阻图案及所述第一绝缘层为掩膜，对所述低温多晶硅图案进行离子掺杂，利用所述第二光阻图案及所述第一绝缘层自身的厚度，来实现最终掺杂到所述低温多晶硅图案的各部分离子浓度的不同。即，所述栅极对应的低温多晶硅图案形成低温多晶硅层，仅与第一子部分对应且未所述第二子部分对应的低温多晶硅图案形成第一轻掺杂区及第二轻掺杂区，所述第一轻掺杂区远离所述低温多晶硅层的一端形成第一

重掺杂区，所述第二轻掺杂区远离所述低温多晶硅层的一端形成第二重掺杂区。此步骤中不需要光罩工艺，从而简化了薄膜晶体管的制程工序。

附图说明

5 为了更清楚地说明本发明实施例或现有技术中的技术方案，下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域普通技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图 1 为本发明一较佳实施方式的薄膜晶体管的剖面结构示意图。

10 图 2 为本发明的一较佳实施方式的 CMOS 器件的电路示意图。

图 3 为本发明一较佳实施方式的 CMOS 的剖面结构示意图。

图 4 为本发明一较佳实施方式的薄膜晶体管的制备方法的流程图。

图 5 至图 12 为本发明薄膜晶体管的制备方法各步骤对应的结构示意图。

15 具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。

20 请参阅图 1，图 1 为本发明一较佳实施方式的薄膜晶体管的剖面结构示意图。所述薄膜晶体管 10 包括基板 110、低温多晶硅层 120、第一轻掺杂区 130a、第二轻掺杂区 130b、第一重掺杂区 140a、第二重掺杂区 140b、第一绝缘层 150 及栅极 160。所述低温多晶硅层 120、所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a、所述第二重掺杂区 140b、所述第一绝缘层 150 及所述栅极 160 邻近所述基板 110 设置。所述第一轻掺杂区 130a 及所述第二轻掺杂区 130b 与所述低温多晶硅层 120 同层设置，且设置在所述低温多晶硅层 120 相对的两端，所述第一轻掺杂区 130a 及所述第二轻掺杂区 130b 关于所述低温多晶硅层 130 对称部分的掺杂浓度相同。所述第一重掺杂区 140a 及所述第二重掺杂区 140b 与所述低温多晶硅层 120 同层设置，所述第一重掺

25

杂区 140a 设置在所述第一轻掺杂区 130a 远离所述低温多晶硅层 120 的一端，所述第二重掺杂区 140b 设置在所述第二轻掺杂区 130b 远离所述低温多晶硅层 120 的一端，所述第一重掺杂区 140a 与所述第二重掺杂区 140b 关于所述低温多晶硅层 120 对称部分的掺杂浓度相同。且所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a 及所述第二重掺杂区 140b 的掺杂类型相同。所述第一绝缘层 150 覆盖所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a 及所述第二重掺杂区 140b，且所述第一绝缘层 150 远离所述基板 110 的表面到所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a 及所述第二重掺杂区 140b 远离所述基板 110 的表面的距离相等。换句话说，所述第一绝缘层 150 远离所述基板 110 的表面到所述第一轻掺杂区 130a 远离所述基板 110 的表面、所述第二轻掺杂区 130b 远离所述基板 110 的表面、所述第一重掺杂区 140a 远离所述基板 110 的表面及所述第二重掺杂区 140b 远离所述基板 110 的表面的距离相等。所述栅极 160 包括第一表面 161、第二表面 162、第三表面 163。所述第一表面 161 设置在所述第一绝缘层 150 远离所述基板 110 的表面上，所述第二表面 162 与所述第三表面 163 相对设置，且所述第二表面 162 相较于所述第三表面 163 邻近所述第一轻掺杂区 130a 设置，所述第三表面 163 与所述第一表面 161 相交，所述第二表面 162 所在的平面与所述第一轻掺杂区 130a 与所述低温多晶硅层 120 接触的表面所在的平面之间的距离等于所述第三表面 163 所在的平面与所述第二轻掺杂区 130b 与所述低温多晶硅层 120 接触的表面所在的平面之间的距离。

所述第二表面 162 所在的平面与所述第一轻掺杂区 130a 与所述低温多晶硅层 120 接触的表面所在的平面之间的距离等于所述第三表面 163 所在的平面与所述第二轻掺杂区 130b 与所述低温多晶硅层 120 接触的表面所在的平面之间的距离，换句话说，所述第一轻掺杂区 130a 与所述低温多晶硅层 120 接触的表面所在的平面为第一平面，所述第二表面 162 所在的平面与所述第一平面之间的距离为第一距离。所述第二轻掺杂区 130b 与所述低温多晶硅层 120 接触的表面所在的平面为第二平面，所述第三表面 163 所在的平面与所述第二平面之间的距离为第二距离，所述第二距离等于所述第一距离。

所述基板 110 的材料包括石英、云母、氧化铝或者透明塑料等电绝缘材料中的任意一种或者多种。所述基板 110 为绝缘层衬底能够减小所述基板 110 的高频损耗。

所述低温多晶硅层 120、所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、
5 所述第一重掺杂区 140a、所述第二重掺杂区 140b、所述第一绝缘层 150 及所述栅极 160 设置在所述基板 110 的同侧。可以理解地，所述低温多晶硅层 120、所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a、
10 所述第二重掺杂区 140b、所述第一绝缘层 150 及所述栅极 160 可以直接或者间接设置在所述基板 110 的同侧。在另一实施方式中，所述低温多晶硅层 120、
15 所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a、
20 所述第二重掺杂区 140b、所述第一绝缘层 150 及所述栅极 160 通过一缓冲层设置在所述基板 110 的同侧。所述缓冲层可以减小在所述薄膜晶体管 10 的制备过程中对所述基板 110 的损伤。

15 所述第二表面 162 所在的平面位于所述第一轻掺杂区 130a 与所述低温多晶硅层 120 接触的端面所在的平面以及所述第一轻掺杂区 130a 与所述第一重掺杂区 140a 接触的端面所在的平面之间。所述第三表面 163 所在的平面位于
20 所述第二轻掺杂区 130b 与所述低温多晶硅层 120 接触的端面所在的平面以及所述第二轻掺杂区 130b 与所述第二重掺杂区 140b 接触的端面所在的平面之间。

所述第一绝缘层 150 开设有第一贯孔 151 及第二贯孔 152。所述第一贯孔 151 对应所述第一重掺杂区 140a，所述第二贯孔 151 对应所述第二重掺杂区 140b。所述薄膜晶体管 10 还包括第二绝缘层 170、源极 180a 及漏极 180b。所述第二绝缘层 170 覆盖所述栅极 160，所述第二绝缘层 170 开设有第三贯孔 171
25 及第四贯孔 172。所述第三贯孔 171 与所述第一贯孔 151 连通，所述第四贯孔 172 与所述第二贯孔 152 连通。所述源极 180a 和所述漏极 180b 间隔设置在所述第二绝缘层 170 上，且所述源极 180a 通过所述第一贯孔 151 和所述第三贯孔 171 与所述第一重掺杂区 140a 相连，所述漏极 180b 通过所述第二贯孔 152 与所述第二重掺杂区 140b 相连。

所述薄膜晶体管 10 还包括平坦层 190 及像素电极 180c。所述平坦层 190 覆盖所述源极 180a 和所述漏极 180b，所述平坦层 190 开设有第五贯孔 191，所述第五贯孔 191 对应所述漏极 180b 设置。所述像素电极 180c 设置在所述平坦层 190 上且通过所述第五贯孔 191 连接所述漏极 180b。

- 5 所述第一轻掺杂区 130a、所述第二轻掺杂区 130b、所述第一重掺杂区 140a 及所述第二重掺杂区 140b 的掺杂类型同为 N 型离子掺杂或者同为 P 型离子掺杂。所述 N 型离子掺杂的离子可以为但不仅限于为磷 (P) 离子、砷 (AS) 离子等。所述 P 型离子掺杂的离子可以为但不仅限于为硼 (B) 离子等。

- 10 所述第一重掺杂区 140b 的掺杂浓度大于所述第一轻掺杂区 130a 的掺杂浓度。所述第二重掺杂区 140b 的掺杂浓度大于所述第二轻掺杂区 130b 的掺杂浓度。本实施方式中的所述第一重掺杂区 140a 的掺杂浓度大于所述第一轻掺杂区 130a 的掺杂浓度，所述第二重掺杂区 140b 的掺杂浓度大于所述第一轻掺杂区 130b 的掺杂浓度既能够降低所述源极 180a 与所述低温多晶硅层 120 之间的接触电阻，降低所述漏极 180b 与所述低温多晶硅层 120 之间的接触电阻，又
15 能够减小所述薄膜晶体管 10 的泄露电流。

所述第一绝缘层 150 包括但不仅限于氮化硅 (SiN_x)、氧化硅 (SiO_x) 材料等。

- 20 所述栅极 160 的材料包括但不仅限于 Al, Mo, Cu, Ag, Cr, Ti, AlNi, MoTi 等金属材料材料中的一种或者多种。所述栅极 160 的厚度为 1500~6000 埃。

所述第二绝缘层 170 包括但不仅限于氮化硅 (SiN_x)、氧化硅 (SiO_x) 材料等。

所述源极 180a 和所述漏极 180b 的材料包括但不仅限于 Al, Mo, Cu, Ag, Cr, Ti, AlNi, MoTi 等金属材料材料中的一种或者多种。

- 25 所述像素电极 180c 可以包括但不仅限于以下材料中的一种或者多种: ZnO 基透明氧化物半导体材料, SnO_2 基透明氧化物半导体材料, In_2O_3 基透明氧化物半导体材料等。举例而言，所述透明氧化物半导体膜层可以为铟镓锌氧化物 (Indium Gallium Zinc Oxide, IGZO)。

本发明的薄膜晶体管 10 中的第一轻掺杂区 130a 及第二轻掺杂区 130b 与

所述低温多晶硅层 120 同层设置,且所述在所述低温多晶硅层 120 相对的两端,所述第一轻掺杂区 130a 及所述第二轻掺杂区 130b 关于所述低温多晶硅层 120 对称部分的掺杂浓度相等;所述第一重掺杂区 140a 及所述第二重掺杂区 140b 与所述低温多晶硅层 120 同层设置,且所述第一重掺杂区 140a 设置在第一轻掺杂区 130a 远离所述低温多晶硅层 120 的一端,所述第二重掺杂区 140b 设置在所述第二轻掺杂区 130a 远离所述低温多晶硅层 120 的一端,所述第一重掺杂区 140a 与所述第二重掺杂区 140b 关于所述低温多晶硅层 120 对称部分的掺杂浓度相同;所述栅极 160 包括第一表面 161、第二表面 162、第三表面 163。所述第一表面 161 设置在所述第一绝缘层 150 远离所述基板 110 的表面上,所述第二表面 162 与所述第三表面 163 相对设置,且所述第二表面 162 相较于所述第三表面 163 邻近所述第一轻掺杂区 130a 设置,所述第三表面 163 与所述第一表面 161 相交,所述第二表面 162 所在的平面与所述第一轻掺杂区 130a 与所述低温多晶硅层 120 接触的表面所在的平面之间的距离等于所述第三表面 163 所在的平面与所述第二轻掺杂区 130b 与所述低温多晶硅层 120 接触的表面所在的平面之间的距离,从而使得所述薄膜晶体管 10 的阈值电压较为稳定,使得所述薄膜晶体管 10 的电学性能得到提高。

本发明还提供了一种 CMOS (Complementary Metal Oxide Semiconductor, 互补金属氧化物半导体) 器件 1, 请一并参阅图 2 和图 3。图 2 为本发明的一较佳实施方式的 CMOS 器件的电路示意图;图 3 为本发明一较佳实施方式的 CMOS 的剖面结构示意图。所述 CMOS 器件 1 包括第一薄膜晶体管 Q1 和第二薄膜晶体管 Q2, 其中, 当所述第一薄膜晶体管 Q1 为 N 型薄膜晶体管时, 所述第二薄膜晶体管 Q2 为 P 型薄膜晶体管, 当所述第一薄膜晶体管 Q1 为 P 型薄膜晶体管时, 所述第二薄膜晶体管 Q2 为 N 型薄膜晶体管。所述第一薄膜晶体管 Q1 的栅极电连接所述第二薄膜晶体管 Q2 的栅极, 所述第一薄膜晶体管 Q1 的漏极连接所述第二薄膜晶体管的源极。本实施方式中的 CMOS 器件中的第一薄膜晶体管 Q1 可以为前述介绍的薄膜晶体管 10, 或者所述 CMOS 器件中的第二薄膜晶体管 Q2 为前述介绍的薄膜晶体管 10, 在此不再赘述。

下面结合图 1 及对薄膜晶体管 10 的描述, 对本发明薄膜晶体管的制备方法进行介绍。请参阅图 4, 图 4 为本发明一较佳实施方式的薄膜晶体管的制备

方法的流程图。所述薄膜晶体管的制备方法包括但不限于以下步骤。

S101, 提供基板 110。所述基板 110 的材料包括石英、云母、氧化铝或者透明塑料等电绝缘材料中的任意一种或者多种。所述基板 110 为绝缘层衬底能够减小所述基板 110 的高频损耗。

5 S102, 在所述基板 110 的表面形成低温多晶硅材料层并图案化所述低温多晶硅材料层, 以形成低温多晶硅图案 211。请一并参阅图 5, 在其他实施方式中, 也可以在所述基板 110 的表面形成非晶硅材料层, 再将所述非晶硅材料层进行准分子激光退火或者其他方法处理, 以使所述非晶硅材料层中的非晶硅变为多晶硅。

10 S103, 在所述低温多晶硅图案 211 远离所述基板 110 的表面依次设置第一绝缘层 150、第一金属层 23 及第一光阻层 24。请一并参阅图 6。

S104, 图案化所述第一光阻层 24, 以露出第一金属层 23 的两端, 图案化后的第一光阻层 24 为第一光阻图案 241, 固化所述第一光阻图案 241, 其中, 所述第一光阻图案包括第一部分 242 及第二部分 243, 所述第一部分 242 设置
15 在所述第一金属层 23 的中部, 所述第二部分 243 设置在所述第一部分 242 远离所述第一金属层 23 的表面, 所述第一部分 242 及所述第二部分 243 形成“凸”字。请一并参阅图 7。

S105, 图案化所述第一金属层 23, 仅保留同时被所述第一部分 242 及所述第二部分 243 覆盖的第一金属层 23, 保留下来的所述第一金属层 23 形成薄
20 膜晶体管 10 的栅极 160。请一并参阅图 8。

S106, 对所述第一部分 242 未被所述第二部分 243 覆盖的部分进行部分灰化以及对所述第二部分 243 进行全部灰化, 对所述第一部分 242 进行部分灰化后的图案为第二光阻图案 243a, 所述第二光阻图案 243a 包括第一子部分 2431 及第二子部分 2432, 所述第一子部分 2431 设置在所述栅极 160 上, 所述第二
25 子部分 2432 设置在所述第一子部分 2431 远离所述栅极 160 的表面且所述第二子部分 2432 的宽度小于所述第一子部分 2431 的宽度, 所述第一子部分 2431 及所述第二子部分 2432 形成“凸”字, 且所述第二子部分 2432 的宽度等于所述栅极 160 的宽度。请一并参阅图 9。

S107, 以所述第二光阻图案 243a 及所述第一绝缘层 150 为掩膜对所述低

温多晶硅图案 211 进行离子掺杂, 所述栅极 160 对应的低温多晶硅图案 211 形成低温多晶硅层 120, 仅与第一子部分 2431 对应且未所述第二子部分 2432 对应的低温多晶硅图案 211 形成第一轻掺杂区 130a 及第二轻掺杂区 130b, 所述第一轻掺杂区 130a 远离所述低温多晶硅层 211 的一端形成第一重掺杂区 140a, 5 所述第二轻掺杂区 130b 远离所述低温多晶硅层 120 的一端形成第二重掺杂区 140b。请一并参阅图 10。

S108, 剥离所述第二光阻图案 243a。请一并参阅图 11。

本发明的薄膜晶体管的制备方法中以所述第二光阻图案 243a 及所述第一绝缘层 150 为掩膜, 对所述低温多晶硅图案 211 进行离子掺杂, 利用所述第二光阻图案 243a 及所述第一绝缘层 150 自身的厚度, 来实现最终掺杂到所述低温多晶硅图案 211 的各部分离子浓度的不同。即, 所述栅极 160 对应的低温多晶硅图案 211 形成低温多晶硅层 120, 仅与第一子部分 2431 对应且未所述第二子部分 2432 对应的低温多晶硅图案 211 形成第一轻掺杂区 130a 及第二轻掺杂区 130b, 所述第一轻掺杂区 130a 远离所述低温多晶硅层 211 的一端形成第一重掺杂区 140a, 所述第二轻掺杂区 130b 远离所述低温多晶硅层 120 的一端形成第二重掺杂区 140b。此步骤中不需要光罩工艺, 从而简化了薄膜晶体管的制程工序。

所述薄膜晶体管的制备方法还包括如下步骤。

S109, 在所述栅极 160 及所述第一绝缘层 150 上沉积第二绝缘层 170。

20 S110, 在所述第二绝缘层 170 及所述第一绝缘层 150 对应所述第一重掺杂区 140a 及所述第二重掺杂区 140b 开设贯孔, 以在所述第一绝缘层 150 上形成对应所述第一重掺杂区 140a 的第一贯孔 151 及对应所述第二重掺杂区 140b 的第二贯孔 152, 以及在所述第二绝缘层 170 上形成与所述第一贯孔 151 连通的第三贯孔 171 以及与所述第二贯孔 152 连通的第四贯孔 172。

25 S111, 在所述第二绝缘层 170 上沉积第二金属层, 对所述第二金属层进行图案化, 以形成通过所述第一贯孔 151 及所述第三贯孔 171 与所述第一重掺杂区 140a 连接的源极 180a, 以及通过所述第二贯孔 152 及所述第四贯孔 172 与所述第二重掺杂区 140b 连接的漏极 180b。

S112, 在所述源极 180a 和所述漏极 180b 上沉积平坦层 190。

所述薄膜晶体管的制备方法还包括如下步骤。

步骤 S113, 在所述平坦层 190 上对应所述漏极 180b 开设第五贯孔 191。

步骤 S114, 在所述平坦层 190 上沉积透明导电层, 并对所述透明导电层进行图案化, 以形成通过所述第五贯孔 191 连接所述漏极 180b 的像素电极

5 180c。步骤 S109~步骤 S114 请参阅图 12。

以上所揭露的仅为本发明一种较佳实施例而已, 当然不能以此来限定本发明之权利范围, 本领域普通技术人员可以理解实现上述实施例的全部或部分流程, 并依本发明权利要求所作的等同变化, 仍属于发明所涵盖的范围。

权 利 要 求

1.一种薄膜晶体管，其中，所述薄膜晶体管包括：

基板；

5 低温多晶硅层，邻近所述基板的表面设置；

第一轻掺杂区及第二轻掺杂区，与所述低温多晶硅层同层设置，且设置在所述低温多晶硅层相对的两端，所述第一轻掺杂区及所述第二轻掺杂区关于所述低温多晶硅层对称部分的掺杂浓度相同；

10 第一重掺杂区及第二重掺杂区，与所述低温多晶硅层同层设置，所述第一重掺杂区设置在所述第一轻掺杂区远离所述低温多晶硅层的一端，所述第二重掺杂区设置在所述第二轻掺杂区远离所述低温多晶硅层的一端，所述第一重掺杂区与所述第二重掺杂区关于所述低温多晶硅层对称部分的掺杂浓度相同，且所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区、所述第二重掺杂区的掺杂类型相同；

15 第一绝缘层，覆盖所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区，且所述第一绝缘层远离所述基板的表面到所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区远离所述基板的表面的距离相等；

20 栅极，所述栅极包括第一表面、第二表面及第三表面，所述第一表面设置在所述第一绝缘层远离所述基板的表面上，所述第二表面与所述第三表面相对设置且所述第二表面与所述第一表面相交，所述第二表面相较于所述第三表面邻近所述第一轻掺杂区设置，所述第三表面与所述第一表面相交，所述第二表面所在的平面与所述第一轻掺杂区与所述低温多晶硅层接触的表面所在的平面之间的距离等于所述第三表面所在的平面与所述第二轻掺杂区与所述低温多晶硅层接触的表面所在的平面之间的距离。

2.如权利要求 1 所述的薄膜晶体管，其中，所述第二表面所在的平面位于所述第一轻掺杂区与所述低温多晶硅层接触的端面所在的平面以及所述第一轻掺杂区与所述第一重掺杂区接触的端面所在的平面之间，所述第三表面所在

的平面位于所述第二轻掺杂区与所述低温多晶硅层接触的端面所在的平面以及所述第二轻掺杂区与所述第二重掺杂区接触的端面所在的平面之间。

3.如权利要求1所述的薄膜晶体管，其中，所述第一绝缘层开设有第一贯孔及第二贯孔，所述第一贯孔对应所述第一重掺杂区，所述第二贯孔对应所述第二重掺杂区，所述薄膜晶体管还包括：

第二绝缘层，覆盖所述栅极，所述第二绝缘层开设有第三贯孔及第四贯孔，所述第三贯孔与所述第一贯孔连通，所述第四贯孔与所述第二贯孔连通；

源极和漏极，间隔设置在所述第二绝缘层上，且所述源极通过所述第一贯孔及所述第三贯孔与所述第一重掺杂区相连，所述漏极通过所述第二贯孔及所述第四贯孔与所述第二重掺杂区相连。

4.如权利要求3所述的薄膜晶体管，其中，所述薄膜晶体管还包括：平坦层及像素电极，覆盖所述源极和所述漏极，且所述平坦层开设有第五贯孔，所述第五贯孔对应所述漏极设置，所述像素电极设置在所述平坦层上且通过所述第五贯孔连接所述漏极。

5.如权利要求1所述的薄膜晶体管，其中，所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区的掺杂类型同为N型离子掺杂或者同为P型离子掺杂。

6.一种薄膜晶体管的制备方法，其中，所述薄膜晶体管的制备方法包括：提供基板；

在所述基板的表面形成低温多晶硅材料层并图案化所述低温多晶硅材料层，以形成低温多晶硅图案；

在所述低温多晶硅图案远离所述基板的表面依次设置第一绝缘层、第一金属层及第一光阻层；

图案化所述第一光阻层，以露出第一金属层的两端，图案化后的第一光阻层为第一光阻图案，固化所述第一光阻图案，其中，所述第一光阻图案包括第

一部分及第二部分,所述第一部分设置在所述第一金属层的中部,所述第二部分设置在所述第一部分远离所述第一金属层的表面,所述第一部分及所述第二部分形成“凸”字;

图案化所述第一金属层,仅保留同时被所述第一部分及所述第二部分覆盖的第一金属层,保留下来的所述第一金属层形成薄膜晶体管的栅极;

对所述第一部分未被所述第二部分覆盖的部分进行部分灰化以及对所述第二部分进行全部灰化,对所述第一部分进行部分灰化后的图案为第二光阻图案,所述第二光阻图案包括第一子部分及第二子部分,所述第一子部分设置在所述栅极上,所述第二子部分设置在所述第一子部分远离所述栅极的表面且所述第二子部分的宽度小于所述第一子部分的宽度,所述第一子部分及所述第二子部分形成“凸”字,且所述第二子部分的宽度等于所述栅极的宽度;

以所述第二光阻图案及所述第一绝缘层为掩膜对所述低温多晶硅图案进行离子掺杂,所述栅极对应的低温多晶硅图案形成低温多晶硅层,仅与第一子部分对应且未所述第二子部分对应的低温多晶硅图案形成第一轻掺杂区及第二轻掺杂区,所述第一轻掺杂区远离所述低温多晶硅层的一端形成第一重掺杂区,所述第二轻掺杂区远离所述低温多晶硅层的一端形成第二重掺杂区;

剥离所述第二光阻图案。

7.如权利要求6所述的薄膜晶体管的制备方法,其中,所述薄膜晶体管的制备方法还包括:

在所述栅极及所述第一绝缘层上沉积第二绝缘层;

在所述第二绝缘层及所述第一绝缘层对应所述第一重掺杂区及所述第二重掺杂区开设贯孔,以在所述第一绝缘层上形成对应所述第一重掺杂区的第一贯孔及对应所述第二重掺杂区的第二贯孔,以及在所述第二绝缘层上形成与所述第一贯孔连通的第三贯孔以及与所述第二贯孔连通的第四贯孔;

在所述第二绝缘层上沉积第二金属层,对所述第二金属层进行图案化,以形成通过所述第一贯孔及所述第三贯孔与所述第一重掺杂区连接的源极,以及通过所述第二贯孔及所述第四贯孔与所述第二重掺杂区连接的漏极;

在所述源极和所述漏极上沉积平坦层。

8.如权利要求6所述的薄膜晶体管的制备方法,其中,所述离子掺杂为N型离子掺杂或者为P型离子掺杂。

5 9.如权利要求6所述的薄膜晶体管的制备方法,其中,以所述第二光阻图案及所述第一绝缘层为掩膜对所述低温多晶硅图案进行离子掺杂时,对应所述第一部分、所述第二部分及所述第一光阻图案的掺杂的离子浓度相等,掺杂时间相同。

10 10.一种CMOS器件,其中,所述CMOS器件包括薄膜晶体管,所述薄膜晶体管包括:

基板;

低温多晶硅层,邻近所述基板的表面设置;

15 第一轻掺杂区及第二轻掺杂区,与所述低温多晶硅层同层设置,且设置在所述低温多晶硅层相对的两端,所述第一轻掺杂区及所述第二轻掺杂区关于所述低温多晶硅层对称部分的掺杂浓度相同;

20 第一重掺杂区及第二重掺杂区,与所述低温多晶硅层同层设置,所述第一重掺杂区设置在所述第一轻掺杂区远离所述低温多晶硅层的一端,所述第二重掺杂区设置在所述第二轻掺杂区远离所述低温多晶硅层的一端,所述第一重掺杂区与所述第二重掺杂区关于所述低温多晶硅层对称部分的掺杂浓度相同,且所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区、所述第二重掺杂区的掺杂类型相同;

25 第一绝缘层,覆盖所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区,且所述第一绝缘层远离所述基板的表面到所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区远离所述基板的表面的距离相等;

栅极,所述栅极包括第一表面、第二表面及第三表面,所述第一表面设置在所述第一绝缘层远离所述基板的表面上,所述第二表面与所述第三表面相对设置且所述第二表面与所述第一表面相交,所述第二表面相较于所述第三表面

邻近所述第一轻掺杂区设置,所述第三表面与所述第一表面相交,所述第二表面所在的平面与所述第一轻掺杂区与所述低温多晶硅层接触的表面所在的平面之间的距离等于所述第三表面所在的平面与所述第二轻掺杂区与所述低温多晶硅层接触的表面所在的平面之间的距离。

5

11.如权利要求 10 所述的 CMOS 器件,其中,所述第二表面所在的平面位于所述第一轻掺杂区与所述低温多晶硅层接触的端面所在的平面以及所述第一轻掺杂区与所述第一重掺杂区接触的端面所在的平面之间,所述第三表面所在的平面位于所述第二轻掺杂区与所述低温多晶硅层接触的端面所在的平面以及所述第二轻掺杂区与所述第二重掺杂区接触的端面所在的平面之间

10

12.如权利要求 10 所述的 CMOS 器件,其中,所述第一绝缘层开设有第一贯孔及第二贯孔,所述第一贯孔对应所述第一重掺杂区,所述第二贯孔对应所述第二重掺杂区,所述薄膜晶体管还包括:

15

第二绝缘层,覆盖所述栅极,所述第二绝缘层开设有第三贯孔及第四贯孔,所述第三贯孔与所述第一贯孔连通,所述第四贯孔与所述第二贯孔连通;

源极和漏极,间隔设置在所述第二绝缘层上,且所述源极通过所述第一贯孔及所述第三贯孔与所述第一重掺杂区相连,所述漏极通过所述第二贯孔及所述第四贯孔与所述第二重掺杂区相连。

20

13.如权利要求 12 所述的 CMOS 器件,其中,所述薄膜晶体管还包括:平坦层及像素电极,覆盖所述源极和所述漏极,且所述平坦层开设有第五贯孔,所述第五贯孔对应所述漏极设置,所述像素电极设置在所述平坦层上且通过所述第五贯孔连接所述漏极。

25

14.如权利要求 10 所述的 CMOS 器件,其中,所述第一轻掺杂区、所述第二轻掺杂区、所述第一重掺杂区及所述第二重掺杂区的掺杂类型同为 N 型离子掺杂或者同为 P 型离子掺杂。

10

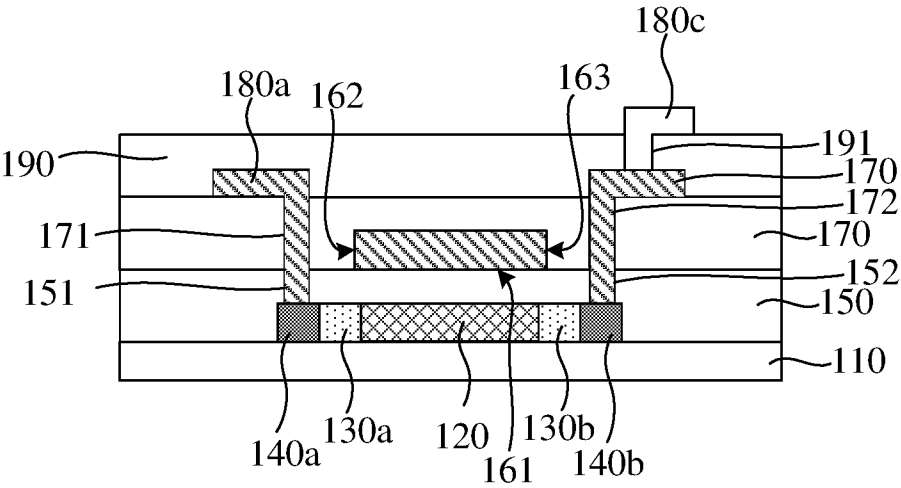


图 1

1

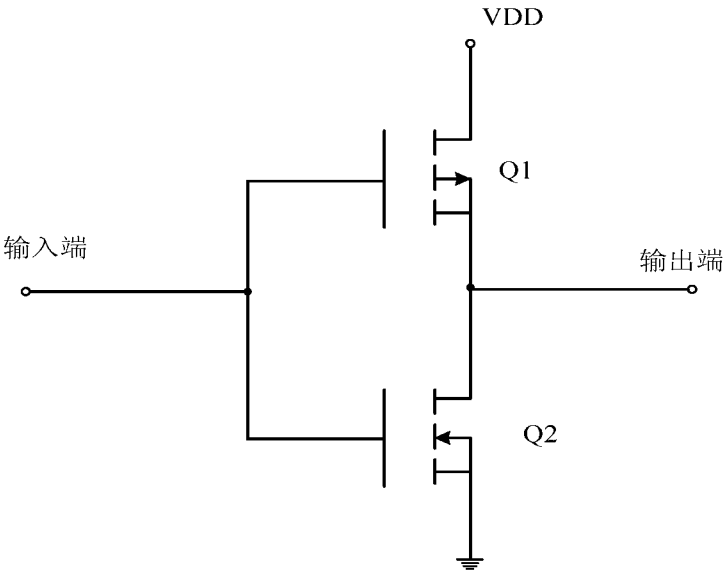


图 2

1

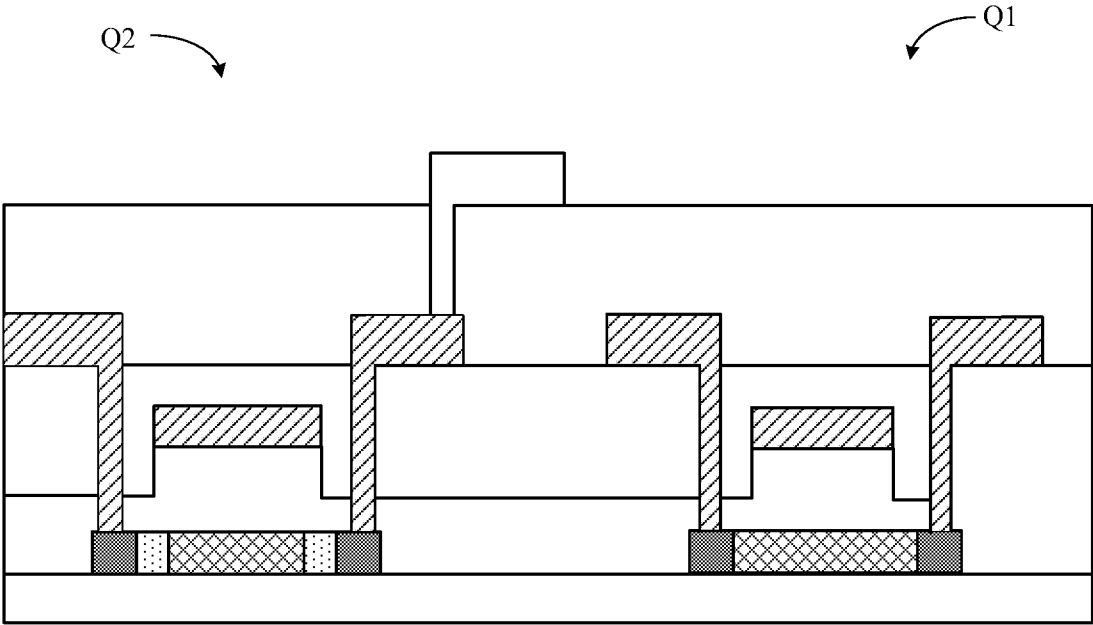


图 3

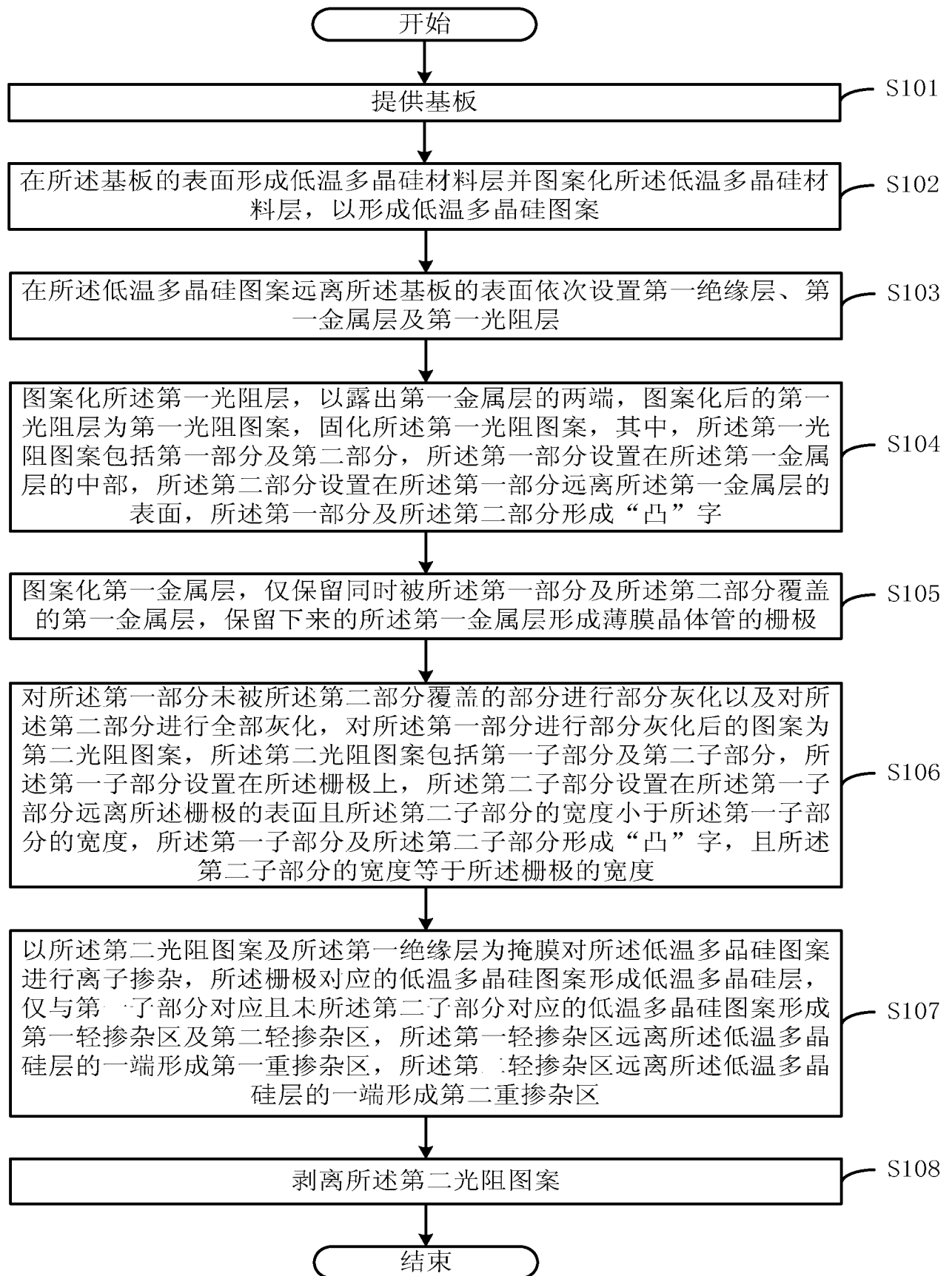


图 4

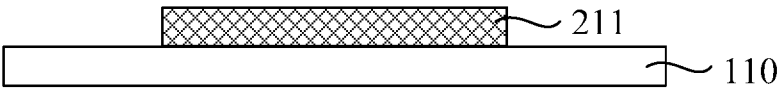


图 5

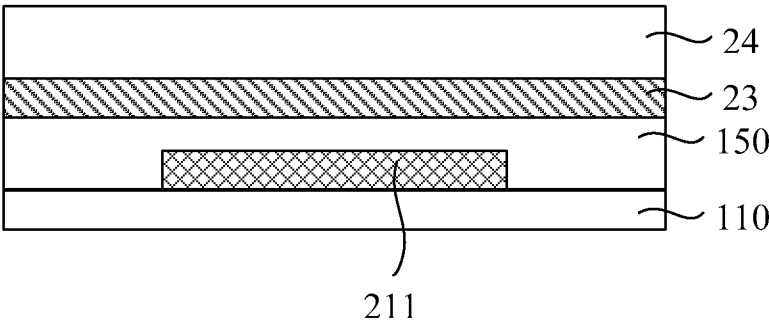


图 6

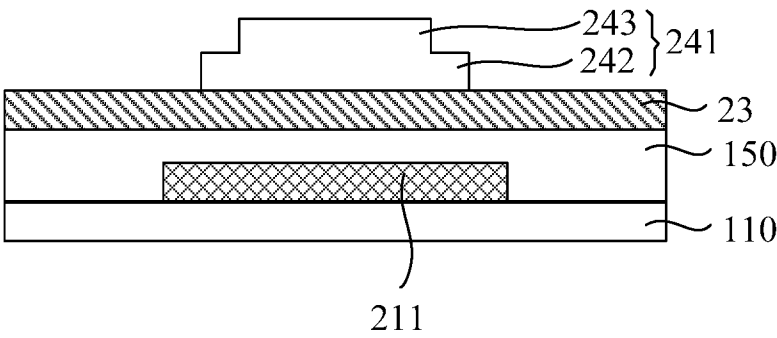


图 7

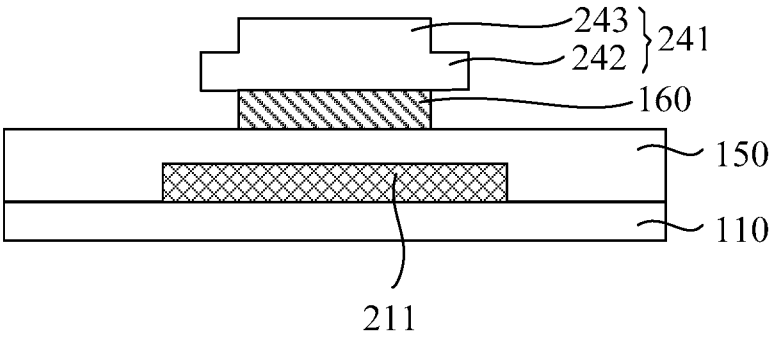


图 8

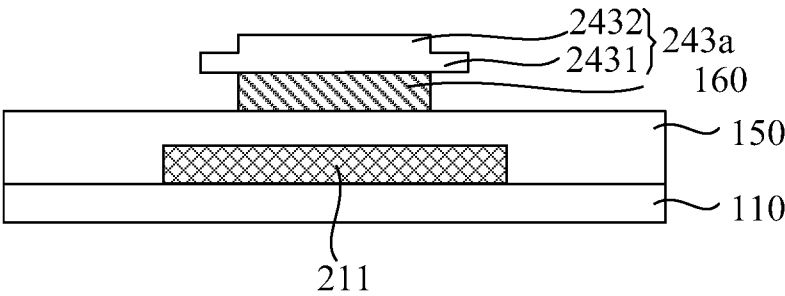


图 9

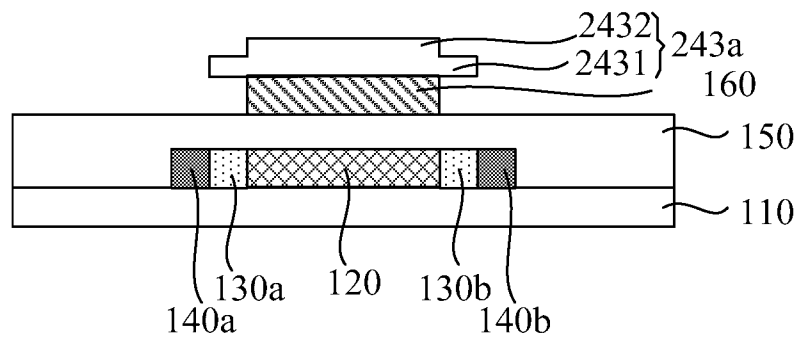


图 10

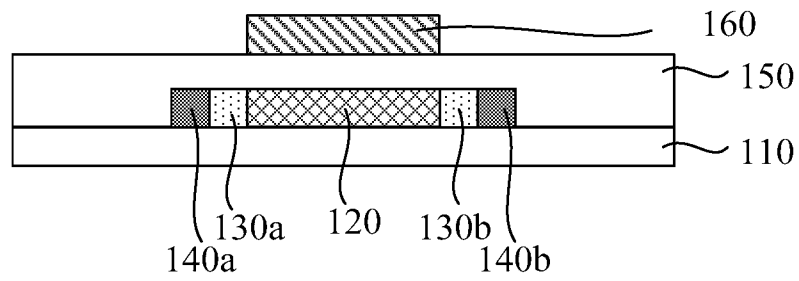


图 11

10

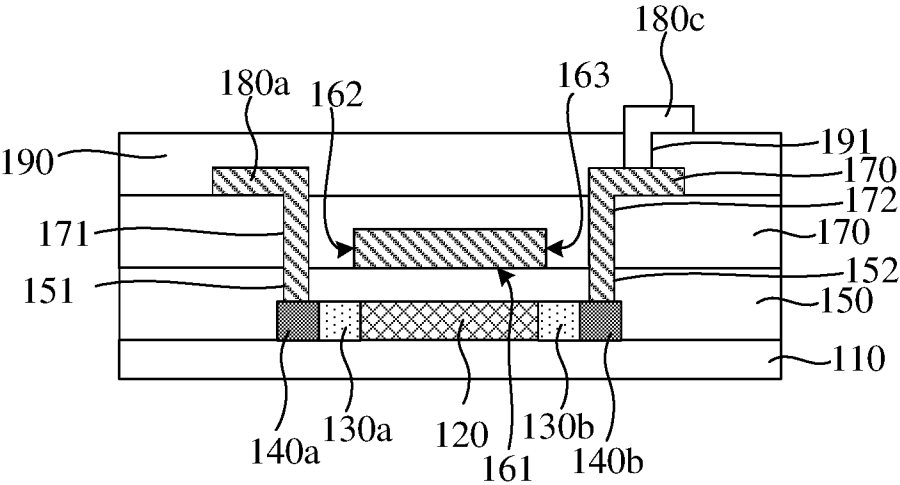


图 12

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/081458

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/336 (2006.01) i; H01L 29/786 (2006.01) i; H01L 29/06 (2006.01) i; H01L 27/092 (2006.01) i
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNKI, CNPAT, EPODOC, WPI: TFT, CMOS, low, temperature, poly, silicon, LTPS, LDD, light, heavy, doped, gate, mask, resist, pattern, convex, reduce, procedure, channel, insulating layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104538307 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 22 April 2015 (22.04.2015) description, paragraphs [0055]-[0086], and figures 1-13	1-14
X	CN 103000531 A (AU OPTRONICS CORP.) 27 March 2013 (27.03.2013) description, paragraphs [0029]-[0046], and figure 1	1-5, 10-14
A	CN 1564313 A (AU OPTRONICS CORP.) 12 January 2005 (12.01.2005) the whole document	1-14
A	CN 104733323 A (SHENZHEN HUAXING OPTOELECTRONIC TECHNOLOGY CO., LTD.) 24 June 2015 (24.06.2015) the whole document	1-14

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 09 January 2017	Date of mailing of the international search report 24 January 2017
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LIU, Ning Telephone No. (86-10) 010-62413955

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/081458

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6140164 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 31 October 2000 (31.10.2000) the whole document	1-14

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/081458

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104538307 A	22 April 2015	WO 2016095308 A1	23 June 2016
		US 2016247936 A1	25 August 2016
		US 9515190 B2	06 December 2016
CN 103000531 A	27 March 2013	None	
CN 1564313 A	12 January 2005	CN 1331202 C	08 August 2007
CN 104733323 A	24 June 2015	WO 2016095306 A1	23 June 2016
		US 2016343829 A1	24 November 2016
US 6140164 A	31 October 2000	JP H09148266 A	06 June 1997

A. 主题的分类 H01L 21/336(2006.01)i; H01L 29/786(2006.01)i; H01L 29/06(2006.01)i; H01L 27/092(2006.01)i 按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类																				
B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L 包含在检索领域中的除最低限度文献以外的检索文献 在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) CNKI, CNPAT, EPODOC, WPI: 低温, 薄膜, 晶体管, 多晶硅, 轻, 重, 掺杂区, 沟道, 栅, 绝缘层, 光阻, 图案, 凸, 厚度, 减少, 光罩, 工序, TFT, CMOS, low, temperature, poly, silicon, LTPS, LDD, light, heavy, doped, gate, mask, resist																				
C. 相关文件 <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>CN 104538307 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0055]-[0086]段, 附图1-13</td> <td>1-14</td> </tr> <tr> <td>X</td> <td>CN 103000531 A (友达光电股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 说明书第[0029]-[0046]段, 附图1</td> <td>1-5, 10-14</td> </tr> <tr> <td>A</td> <td>CN 1564313 A (友达光电股份有限公司) 2005年 1月 12日 (2005 - 01 - 12) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>CN 104733323 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 全文</td> <td>1-14</td> </tr> <tr> <td>A</td> <td>US 6140164 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2000年 10月 31日 (2000 - 10 - 31) 全文</td> <td>1-14</td> </tr> </tbody> </table>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	X	CN 104538307 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0055]-[0086]段, 附图1-13	1-14	X	CN 103000531 A (友达光电股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 说明书第[0029]-[0046]段, 附图1	1-5, 10-14	A	CN 1564313 A (友达光电股份有限公司) 2005年 1月 12日 (2005 - 01 - 12) 全文	1-14	A	CN 104733323 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 全文	1-14	A	US 6140164 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2000年 10月 31日 (2000 - 10 - 31) 全文	1-14
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求																		
X	CN 104538307 A (深圳市华星光电技术有限公司) 2015年 4月 22日 (2015 - 04 - 22) 说明书第[0055]-[0086]段, 附图1-13	1-14																		
X	CN 103000531 A (友达光电股份有限公司) 2013年 3月 27日 (2013 - 03 - 27) 说明书第[0029]-[0046]段, 附图1	1-5, 10-14																		
A	CN 1564313 A (友达光电股份有限公司) 2005年 1月 12日 (2005 - 01 - 12) 全文	1-14																		
A	CN 104733323 A (深圳市华星光电技术有限公司) 2015年 6月 24日 (2015 - 06 - 24) 全文	1-14																		
A	US 6140164 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 2000年 10月 31日 (2000 - 10 - 31) 全文	1-14																		
☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。																				
* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件																				
国际检索实际完成的日期 2017年 1月 9日		国际检索报告邮寄日期 2017年 1月 24日																		
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451		受权官员 刘宁 电话号码 (86-10)010-62413955																		

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2016/081458

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104538307	A	2015年 4月 22日	WO	2016095308	A1	2016年 6月 23日
				US	2016247936	A1	2016年 8月 25日
				US	9515190	B2	2016年 12月 6日
CN	103000531	A	2013年 3月 27日	无			
CN	1564313	A	2005年 1月 12日	CN	1331202	C	2007年 8月 8日
CN	104733323	A	2015年 6月 24日	WO	2016095306	A1	2016年 6月 23日
				US	2016343829	A1	2016年 11月 24日
US	6140164	A	2000年 10月 31日	JP	H09148266	A	1997年 6月 6日