

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-98736

(P2010-98736A)

(43) 公開日 平成22年4月30日(2010.4.30)

(51) Int.Cl.	F I	テーマコード (参考)
H04B 1/04 (2006.01)	H04B 1/04 R	5J500
H03F 1/34 (2006.01)	H03F 1/34	5K060

審査請求 未請求 請求項の数 20 O L (全 20 頁)

(21) 出願番号 特願2009-237459 (P2009-237459)
 (22) 出願日 平成21年10月14日 (2009.10.14)
 (31) 優先権主張番号 12/252,065
 (32) 優先日 平成20年10月15日 (2008.10.15)
 (33) 優先権主張国 米国 (US)

(特許庁注：以下のものは登録商標)

1. GSM

(71) 出願人 390023157
 ノーテル・ネットワークス・リミテッド
 カナダ国 ケベック州、エイチ4エス 2
 エー9、セント ローレント、ブルーバー
 ド アルフレッド・ノーベル 2351
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (74) 代理人 100091214
 弁理士 大貫 進介
 (74) 代理人 100107766
 弁理士 伊東 忠重
 (74) 代理人 100135105
 弁理士 渡邊 直満

最終頁に続く

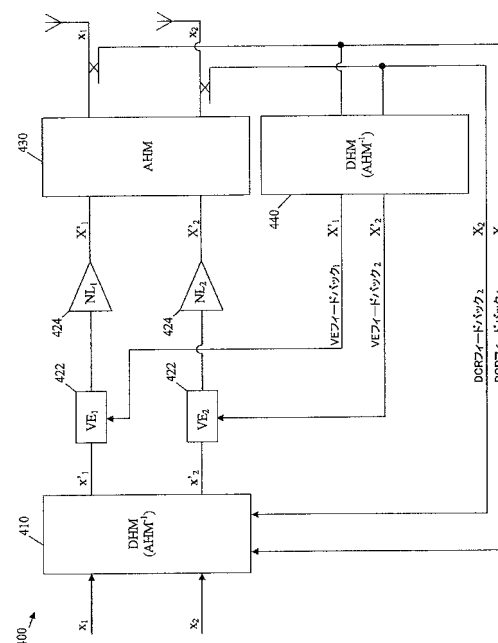
(54) 【発明の名称】 デジタル構成可能な適応線形化での最小フィードバック無線アーキテクチャ

(57) 【要約】

【課題】必要な信号フィードバックを低減するシステム及び方法を提供することを目的とする。

【解決手段】無線送信システムが含まれ、複数の電力増幅器 (PA) と、PAに対応する複数のVolterraエンジン (VE) リニアライザと、PAに対応する複数のフィードバックループと、VEリニアライザに結合された少なくとも1つのデジタルハイブリッドマトリクス (DHM) と、PAに結合されたアナログハイブリッドマトリクス (AHM) とを有し、フィードバックループは、フィードバックループの数を低減するために、AHM及びVEリニアライザに接続されるが、PAに接続されない。無線システムが含まれ、複数のPAと、PAに結合されたVolterra DHM (VDHM) と、PAに対応する複数のフィードバックループと、PAに結合されたAHMとを有し、フィードバックループは、フィードバックループの数を低減するために、AHMに接続されるが、PAに接続されない。

【選択図】図4



【特許請求の範囲】

【請求項 1】

複数の電力増幅器（PA：power amplifier）と、
前記PAに対応する複数のVolterraエンジン（VE：Volterra Engine）リニアライザと、
前記PAに対応する複数のフィードバックループと、
前記VEリニアライザに結合された少なくとも1つのデジタルハイブリッドマトリクス（DHM：digital hybrid matrix）と、
前記PAに結合されたアナログハイブリッドマトリクス（AHM：analog hybrid matrix）と

を有し、

前記フィードバックループは、フィードバックループの数を低減するために、前記AHM及び前記VEリニアライザに接続されるが、前記PAに接続されない無線送信システム。

【請求項 2】

更なるDHMを更に有し、

前記更なるDHMは、前記フィードバックループを前記VEリニアライザに結合し、前記VEリニアライザは、前記DHMと前記PAとの間に結合される、請求項 1 に記載の無線送信システム。

【請求項 3】

前記VEリニアライザは、前記更なるDHMから複数の合成フィードバック信号を受信し、複数の対応する合成入力信号を調整するために、前記合成フィードバック信号を使用する、請求項 2 に記載の無線送信システム。

【請求項 4】

前記DHMは、前記VEリニアライザと前記PAとの間に結合され、前記フィードバックループは、前記DHMに結合される、請求項 1 に記載の無線送信システム。

【請求項 5】

前記VEリニアライザは、前記AHMから複数のフィードバック信号を受信し、複数の対応する入力信号を調整するために、前記フィードバック信号を使用する、請求項 4 に記載の無線送信システム。

【請求項 6】

前記VEリニアライザは、前記AHMにより取り込まれた非線形又は不要の信号効果を補うために使用される、請求項 4 に記載の無線送信システム。

【請求項 7】

前記フィードバックループの数は、AHM出力の数とほぼ等しい、請求項 1 に記載の無線送信システム。

【請求項 8】

前記フィードバックループの数を低減することは、非線形信号合成及びクロストークを減少させる、信号処理能力を増加させる、システムコストを低減させる、又はこれらの組み合わせを行わせる、請求項 1 に記載の無線送信システム。

【請求項 9】

複数の電力増幅器（PA：power amplifier）と、
前記PAに結合されたVolterraデジタルハイブリッドマトリクス（VDHM：Volterra digital hybrid matrix）と、
前記PAに対応する複数のフィードバックループと、
前記PAに結合されたアナログハイブリッドマトリクス（AHM：analog hybrid matrix）と

を有し、

前記フィードバックループは、フィードバックループの数を低減するために、前記AHMに接続されるが、前記PAに接続されない無線システム。

【請求項 10】

前記VDHMは、

10

20

30

40

50

前記PAに対応する複数のVolterraエンジン（VE：Volterra Engine）リニアライザのセットと、

前記VEリニアライザのセット及び前記PAに結合された複数のカブラとを有し、

VEリニアライザの各セットは、複数のVEリニアライザを有し、各カブラは、VEリニアライザの各セットからの1つのVEリニアライザを1つの対応するPAに接続し、前記フィードバックループは、前記VDHMに接続される、請求項9に記載の無線システム。

【請求項11】

VEリニアライザのセットの各VEリニアライザは、前記VEリニアライザのセットに関連する入力信号に実質的に同様のコンポーネント信号を受信し、VEリニアライザの各セットの1つのVEリニアライザからのコンポーネント信号は、対応するカブラで合成され、PA毎に合成信号を取得する、請求項10に記載の無線システム。

【請求項12】

VEリニアライザの各セットは、1つの対応するフィードバックループに結合される、請求項10に記載の無線システム。

【請求項13】

前記AHM及び前記VDHMに結合された理想デジタルハイブリッドマトリクス（iDHM：ideal digital hybrid matrix）を更に有し、

前記iDHMは、理想的なAHMフィードバック信号に基づいて所定の方法で、前記AHMからのフィードバックループに対応する複数のフィードバック信号を処理し、前記VDHMは、デルタVDHM（ Δ VDHM）であり、前記フィードバック信号に基づいて適応的に複数の入力信号を処理する、請求項9に記載の無線システム。

【請求項14】

複数の電力増幅器（PA：power amplifier）と、

前記PAに結合されたVolterraデジタルハイブリッドマトリクス（VDHM：Volterra digital hybrid matrix）と、

前記PAに対応する複数の前処理ブロックと、

前記PAに対応する単一のフィードバックループと、

前記PAに結合されたアナログハイブリッドマトリクス（AHM：analog hybrid matrix）と

を有し、

前記フィードバックループは、前記AHM、前記VDHM及び前記前処理ブロックに接続される、マルチポート電力増幅（PA）システム。

【請求項15】

前記AHMは、第1のPAからの第1のPA出力と第2のPAからの第2のPA出力とを単一の出力信号に合成する、請求項14に記載のマルチポートPAシステム。

【請求項16】

前記第1のPA出力信号は、前記VDHMからの第1の合成信号に基づき、

前記第2のPA出力信号は、前記VDHMからの第2の合成信号に基づく、請求項15に記載のマルチポートPAシステム。

【請求項17】

前記第1のPA及び前記第2のPAに結合された位相シフトブロックを更に有し、

前記第1のPA出力信号は、前記VDHMからの第1の合成信号に基づき、前記第2のPA出力信号は、前記位相シフトブロックを介した前記第1の合成信号からの位相シフト信号と、前記VDHMからのバイアス信号とに基づく、請求項15に記載のマルチポートPAシステム。

【請求項18】

前記バイアス信号は、前記VDHMからの第2の合成信号に等しい、請求項17に記載のマルチポートPAシステム。

【請求項19】

前記第1のPAの入力は、前記VDHMの出力に結合され、前記合成信号を受信し、前記第2

10

20

30

40

50

のPAの入力は、他のVDHM出力に結合され、前記バイアス信号を受信する、請求項 17 に記載のマルチポートPAシステム。

【請求項 20】

各前処理ブロックは、同期化、位相調整、機能マッピング、他の信号処理機能又はこれらの組み合わせを実装する、請求項 16 に記載のマルチポートPAシステム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、概して無線送信機での信号増幅及び線形化に関し、特に必要な信号フィードバックを低減するシステム及び方法に関する。

10

【背景技術】

【0002】

無線通信では、信号は、無線送信及び受信システムを使用して転送される。無線送信システムは、電力増幅器（PA：Power Amplifier）と、アンテナのような他のシステム構成要素に結合され得る信号リニアライザ（Volterra級数（Volterra-series）又はVolterraエンジン（VE：Volterra Engine）リニアライザ等）と、信号処理構成要素とを含み得る。デジタル構成可能な無線機（DCR：digitally configurable radio）又はアジャイル無線器（agile radio）は、例えばソフトウェア又はファームウェアを使用して、ハードウェアの変更又はアップグレードなしに、スマートアンテナ動作モード（MIMO（Multiple-Input and Multiple-Output）又はSISO（Single-Input and Single-Output）等）を

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

必要な信号フィードバックを低減するシステム及び方法を提供することを目的とする。

【課題を解決するための手段】

【0004】

一実施例では、この開示は、無線送信システムを含む。無線送信システムは、複数の電力増幅器（PA：power amplifier）と、PAに対応する複数のVolterraエンジン（VE：Volterra Engine）リニアライザと、PAに対応する複数のフィードバックループと、VEリニアライザに結合された少なくとも1つのデジタルハイブリッドマトリクス（DHM：digital hybrid matrix）と、PAに結合されたアナログハイブリッドマトリクス（AHM：analog hybrid matrix）とを有し、フィードバックループは、フィードバックループの数を低減するために、AHM及びVEリニアライザに接続されるが、PAに接続されない。

30

【0005】

他の実施例では、この開示は、無線システムを含む。無線システムは、複数のPAと、PAに結合されたVolterra DHM（VDHM）と、PAに対応する複数のフィードバックループと、PAに結合されたAHMとを有し、フィードバックループは、フィードバックループの数を低減するために、AHMに接続されるが、PAに接続されない。

40

【0006】

更に他の実施例では、この開示は、マルチポートPAシステムを含む。マルチポートPAシステムは、複数のPAと、PAに結合されたVolterra DHM（VDHM）と、PAに対応する複数の前処理ブロックと、PAに対応する単一のフィードバックループと、PAに結合されたAHMとを有し、フィードバックループは、AHM、VDHM及び前処理ブロックに接続される。

【0007】

本発明の他の態様及び特徴は、添付図面と共に本発明の特定の実施例の以下の説明を読むことで、無線通信技術の当業者に明らかになる。

【発明の効果】

50

【 0 0 0 8 】

本発明の実施例によれば、必要な信号フィードバックを低減することが可能になる。

【 図面の簡単な説明 】

【 0 0 0 9 】

【 図 1 】 無線通信システムの実施例の図

【 図 2 】 VE型送信システムの実施例のブロック図

【 図 3 】 VE型DCRシステムの実施例のブロック図

【 図 4 】 低減したフィードバックのDCRシステムの実施例のブロック図

【 図 5 】 低減したフィードバックのDCRシステムの他の実施例のブロック図

【 図 6 】 VDHM型DCRシステムの実施例のブロック図

10

【 図 7 】 ピーク電力低減（PPR：Peak Power Reduction）型DCRシステムの実施例のブロック図

【 図 8 】 マルチポートPA DCRシステムの実施例のブロック図

【 図 9 】 マルチポートPA DCRシステムの他の実施例のブロック図

【 図 1 0 】 汎用コンピュータシステムの実施例の図

【 発明を実施するための形態 】

【 0 0 1 0 】

まず、この開示の一実施例の例示的な実施例が以下に示されるが、このシステムは、現在で既知又は既存のものであってもなくても、如何なる数の技術を使用して実装されてもよいことがわかる。この開示は、ここに説明及び記載する例示的な設計及び実装を含み、以下に示す例示的な実装、図面及び技術に決して限定されず、完全な均等の範囲と共に特許請求の範囲内で変更されてもよい。

20

【 0 0 1 1 】

DCR又はアジャイル無線機の信号又はビーム関係機能は、複数の電力増幅器に関連する複数のフィードバック信号を使用してサポートされてもよい。フィードバック信号は、電力増幅器毎に少なくとも2つのフィードバックループを使用して、電力増幅器から取得されてもよい。各フィードバックループは、複数のフィードバック構成要素（フィードバック受信機、フィードバック回路、アナログ-デジタル変換器等）を含んでもよい。従って、フィードバックループの各フィードバック構成要素は、システムのコスト及び要件（ハードウェア及びソフトウェアの複雑性、並びにメンテナンス要件等）に加算され得る。更に、フィードバック構成要素は、異なるフィードバックループの間のクロストーク及び非線形信号合成を増加させ得る。このことは、送信信号に誤り又は歪みを増加させ、信号処理能力を制限する。

30

【 0 0 1 2 】

ここに開示されるものは、非線形信号合成及びクロストークを減少させ、信号処理能力を増加させ、システムコストを低減するための、低減した数のフィードバックループを使用した信号送信システム及び方法である。実施例では、システムは、複数のVolterraエンジン（VE）リニアライザに結合された第1のデジタルマルチプレクサと、単一のVEリニアライザにそれぞれ結合された複数の電力増幅器（PA）と、PAに結合されたアナログマルチプレクサとを有してもよい。第1のデジタルマルチプレクサにフィードバックを提供するために、システムは、VEリニアライザとPAとの対毎に単一のフィードバックループを有してもよい。これは、アナログマルチプレクサ及び第1のデジタルマルチプレクサに結合されてもよい。更に、VEリニアライザにフィードバックを提供するために、システムは、第2のデジタルマルチプレクサを有してもよく、第2のデジタルマルチプレクサは、単一のフィードバックループ及びVEリニアライザに結合されてもよい。代替として、デジタルマルチプレクサ及びVEリニアライザにフィードバックを提供するために、システムは、単一のデジタルマルチプレクサを有してもよく、単一のデジタルマルチプレクサは、VEリニアライザ、PA及び単一のフィードバックループに結合されてもよい。他の実施例では、システムは、複数のVEリニアライザと、合成デジタルマルチプレクサに結合された複数のPAと、PAに結合されたアナログマルチプレクサとを含む合成デジタルマルチプレクサユニット

40

50

を有してもよい。合成デジタルマルチプレクサ及びVEリニアライザにフィードバックを提供するために、システムは、各PAに関連するフィードバックループを有してもよい。これは、アナログマルチプレクサ及び合成デジタルマルチプレクサに結合されてもよい。更に又は代替として、提示されたシステムアーキテクチャは、複数のマルチポートPAを有してもよく、各マルチポートPAは、前処理回路又はブロックに関連してもよく、複数のPAを有してもよい。

【 0 0 1 3 】

図 1 は、この開示による無線通信システム100の一実施例を示している。無線通信システム100は、セルラ通信ネットワークでもよく、所定のサービスエリアに無線通信を提供する複数の基地局 (BTS: base transceiver station) 102a、102b、102c及び102dを有してもよい。図面には 4 つのBTSが示されているが、無線通信システム100は、如何なる数のBTSを有してもよい。BTSは同様に構成されてもよく、異なって構成されてもよい。更に、無線通信システム100は、無線ネットワークコントローラ (RNC: Radio Network Controller) 104を有してもよい。無線ネットワークコントローラ (RNC) 104は、物理又は無線接続を用いて、BTS102a、102b、102c及び102dに結合されてもよい。例えば、BTS102a、102b及び102cは、それぞれ物理接続105によりRNC104に結合されてもよく、BTS102dは、無線接続106によりRNC104に結合されてもよい。無線通信システム100はまた、無線通信装置130を有してもよい。無線通信装置130は、無線通信システム100の所定のサービスエリア内に存在又は位置してもよい。1つのみの無線通信装置130が図面に示されているが、無線通信システム100はまた、如何なる数の無線通信装置130を有してもよい。無線通信装置130は同様に構成されてもよく、異なって構成されてもよい。従って、RNC104は、無線通信装置130と、BTS102a、102b、102c、102dとの間で無線通信を維持又は制御するように構成されてもよい。更に、RNC104は、コアネットワーク107に結合されてもよい。コアネットワーク107は、移動スイッチギア (mobile switchgear)、ユーザ確認、ゲートウェイ、又はこれらの組み合わせを含んでもよい。次に、コアネットワーク107は、他のネットワーク (公衆電話交換網 (PSTN: public switched telephone network) 108、インターネット109、少なくとも 1 つの他の無線ネットワーク (図示せず)、又はこれらの組み合わせ等) に結合されてもよい。

【 0 0 1 4 】

無線通信装置130は、所定のサービスエリア内でのその位置又は場所に応じて、BTS102a、102b、102c及び102dのいずれかと無線で通信してもよい。例えば、移動端末130がBTS102a、102b、102c又は102dの近くから他のBTS102a、102b、102c又は102dに移動又は再配置したときに、無線通信装置130とBTS102a、102b、102c又は102dとの間で確立された無線リンクは、他のBTS102a、102b、102c又は102dにシフト又は“ハンドオフ”されてもよい。更に、無線リンクは、複数の通信標準又はイニシアチブ (GSM (Global System for Mobile communications)、GPRS (General Packet Radio Service) /EDGE (Enhanced Data rates for Global Evolution)、HSPA (High Speed Packet Access)、UMTS (Universal Mobile Telecommunications System) 及びLTE (Long Term Evolution) を含み、3GPP (3rd Generation Partnership Project) に記載のもの等) のいずれかに準拠してもよい。更に又は代替として、無線リンクは、IS-95 (Interim Standard 95)、CDMA (Code Division Multiple Access) 2000標準1xRTT又は1xEV-DOを含み、3GPP2 (3rd Generation Partnership Project 2) に記載の複数の標準のいずれかに準拠してもよい。無線リンクはまた、他の標準 (IEEE (Institute of Electrical and Electronics Engineers) に記載のもの等) 又は他の業界フォーラム (WiMAX (Worldwide Interoperability for Microwave Access) フォーラム等) と互換性を有してもよい。

【 0 0 1 5 】

BTS102a、並びにBTS102b、102c及び102dのいずれかも同様に、DCR110と、モデム120と、通信タワー140とを有してもよい。DCR110及びモデム120は、それぞれ通信タワー140に結合されてもよく、相互に通信してもよい。DCR110はまた、BTS102aに対応する信号範囲1

10

20

30

40

50

50により実質的にカバーされたエリアで、無線通信装置130と通信してもよい。DCR110及び無線通信装置130は、セルラ技術標準（TDMA（Time Division Multiple Access）、CDMA、UMTS又はGSM等）を使用して通信してもよい。DCR110及び無線通信装置130は、他のセルラ標準（WiMAX、LTE又はUMB（Ultra Mobile Broadband）等）を使用して通信してもよい。

【0016】

DCR110は、アジャイル無線ヘッドでもよく、信号範囲150を拡張若しくは低減するため、又は無線通信システムの能力を増加させるために、ソフトウェア又はファームウェアを使用して再構成されてもよい。例えば、DCR110は、更なる数の無線通信装置130と通信するために、ソフトウェアアプリケーションを使用して再構成されてもよい。DCR110は、少なくとも1つのスマートアンテナ動作モード（MIMO（Multiple-Input and Multiple-Output）又はSISO（Single-Input and Single-Output）等）をサポートするために、複数の送信機、複数の受信機又はこれらの双方を有してもよい。例えば、DCR110は、電力合成、ビームフォーミング、セクタ電力プール又はこれらの組み合わせを有する信号機能をサポートするために、ハードウェアの変更又はアップグレードなしに再構成されてもよい。ハードウェアの変更なしにDCR110を再構成することは、再構成又はアップグレードの要件又はコスト（通信タワー140に上る必要性の除去若しくは低減、インフラストラクチャ輸送若しくは移転装置の借り入れ若しくは配置、又は更なるハードウェアの使用等）を低減し得る。

【0017】

無線通信装置130は、無線技術を使用して、無線機（DCR110等）に及び無線機から信号（アナログ又はデジタル信号等）を送信又は受信することができる如何なる装置でもよい。無線通信装置130は、信号を生成、送信又は受信するように構成された移動装置（ハンズセット、PDA（personal digital assistant）、携帯電話（“移動端末”とも呼ばれる）、又はラップトップコンピュータのような無線可能ノマディック若しくはローミング装置等）でもよい。更に、無線通信装置130は、任意選択で少なくとも1つのデータサービス（電子メールサービス等）を提供するように構成されてもよい。代替として、無線通信装置130は、DCR110にデータを送信又は受信し得る固定装置（基地局若しくはフェムトセル（Femtocell）、デスクトップコンピュータ又はセットトップボックス等）でもよい。

【0018】

通信タワー140は、DCR110が搭載され得る如何なる構造でもよい。無線通信システム100の他の実施例では、通信タワー140は、ビル、他の形式のタワー（例えば、給水塔）、又はDCR110を搭載するのに適した他の構造により置換されてもよい。更に、通信タワー140は、DCR110をモデム120に接続してもよく、従って、これらの2つの間の通信を提供してもよい。

【0019】

DCR110は、少なくとも1つのセルラ通信標準（CDMA、GSM、UMTS又はWiMAX等）を実装するように構成された送信機（ベースバンド送信機等）を有してもよい。送信機は、変調システム、周波数変換サブシステム又はこれらの組み合わせに加えて、送信前に信号を増幅するPAを有してもよい。PAは、信号に取り込まれた歪み（例えば、PAでの非線形性）のうち少なくともいくつかを補うように構成された少なくとも1つのリニアライザに結合されてもよい。リニアライザは、VEリニアライザ（Peter Z. Rashev他により2006年4月4日出願された“Adaptive Look-Up Based Volterra-series Linearization of Signal Transmitters”という題の米国仮特許出願第60/788,970号に開示されたVEリニアライザ等）でもよい。この米国仮特許出願第60/788,970号の全内容を援用する。VEリニアライザは、複数のVolterra級数のオーダ又は項を使用して、少なくとも1つの逆信号モデルを近似又は実装し、これにより、信号歪みを補うように構成されてもよい。逆信号モデルは、ソフトウェア又はファームウェアを使用して実装されてもよい。例えば、逆信号モデルは、FPGA（field-programmable gate array）、ASIC（application specific integr

ated circuit)、デジタルシグナルプロセッサ、マイクロプロセッサ又は他の形式のプロセッサで実行されてもよい。逆信号モデルは、コンピュータシステム(パーソナルコンピュータ、サーバ又は他のコンピュータシステム)で実行されてもよい。

【0020】

図2は、VE型送信システム200の実施例を示しており、無線送信システム(DCR110等)で使用されてもよい。VEリニアライザ205は、複数の乗算器210を有してもよく、複数の乗算器210は、“デュアルポートLUT及び乗算器”機能ブロックにカプセル化された複数の実数及び虚数デュアルポート参照テーブル(LUT: look-up table)の対220に結合されてもよい。従って、各乗算器は、単一の“デュアルポートLUT及び乗算器”機能ブロックに結合されてもよい。更に、各乗算器210は、タップ遅延線230に結合されてもよい。タップ遅延線230は、複数の遅延素子を有してもよく、複数の遅延素子は、Nサンプルの間隔が空けられてもよい。具体的には、各遅延素子(z^{-n})は、nの別々のサンプルの伝搬遅延を指定してもよい。nは、離散時間インデックスである。各“デュアルポートLUT及び乗算器”機能ブロック220は、機能マッピング f_i ($i=1,2,3,\dots$) (入力信号又はサンプル遅延の近似又は計算等)を実装する乗算器を介して、タップ遅延線230の1つに結合されてもよい。タップ遅延線230は、将来のサンプルに基づいて現在の入力サンプルの関数を変更してもよい。従って、タップ遅延素子は、Volterra級数の時間軸を構成してもよく、波形の進化の履歴(時間に沿った複数の多項式関数等)を有してもよい。乗算器220及び“デュアルポートLUT及び乗算器”機能ブロック220の出力は、加算ブロック240を使用して一緒に加算され、デジタル入力サンプル(x_n)の前歪みバージョン(pre-distorted version)を提供してもよい。プレディストーション(pre-distortion)デジタル入力サンプルは、デジタル-アナログ変換器(DAC: digital-to analog converter) (図示せず)を使用して、プレディストーション入力信号に等価なアナログ信号に変換されてもよい。アナログ信号は、増幅器250に送信されてもよい。増幅器250は、非線形(NL: nonlinear)電力増幅器(PA)でもよい。アナログ信号は、増幅器250への入力の前に、無線周波数にアップコンバートされてもよい。増幅器250はアナログ信号を増幅し、例えばアンテナを使用して、増幅されたアナログ信号(y_n)を送信してもよい。DACは、VEリニアライザ205又は増幅器250に結合されてもよい。

【0021】

更に、アナログ出力又は送信信号のデジタルコピーでもよいデジタルフィードバック信号は、アナログ-デジタル変換器(ADC: analog-to-digital converter)を使用して、VEリニアライザ205に提供されてもよい。具体的には、増幅器250は、デジタルフィードバック信号を適応コントローラ270に転送するように構成された、フィードバック受信機及び何らかの更なる構成要素(ADC等)を有するフィードバック回路260に結合されてもよい。適応コントローラ270は、VEリニアライザ205及びフィードバック回路260に結合されてもよい。増幅器250のアナログ出力は、ADC及び/又はフィードバック回路260による処理の前に、無線周波数から中間周波数又はベースバンド周波数にダウンコンバートされてもよい。適応コントローラ270は、誤りブロック275に結合されてもよく、誤りブロック275を有してもよい。誤りブロック275は、参照信号又はVEリニアライザ205のデジタル入力信号のコピーに加えて、フィードバック回路260からフィードバック信号を受信してもよい。或る実施例では、誤りブロック275は、伝搬遅延補償ブロック(図面に図示せず)に結合されてもよい。伝搬遅延補償ブロックは、参照信号を適応コントローラ270の誤りブロック275に転送する前に、フィードバック信号の何らかの遅延を補う。従って、誤りブロック275は、誤り関数を取得又は計算するために、デジタルフィードバック信号及び参照信号を使用してもよい。誤り関数は、VEリニアライザ205に転送され、プレディストーション補償の逆信号処理モデルを取得するために使用されてもよい。更に又は代替として、適応コントローラ270は、少なくとも1つの信号処理回路を有してもよい。少なくとも1つの信号処理回路は、訂正関数を取得するためにフィードバック及び参照信号を使用する。訂正関数は、VEリニアライザ205に転送され、逆モデルを取得するために使用されてもよい。

10

20

30

40

50

【 0 0 2 2 】

図 3 は、VE型DCRシステム300の実施例を示しており、VE型DCRシステム300は、無線通信システム（無線通信システム100等）で信号を送信するために使用されてもよい。VE型DCRシステム300は、デジタルハイブリッドマルチプレクサ（DHM：digital hybrid multiplexer）310と、少なくとも1つの送信機320と、アナログハイブリッドマルチプレクサ（AHM：analog hybrid multiplexer）330とを有してもよい。送信機320は、DHM310及びAHM330に結合されてもよい。更に、DHM310及びAHM330は、相互に結合されてもよい。2つの送信機320が図面に図示されているが、VE型DCRシステム300は、如何なる数の送信機320を有してもよい。

【 0 0 2 3 】

送信機320は、非線形（NL）PA324に結合されたVEリニアライザ322を有してもよい。VEリニアライザ322及び非線形（NL）PA324は、それぞれVEリニアライザ205及び増幅器250と同様に構成されてもよい。或る実施例では、VEリニアライザ322は、結合されたVEリニアライザ（John-Peter van Zelm他により同時に出願された“Multi-Dimensional Volterra Series Transmitter Linearization”という題の米国特許出願（代理人管理番号19496SCUS01U（4135-01500））に開示されたVEリニアライザ等）でもよい。この出願の全内容を援用する。従って、VEリニアライザ322は、システムで信号歪み補償を改善するために、直列、並列又はこれらの双方に配置された複数の統合VEリニアライザを有してもよい。VEリニアライザ322は、合成デジタル入力信号に対応するNL PA324に転送し、フィードバックループを介して、NL PA324から増幅アナログ出力信号に等価なフィードバック信号を受信してもよい。従って、VE型DCRシステム300は、信号変換回路（図示せず）（ADC、DAC、又はこれらの双方等）を有してもよい。信号変換回路は、VEリニアライザ322、NL PA324又はこれらの双方に結合されてもよい。フィードバックループは、フィードバック回路と、フィードバック回路に結合された適応コントローラとを有してもよい。フィードバック回路は、NL PA324に結合されてもよく、NL PA324から適応コントローラにフィードバック信号を提供してもよい。適応コントローラは、VEリニアライザ322に結合されてもよく、VEリニアライザ322の入力信号に等価な参照信号を受信し、VEリニアライザ322に訂正又は誤り関数を提供してもよい。従って、VEリニアライザ322とNL PA324との間のフィードバックループの数、又はVEフィードバックループは、送信機320の数に等しくてもよい。

【 0 0 2 4 】

DHM312は、例えばモデムから、複数の別々の入力ポートで複数のデジタル信号を受信し、各デジタル入力信号を複数のコンポーネント信号に分割するように構成されてもよい。複数のコンポーネント信号は、相互に実質的に同様のものでもよく、デジタル入力信号と同様のものでもよい。DHM310は、複数の別々の出力ポートでデジタル入力信号毎にコンポーネント信号を分配してもよい。各コンポーネント信号は、1つの出力ポートにマッピングされてもよい。従って、各出力ポートは、それぞれ別々のデジタル入力信号に対応する複数のコンポーネント信号を割り当てられてもよい。DHM310は、例えば、コンポーネント信号を加算することにより、各出力ポートでのコンポーネント信号を合成信号に合成してもよい。従って、DHM310は、各出力ポートから実質的に同様の合成信号を転送してもよい。実施例では、DHM310は、マルチプレクサ又は $N \times N$ カブラでもよい。Nは、合成され得るデジタル入力信号の数を表す整数である。例えば、DHM310は、Nのデジタル入力信号を受信し、各デジタル入力信号をNのコンポーネント信号に分割し、Nのデジタル入力信号からのNのコンポーネント信号をNの合成信号に合成し、Nの合成信号を転送してもよい。例えば、DHM310が2つのデジタル入力信号（ x_1, x_2 ）を受信する場合、DHM310は、図示のように、2つの合成信号を送信機320に転送してもよい。

【 0 0 2 5 】

他方、AHM330は、複数の入力ポートで、送信機320から、増幅されてもよい複数のアナログ出力信号を受信するように構成されてもよい。増幅アナログ出力信号は、DHM310からの合成信号の増幅バージョンと等価なものでもよい。AHM330は、各アナログ出力信号を複

数のコンポーネント信号に分割してもよい。複数のコンポーネント信号は、DHM310での分配されたコンポーネント信号の逆に等しくてもよい。AHM330は、DHM310と同様に、複数の出力ポートでコンポーネント信号を分配及び合成し、複数の合成信号を取得してもよい。AHM330での合成信号は、DHM310のデジタル入力信号に等しくてもよい。従って、AHM330は、DHM310の信号の分配及び合成の逆処理を実装するように構成されてもよい。例えば、DHM310は、信号マルチプレクサ又はカブラとして動作してもよく、AHM330は、対応する信号デマルチプレクサ又はカブラとして動作してもよい。しかし、デジタル入力信号を処理するように構成されてもよいDHM310とは異なり、AHM330は、アナログ出力信号を処理するように構成されてもよい。アナログ出力信号はまた、例えばAHM330に結合されたアンテナを使用した増幅及び送信信号でもよい。実施例では、DHM310及びAHM330は、ハイブリッドマトリクスモジュール (Neil N. McGowan他により2007年4月17日に発行された“Digitally Convertible Radio”という題の米国特許出願第7,206,355号に開示されたハイブリッドマトリクスモジュール等) でもよい。米国特許出願第7,206,355号の全内容を援用する。

10

20

30

40

50

【0026】

DHM310及びAHM330を使用して、VE型DCRシステム300は、各入力信号を部分的に増幅してもよく、従って、送信するために十分に各出力信号を増幅してもよい。具体的には、各NL PA324は、DHM310からの1つの合成信号を増幅してもよい。この合成信号は、残りのNL PA324に関連する残りの合成信号と実質的に同様のものでもよく、残りの合成信号のコピーでもよい。1つの送信機320又は1つのNL PA324が機能しなくなると、DHM310からの残りの合成信号は、残りのNL PA324により増幅されてもよい。残りの増幅信号が受信され、出力信号に変換されてもよい。出力信号は、機能しないNL PA324の数(従って、欠落した合成信号による欠落した信号電力又は強度)が許容できるままである場合に、十分に増幅されてもよい。更に、出力信号は、入力信号に実質的に等しくてもよく、欠落した合成信号のため、許容できる歪み又は信号劣化を有してもよい。更に、異なるNL PAを使用して合成信号を増幅することは、NL PA324の間での入力信号の電力共有を可能にしてもよい。この場合、各合成信号は、異なる入力信号からの異なる成分を含む。従って、2つ以上のNL PA324の出力を合成することにより、更なる信号電力が取得されてもよい。従って、VE型DCRシステム300は、最大負荷要件又は低減した電力で低コストのNL PA324を有してもよい。

【0027】

DHM310及びAHM330は、各送信機320に関連するフィードバックループを介して、相互に結合されてもよい。従って、AHM330は、複数の別々のフィードバックループを介して、送信機320での送信信号にそれぞれ等価な複数のフィードバック信号をDHM310に転送してもよい。DHM310は、デジタル入力信号を分配及び合成する前に信号誤り又は歪みを補うために、1つのデジタル入力信号に関連してもよい各フィードバック信号を使用してもよい。AHM330とDHM310との間のフィードバックループの数、又はDCRフィードバックループは、送信機320の数と等しくてもよい。従って、VE型DCRシステム300のフィードバックループの総数は、VEリニアライザ322又はNL PA324の数の2倍にほぼ等しく、これは、VEフィードバックループの数とDCRフィードバックループの数との合計に等しい。

【0028】

図4は、通常のDCRシステム(VE型DCRシステム300等)より少ないフィードバックループを有する低減したフィードバックのDCRシステム400の実施例を示しており、ほぼ同じ数の送信機に関連してもよい。従って、低減したフィードバックのDCRシステム400は、少ない非線形信号合成及びクロストークで、高い信号処理能力を有してもよい。非線形信号合成及びクロストークは、低減した数のフィードバック構成要素(例えば、フィードバック回路及び適応コントローラ)により取り込まれてもよい。更に、低減した数のフィードバック構成要素のため、低減したフィードバックのDCRシステム400のコストは、通常のDCRシステムのコストより小さくてもよい。

【0029】

低減したフィードバックのDCRシステム400は、第1のDHM410と、VEリニアライザ422及び対応するNL PA424を有する送信機構成要素の少なくとも1つの対と、AHM430とを有してもよい。AHM430は、VE型DCRシステム300の対応する構成要素と同様に構成されてもよい。しかし、低減したフィードバックのDCRシステム400は、VEフィードバックを有さなくてもよい。すなわち、VEリニアライザ422とNL PA424との間にフィードバックループを有さなくてもよい。その代わりに、低減したフィードバックのDCRシステム400は、各VEリニアライザ422に結合された第2のDHM440と、AHM430と第1のDHM410との間のそれぞれ対応するDCRフィードバックループとを有してもよい。

【0030】

具体的には、第2のDHM440は、AHM430に結合され、VEリニアライザ422とNL PA424との対に対応する各DCRフィードバックループからフィードバック信号のコピーを受信してもよい。フィードバック信号は、例えばADC又はフィードバック回路を使用して、アナログ波形からデジタル波形に変換されてもよい。ADC又はフィードバック回路は、DCRフィードバックループに結合されてもよい。従って、第2のDHM440は、デジタル形式でフィードバック信号を受信してもよい。第2のDHM440は、第1のDHM410と同様に構成されてもよく、それぞれVEリニアライザ422とNL PA424との対に対応するフィードバック信号を、複数の合成フィードバック信号(x'_{1}, x'_{2})に分配及び合成してもよい。従って、第2のDHM440は、各合成フィードバック信号に対応するVEリニアライザ422に送信してもよい。更に、各VEリニアライザ422は、第1のDHM410から合成入力信号(x'_{1}, x'_{2})を受信してもよい。VEリニアライザ422は、対応する合成入力信号の誤り又は歪みを訂正又は調整するために、従って、訂正された信号をNL PA424に転送するために、合成フィードバック信号を使用してもよい。

【0031】

低減したフィードバックのDCRシステム400で第2のDHM440を使用することは、システムでVEリニアライザ422の数にほぼ等しいVEフィードバックループの数を使用する必要性を置換してもよい。従って、低減したフィードバックのDCRシステム400で単一の構成要素(すなわち、第2のDHM440)を追加することは、有利な案になり得る。これは、フィードバック回路、適応コントローラ、又はフィードバックループに関連する他の構成要素を含み、多くの数の構成要素を使用する必要性を除去する。システムでのフィードバックループの総数は、DCRフィードバックループの数まで低減され、従って、他のDCRシステム(VE型DCRシステム300等)に比較して約半分まで低減される。

【0032】

図5は、他の低減したフィードバックのDCRシステム500の実施例を示しており、更なる構成要素を使用せずに、他のDCRシステムと比較して低減した数のフィードバックループを有してもよい。低減したフィードバックのDCRシステム500は、DHM510と、VEリニアライザ522及び対応するNL PA524を有する送信機構成要素の少なくとも1つの対と、AHM530とを有してもよい。AHM530は、VE型DCRシステム300又は低減したフィードバックのDCRシステム500の対応する構成要素と同様に構成されてもよい。低減したフィードバックのDCRシステム400と同様に、低減したフィードバックのDCRシステム500は、それぞれVEリニアライザ522及びNL PA524に関連する複数のDCRフィードバックループを有してもよく、VEフィードバックループを有さなくてもよい。従って、フィードバックループの総数は、VEリニアライザ522又はNL PA524の数にほぼ等しくてもよい。

【0033】

しかし、低減したフィードバックのDCRシステム400とは異なり、低減したフィードバックのDCRシステム500は、他の通常のDCRシステムと比較して実質的に更なる構成要素を有さなくてもよい。例えば、低減したフィードバックのDCRシステム500は、第2のDHM(低減したフィードバックのDCRシステム400の第2のDHM440等)を有さなくてもよい。その代わりに、低減したフィードバックのDCRシステム500の構成要素は、フィードバック信号をVEリニアライザ522及びDHM510に提供するように再構成されてもよい。従って、DHM510は、VEリニアライザ522及びNL PA524に結合されてもよく、次に、NL PA524は、AHM530に

結合されてもよい。各VEリニアライザは、例えばモデムから入力デジタル信号 (x_1, x_2) を受信し、信号をDHM510に転送してもよい。従って、DHM510は、VEリニアライザ522から受信信号を分配及び合成し、合成信号をNL PA524に転送してもよい。転送された合成信号は、デジタル信号でもよく、デジタル信号は、前述のように、NL PA524により受信される前に、アナログ信号に変換されてもよい。NL PA524は、信号を増幅してAHM530に送信してもよい。AHM530は、信号を入力信号に等価な出力信号に変換し、出力信号を送信する。

【0034】

AHM530は、DCRフィードバックループを介して各VEリニアライザ522に結合され、VEリニアライザ522に対応するフィードバック信号を提供してもよい。DCRフィードバックループは、AHM530でのアナログ信号をデジタル信号に変換するADC又は同様の構成要素（図面に図示せず）を有してもよく、デジタル信号は、VEリニアライザ530により処理されてもよい。更に、DCRフィードバックループは、DHM510に結合されてもよく、従って、対応するフィードバック信号をDHM510に提供してもよい。従って、AHM530は、中間構成要素（VE型DCRシステム300の場合のDHM310又は低減したフィードバックのDCRシステム400での第2のDHM440等）なしに、DCRフィードバックループを介してVEリニアライザ522に直接結合されてもよい。従って、VEリニアライザ522は、AHM530によるフィードバック信号に取り込まれ得る非線形効果又は歪みを補うように構成されてもよい。従って、このような構成要素の構成又はDCRアーキテクチャは、低減したフィードバックループの利点に加えて、改善した信号線形性及び品質を提供してもよい。

【0035】

図6は、Volterra DHM (VDHM) 型DCRシステム600の実施例を示しており、VDHM型DCRシステム600は、低減した数のフィードバックループに加えて、統合VE型DHMを有してもよい。VDHM型DCRシステム600は、Volterra DHM (VDHM) 605と、VDHM605に結合された少なくとも1つのNL PA624と、NL PA624に結合されたAHM630とを有してもよい。更に、AHM630は、各フィードバックループが1つのNL PA624に対応し得るように、少なくとも1つのフィードバックループによりVDHM605に結合されてもよい。従って、VDHM型DCRシステム600のフィードバックループの総数は、NL PA624の数にほぼ等しくてもよい。例えば、VDHM型DCRシステム600は、図6に示すように、2つのNL PA624と、2つのフィードバックループとを有してもよい。

【0036】

VDHM605は、複数のVEリニアライザ601のセットと、複数のカブラ623とを有してもよく、複数のカブラ623は、それぞれVEリニアライザ601のセットに結合されてもよい。VEリニアライザ601のセットは、1つのNL PA624にそれぞれ関連してもよく、1つの対応するフィードバックループに結合されてもよい。VEリニアライザ601の各セットは、少なくとも1つのVEリニアライザ622を有してもよい。例えば、VEリニアライザ601の各セットは、2つのVEリニアライザ622を有してもよく、従って、VDHM605のVEリニアライザ622の総数は、NL PA624の数の約2倍又はフィードバックループの数の2倍になってもよい。VEリニアライザ601の各セットは、異なる入力信号を受信してもよい。VEリニアライザ601のセットの各VEリニアライザ622は、入力信号の実質的に同様のコピーを受信し、信号を処理し、実質的に同様の又は異なる処理された信号を異なるカブラ623に送信してもよい。カブラ623は、VEリニアライザ601の各セット（例えば、 VE_{11} 及び VE_{12} 、又は VE_{21} 及び VE_{22} ）の1つのVEリニアライザ622から受信した信号を合成するように構成されてもよい。これらの信号は実質的に同様の信号でもよく、異なる信号でもよい。カブラ623は、合成信号 (x'_1, x'_2) を対応するNL PA624に転送してもよく、従って、合成信号は、デジタル波形からアナログ波形に変換されてもよい。

【0037】

次に、NL PA624は、受信信号の増幅したアナログバージョンをAHM630に転送してもよい。AHM630は、アナログ信号を受信し、前述のように信号を処理し、対応する入力デジタル信号に等価な複数の出力アナログ及び増幅信号を送信してもよい。更に、AHM630は、複

数の対応するフィードバック信号をDVHM605に転送してもよい。実施例では、VEリニアライザ601の各セットは、1つのフィードバックループに結合され、従って、1つの対応するフィードバック信号を受信してもよい。VEリニアライザ601のセットの各VEリニアライザ622は、対応するフィードバック信号のコピーを受信し、従って、信号歪みを補うため又は信号を線形化するためにフィードバック信号を使用してもよい。

【0038】

VDHM605は、信号線形化と信号分配及び合成との双方を実装するために使用され得るため、VDHM605は、DHM及び複数の別々のVEリニアライザの機能を置換してもよい。低減したフィードバックのDCRシステム500と同様に、VDHM605は、AHM30に直接結合されてもよく、従って、VDHM605の個々のVEリニアライザ622は、AHM30により取り込まれた非線形又は不要の信号効果を補うように構成されてもよい。システムでフィードバックループの数を低減することに加えて、VDHM605の使用は、構成要素の並列構成を置換することにより、従って、システムのロバスト性を改善することにより、クロストークを更に低減するために有利になり得る。最後に、VDHM605により、複数の構成要素（例えばVEリニアライザ622及びカプラ623）の間でのリソース共有が可能になり、これはシステム効率を増加させる。

【0039】

図7は、ピーク電力低減（PPR：peak power reduction）型DCRシステム700の実施例を示しており、PPR型DCRシステム700は、PPR型システムでDVHM構成要素を使用してもよい。PPR型DCRシステム700は、厳しい信号要件又は低い信号劣化耐性を備えた無線システム（OFDM（Orthogonal Frequency-Division Multiplexing）型4Gシステム等）で使用されてもよい。このようなシステムでは、PPR技術は、信号電力増幅前にモデムで適用され、無線機のDHM構成要素により取り込まれる不要な効果を低減してもよい。具体的には、PPR技術は、信号ピーク対平均比（PAR：peak to average ratio）を低減又は制限するために適用されてもよい。信号ピーク対平均比は、DHM構成要素での信号処理のため、更に増加し得る。

【0040】

PPR型DCRシステム700は、第1の理想DHM（iDHM）701と、第1のiDHM710に結合された少なくとも1つのPPRブロック702とを含むモデム構成要素を有してもよい。更に、PPR型DCRシステム700は、PPRブロック702に結合されたデルタVDHM（ Δ VDHM）705と、 Δ VDHM705に結合された少なくとも1つのNL PA724と、NL PA724に結合されたAHM730と、第2のiDHM 740とを含む無線構成要素を有してもよい。第2のiDHM740は、少なくとも1つのフィードバックループを介して、AHM730及び Δ VDHM705に結合されてもよい。

【0041】

第1のiDHM701は、DHM410及びDHM510と同様に、入力信号を分配及び合成するように構成されてもよい。しかし、前述のDHM構成要素とは異なり、第1のiDHM701は、一定の方法で信号を処理してもよく、再構成でなくてもよい。第1のiDHM701は、フィードバック信号を受信又は使用せずに、理想的なシステム応答状況に基づいて入力信号を処理するように構成される。例えば、第1のiDHM701は、理想的なAHM応答又はフィードバック信号に基づいて所定の方法で構成されてもよい。従って、第1のiDHM701は、各合成信号をPPRブロック702に転送してもよく、次に、PPRブロック702は、信号を無線機の Δ VDHM705に転送する前に信号電力を制御又は低減するために、少なくとも1つのPPR技術を実装してもよい。

【0042】

Δ VDHM705は、DHM410及びDHM510と同様に、適応的に入力信号を分配及び合成するように構成されてもよい。しかし、 Δ VDHM705は、完全に実際のシステム応答ではなく、所定の理想的なシステム応答と実際のシステム応答との差に基づいて信号を処理してもよい。従って、 Δ VDHM705は、その理想的な応答又は予想の応答からAHM730により取り込まれた何らかのずれから補うように信号を処理してもよい。 Δ VDHM705は、対応する入力信号を処理するために、フィードバックループを介して第2のiDHM740から転送され得るフィードバック信号を使用してもよい。第2のiDHM740は、第1のiDHM701と同様に構成されても

よく、更なるVEフィードバックループを使用する代わりに、前述のDHM440と同様の構成で使用されてもよい。

【 0 0 4 3 】

厳しい信号PAR要件を備えたPPR型DCRシステム700の互換性に加えて、 Δ VDHM705は、ほぼNL PA724の数までのフィードバックループの数の低減と、AHM730の非線形効果を補うことと、クロストークの低減とを含み、VDHM605と同様の利点を追加してもよい。

【 0 0 4 4 】

図8は、マルチポートPA DCRシステム800の実施例を示しており、マルチポートPA DCRシステム800は、VDHM構成要素と低減した数のフィードバックループとを使用してもよい。マルチポートPA DCRシステム800は、VDHM805と、VDHM805に結合された少なくとも1つのマルチポートPA824と、マルチポートPA824に結合されたAHM830とを使用してもよく、これらは、前述の対応する構成要素と同様に構成されてもよい。更に、マルチポートPA DCRシステム800は、マルチポートPA824及び位相シフトブロック626にそれぞれ関連した複数の前処理ブロックを有してもよい。各前処理ブロックは、同期化、位相調整、マッピング機能若しくは他の信号処理機能又はこれらの組み合わせを実装するように構成されてもよい。

【 0 0 4 5 】

実施例では、マルチポートPA DCRシステム800は、図示のように、2つのマルチポートPA824と、2つの前処理ブロック（第1のマルチポートPA824（ PA_1 ）に対応する主増幅器前処理ブロック802及び第2のマルチポートPA824（ PA_2 ）に対応するピーク増幅器前処理ブロック804）とを有してもよい。更に、2つのマルチポートPA824は、前述のNL PAと同様に構成されてもよい複数のPAを有してもよい。代替として、マルチポートPA824の少なくともいくつかは、高度なPA（Doherty又はAsymmetrical Doherty増幅器等）でもよい。各マルチポートPA824は、AHM830及びVDHM805に結合されてもよい。具体的には、第1のマルチポートPA824（ PA_1 ）は、1つのカブラ823に結合され、2つのVEリニアライザ（例えば VE_{11} 及び VE_{12} ）から合成信号を受信してもよい。2つのVEリニアライザ822は、フィードバックループを介してAHM830に結合されてもよい。他方、第2のマルチポートPA824（ PA_2 ）は、第1のマルチポートPA824（ PA_1 ）の合成信号に関して、位相シフトされた信号を受信してもよい。位相シフトされた信号は、位相シフトブロック626を介して第2のマルチポートPA824（ PA_2 ）により受信されてもよい。位相シフトブロック626は、第1のマルチポートPA824（ PA_1 ）の入力に接続されてもよい。第2のマルチポートPA824（ PA_2 ）はまた、他のカブラ823に結合され、2つの他のVEリニアライザ（例えば、 VE_{21} 及び VE_{22} ）からバイアス信号を受信してもよい。AHM830は、第1のマルチポートPA824（ PA_1 ）及び第2のマルチポートPA824（ PA_2 ）から出力信号を受信し、信号を単一の出力信号に合成し、例えばアンテナを使用して信号を送信してもよい。AHM830はまた、単一のフィードバックループを介して、VDHM805、主増幅器前処理ブロック802及びピーク増幅器前処理ブロック804に結合されてもよく、これに従って、2つのマルチポートPA824に対応するフィードバック信号を転送してもよい。

【 0 0 4 6 】

他の実施例では、マルチポートPA DCRシステム800は、如何なる数のマルチポートPA824と、対応する数の前処理ブロック及び位相シフトブロック626とを有してもよい。従って、マルチポートPA824の少なくともいくつかの対は、位相シフトブロック626を介して接続されてもよく、前述のように、2つの前処理ブロック及び単一のフィードバックループに連結又は結合されてもよい。従って、マルチポートPA DCRシステム800のフィードバックループの総数は、マルチポートPA824の数の約半分に等しくてもよい。

【 0 0 4 7 】

図9は、他のマルチポートPA DCRシステム900の実施例を示しており、マルチポートPA DCRシステム900は、マルチポートPA DCRシステム800と同様に構成されてもよい。従って、マルチポートPA DCRシステム900は、VDHM905と、VDHM905に結合された少なくとも1つのマルチポートPA924と、マルチポートPA924に結合されたAHM930とを有してもよい。マ

マルチポートPA DCRシステム900はまた、フィードバックループを介してVDHM905及びAHM930に結合された複数の前処理ブロック（例えば、主増幅器前処理ブロック902及びピーク増幅器前処理ブロック904）を有してもよい。

【0048】

しかし、マルチポートPA DCRシステム800とは異なり、マルチポートPA DCRシステム900は、マルチポートPA924に接続又は結合された位相シフトブロックを有さなくてもよい。その代わりに、各マルチポートPA924は、カブラ923に結合され、異なるセットのVEリニアライザ921で複数のVEリニアライザ922から合成信号を受信してもよい。例えば、マルチポートPA DCRシステム900は、主増幅器前処理ブロック902に関連する第1のマルチポートPA (PA_1) を有してもよい。主増幅器前処理ブロック902は、2つのVEリニアライザ922（例えば VE_{11} 及び VE_{12} ）から合成信号を受信してもよい。同様に、マルチポートPA DCRシステム900は、ピーク増幅器前処理ブロック904に関連する第2のマルチポートPA924 (PA_2) を有してもよい。ピーク増幅器前処理ブロック904は、2つの他のVEリニアライザ922（例えば VE_{21} 及び VE_{22} ）から合成信号を受信してもよい。

【0049】

前述のシステム構成要素（VEリニアライザの構成要素等）の少なくともいくつかは、汎用ネットワーク構成要素（配分された必要な負荷を処理するために十分な処理能力、メモリリソース及びネットワークスループット能力を有するコンピュータ又はネットワーク構成要素等）に実装されてもよい。図10は、ここに開示された構成要素の1つ以上の実施例を実装するのに適した典型的な汎用ネットワーク構成要素1000を示している。ネットワーク構成要素1000は、2次記憶装置1020を含むメモリ装置と通信するプロセッサ1010（中央処理装置又はCPUと呼ばれてもよい）と、読み取り専用メモリ（ROM）1030と、ランダムアクセスメモリ（RAM）1040と、入出力（I/O）装置1050と、ネットワーク接続装置1060とを含む。プロセッサ1010は、1つ以上のCPUチップとして実装されてもよく、1つ以上のASICの一部でもよい。

【0050】

典型的には、2次記憶装置1020は、1つ以上のディスクドライブ又はテープドライブから構成され、データの不揮発性記憶装置に使用され、また、RAM1040が全ての動作データを保持するのに十分でない場合に、オーバーフローデータ記憶装置として使用される。2次記憶装置1020は、プログラムが実行のために選択されたときに、RAM1040にロードされるプログラムを格納するために使用されてもよい。ROM1050は、プログラム実行中に読み取られる命令及び場合によってはデータを格納するために使用される。ROM1050は、典型的には2次記憶装置1020の大きいメモリ容量に比べて小さいメモリ容量を有する不揮発性メモリ装置である。RAM1040は、揮発性データを格納するため、及び場合によっては命令を格納するために使用される。典型的には、ROM1030及びRAM1040へのアクセスは、2次記憶装置1020へのアクセスより速い。

【0051】

更に、ここに記載されたシステムの少なくともいくつかは、少なくとも1つのFPGA及び/又はASICを使用して実装されてもよい。例えば、システム構成要素の少なくともいくつかは、マイクロプロセッサでのブロック型方法を使用する代わりに、1つ以上のFPGAに逐点法（point-by-point method）を使用して実装されてもよい。他の実施例では、システム構成要素の少なくともいくつかは、内部集積CPU又は外部CPUチップを使用して実装されてもよい。

【0052】

本発明の好ましい実施例について図示及び説明したが、本発明の要旨及び教示を逸脱することなく、これらの変形が当業者により行われ得る。ここに記載の実施例は例示的なものに過ぎず、限定的であることを意図しない。ここに開示された本発明の多数の変更及び変形が可能であり、本発明の範囲内である。数値範囲又は限定が明確に記載されている場合、このような表現の範囲又は限定は、明確に記載された範囲又は限定内に入る同様の大きさの繰り返し範囲又は限定を含むことがわかる（例えば、約1～約10は、2、3、4等を含

み、0.10より大きい(は、0.11、0.12、0.13等を含む)。請求項のいずれかの要素に関して“任意選択”という用語を使用することは、対象の要素が必要ではないことを意味することを意図する。有する、含む、持つ等の広い用語の使用は、構成される、基本的に構成される、実質的に構成される等の狭い用語のサポートを提供することがわかる。

【0053】

従って、保護範囲は、前述の説明により限定されるのではなく、特許請求の範囲のみにより限定される。特許請求の範囲は、請求項の対象物の全ての均等を含む。各請求項は、本発明の実施例として明細書に組み込まれる。従って、特許請求の範囲は更なる説明であり、本発明の好ましい実施例への追加である。関連技術の説明における参考文献の説明は、特に本出願の優先日の後の発行日を有し得る参考文献については、本発明への従来技術の認定ではない。ここで引用される全ての特許、特許出願及び刊行物は、ここに示すものを補う例示的な、手続上の又は他の詳細を提供する範囲で援用される。

10

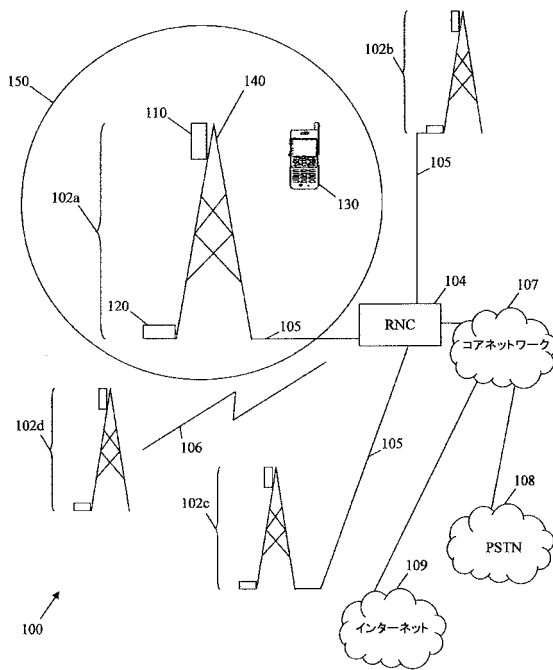
【符号の説明】

【0054】

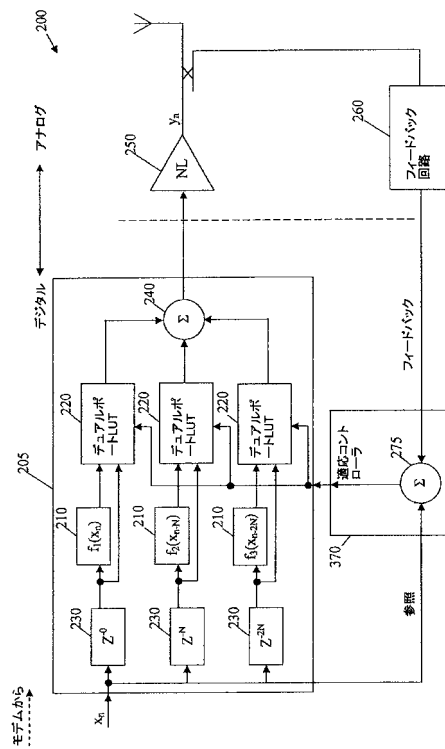
- 100 無線通信システム
- 102a、102b、102c、102d 基地局
- 104 無線ネットワークコントローラ
- 105 物理接続
- 106 無線接続
- 107 コアネットワーク
- 108 公衆電話交換網
- 109 インターネット
- 110 DCR
- 120 モデム
- 130 無線通信装置
- 140 通信タワー
- 150 信号範囲

20

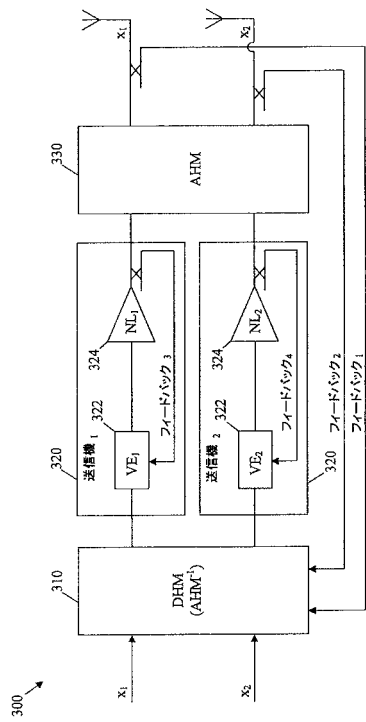
【図 1】



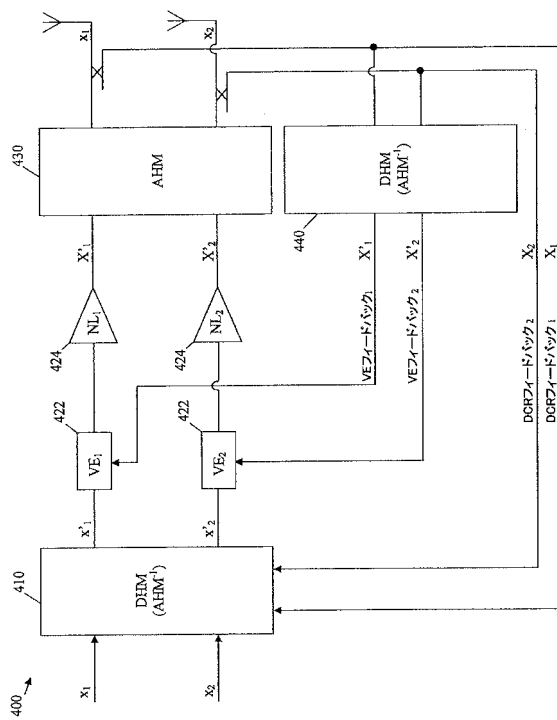
【図 2】



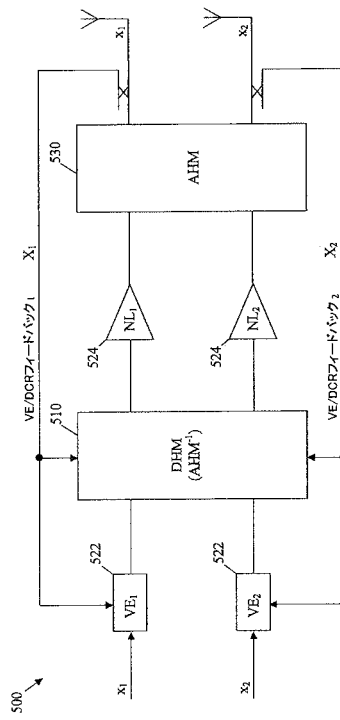
【図 3】



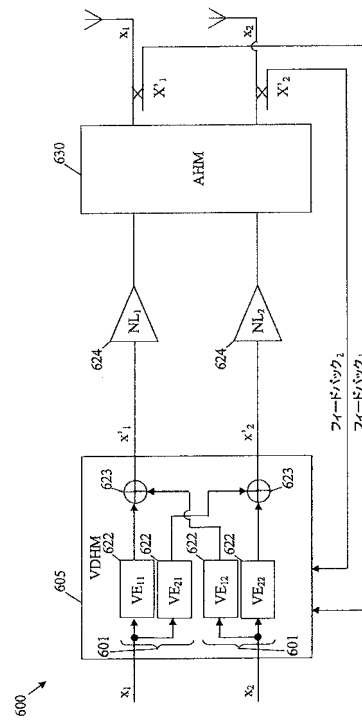
【図 4】



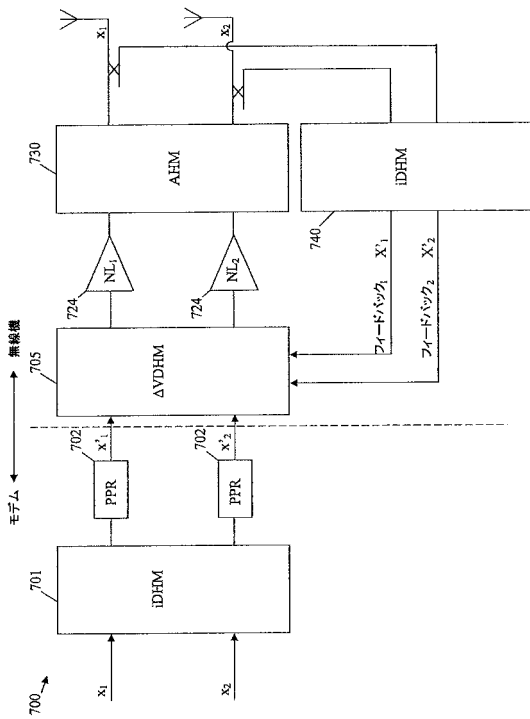
【図 5】



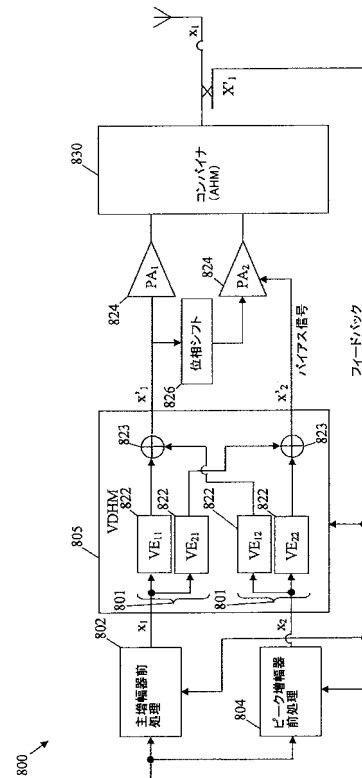
【図 6】



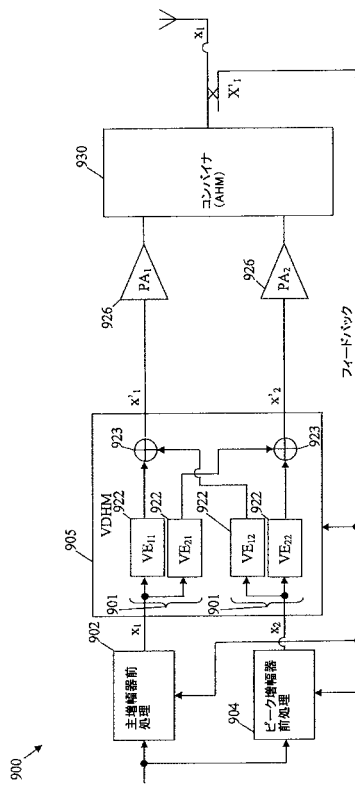
【図 7】



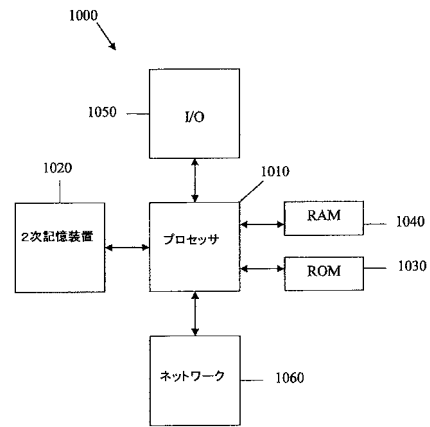
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 ジョン・ピーター ヴァン ゼルム

カナダ国 ティー２エル １ズィー４ アルバータ，カルガリー，ブレナー・クレセント・エヌダ
ブリュ ５６０８

(72)発明者 ピーター ラシェヴ

カナダ国 ティー３エル ２ヴィー６ アルバータ，カルガリー，タスカニー・メドゥーズ・クレ
セント・エヌダブリュ １０９

F ターム(参考) 5J500 AA01 AA41 AC21 AF17 AM11 AS14 AT01 NN16

5K060 BB07 CC04 CC11 CC19 DD04 FF06 HH06 HH31 HH32 HH35

HH37 JJ16 JJ21 KK02 KK03 KK04 KK06 KK08 LL01 LL24