

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2017-200162

(P2017-200162A)

(43) 公開日 平成29年11月2日 (2017.11.2)

(51) Int.Cl.	F I	テーマコード (参考)
H03K 5/26 (2006.01)	H03K 5/26	2G029
G01R 23/02 (2006.01)	G01R 23/02	5J039

審査請求 有 請求項の数 13 O L 外国語出願 (全 14 頁)

(21) 出願番号	特願2016-178472 (P2016-178472)	(71) 出願人	595039162
(22) 出願日	平成28年9月13日 (2016. 9. 13)		華邦電子股▲ふん▼有限公司
(31) 優先権主張番号	105112933		Winbond Electronics Corp.
(32) 優先日	平成28年4月26日 (2016. 4. 26)		台湾台中市大雅區中部科學園區科雅一路8號
(33) 優先権主張国	台湾 (TW)		號
		(74) 代理人	100147485
			弁理士 杉村 憲司
		(74) 代理人	100161148
			弁理士 福尾 誠
		(74) 代理人	100134577
			弁理士 石川 雅章
		(72) 発明者	李 ▲鎮▼▲宜▼
			台湾台中市大雅區科雅一路8號
		Fターム (参考)	2G029 AA01 AD05 AE08 AG06 AH06
			最終頁に続く

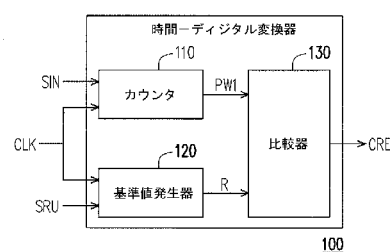
(54) 【発明の名称】 高分解能の時間-デジタル変換器

(57) 【要約】

【課題】 高分解能の時間-デジタル変換器 (TDC) が提供される。

【解決手段】 TDCは、カウンタと、基準値発生器と、比較器とを含む。前記カウンタは、入力信号のパルス幅を計算するために入力信号をクロック信号に基づいてサンプリングする。前記基準値発生器は、基準値を発生するためにルーラー信号を前記クロック信号に基づいてサンプリングする。ここで、前記クロック信号の周波数は前記ルーラー信号の周波数より大きく、前記ルーラー信号の周波数は前記入力信号の周波数より大きい。前記比較器は、前記カウンタと前記基準値発生器とに結合され、計数結果を発生するために前記入力信号のパルス幅と前記基準値を比較する。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

入力信号の第 1 のパルス幅を計算するために前記入力信号をクロック信号に基づいてサンプリングする第 1 のカウンタと、

基準値を発生するためにルーラー信号を前記クロック信号に基づいてサンプリングする基準値発生器と、

前記第 1 のカウンタと前記基準値発生器とに結合され、計数結果を発生するために前記入力信号の前記第 1 のパルス幅と前記基準値とを比較する比較器とを備え、

前記クロック信号の周波数は前記ルーラー信号の周波数より大きく、前記ルーラー信号の周波数は前記入力信号の周波数より大きい、

高分解能の時間—ディジタル変換器。

10

【請求項 2】

前記基準値発生器は、前記ルーラー信号の第 2 のパルス幅を計算するために前記ルーラー信号を前記クロック信号に基づいてサンプリングし、前記基準値を発生させるために前記第 2 のパルス幅を前記ルーラー信号に基づいて周期的にラッチするように構成されている、請求項 1 に記載の高分解能の時間—ディジタル変換器。

【請求項 3】

前記基準値発生器は、

前記ルーラー信号の前記第 2 のパルス幅を計算するために前記ルーラー信号を前記クロック信号に基づいてサンプリングするとともに、前記ルーラー信号の反転信号に基づいてリセット動作を実行する第 2 のカウンタと、

前記第 2 のカウンタと前記比較器との間に結合され、前記ルーラー信号の前記第 2 のパルス幅を前記基準値として機能するように送信することを決定する、即ち前記ルーラー信号の前記第 2 のパルス幅をラッチして前記基準値を前記ルーラー信号の論理レベルに基づいて発生することを決定する、ラッチと、

を備える、請求項 2 に記載の高分解能の時間—ディジタル変換器。

20

【請求項 4】

前記基準値発生器は更に、

前記第 2 のカウンタと前記ラッチとに結合され、前記ルーラー信号を受信し、その後前記ルーラー信号をラッチしてラッチイネーブル信号及びカウンタリセット信号をそれぞれ発生する遅延回路を備え、前記遅延回路は前記ラッチイネーブル信号を前記ラッチのイネーブル端子に出力し、前記カウンタリセット信号を前記第 2 のカウンタのリセット端子に出力するように構成されている、請求項 3 に記載の高分解能の時間—ディジタル変換器。

30

【請求項 5】

前記遅延回路は互いに直列に結合された第 1 のバッファ及び第 2 のバッファを備える、請求項 4 に記載の高分解能の時間—ディジタル変換器。

【請求項 6】

前記ルーラー信号の前記第 2 のパルス幅は所定の容量変化に従って決定されるように構成されている、請求項 2 に記載の高分解能の時間—ディジタル変換器。

【請求項 7】

前記比較器は、

前記第 1 のカウンタと前記基準値発生器とに結合され、前記基準値と前記第 1 のパルス幅とを比較して比較結果を出力する比較回路と、

前記比較回路に結合され、前記第 1 のパルス幅に対して前記基準値によって除算演算を実行することによって得られた商を発生するために前記比較結果を計数する第 3 のカウンタと、

前記比較回路と前記基準値発生器とに結合され、前記第 1 のパルス幅に対して前記基準値によって除算演算を実行することによって得られた余りが 0 でないときイネーブルされる第 4 のカウンタとを備え、

前記第 4 のカウンタがイネーブルされたとき、前記第 4 のカウンタは前記余りを前記基準

40

50

値と比較することによって前記計数結果の分数部分を決定するように構成されている、請求項 1 に記載の高分解能の時間－デジタル変換器。

【請求項 8】

前記第 1 のカウンタは前記比較回路により出力される比較結果に基づいてリセット動作を実行するように構成されている、請求項 7 に記載の高分解能の時間－デジタル変換器。

【請求項 9】

前記第 1 のカウンタに結合され、前記クロック信号及び前記入力信号を受信し、第 1 のサンプリング結果を出力し前記第 1 のカウンタのクロック入力端子に供給する第 1 の A N D ゲートと、

前記基準値発生器に結合され、前記クロック信号及び前記ルーラー信号を受信し、第 2 のサンプリング結果を出力し前記基準値発生器のクロック入力端子に供給する第 2 の A N D ゲートと、

を更に備える、請求項 1 に記載の高分解能の時間－デジタル変換器。

【請求項 10】

前記第 1 のカウンタに結合され、前記入力信号の立上りエッジ及び立下りエッジに基づいて前記クロック信号の第 1 の論理レベルを検出し、前記クロック信号の検出した第 1 の論理レベルに応答して第 1 の制御信号を発生する第 1 のダブルエッジ検出回路を更に備え、前記第 1 のカウンタは前記第 1 の制御信号に基づいて計数動作を実行するかどうかを決定するように構成されている、請求項 1 に記載の高分解能の時間－デジタル変換器。

【請求項 11】

前記基準値発生器に結合され、前記ルーラー信号の立上りエッジ及び立下りエッジに基づいて前記クロック信号の第 2 の論理レベルを検出し、前記クロック信号の検出した第 2 の論理レベルに応答して第 2 の制御信号を発生する第 2 のダブルエッジ検出回路を更に備え、前記基準値発生器は前記第 2 の制御信号に基づいて計数動作を実行するかどうかを決定するように構成されている、請求項 10 に記載の高分解能の時間－デジタル変換器。

【請求項 12】

前記ダブルエッジ検出回路は D 型フリップフロップであり、前記 D 型フリップフロップのクロック入力端子は前記入力信号を受信し、前記 D 型フリップフロップの信号入力端子は前記クロック信号を受信し、前記 D 型フリップフロップの出力端子は前記制御信号を前記カウンタのイネーブル端子に出力するように構成されている、請求項 10 に記載の高分解能の時間－デジタル変換器。

【請求項 13】

クロック信号を供給する位相ロックループ装置と、

前記位相ロックループ装置に結合され、前記クロック信号の論理レベルを入力信号の立上りエッジ及び立下りエッジに基づいて検出し、前記クロック信号の検出した論理レベルに応答して制御信号を発生するダブルエッジ検出回路と、

前記位相ロックループ装置と前記ダブルエッジ検出回路とに結合され、前記制御信号に基づいて計数動作を実行するかどうかを決定するカウンタとを備え、前記カウンタが前記計数動作を実行するとき、前記カウンタは前記入力信号を前記クロック信号に基づいてサンプリングして前記入力信号に対応する計数結果を出力するように構成されている、高分解能の時間－デジタル変換器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、時間－デジタル変換器に関し、特に環境妨害を緩和し得るフルデジタル応用の時間－デジタル変換器に関する。

【背景技術】

【0002】

集積回路の発達につれて、センサにより得られた検出情報をデジタル符号に変換する

10

20

30

40

50

ことによってより広範な使用が達成可能である。時間測定システムに関しては、時間－デジタル変換器は検出情報を表すために時間幅を採用し、時間幅を発振器で計数して検出情報をデジタル出力に変換する。

【0003】

既存の技術では、時間－デジタル変換器は一般的に、前段に比較器を構成するだけで時間検出信号の雑音部分を除去している。しかしながら、製造プロセス、電圧、温度等に関連する環境変化が計数プロセスに妨害を生じるかもしれない。更に、高いエネルギー変換効率及び高い精度に対する要求が次第に増している。それゆえ、上記の問題を有効に解決することが時間－デジタル変換器の重要技術になっている。

【発明の概要】

【発明が解決しようとする課題】

【0004】

本発明は、環境妨害に起因する不正確な計数結果の問題を緩和し、高い分解能を実現するとともに低い電力消費の利点をもたらすように構成された、高分解能の時間－デジタル変換器を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、カウンタと、基準値発生器と、比較器とを含む、高い分解能の時間－デジタル変換器を提供する。前記カウンタは、入力信号のパルス幅を計算するために入力信号をクロック信号に基づいてサンプリングする。前記基準値発生器は、基準値を発生するためにルーラー信号を前記クロック信号に基づいてサンプリングする。前記クロック信号の周波数は前記ルーラー信号の周波数より大きく、前記ルーラー信号の周波数は前記入力信号の周波数より大きい。前記比較器は、前記カウンタ及び前記基準値発生器に結合され、計数結果を発生するために前記入力信号のパルス幅と前記基準値とを比較する。

【0006】

本発明は更に、位相ロックループ装置と、ダブルエッジ検出回路と、カウンタとを含む、高い分解能の時間－デジタル変換器を提供する。前記位相ロックループ装置はクロック信号を供給する。前記ダブルエッジ検出回路は、前記位相ロックループ装置に結合され、前記クロック信号の論理レベルを入力信号の立上りエッジ及び立下りエッジに基づいて検出し、前記クロック信号の検出した論理レベルに応答して制御信号を発生する。前記カウンタは、前記位相ロックループ装置と前記ダブルエッジ検出回路とに結合され、前記制御信号に基づいて計数動作を実行するかどうかを決定する。前記カウンタが計数動作を実行するとき、前記カウンタは前記入力信号を前記クロック信号に基づいてサンプリングして前記入力信号に対応する計数結果を出力する。

【発明の効果】

【0007】

上記の説明によれば、本発明の実施形態では、クロックの信号の周波数変化を表すためにルーラー信号に基づいて発生される基準値を使用し、入力信号に対応する計数結果を得るために、入力信号のパルス幅と基準値とを比較してその相対的比率を計算する。このようにすると、環境変化に起因する計数精度への影響を効果的に除去することができ、高い分解能の要件を達成するとともに、良好なエネルギー使用率を達成することができる。

【図面の簡単な説明】

【0008】

【図1】本発明の一実施形態による高分解能TDCのブロック略図である。

【図2】本発明の別の実施形態による高分解能TDCのブロック略図である。

【図3】本発明の一実施形態による高分解能TDCの信号波形図である。

【図4】本発明の別の実施形態による高分解能TDCのブロック略図である。

【図5】本発明の別の実施形態による高分解能TDCの信号波形図である。

【図6】本発明の別の実施形態による高分解能TDCのブロック略図である。

【発明を実施するための形態】

【0009】

高分解能でフルデジタルの時間—デジタル変換器（TDC）を実現するために、本発明の一実施形態では、クロック信号の周波数変化を示すためにルーラー信号を供給して基準値を発生させ、入力信号に対応する計数結果を得るために、入力信号のパルス幅と基準値を比較してその相対的比率を計算する。この相対的比率を計算することによって、環境変化に起因する計数精度への影響を有効に除去することができる。その上、上記のアーキテクチャは分数部分の計数機能も提供するため、分解能が有効に改善され、良好なエネルギー使用率が達成される。他方、入力信号のエッジ検出に基づいて、入力信号の立上りエッジの検出時に計数機能が活性化されるのに加えて、計数動作を実行するかどうかを、入力信号の立下りエッジの検出時にクロック信号の論理レベルに基づいて決定することができるため、最終ビットの計数精度が改善される。従って、TDCの総合分解能を向上させることができる。

10

【0010】

図1を参照すると、図1は本発明による高分解能TDCのブロック略図である。TDC 100は、カウンタ110と、基準値発生器120と、比較器130とを備える。比較器130はカウンタ110と基準値発生器120とに結合される。カウンタ110は入力信号SINをクロック信号CLKに基づいてサンプリングして入力信号SINのパルス幅PW1を計算する。基準値発生器120はルーラー信号SRUをクロック信号CLKに基づいてサンプリングして基準値Rを発生する。比較器130は入力信号SINのパルス幅PW1と基準値Rを比較して計数結果CREを発生する。

20

【0011】

本実施形態では、クロック信号CLKの周波数はルーラー信号SRUの周波数より大きくし、ルーラー信号SRUの周波数は入力信号SINの周波数より大きくすることができる。従って、本実施形態では、ルーラー信号SRUと入力信号SINはそれぞれクロック信号に基づいてサンプリングすることができ、基準値Rに対する入力信号SINのパルス幅PW1の比率（この比率は以後相対的比率と言う）を計算して入力信号SINの計数結果CREとして出力することができる。

【0012】

基準値発生器120は、ルーラー信号SRUをクロック信号CLKに基づいてサンプリングしてルーラー信号SRUのパルス幅を計算し、ルーラー信号SRUのパルス幅をルーラー信号SRUに従って周期的にラッチして基準値Rを発生することに留意されたい。即ち、環境パラメータとともに変化されるクロック信号CLKの変化が基準値Rにリアルタイムに反映され得る。その後、比較器130が入力信号SINのパルス幅PW1を調整された基準値Rに基づいて計数するため、環境変化に起因する計数精度への妨害を有効に除去することができる。

30

【0013】

更に、ルーラー信号SRUのパルス幅は、例えば所定の容量変化に基づいて決定される。所定の容量変化は所定値としてもよく、またユーザにより設定可能にしてもよい。このようなアーキテクチャの下では、ルーラー信号SRUは差分容量検出回路及び容量—時間変換器によって発生させることができる。具体的に言うと、差分容量検出回路を用いて上述した所定の容量変化を検出し、所定の容量変化に対応する検出信号をデジタルフォーマットで出力することができる。その後、容量—時間変換器は上述した検出信号をルーラー信号SRUのパルス幅に変換し、発生したルーラー信号SRUをTDC 100に供給する。同様に、入力信号SINも、例えば差分容量検出回路によって検出される容量変化に基づいて決定される。それゆえ、別の態様では、本実施形態のTDC 100は容量読取回路とみなすこともでき、ルーラー信号SRUの上記の実装はほんの一例にすぎず、本発明はこれに限定されない。

40

【0014】

ところで、実際の応用では、クロック信号CLKは全デジタル位相ロックループ装置又は他の周波数発生器によって供給することができるが、これは本発明によって限定され

50

ない。

【0015】

図2を参照すると、図2は本発明の別の実施形態による高分解能TDCのブロック略図である。TDC200は、カウンタ210と、基準値発生器と、比較器と、ANDゲート240、250とを含む。ANDゲート240はカウンタ210に結合され、ANDゲート250は基準値発生器に結合される。更に、基準値発生器は、カウンタ222と、ラッチ224と、遅延回路226とを含み、比較器は比較回路232とカウンタ234及び236とを含むことができる。

【0016】

本実施形態では、ANDゲート240はクロック信号CLKと入力信号SINを受信し、サンプリング結果SS1を出力し、カウンタ210のクロック入力端子CKに供給する。従って、カウンタ210はサンプリング結果SS1に含まれる複数のパルスに基づいて入力信号SINのパルス幅PW1を決定することができる。入力信号SINのパルス幅PW1は、例えばサンプリング結果SS1に含まれるパルスの数により決定される。

【0017】

他方、ANDゲート250はクロック信号CLKとルーラー信号SRUを受信し、サンプリング結果SS2を出力し、基準値発生器のクロック入力端子（例えば、カウンタ222のクロック入力端子）に供給する。従って、基準値発生器はサンプリング結果SS2に含まれる複数のパルスに基づいて基準値Rを計算し、発生する。同様に、基準値Rの値もサンプリング結果SS2に含まれるパルスの数に基づいて決定される。

【0018】

基準値発生器の詳細な回路に関して言えば、本実施形態では、カウンタ222がANDゲート250に結合され、ラッチ224がカウンタ222と比較回路232との間に結合され、遅延回路226がカウンタ222とラッチ224に結合される。

【0019】

具体的に言うと、カウンタ222はANDゲート250により出力されるサンプリング結果SS2をクロック入力端子CKに受信し、ルーラー信号SRUをクロック信号CLKに基づいてサンプリングしてルーラー信号SRUのパルス幅PW2を計算する。更に、カウンタ222はルーラー信号SRUの反転信号に従ってリセット動作を実行する。

【0020】

ラッチ224は、ルーラー信号SRUのパルス幅PW2を基準値Rとして機能するように送信することを決定すること、即ちルーラー信号SRUのパルス幅PW2をラッチして基準値Rをルーラー信号SRUの論理レベルに従って発生させることを決定することができる。

【0021】

遅延回路226はルーラー信号SRUを受信し、ルーラー信号SRUを連続的に遅延してラッチイネーブル信号LATEN及びカウンタリセット信号CTRESをそれぞれ発生する。遅延回路226はラッチイネーブル信号LATENをラッチ224のイネーブル端子ENに出力し、カウンタリセット信号CTRESをカウンタ222のリセット端子RNに出力する。本実施形態では、遅延回路226は互いに直列に接続されたバッファBUF1及びBUF2を含み得る。バッファBUF1の入力端子はルーラー信号SRUを受信し、バッファBUF1の出力端子はラッチイネーブル信号LATENを発生する。更に、バッファBUF2の入力端子はバッファBUF1の出力端子に結合され、バッファBUF2出力端子はカウンタリセット信号CTRESを発生する。

【0022】

実際の応用では、ラッチ224は、例えばD型フリップフロップである。更に、他の実施形態では、ラッチ224はデータラッチ機能を有する他の回路装置で実装することもでき、遅延回路226により発生されるラッチイネーブル信号LATEN及びカウンタリセット信号CTRESはラッチ224の実装に適応して調整することができる。

【0023】

比較器の詳細な回路に関しては、本実施形態では、比較回路 232 がカウンタ 210 と基準値発生器とに結合され、カウンタ 234 が比較回路 232 に結合され、カウンタ 236 が比較回路 232 と基準値発生器とに結合される。

【0024】

更に、比較回路 232 は基準値 R とパルス幅 PW1 を比較して比較結果 COMP を出力し、カウンタ 234 は比較結果 COMP をそのクロック入力端子 CK から受信し、比較結果 COMP を計数して、パルス幅 PW1 に対して基準値 R によって除算演算を実行することによって得られた商 Q を発生する。商 Q は計数結果 CRE の整数部である。更に、パルス幅 PW1 に対して基準値 R によって除算演算を実行することによって得られた余りが 0 でないとき、カウンタ 236 がイネーブルされる。カウンタ 236 がイネーブルされると、カウンタ 236 は余りと基準値 R を比較することによって計数結果 CRE の分数部分 F を決定する。本実施形態では、カウンタ 236 は、例えば、余りが基準値 R の半分より大きいかどうかを比較して計数結果 CRE の分数部分 F を決定する。言い換えれば、カウンタ 236 は計数結果の 10 分の 1 の単位（即ち小数点以下の数）を丸め方法で決定することができる。また、他の実施形態では、カウンタ 236 は余りと基準値 R との比を計算して計数結果 CRE の分数部分 F の値を決定することもできる。分数部分の計算の実装例は当業者に知られているので、その詳細な説明は省略する。

【0025】

余りが 0 であるかどうかを決定するステップは比較回路 232 で実行できることに留意されたい。また、他の実施形態では、余りが 0 であるかどうかを決定するステップはカウンタ 236 で実行することもでき、これは本発明により限定されない。

【0026】

また、TDC 200 は更にバッファ BUF 3 を含むことができる。バッファ BUF 3 の入力端子は比較回路 232 の出力端子に結合し、バッファ BUF 3 の出力端子はカウンタ 210 のリセット入力端子 RN に結合して、カウンタ 210 はリセット動作を比較回路 232 により出力される比較結果 COMP に従って実行するようにし得る。本実施形態では、リセット端子 RN は、例えば比較結果 COMP の反転信号を受信する。

【0027】

TDC 200 の動作の詳細は図 2 及び図 3 を参照して以下に詳細に説明される。図 3 は、本発明の一実施形態による高分解能 TDC の信号波形図である。入力信号 SIN はパルス P1 を含むことができ、パルス P1 の幅はパルス幅 PW1 である。ルーラー信号 SRU はパルス P2 及び P3 を含むことができ、パルス P2 及び P3 の幅はそれぞれパルス幅 PW21 及び PW22 である。パルス期間中は、入力信号 SIN 及びルーラー信号 SRU の論理レベルは、例えば高論理レベルであり、非パルス期間中は、入力信号 SIN 及びルーラー信号 SRU の論理レベルは、例えば低論理レベルである。

【0028】

更に、サンプリング結果 SS1 は、AND ゲート 240 により入力信号 SIN をクロック信号 CLK に従ってサンプリングすることによって発生され、サンプリング結果 SS2 は、AND ゲート 250 によりルーラー信号 SRU をクロック信号 CLK に基づいてサンプリングすることによって発生される。環境パラメータの変化はクロック信号 CLK の周波数に反映されるため、サンプリング結果 SS1 及び SS2 の周波数もそれに応じて変化する。例えば、パルス幅 PW1 の区分 T1 内のサンプリング結果 SS1 の周波数はパルス幅 PW1 の区分 T2 内のサンプリング結果 SS1 の周波数と異なり、パルス幅 PW21 内のサンプリング結果 SS2 の周波数はパルス幅 PW22 内のサンプリング結果 SS2 の周波数と異なる。更に、区分 T1 内のサンプリング結果 SS1 の周波数はパルス幅 PW21 内のサンプリング結果 SS2 の周波数に同一であり、区分 T2 内のサンプリング結果 SS1 の周波数はパルス幅 PW22 内のサンプリング結果 SS2 の周波数に同一であり得る。従って、本実施形態では、クロック信号 CLK の周波数変化をリアルタイムに反映するために、ルーラー信号 SRU のパルス幅 PW21 及び PW22 に従ってそれぞれ計算される基準値 R1 及び R2 を採用することができ、入力信号 SIN のパルス幅 PW1 に対応す

る計数結果を得るために、区分 T 1 及び区分 T 2 の幅をそれぞれ基準値 R 1 及び R 2 を用いて相対的比率の形で計算する。

【0029】

具体的に言うと、サンプリング結果 S S 1 はパルス幅 P W 1 を計算するためにカウンタ 2 1 0 に送信され、サンプリング結果 S S 2 はパルス幅 P W 2 1 及び P W 2 2 を計算するためにカウンタ 2 2 2 に送信され、パルス幅 P W 2 1 及び P W 2 2 は基準値 R 1 及び R 2 を発生するためにラッチ 2 2 4 に送信される。基準値 R 1 及び R 2 はそれぞれパルス幅 P W 2 1 及び P W 2 2 内に含まれるサンプリング結果 S S 2 のパルスの数に基づいて決定されるため、本実施形態では、基準値 R 1 は例えば 3 であり、基準値 R 2 は例えば 2 である。

10

【0030】

更に、基準値 R 1 及び R 2 はルーラー信号 S R U のパルス幅を周期的にラッチすることによって発生させることができる。図 2 の実施形態によれば、ルーラー信号 S R U は遅延回路 2 2 6 のバッファ B U F 1 に送信することができ、バッファ B U F 1 はルーラー信号 S R U を遅延してラッチ 2 2 4 のラッチイネーブル信号 L A T E N を発生し、バッファ B U F 2 はラッチイネーブル信号 L A T E N を遅延してカウンタ 2 2 2 のカウンタリセット信号 C T R E S を発生する。従って、ルーラー信号 S R U のパルス P 2 を例にとると、ラッチ 2 2 4 はカウンタ 2 2 2 により計算されたパルス幅 P W 2 1 に対してラッチ動作を実行して基準値 R 1 を発生し、基準値 R 1 を比較回路 2 3 2 に供給し続けるため、比較回路 2 3 2 は基準値 R 1 に基づいてパルス幅 P W 1 の区分 T 1 に対して比較動作を実行することができる。同様に、ルーラー信号 S R U のパルス P 3 に関しては、ラッチ 2 2 4 はカウンタ 2 2 2 により計算されたパルス幅 P W 2 2 に対してラッチ動作を実行して基準値 R 2 を発生し、基準値 R 2 を比較回路 2 3 2 に供給し続けるため、比較回路 2 3 2 は基準値 R 2 に基づいてパルス幅 P W 1 の区分 T 2 に対して比較動作を実行することができる。

20

【0031】

カウンタ 2 2 2 はリセット信号 C T R E S の反転信号に基づいてリセット動作を実行することができる。即ち、ルーラー信号 S R U が高論理レベルから低論理レベルへ変化すると、カウンタ 2 2 2 はルーラー信号 S R U の計算されたパルス幅をクリアし、ルーラー信号 S R U が次のパルスを入力するとき、ルーラー信号 S R U のパルス幅を再計算することができる。

30

【0032】

本実施形態では、基準値 R 1 がパルス幅 P W 1 の区分 T 1 との比較に使用され、得られる区分 T 1 と基準値 R 1 の相対的比率は 4 である。また、基準値 R 2 がパルス幅 P W 1 の区分 T 2 との比較に使用され、得られる区分 T 2 と基準値 R 2 の相対的比率は 3 と 4 の間である。上記の動作は除算演算に相当し、カウンタ 2 3 4 は比較回路 2 3 2 の比較結果 C O M P に従って上記の除算演算の商 Q (例えば 7) を計数結果 C R E の整数部として出力する。計数結果 C R E の分数部分 F に関しては、基準値 R 2 を上記の除算演算の余りに対応する区分 T S と比較することができる。本実施形態では、区分 T S は基準値 R 2 の半分より大きいため、カウンタ 2 3 6 は計数結果 C R E の小数点以下の数に従って 5 を計数結果 C R E の分数部分 F として出力する。他方、区分 T S が基準値 R 2 の半分より小さい場合には、カウンタ 2 3 6 は計数結果 C R E の分数部分 F として 0 を出力する。言い換えれば、上記の決定メカニズムは小数点以下の数の計数機能を実現するために丸めを採用することができる。

40

【0033】

図 4 を参照すると、図 4 は本発明の別の実施形態による高分解能 T D C のブロック略図である。T D C 4 0 0 は、位相ロックループ装置 4 1 0 と、ダブルエッジ検出回路 4 2 0 と、カウンタ 4 3 0 とを含む。ダブルエッジ検出回路 4 2 0 は位相ロックループ装置 4 1 0 に結合され、カウンタ 4 3 0 は位相ロックループ装置 4 2 0 とダブルエッジ検出回路 4 2 0 とに結合される。

【0034】

50

本実施形態では、位相ロックループ装置 410 はクロック信号 CLK を供給し得る。ダブルエッジ検出回路 420 は、クロック信号の論理レベルを入力信号 SIN の立上りエッジ及び立下りエッジに従って検出し、クロック信号 CLK の検出論理レベルに応答して制御信号 CTL を発生する。カウンタ 430 は制御信号 CTL に基づいて計数動作を実行するかどうかを決定することができる。カウンタ 430 が計数動作を実行するとき、カウンタ 430 は入力信号 SIN をクロック信号 CLK に従ってサンプリングして入力信号 SIN に対応する計数結果 CRE を出力する。

【0035】

具体的に言うと、ダブルエッジ検出回路 420 は、例えば D 型フリップフロップで実装される。このようなアーキテクチャの下では、D 型フリップフロップのクロック入力端子が入力信号 SIN を受信し、D 型フリップフロップの出力端子が制御信号 CTL を出力する。もちろん、ダブルエッジ検出回路 420 は他のタイプのフリップフロップ又は信号遷移を検出し得る他の回路で実装してもよいが、本発明はこれに限定されない。

【0036】

TDC 400 の動作の詳細は図 4 及び図 5 を参照して説明される。図 5 は本発明の別の実施形態による高分解能 TDC の信号波形図である。本実施形態では、入力信号 SIN はパルス P1 を含み、パルス P1 は、例えば高論理レベルを有する。更に、クロック信号 CLK1 及び CLK2 はそれぞれ複数のパルスを含み得る。

【0037】

ここでクロック信号 CLK1 について説明する。ダブルエッジ検出回路 420 が入力信号 SIN の立上りエッジを時点 TP1 で検出した後で、入力信号 SIN が高論理レベルを有する期間の間、ダブルエッジ検出回路 420 はそれに対応して制御信号 CTL をクロック信号 CLK1 の論理レベルに従って発生し始める。カウンタ 430 はそのイネーブル入力端子 EN に制御信号 CTL を受信し、制御信号 CTL の論理レベルに従ってイネーブルされる。例えば、カウンタ 430 は、制御信号 CTL が高論理レベルを有するときにイネーブルされ、カウンタ 430 がイネーブルされるとき、カウンタ 430 はクロック信号 CLK の論理レベルに応じて計数動作を実行する。

【0038】

他方、ダブルエッジ検出回路 420 が入力信号 SIN の立下りエッジを時点 TP2 で検出するとき、ダブルエッジ検出回路 420 はそれに対応して制御信号 CTL をクロック信号 CLK1 の論理レベルに従って発生する。本実施形態では、クロック信号 CLK1 の一周期 TCK は 2 つの隣接するパルスの立上りエッジに基づいて決定し得る。上記の状態下において、時点 TP2 において、クロック信号 CLK1 が高論理レベルを有する場合には、時点 TP1 と TP2 との間のクロック信号 CLK1 の最終区分 TLAST1 はクロック信号 CLK1 の一周期 TCK の半分より小さいことを意味するため、区分 TLAST1 を計数する必要はない。このとき、ダブルエッジ検出回路 420 により出力される制御信号 CTL は、例えば低論理レベルを有する。

【0039】

クロック信号 CLK2 を例として取ると、時点 TP2 において、クロック信号 CLK2 は低レベルを有する。即ち、時点 TP1 と TP2 との間のクロック信号 CLK2 の最終区分 TLAST2 はクロック信号 CLK1 の一周期の半分以上であるため、区分 TLAST2 に従って計数動作を実行することができる。

【0040】

このように、入力信号 SIN の立上りエッジ RE が検出されるときに計数動作を実行するのに加えて、入力信号 SIN の立下りエッジ FE に対応するクロック信号の論理レベルを更に決定し、計数動作を実行するかどうかを決定することができる。このようにすると、TDC 400 の計数精度を効果的に向上させることができる。

【0041】

本発明のいくつかの実施形態では、上述のダブルエッジ検出回路は図 1 及び図 2 の実施形態に適用することもできる。図 6 を参照すると、図 6 は本発明の別の実施形態による高

10

20

30

40

50

分解能 T D C のブロック略図である。本実施形態の T D C 6 0 0 は図 1 の実施形態のアーキテクチャに基づいており、その動作の詳細は上記の実施形態に類似するため、その詳細は省略する。本実施形態の T D C 6 0 0 は更にダブルエッジ検出回路 6 4 0 及び 6 5 0 を含む。ダブルエッジ検出回路 6 4 0 はカウンタ 6 1 0 に結合され、ダブルエッジ検出回路 6 5 0 は基準値発生器 6 2 0 に結合される。ダブルエッジ検出回路 6 4 0 はクロック信号 C L K の論理レベルを入力信号 S I N の立上りエッジ及び立下りエッジで検出し、クロック信号 C L K の検出論理レベルに応答して制御信号 C T L 1 を発生するため、カウンタ 6 1 0 は制御信号 C T L 1 に従って計数動作を実行するかどうかを決定する。例えば、ダブルエッジ検出回路 6 4 0 は制御信号 C T L 1 をカウンタ 6 1 0 のイネーブル端子に供給してカウンタ 6 1 0 の動作を制御し、パルス幅 P W 1 を計算する精度を効果的に改善することができる。ダブルエッジ検出回路 6 4 0 は、例えば D 型フリップフロップで実装される。

10

【 0 0 4 2 】

他方、ダブルエッジ検出回路 6 5 0 はクロック信号 C L K の論理レベルをルーラー信号 S R U の立上りエッジ及び立下りエッジで検出し、クロック信号 C L K の検出論理レベルに応答して制御信号 C T L 2 を発生するため、基準値発生器 6 2 0 は制御信号 C T L 2 に従って計数動作を実行するかどうかを決定することができる。例えば、ダブルエッジ検出回路 6 5 0 は制御信号 C T L 2 を基準値発生器 6 2 0 内のカウンタのイネーブル端子に供給してそのカウンタの動作を制御し、基準値 R を計算する精度を効果的に改善することができる。ダブルエッジ検出回路 6 5 0 は、例えば D 型フリップフロップで実装される。

20

【 0 0 4 3 】

要するに、本発明の実施形態では、環境変化に起因する計数精度への影響を除去し、良好なエネルギー使用率を達成するために、ルーラー信号に基づいて発生される基準値を用いてクロック信号の周波数変化を表し、入力信号のパルス幅と基準値を比較してその相対的比率を計算する。更に、本発明の実施形態では、入力信号の立下りエッジに対応するクロック信号の論理レベルを検出し、計数動作を入力信号に対して実行するかどうかを決定することによって、計数精度が効果的に改善される。このように、本発明の T D C は高い分解能の要件を達成することができる。

【産業上の利用可能性】

【 0 0 4 4 】

本発明は電子装置に使用される時間－ディジタル変換器を対象とする。

30

【符号の説明】

【 0 0 4 5 】

1 0 0 , 2 0 0 , 4 0 0 , 6 0 0 時間－ディジタル変換器 (T D C)
 1 1 0 , 2 1 0 , 2 2 2 , 2 3 4 , 2 3 6 , 4 3 0 , 6 1 0 カウンタ
 1 2 0 , 6 2 0 基準値発生器
 1 3 0 , 6 3 0 比較器
 2 2 4 ラッチ
 2 2 6 遅延回路
 2 3 2 比較回路
 2 4 0 , 2 5 0 A N D ゲート
 4 2 0 , 6 4 0 , 6 5 0 ダブルエッジ検出回路
 B U F 1 , B U F 2 , B U F 3 バッファ
 C L K , C L K 1 , C L K 2 クロック信号
 C K クロック入力端子
 C O M P 比較結果
 C R E 計数結果
 C T L , C T L 1 , C T L 2 制御信号
 C T R E S カウンタリセット信号
 E N イネーブル端子

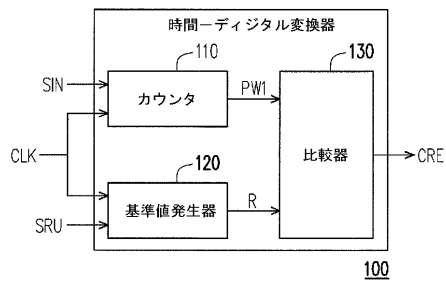
40

50

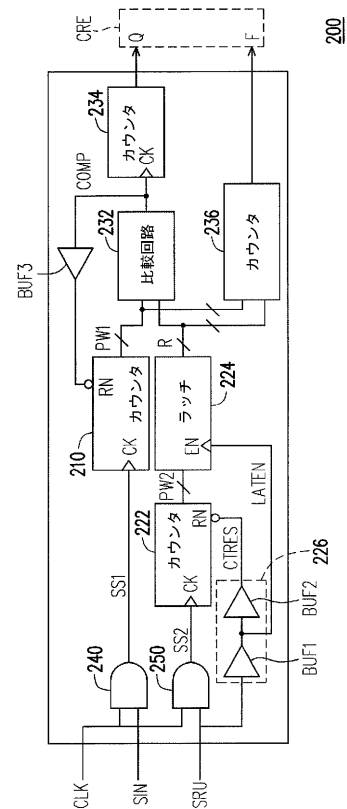
F 分数部分
 FE 立下りエッジ
 LATEN ラッチイネーブル信号
 OW1, PW2, PW21, PW22 パルス幅
 P1, P2, P3 パルス
 Q 商
 R, R1, R2 基準値
 RE 立上りエッジ
 RN リセット端子
 SIN 入力信号
 SRU ルーラー信号
 T1, T2, TS, TLAST1, TLAST2 区分
 TP1, TP2 時点
 TCK 周期

10

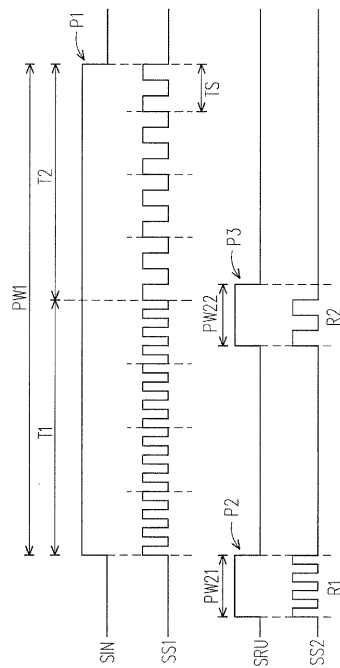
【図 1】



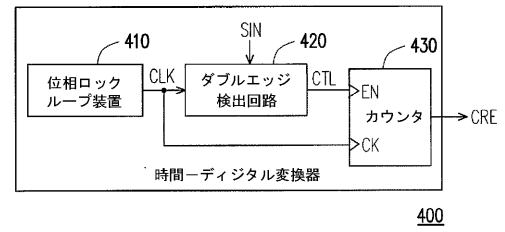
【図 2】



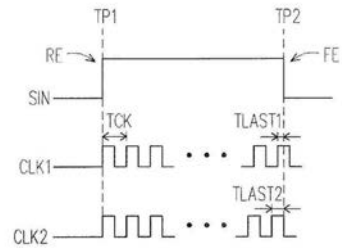
【図 3】



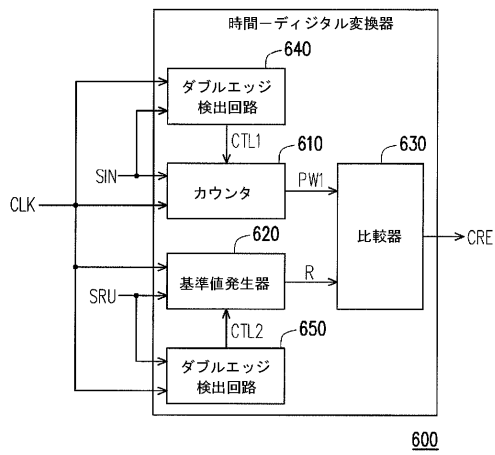
【図 4】



【図 5】



【図 6】



フロントページの続き

Fターム(参考) 5J039 JJ16 KK01 KK10 KK13 KK20 KK23 MM01 MM02 MM04

【外国語明細書】
20172001620000001.pdf