

公告本

申請日期	89.12.5
案 號	8915879
類 別	H01L 7/60

A4
C4

497182

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體裝置
	英 文	SEMICONDUCTOR DEVICE
二、發明 人	姓 名	1.淺津 琢郎 TAKURO ASAZU 2.小野 敦 ATSUSHI ONO 3.山口 眞司 SHINJI YAMAGUCHI
	國 籍	1-3均日本
三、申請人	住、居所	1.日本國奈良縣奈良市大安寺3-7-5-101 2.日本國奈良縣大和郡山市高田町88-2-403 3.日本國奈良縣天理市櫟本町2613-1-253
	姓 名 (名稱)	日商夏普股份有限公司 SHARP KABUSHIKI KAISHA
三、申請人	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
三、申請人	代 表 人 姓 名	町田 勝彦 KATSUHIKO MACHIDA

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000年02月24日 特願2000-047670 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

發明背景

(1)發明領域

本發明係關於具半導體晶片之半導體裝置，其中的半導體晶片具與之接著固定之凸塊，其凸塊與成型於基座上之導體圖樣相接，特別關於適用於輸送膠帶型封裝或類似件之半導體裝置。

(2)先前技藝描述

可參照輸送膠帶型封裝(以下稱之為‘TCP’)闡釋先前技藝。輸送膠帶型封裝係於具多連接端子之半導體裝置做密封裝實之最佳結構之一。此外，由於輸送膠帶型封裝彈性佳、易彎曲，目前廣泛應用於封裝或類似之液晶面板驅動積體電路。

圖1所示為先前技藝之輸送膠帶型封裝結構之導線61與電解鍍金凸塊53之連結狀態。圖1中電極墊52與電解鍍金凸塊53成型於半導體晶片51。將導線61之輸送膠帶覆以鍍錫層62，俾與電解鍍金凸塊53形成金/錫熔合金54。此處63係指加熱、加壓於接合部分之接合工具。

液晶顯示器面板驅動器之傳統輸送膠帶型封裝，半導體晶片51之電解鍍金凸塊53係以純金製成。以電解鍍金構成電極凸塊，在上至50微米之間距凸塊之晶片組製程與精密間距凸塊產品中具高導電率之優點，因而廣泛應用於液晶顯示器面板驅動器之半導體製造中。

為解決近來液晶顯示器面板驅動積體電路市場價格之激烈競爭，為降低在使用電解鍍金凸塊之半導體晶片製造中

五、發明說明(2)

之成本，藉降低凸塊高度與大小來減少金的使用量。然而，嘗試降低凸塊高度與大小已近其極限。此外，在傳統的電解鍍金凸塊製程中之電極凸塊均為純金製成，歸因於近來半導體晶片之多功能趨勢伴隨之電極墊數量之增加，每一半導體晶片所需金量增加，係阻礙成本降低之重大因素。此外，由於晶片大小已至8與12吋，在電解鍍金凸塊生產線上為電鍍與裝備所做之投資變的極大。

發明摘要

因此，本發明之目的係提供一製造成本較低之半導體裝置，仍採用傳統製程方式，其凸塊以價格較低之材質替代金，並於凸塊與導線上施加金屬膜，有助於凸塊與導線間之穩定連接。

為達成上述目標，本發明配置如後：

依本發明之第一點，一種半導體裝置，其成型於半導體晶片之凸塊，與成型於基座上之導體圖樣相接，特徵為

凸塊由鎳組成，以及在鎳上，厚度在一限定範圍內之金屬膜；

以厚度在一限定範圍內之金屬膜披覆於導體圖樣；以及接合係藉金屬膜合金形成。

依本發明之第二點，具上述第一特色之半導體裝置，其特徵為凸塊上之金屬膜為金，而導體圖樣上之金屬膜為錫。

依本發明之第三點，具上述第一特色之半導體裝置，其特徵為凸塊上之金屬膜為錫，而導體圖樣上之金屬膜為

五、發明說明(3)

金。

依本發明之第四點，具上述第二特色之半導體裝置，其特徵為金製金屬膜厚度為0.5至3.0微米，錫製金屬膜厚度為0.09至0.19微米。

依本發明之第五點，具上述第三特色之半導體裝置，其特徵為金製金屬膜厚度為0.5至3.0微米，錫製金屬膜厚度為0.09至0.19微米。

藉提供半導體晶片導線間之穩定合金接合面，本發明可將具成型於電極墊之鎳凸塊之半導體晶片應用於半導體裝置。如此一來，將傳統上使用於半導體晶片之電極凸塊之材質金以鎳取代之，可大幅減少金的使用量。與傳統半導體裝置相較，本發明可以此方式大幅降低成本，同時形成與使用金凸塊時等效之接面。

圖示簡述

圖1剖面圖所示為先前技藝之輸送膠帶型結構之導線與電解鍍金凸塊之連結狀態；

圖2總結構圖所示為依本發明之半導體裝置，其半導體晶片與導體圖樣之接合狀態；

圖3所示為半導體晶片凸塊與輸送膠帶導線之接合部份放大剖面圖；

圖4所示亦為半導體晶片凸塊與輸送膠帶導線之接合部份，在另一方向觀察之放大剖面圖；以及

圖5放大剖面圖所示為半導體晶片凸塊與輸送膠帶導線之接合部份，其金層較厚。

五、發明說明(4)

較佳具體實施例之描述

參照相關圖示敘述本發明之具體實施例於後。

圖2總結構圖所示為依本發明之半導體裝置，其半導體晶片與導體圖樣之接合狀態。此半導體為輸送膠帶型封裝結構，具半導體晶片10與輸送膠帶20。鎳凸塊11成型於半導體晶片10之上。輸送膠帶20具絕緣膜21、施於絕緣膜21上之黏膠22、藉黏膠22與絕緣膜21接合之導體圖樣23、穿透於絕緣膜21，與半導體晶片10相接之裝置孔24，以及自裝置孔24邊緣延伸，俾半導體晶片10之接合之導線25。半導體晶片10與輸送膠帶20間之接合部分以密封樹脂30填充。

此處之絕緣膜21係由複硫亞氯材質製成，然而亦可採用複硫亞氯材質以外諸如人造纖維、環氧化物玻璃、BT樹脂、PET或類似材質。膜之厚度為75微米或更薄些。本具體實施例中所採用的膜係由複硫亞氯材質製成，厚度為75微米。本黏膠具三層組合膠帶，採用環氧化物材質製成，厚度為典型的13微米。導體圖樣23與導線25之成型係經蝕刻電解銅箔如典型的18微米厚。此外，為保絕緣，施印鉍錫阻絕物(未圖示)於導體圖樣23之上。

圖3與圖4所示為半導體晶片10之凸塊11與輸送膠帶20之導線25之接合部份放大剖面圖。圖3所示為圖2所示之接合部份放大剖面圖，圖4則為沿垂直圖2紙面方向之同一接合部份之放大剖面圖。

成型於半導體晶片10表面之上者為電極墊12，其上則為不帶電之鍍鎳凸塊13。對應配置至少兩列不帶電之鍍鎳凸

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

塊13，與半導體晶片10之兩側平行。所有不帶電之鍍凸塊13高度均不小於5微米，且於表面覆以鍍金層14之金屬膜。

導線表面25覆以鍍錫層26。將導線25與凸塊11以接合工具31加熱、加壓產生金/錫熔合金15。

金層之厚度不小於0.5微米。本具體實施例中，為助合金之形成，厚1.0微米之金膜14成型於不帶電之鍍鍍凸塊13表面。對應此金層之錫層厚度應為0.09至0.19微米。凸塊11與導線25之接面藉金/錫熔合金15之形成而成型。對應此金/錫熔合金15之形成，接合工具31加熱至約500℃，並於導線25側加壓約1秒。

為接合凸塊11與導線25，金/錫熔合金之較佳組合重量比約為金：錫=8：2，上述條件(厚1.0微米之金與厚0.09至0.19微米之錫，在500℃1秒)對應上述之較佳組合比實施。當金於金屬膜14之供應不足時，形成金/錫熔合金之正確重量比即不足，該處之凸塊11與導線25接合強度降低，導致不穩定連結。為保足量之金/錫熔合金之正確重量比，金層之厚度不小於0.5微米，為金屬膜14所需。金層之厚度可任意為0.5微米或更厚些，但從成本與降低電鍍時間的觀點而言，其為約1.3微米最佳。

關於以錫為成型於導線25上之金屬膜26，為產生足量之金/錫熔合金之最佳重量比，所需鍍錫厚度不小於0.09微米。在此狀況下，如錫之供應過量，則金/錫熔合金易碎，自最佳金/錫熔合金之指定重量比偏離為過度成型。在此狀況下，因銅與錫擴散至導線25，凸塊11與導線25之接合強

(請先閱讀背面之注意事項再填寫本頁)

訂
線

經濟部智慧財產局員工消費合作社印製

五、發明說明(6)

度降低；因金/錫熔合金之過量，造成相鄰接面之短路；金/錫熔合金傳輸至接合工具31，及其它缺陷產生，導致可靠性、產品良率、生產率等...之下降。因此，做為導線25成型之金屬膜26之錫之厚度上限定為0.19微米。即使金層之厚度不小於1.0微米，錫膜厚度仍可維持在0.09至0.19微米，無須隨金膜厚度而變，因為只有在金與錫之供應量相當時，始能形成熔合金。圖5放大剖面圖所示為半導體晶片凸塊與輸送膠帶導線之接合部份，其金層較厚。

上述之本具體實施例中，鍍金於不帶電之鍍鎳凸塊13表面，同時鍍錫之金屬膜於導線25表面；然而亦可鍍錫於不帶電之鍍鎳凸塊13表面，同時鍍金之金屬膜於導線25表面。在此狀況下，金與錫之金屬膜規格厚度亦與上述相同。

參照輸送膠帶型封裝示例做成上述，但本發明亦可應用於如薄膜上晶片之不具裝置孔之半導體裝置中。

迄此所述，以預定比例成型於鎳凸塊之金屬膜厚度與成型於導體圖樣之金屬膜厚度，俾可採用具成型於電極墊之鎳凸塊之半導體晶片。如此一來，無須更改傳統組合製程，即可提供低成本之半導體裝置，其導線與半導體晶片藉合金成型接合。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要 (發明之名稱：半導體裝置))

電極墊形成於半導體晶片表面上，在該表面上為不帶電之鍍鎳(Ni)凸塊。該等不帶電之鍍鎳凸塊與半導體晶片之兩側平行而配置於至少二列上。每個不帶電之鎳凸塊高度為5微米或更多，且該表面覆以鍍金層作為一金屬膜。導線的表面覆以鍍錫(Sn)層。將導線與凸塊以接合工具加熱、加壓產生金/錫熔合金接面。

英文發明摘要 (發明之名稱：SEMICONDUCTOR DEVICE))

Formed on the semiconductor chip surface are electrode pads, on which electroless Ni plated bumps are formed. The electroless Ni plated bumps are arranged in at least two rows in parallel with the two sides of the semiconductor chip, opposing each other. Each electroless Ni bump is 5 μm or more in height and the surface is coated with Au plating as a metal film. The surface of the conductor leads is coated with Sn plating. The conductor leads and bumps are heated and pressed by a bonding tool to crate Au/Sn eutectic alloy junctions.

(請先閱讀背面之注意事項再填寫本頁)

訂
線

六、申請專利範圍

- 1. 一種半導體裝置，其中形成於半導體晶片上之凸塊與形成於一基材上之導體圖樣連接，特徵在於

凸塊由鎳以及形成在鎳上厚度在一限定範圍內之金屬膜所組成；

該導體圖樣以厚度在一限定範圍內之金屬膜披覆；以及

該連接係藉合金化該金屬膜形成。

- 2. 如申請專利範圍第1項之半導體裝置，其凸塊上之金屬膜為金，而導體圖樣上之金屬膜為錫。
- 3. 如申請專利範圍第1項之半導體裝置，其凸塊上之金屬膜為錫，而導體圖樣上之金屬膜為金。
- 4. 如申請專利範圍第2項之半導體裝置，其金製金屬膜厚度為0.5至3.0微米，錫製金屬膜厚度為0.09至0.19微米。
- 5. 如申請專利範圍第3項之半導體裝置，其金製金屬膜厚度為0.5至3.0微米，錫製金屬膜厚度為0.09至0.19微米。

經濟部智慧財產局員工消費合作社印製

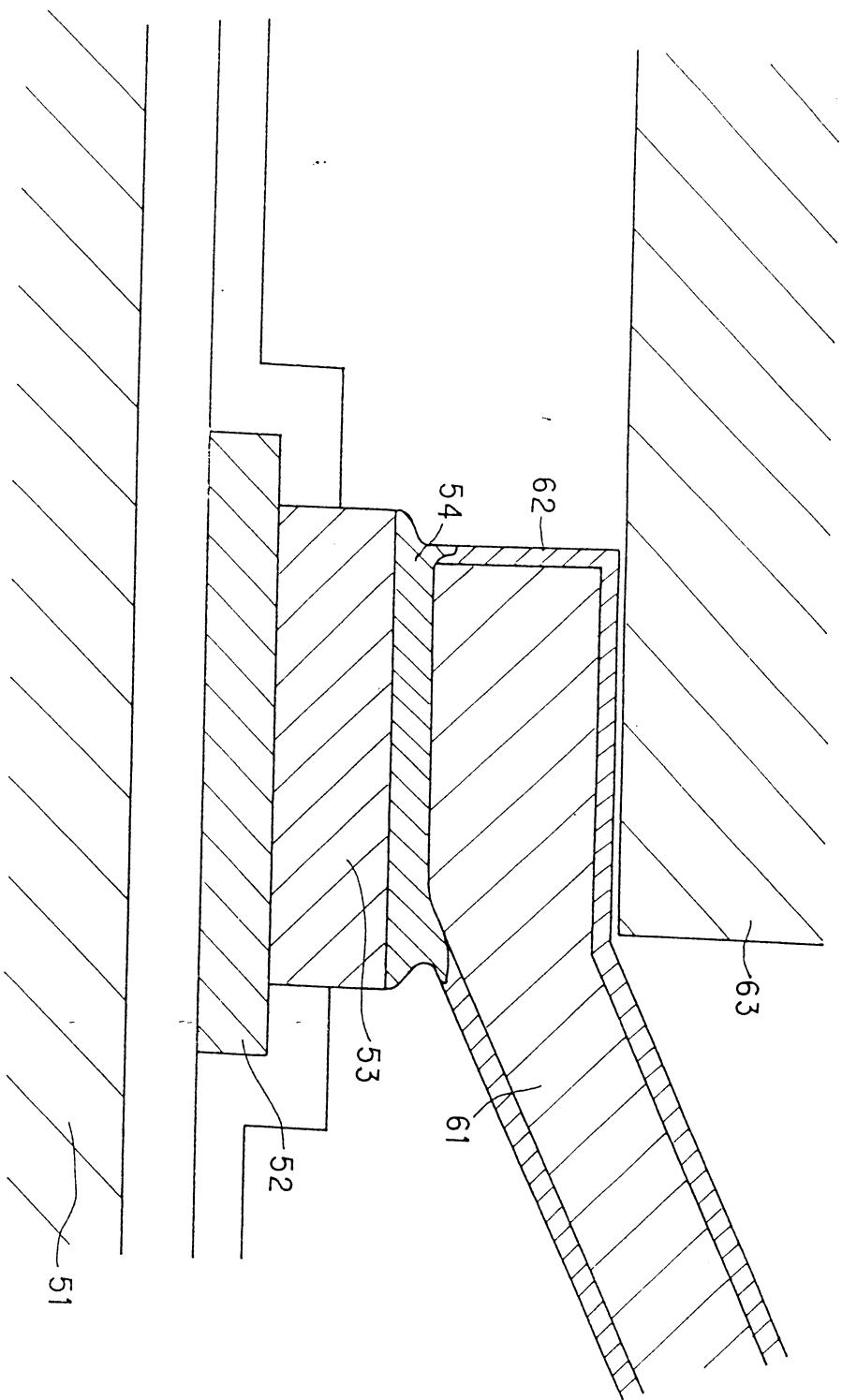


圖 1

881x589P

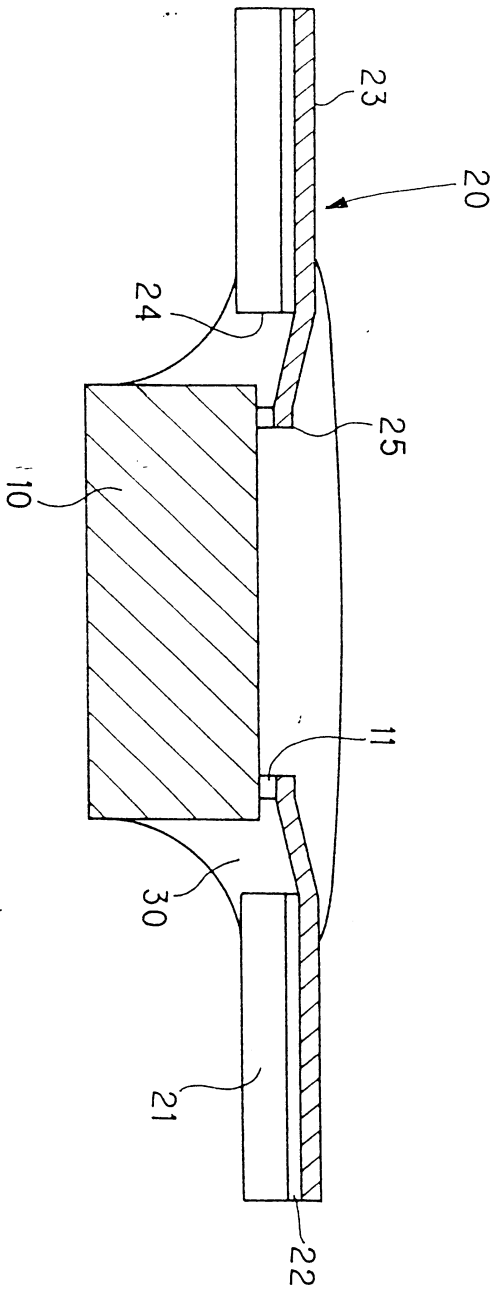


圖 2

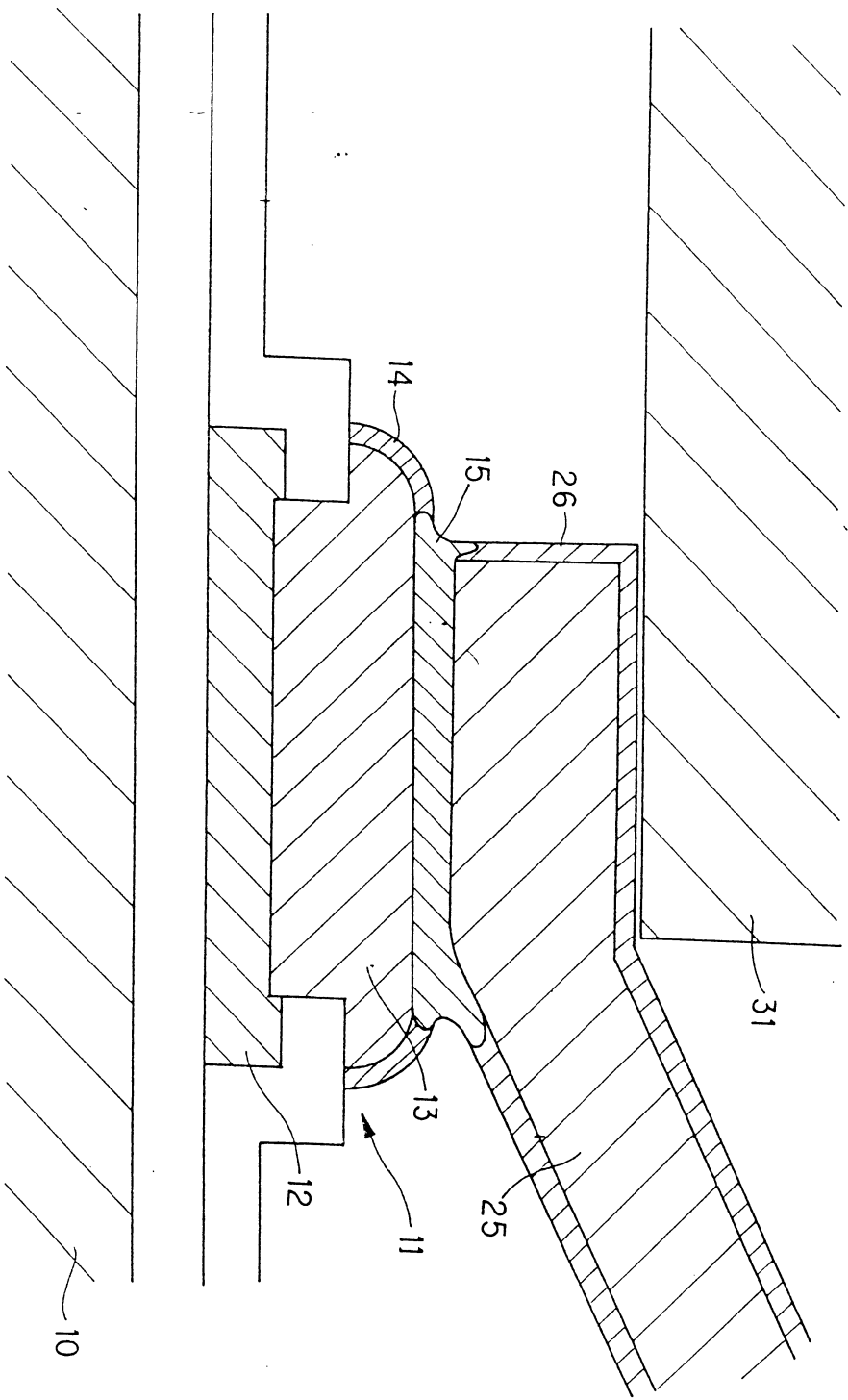


圖 3

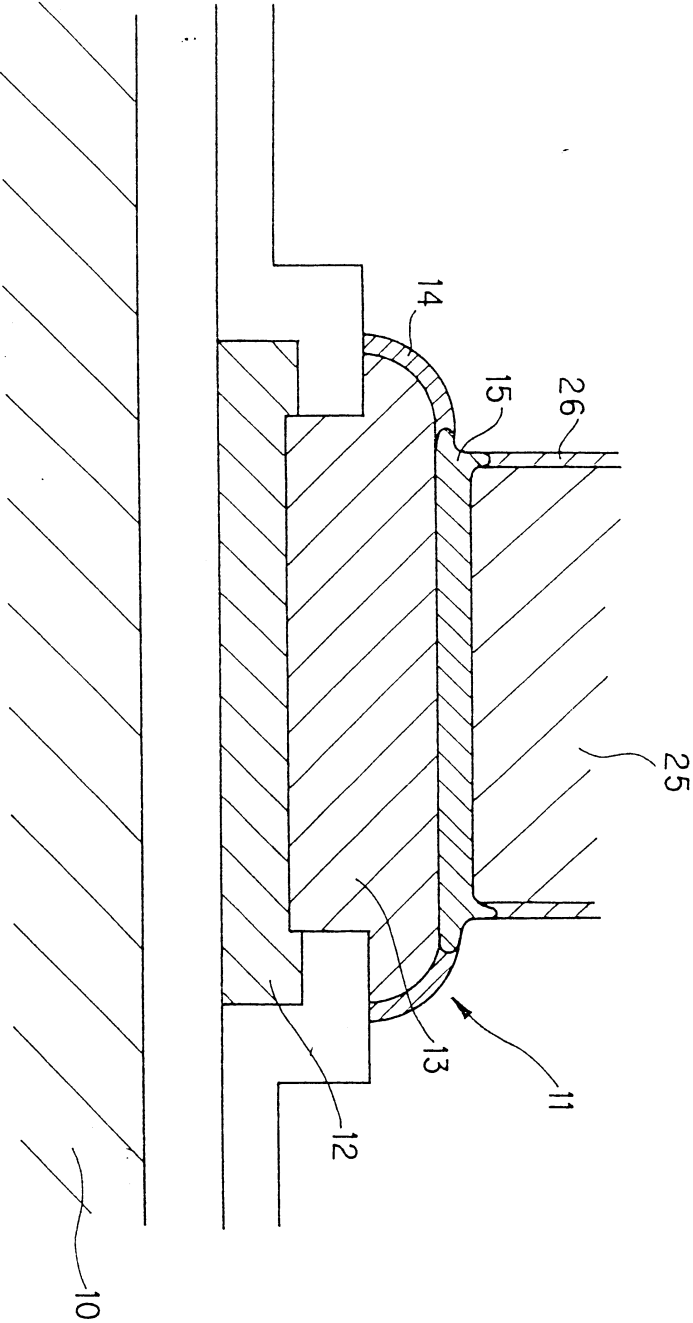


圖 4

圖 5

