



DEMANDE INTERNATIONALE PUBLIEE EN VERTU DU TRAITE DE COOPERATION EN MATIERE DE BREVETS (PCT)

<p>(51) Classification internationale des brevets ⁶ : H04N 7/58, H04J 3/16</p>	<p>A1</p>	<p>(11) Numéro de publication internationale: WO 96/13940</p>
		<p>(43) Date de publication internationale: 9 mai 1996 (09.05.96)</p>
<p>(21) Numéro de la demande internationale: PCT/FR95/01396 (22) Date de dépôt international: 23 octobre 1995 (23.10.95) (30) Données relatives à la priorité: 94/12815 26 octobre 1994 (26.10.94) FR (71) Déposant (pour tous les Etats désignés sauf US): MATRA COMMUNICATION [FR/FR]; 50, rue du Président-Sadate, Boîte postale 32, F-29101 Quimper (FR). (72) Inventeurs; et (75) Inventeurs/Déposants (US seulement): MASSON, Jean-Michel [FR/FR]; 16, rue du Bois-Bourdon, F-91680 Courson-Monteloup (FR). GRENIER, Frédéric [FR/FR]; 6, rue Paul-Signac, F-78370 Plaisir (FR). (74) Mandataires: LOISEL, Bertrand etc.; Cabinet Plasseraud, 84, rue d'Amsterdam, F-75440 Paris Cédex 09 (FR).</p>	<p>(81) Etats désignés: AU, CA, CN, JP, US, brevet européen (AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE). Publiée <i>Avec rapport de recherche internationale. Avant l'expiration du délai prévu pour la modification des revendications, sera republiée si de telles modifications sont reçues.</i></p>	

(54) Title: DIGITAL DATA PACKET MULTIPLEXER, IN PARTICULAR FOR DIGITAL TELEVISION

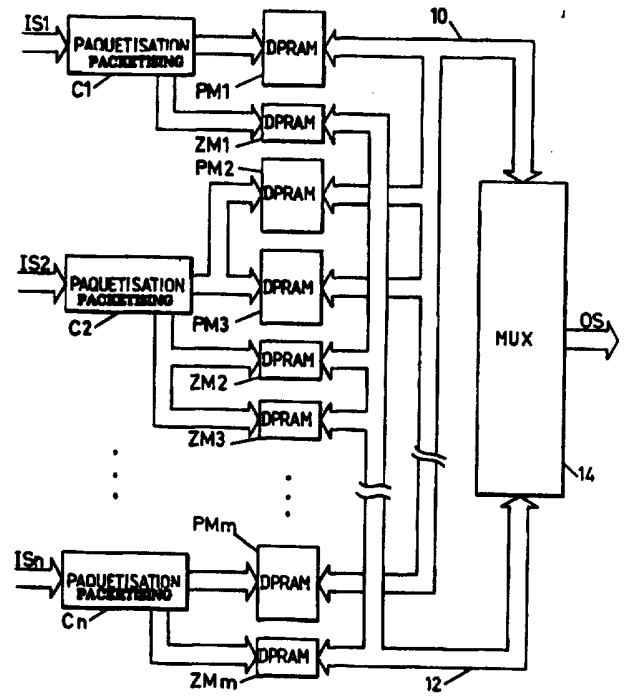
(54) Titre: MULTIPLEXEUR DE PAQUETS D'INFORMATIONS NUMERIQUES, NOTAMMENT POUR LA TELEVISION NUMERIQUE

(57) Abstract

A device including a plurality of packetising modules (C1, C2, ..., Cn) supplying packet memories (PM1, PM2, ..., PMm) from digital input streams (IS1, IS2, ..., ISn), and multiplexing means (14). Each packet in a packet memory is combined with selection parameters written into a related parameter memory (ZM1, ZM2, ..., ZMm) by its packetising module. The multiplexing means include processing means connected to the parameter memories via a parameter bus (12) for selecting the packet memories from which the multiplex packets are to be retrieved by analysing the respective selection parameters combined with the first packets on stand-by in each of the packet memories, and transfer means connected to the packet memories via a packet bus (10) and controlled by the processing means to retrieve a series of multiplex packets from the selected packet memories.

(57) Abrégé

Le dispositif comprend plusieurs modules de paquets (C1, C2, ..., Cn) alimentant des mémoires de paquets (PM1, PM2, ..., PMm) à partir de flux numériques d'entrée (IS1, IS2, ..., ISn), et des moyens de multiplexage (14). Chaque paquet présent dans une mémoire de paquets est associé à des paramètres d'élection écrits par son module de paquets dans une mémoire de paramètres associée (ZM1, ZM2, ..., ZMm). Les moyens de multiplexage comprennent des moyens de traitement reliés aux mémoires de paramètres par un bus de paramètres (12) pour sélectionner les mémoires de paquets d'où extraire les paquets du multiplex en analysant les paramètres d'élection respectivement associés aux premiers paquets en attente dans chacune des mémoires de paquets, et des moyens de transfert reliés aux mémoires de paquets par un bus de paquets (10) et commandés par les moyens de traitement pour extraire successivement les paquets du multiplex depuis les mémoires de paquets sélectionnés.



UNIQUEMENT A TITRE D'INFORMATION

Codes utilisés pour identifier les Etats parties au PCT, sur les pages de couverture des brochures publiant des demandes internationales en vertu du PCT.

AT	Autriche	GB	Royaume-Uni	MR	Mauritanie
AU	Australie	GE	Géorgie	MW	Malawi
BB	Barbade	GN	Guinée	NE	Niger
BE	Belgique	GR	Grèce	NL	Pays-Bas
BF	Burkina Faso	HU	Hongrie	NO	Norvège
BG	Bulgarie	IE	Irlande	NZ	Nouvelle-Zélande
BJ	Bénin	IT	Italie	PL	Pologne
BR	Brsil	JP	Japon	PT	Portugal
BY	Bélarus	KE	Kenya	RO	Roumanie
CA	Canada	KG	Kirghizistan	RU	Fédération de Russie
CF	République centrafricaine	KP	République populaire démocratique de Corée	SD	Soudan
CG	Congo	KR	République de Corée	SE	Suède
CH	Suisse	KZ	Kazakhstan	SI	Slovénie
CI	Côte d'Ivoire	LI	Liechtenstein	SK	Slovaquie
CM	Cameroun	LK	Sri Lanka	SN	Sénégal
CN	Chine	LU	Luxembourg	TD	Tchad
CS	Tchécoslovaquie	LV	Lettonie	TG	Togo
CZ	République tchèque	MC	Monaco	TJ	Tadjikistan
DE	Allemagne	MD	République de Moldova	TT	Trinité-et-Tobago
DK	Danemark	MG	Madagascar	UA	Ukraine
ES	Espagne	ML	Mali	US	Etats-Unis d'Amérique
FI	Finlande	MN	Mongolie	UZ	Ouzbékistan
FR	France			VN	Viet Nam
GA	Gabon				

**MULTIPLEXEUR DE PAQUETS D'INFORMATIONS NUMERIQUES,
NOTAMMENT POUR LA TELEVISION NUMERIQUE**

5

La présente invention concerne un dispositif pour produire un multiplex temporel de paquets d'informations numériques, comprenant plusieurs modules de paquets recevant chacun un flux numérique d'entrée, plusieurs mémoires de paquets recevant chacune des paquets issus d'un module de paquets respectif, et des moyens de multiplexage sélectionnant les mémoires de paquets d'où les paquets du multiplex sont à extraire et transférant successivement lesdits paquets vers une sortie du dispositif.

10

L'invention concerne plus particulièrement le domaine de la télévision numérique. Elle s'applique notamment dans le cadre de la norme système MPEG2 définie dans le projet de norme internationale ISO/IEC 13818-1 de l'Organisation Internationale de Normalisation en date du 10 juin 1994 (Information Technology - Generic Coding of Moving Pictures and Associated Audio/ Recommendation H.222.0). On pourra se reporter à ce document ISO/IEC 13818-1 pour toute information sur la structure des paquets dont il est question dans la présente demande.

20

25

La norme système MPEG2 définit deux types de flux numériques multiplexés : les flux de transport (TS), et les flux de programme (PS). Un "programme" est défini comme un ensemble de flux élémentaires corrélés temporellement, c'est-à-dire portant chacun des informations à restituer par rapport à une base de temps commune. Un flux de programme PS transmet un seul programme sous forme de paquets de longueur relativement importante et éventuellement variable. Les flux PS sont prévus pour les canaux de transmission introduisant peu d'erreurs. Ils sont typiquement utilisés pour le stockage d'informations sur disque. Les flux de transport se

30

35

composent de paquets appartenant à un ou plusieurs programmes, et sont utilisés pour la transmission dans des environnements pouvant introduire des erreurs. Les paquets de transport (TP) ont une longueur fixe de 188 octets et
5 comprennent chacun un en-tête TP d'au moins 4 octets.

Ces flux multiplexés sont construits à partir de flux élémentaires paquetisés (PES). Les flux élémentaires bruts (ES) directement issus du codage vidéo ou audio sont d'abord mis sous forme de paquets PES de longueur variable.
10 Les flux PES sont ensuite redécoupés pour constituer les paquets TS ou PS à multiplexer. Actuellement, certains codeurs sortent des flux élémentaires au niveau ES, et d'autres au niveau PES. Les flux élémentaires peuvent également être composés de données autres qu'audio ou vidéo,
15 par exemple des données détaillant des informations spécifiques à un programme (PSI), des données relatives à l'accès conditionnel à un programme (ECM ou EMM)...

Le rôle d'un multiplexeur MPEG2 est de recevoir ces différents flux élémentaires, d'effectuer la mise en paquets
20 TS ou PS, puis le multiplexage temporel de ces paquets.

Un dispositif selon l'invention peut également être ce qu'on appelle un remultiplexeur. Un remultiplexeur est un dispositif pour produire un multiplex tel que défini en introduction, dans lequel l'un au moins des flux d'entrée a déjà été multiplexé en amont, au format PS ou TS. Un
25 remultiplexeur peut être utilisé par exemple pour extraire d'un flux de transport des paquets relatifs à un programme et produire en sortie un autre flux de transport ou de programme ne comportant que ce programme, pour extraire d'un
30 ou plusieurs flux de transport les paquets relatifs à un ou plusieurs programmes afin de construire un autre flux de transport, ou encore pour convertir un flux de programme en un flux de transport en vue de le transmettre dans un environnement à pertes.

35 La norme système MPEG2 spécifie de façon précise les contraintes qu'un multiplexeur doit prendre en compte lors

du multiplexage des paquets transportant les différents flux élémentaires du signal. En effet, afin d'optimiser la taille des tampons d'entrée nécessaires dans un décodeur (et donc afin de réduire le prix de ces décodeurs), il est
5 nécessaire d'avoir dans le temps une répartition aussi homogène que possible des paquets de chaque flux élémentaire. Dans le cas d'un grand nombre de flux élémentaires à gérer et de débits importants pour ces flux, le travail du multiplexeur peut nécessiter une grande
10 puissance de calcul, et d'autre part la méthode de multiplexage choisie pourra conduire à des flux multiplexés de sortie de qualité différente (en termes de répartition des paquets).

Un but de la présente invention est de proposer un
15 dispositif tel que défini en introduction, qui soit flexible et efficace pour pouvoir atteindre des débits élevés.

Un dispositif selon l'invention comprend ainsi des mémoires de paramètres respectivement associées aux mémoires de paquets. Chaque paquet fourni à une mémoire de paquets par un module de paquétisation est associé à un jeu de
20 paramètres, incluant des paramètres d'élection, écrit par ledit module de paquétisation dans la mémoire de paramètres correspondante. Les moyens de multiplexage comprennent des moyens de traitement reliés aux mémoires de paramètres par un bus de paramètres pour sélectionner les mémoires de
25 paquets en analysant les paramètres d'élection respectivement associés aux premiers paquets en attente dans chacune des mémoires de paquets, et des moyens de transfert reliés aux mémoires de paquets par un bus de paquets et commandés par les moyens de traitement pour extraire
30 successivement les paquets du multiplex depuis les mémoires de paquets sélectionnées, les moyens de traitement sélectionnant la mémoire de paquets d'où un paquet du multiplex est à extraire pendant que les moyens de transfert transfèrent un paquet précédent du multiplex depuis une
35 mémoire de paquets précédemment sélectionnée.

La communication entre les modules de paquets spécifiques et le module de multiplexage s'effectue par une interface de type plan mémoire. Les mémoires de paquets relatives aux différents modules de paquets sont vues
5 comme des zones particulières de l'espace adressable du module de multiplexage, de même que les mémoires de paramètres associées. Les données transitant par ce plan mémoire sont organisées de façon identique quel que soit le type de flux d'entrée correspondant, ce qui permet au module
10 de multiplexage d'avoir un travail systématique et donc plus efficace. Les échanges via cette interface sont organisés autour de deux bus, ce qui permet au module de multiplexage d'effectuer ses tâches en parallèle et non de façon séquentielle.

15 D'autres particularités et avantages de la présente invention apparaîtront dans la description ci-après d'un exemple de réalisation préféré mais non limitatif, en référence aux dessins annexés, dans lesquels :

20 - la figure 1 est un schéma synoptique d'ensemble d'un premier mode de réalisation de l'invention ;

- la figure 2 est un schéma synoptique d'un module de paquets utilisable dans le dispositif de la figure 1 ;

25 - les figures 3 à 5 sont des diagrammes illustrant le fonctionnement de modules de paquets selon la figure 2 ;

- la figure 6 est un schéma d'un module de multiplexage utilisable dans le dispositif de la figure 1 ;

30 - les figures 7 et 8 sont des graphiques illustrant un exemple de calcul de priorités dans un module de multiplexage ;

- la figure 9 est un schéma d'un circuit d'élection utilisable dans le module de multiplexage de la figure 6 ;
et

35 - la figure 10 est un schéma synoptique d'ensemble d'un second mode de réalisation de l'invention.

Le dispositif représenté sur la figure 1 est décrit ci-après dans son application à la production d'un multiplex de sortie OS ayant le format d'un flux de transport TS au sens de la norme MPEG2. On comprendra que le dispositif serait également applicable pour produire un autre type de multiplex, en particulier un flux de programme PS au sens de la norme MPEG2.

Le dispositif comporte n modules de paquetsisation C_1, \dots, C_n recevant chacun un flux d'entrée IS_1, \dots, IS_n . Les n flux d'entrée portent un total de m flux élémentaires. Dans le cas d'un multiplexeur dont les flux d'entrée sont tous constitués par des flux élémentaires respectivement issus de codeurs ou de sources de données, on a $n = m$. Dans l'exemple représenté sur la figure 1, le flux IS_2 est déjà multiplexé (par exemple flux de transport TS), et le dispositif est prévu pour prendre en compte deux flux élémentaires inclus dans ce flux multiplexé.

Les modules de paquetsisation C_1, \dots, C_n délivrent des paquets de transport TP à partir de chacun des flux élémentaires qu'ils reçoivent. Ces paquets de transport sont stockés dans des mémoires tampon à deux accès PM_1, \dots, PM_m . Chaque mémoire de paquets PM_i reçoit des paquets d'un module de paquetsisation. Les modules de paquetsisation C_2 traitant des flux déjà multiplexés peuvent alimenter plusieurs mémoires de paquets PM_2, PM_3 . Dans ce dernier cas, les mémoires de paquets PM_2, PM_3 peuvent commodément être constituées par deux zones d'adressage différentes d'un même plan mémoire.

Chaque mémoire de paquets PM_i est associée à une mémoire de paramètres ZM_i également à deux accès. Chaque fois qu'un module de paquetsisation écrit un paquet d'informations dans une mémoire de paquets PM_i , il écrit en outre un jeu de paramètres associé à ce paquet dans la mémoire de paramètres correspondante ZM_i . Pour la lecture, les mémoires de paquets PM_1, \dots, PM_m sont reliées à un bus de paquets commun 10, et les mémoires de paramètres

ZM1, ..., ZMm sont reliées à un bus de paramètres commun 12. Ces deux bus sont reliés à un module de multiplexage 14 ayant pour rôle de sélectionner les mémoires PMi d'où les paquets du multiplex de sortie OS sont à extraire et de transférer successivement les paquets en question vers la sortie du dispositif.

Les modules de paquets Cj analysent en temps réel les flux élémentaires qu'ils reçoivent et fournissent les paquets de transport aux mémoires tampon PMi. L'analyse en temps réel d'un flux élémentaire et la double mise en paquets (couches PES et TP) peuvent nécessiter une grande puissance de calcul, notamment pour des flux vidéo qui peuvent atteindre des débits de 15 Mbit/s en résolution standard, ou plus de 100 Mbit/s en haute résolution. Le module de paquets C1 illustré sur la figure 2 permet de répondre à ces exigences sévères.

Ce module C1 comprend un tampon d'entrée 20 recevant le flux d'entrée IS1. En sortie du tampon 20, les octets du flux d'entrée passent par un circuit de détection 22 avant d'être transmis à une unité de stockage 23 de type premier entré-premier sorti (FIFO). La sortie de l'unité 23 est reliée à l'entrée de données de la mémoire de paquets PM1.

Le circuit de détection 22 est réalisé sous la forme d'un réseau de portes programmable par l'utilisateur (FPGA). Il se compose d'un registre à décalage 24 à quatre étages d'un octet, par lequel passent les octets du flux d'entrée avant de parvenir à l'unité de stockage 23, et d'une logique de détection 25 recevant les quatre octets présents dans les étages du registre 24. La logique 25 est programmée en fonction des états à détecter dans le flux d'entrée. La logique 25 détecte ces états du flux d'entrée et en informe un microprocesseur 26. Le processeur 26 peut accéder à la mémoire de paramètres ZM1 par ses bus d'adresse et de données 28, 29. Les bus 28, 29 sont également reliés à la mémoire de paquets PM1 par l'intermédiaire d'une porte à trois états 31.

L'unité de stockage 23 est gérée pour contenir à tout instant 184 octets du flux d'entrée, et pour que chaque octet sortant de cette unité provoque l'entrée d'un autre octet. L'unité 23 pourrait donc être réalisée simplement
5 sous la forme d'un registre à décalage à 184 étages d'un octet. Si on ne dispose pas de registres à décalage de cette taille, on peut en cascader plusieurs, ou encore utiliser une mémoire à accès aléatoire dont les adresses de lecture et d'écriture sont générées de manière à garder entre elles
10 un écart constant correspondant à une capacité de 184 octets.

En fonction des états détectés par la logique 25, le processeur 26 fournit à un séquenceur de transferts 32 des paramètres de commande pour effectuer les transferts des
15 octets du flux d'entrée de l'unité de stockage 23 vers la mémoire de paquets PM1. Ces paramètres de commande comprennent une adresse de départ pour l'écriture des données d'un paquet dans la mémoire PM1, et le nombre d'octets à transférer à partir de cette adresse. Le
20 séquenceur 32 comprend un compteur d'adresse qui s'initialise à la valeur de l'adresse de départ fournie par le processeur, et qui s'incrémente à chaque octet transféré jusqu'à ce que le nombre d'octets spécifié ait été transféré. Ce compteur fournit les adresses d'écriture des
25 octets dans la mémoire PM1. Si l'unité de stockage 23 est sous la forme d'une mémoire à accès aléatoire, le séquenceur 32 fournit également l'adresse de lecture de l'octet à transférer de façon à respecter le protocole premier entré - premier sorti dans cette mémoire. Le séquenceur délivre un
30 signal SC qui cadence les transferts de et vers l'unité 23, les décalages dans le registre 24 du circuit de détection, et les lectures d'octets dans le tampon d'entrée 20.

Dans l'exemple représenté sur la figure 2, le flux d'entrée IS1 est un flux élémentaire (ES ou PES) à mettre en
35 paquets. La logique de détection 25 est programmée pour détecter des mots de synchronisation dans le flux d'entrée.

En fonction des états détectés par la logique 25, le processeur 26 détermine la longueur et le contenu de l'en-tête à placer au début du prochain paquet de transport à inscrire dans la mémoire PM1. Cet en-tête est déterminé
5 conformément aux spécifications de la norme MPEG2, le processeur 26 exécutant un programme de formation d'en-tête tel que décrit dans le document ISO/IEC 13818-1. La longueur L de l'en-tête peut varier entre $k = 4$ octets et $K = 188$ octets. Ainsi, la capacité de $K - k = 184$ octets de l'unité
10 de stockage 23 garantit que la totalité des octets du flux d'entrée pouvant être introduits dans un paquet de transport ont été analysés par le circuit de détection 22 avant que ce paquet commence à être transféré de l'unité de stockage 23 vers la mémoire de paquet PM1.

15 La figure 3 illustre la construction de paquets de transport TP par le module de paquets dans le cas d'un flux élémentaire brut ES issu d'un codeur audio. Conformément à la norme MPEG2, le flux ES audio se compose de trames de longueur constante commençant chacune par un
20 en-tête de trame 35A. L'en-tête 35A contient un mot de synchronisation de 12 bits valant FFF en hexadécimal. La logique de détection 25 d'un module de paquets traitant un flux ES audio est donc programmée pour détecter ce mot de synchronisation FFF. Un flux PES construit à
25 partir d'un tel flux ES peut comprendre un en-tête PES 36 immédiatement avant chaque en-tête ES 35A. Toutefois, le présent module de paquets, lorsqu'il traite un flux ES audio, ne passe pas explicitement par le stade PES, mais au contraire construit directement des paquets de transport
30 TP. Dans le cas montré sur la figure 3, tant que la logique 25 ne détecte pas le mot de synchronisation FFF dans le flux d'entrée, le processeur 26 calcule un en-tête 37a de $L = 4$ octets, et commande le transfert de $188 - L = 184$ octets de l'unité de stockage 23 vers la mémoire PM1 pour constituer
35 un paquet de transport TP. Lorsque la logique 25 détecte un mot de synchronisation pendant le transfert d'un paquet vers

la mémoire PM1, le processeur 26 calcule la longueur L de l'en-tête 37b du paquet suivant de façon à compléter un paquet de transport de 188 octets avec les octets du flux élémentaire allant jusqu'au mot de synchronisation détecté.

5 Pour produire un en-tête de longueur L plus grande que 4 octets, le processeur 26 introduit des paramètres de gestion du flux ou des octets de bourrage dans le champ d'adaptation de l'en-tête, comme spécifié par la norme système MPEG2. Le paquet qui suivra le paquet de transport ainsi constitué ne

10 comportera aucun octet du flux d'entrée, mais uniquement un en-tête TP 37c et un en-tête PES 36. On peut donc considérer que le processeur 26 a déterminé un en-tête composite 37c-36 de $L = 188$ octets et a commandé le transfert de $K - L = 0$ octets depuis l'unité 23 au titre de ce paquet. L'en-tête

15 PES 36 est calculé conformément à la norme système MPEG2, et la longueur de l'en-tête TP 37c sera adaptée au moyen du champ d'adaptation comme pour le paquet précédent.

La figure 4 est un diagramme analogue à celui de la figure 3 dans le cas d'un flux ES de type vidéo. Selon la

20 norme MPEG2, un flux ES de type vidéo comprend trois types d'en-têtes : des en-têtes de séquence 35S contenant un mot de synchronisation de 4 octets valant 000001B3 en hexadécimal, des en-têtes de groupe d'images 35G contenant un mot de synchronisation de 4 octets valant 000001B8 en

25 hexadécimal, et des en-têtes d'image 35P contenant un mot de synchronisation de 4 octets valant 00000100 en hexadécimal. La structure du flux ES vidéo est telle qu'un en-tête de séquence 35S est toujours suivi immédiatement par un en-tête de groupe d'images 35G ou par un en-tête d'image 35P, et

30 qu'un en-tête de groupe d'images 35G est toujours suivi par un en-tête d'image 35P. La longueur des données vidéo relatives à une image, suivant chaque en-tête d'image 35P, est variable. Un flux PES construit à partir d'un tel flux ES vidéo peut contenir un en-tête PES 36 avant chaque en-

35 tête de séquence 35S, avant chaque en-tête de groupe 35G qui n'est pas immédiatement précédé par un en-tête de séquence

35S, et avant chaque en-tête d'image 35P qui n'est pas immédiatement précédé par un en-tête de groupe 35G. Toutefois, le présent module de paquets, lorsqu'il traite un flux ES vidéo, ne produit pas explicitement le flux PES correspondant, mais directement des paquets de transport TP. L'insertion des en-têtes PES et TP est pour l'essentiel effectuée de la même manière que dans le cas audio décrit en référence à la figure 3, la logique de détection 25 étant programmée pour détecter les mots de synchronisation des en-têtes 35S, 35G et 35P. Toutefois, le processeur 26 n'insère pas un en-tête PES 36 avant tous les en-têtes d'image 35P, mais uniquement avant ceux qui ne sont pas précédés immédiatement par un en-tête de groupe d'images 35G ou par un en-tête de séquence 35S. De même, le processeur 26 n'insère pas un en-tête PES avant tous les en-têtes de groupe d'images 35G, mais uniquement avant ceux qui ne sont pas immédiatement précédés par un en-tête de séquence 35S. Ces différentes conditions peuvent aisément être identifiées sur la base des mots de synchronisation détectés par la logique 25.

La figure 5 est un diagramme analogue à ceux des figures 3 et 4 dans le cas d'un flux d'entrée de type PES audio ou vidéo. L'en-tête PES 36 présent dans chaque paquet du flux PES contient un mot de synchronisation de 4 octets dont les trois premiers valent 000001 en hexadécimal et le quatrième est un octet d'identification du flux. Cet octet d'identification étant connu d'avance pour un flux PES donné à traiter par le module de paquets, on peut programmer la logique 25 pour détecter les mots de synchronisation de 4 octets du flux PES. Le découpage en paquets de transport TP est alors effectué par le processeur 26 de la même manière que dans le cas des figures 3 et 4, sur la base des en-têtes PES 36. Le processeur 26 ne tient pas compte des en-têtes ES 35 qui sont traités comme des données du flux élémentaire. Comme dans les cas des figures 3 et 4, on peut programmer le processeur 26 pour qu'un paquet TP contenant

un en-tête PES 36 ne contienne pas de données du flux élémentaire. Le processeur 26 a alors besoin de connaître la longueur L' de l'en-tête PES pour constituer un paquet ne contenant qu'un en-tête TP 37c de longueur $L = K - L'$ octets
5 suivi par l'en-tête PES 36. Cette longueur L' peut être lue dans l'en-tête PES lui-même au moyen du circuit de détection 22 : si le septième octet à partir du début de l'en-tête PES ne commence pas par les deux bits '10', l'en-tête PES a une longueur de $L' = 6$ octets ; sinon la longueur L' est lue
10 dans le neuvième octet à partir du début de l'en-tête PES (voir document ISO/IEC 13818-1).

L'avantage de constituer les paquets de transport contenant un en-tête PES 36 en mettant seulement dans ces paquets un en-tête TP 37a-c et ledit en-tête PES 36 est de
15 permettre un embrouillage de tous les paquets de transport contenant des données du flux élémentaire ES, l'en-tête PES ne devant pas être embrouillé.

Le processeur 26 écrit, par l'intermédiaire de la porte 31, les en-têtes 37a-c et/ou 36 aux positions
20 appropriées dans la mémoire de paquets PM1 de façon à respecter la structure des paquets TP représentée sur la figure 3, 4 ou 5. Cette écriture peut avoir lieu avant le transfert des $188 - L$ octets du flux d'entrée appartenant au paquet en question. Elle peut également être effectuée plus
25 tard pour autant que le paquet en question soit encore présent dans la mémoire PM1, notamment dans le cas où l'en-tête TP d'un paquet doit contenir des paramètres dépendant de paquets parvenant ultérieurement aux modules de paquétisation (par exemple des paramètres de découpage
30 d'images dans le cas d'un flux ES vidéo).

Lorsque le flux d'entrée est un flux de transport multiplexé, la logique de détection 25 est programmée pour détecter l'octet de synchronisation indiquant le début d'un
35 paquet de transport. Cet octet de synchronisation vaut 47 en hexadécimal. Le processeur 26 repère l'heure d'entrée du paquet lorsque l'octet de synchronisation est détecté. En

analysant les octets suivants de l'en-tête TP par l'intermédiaire du circuit de détection 22, le processeur 26 peut lire les 13 bits d'identification du paquet (champ PID) et déterminer s'il contient des champs temporels optionnels de type PCR ou LTW. La présence des champs PCR ou LTW est indiquée par des bits de position déterminée dans l'en-tête TP (voir document ISO/IEC 13818-1). La position du champ PCR est fixe, mais celle du champ LTW peut varier de sorte que la position de ce champ est également indiquée, le cas échéant, au processeur 26 par le circuit 22.

Connaissant le paramètre d'identification PID du paquet, qui caractérise le flux élémentaire dont il est issu, le processeur 26 peut effectuer une opération de filtrage pour ne transférer dans la mémoire de paquets que les paquets des flux élémentaires à conserver dans le multiplex de sortie. Pour éliminer un paquet, le processeur 26 commande le séquenceur de transferts 32 pour que celui-ci écrive le paquet dans la mémoire de paquets à une adresse poubelle où il ne sera jamais lu.

Dans le cas où le module de paquets est associé à plusieurs mémoires de paquets PM2, PM3, ces mémoires sont regroupées dans un même espace d'adressage, et les adresses d'écriture générées par le séquenceur de transferts 32 sont déterminées sur la base du paramètre d'identification PID fourni au processeur 26 par le circuit de détection 22 de manière à obtenir le fonctionnement en premier entré - premier sorti dans chacune des mémoires de paquets PM2, PM3. On peut ainsi orienter vers différentes mémoires de paquets les flux élémentaires à conserver dans un flux multiplexé d'entrée.

Le module de paquets représenté sur la figure 2 a une grande flexibilité. Il est aisément adaptable à une grande variété de flux d'entrée, par une simple programmation de la logique de détection 25 et du processeur 26. Ce module convient donc particulièrement pour une architecture modulaire du dispositif. Dans le cas d'un flux

d'entrée de type ES, il permet de réaliser simultanément les deux phases de mise en paquets (PES et TP) au moyen d'un seul processeur, l'en-tête PES étant considéré comme une extension de l'en-tête TP. Il convient également pour des flux d'entrée de type TS ou PS, dans des applications de remultiplexage.

L'élaboration d'un paquet est réalisée en parallèle avec le transfert des données du paquet précédent vers la mémoire PMi, ce qui permet de traiter des débits d'entrée importants. Le transfert est confié à un séquenceur distinct, ce qui permet de libérer le processeur unique du module de paquets pour les autres traitements à effectuer.

Une autre tâche exécutée par le processeur 26 est le calcul des paramètres associés aux paquets et leur écriture dans la mémoire de paramètres ZMi. Ces paramètres comprennent des paramètres d'élection permettant au module de multiplexage 14 de sélectionner les mémoires de paquets pour le transfert des paquets vers la sortie du dispositif. Ainsi, on transporte dans les modules de paquets une partie des tâches qui incombent habituellement au module de multiplexage. Le surcroît de charge pour le processeur 26 est cependant suffisamment faible pour ne pas avoir d'incidence significative sur le choix de ce processeur qui est de toute façon nécessaire pour la mise en paquets.

Pour s'approcher d'une répartition temporelle optimale en sortie, il est nécessaire de connaître :

- les paquets pouvant sortir immédiatement et le retard maximum qu'on peut leur attribuer.

- les paquets qui pourront sortir bientôt et le temps duquel on peut anticiper leur émission.

Une solution pour donner au module de multiplexage 14 une visibilité sur ces informations de diffusion est de demander aux modules de paquets d'associer à chaque paquet écrit dans la mémoire tampon PMi trois paramètres d'élection correspondant chacun à un temps exprimé par

rapport à une base de temps commune aux modules de paquets et de multiplexage. Ces trois paramètres sont l'heure minimale T_{min} , l'heure maximale T_{max} et l'heure idéale $T_{idéal}$ d'émission du paquet auquel ils sont associés.

5 Chaque processeur 26 gérant un flux élémentaire définit donc une fenêtre temporelle pour l'émission de chaque paquet créé, et est libre d'adapter la largeur de cette fenêtre à la nature du flux qu'il gère. De plus, pour aider le module de multiplexage 14 dans sa tâche et pour lui
10 permettre de générer un flux de qualité, il définit une position idéale du paquet dans sa fenêtre. La gestion des paramètres T_{min} , T_{max} et $T_{idéal}$ est spécifique pour chaque type de flux d'entrée.

Dans le cas où le flux d'entrée est un flux
15 élémentaire (ES, PES ou données), l'heure minimale d'émission T_{min} est calculée en ajoutant un temps de latence T_l à l'heure d'entrée T_e des données du paquet dans le tampon d'entrée 20 du module de paquets, et la différence $T_{max} - T_{min}$ entre l'heure maximale et l'heure
20 minimale d'émission est calculée en fonction du type de flux élémentaire et du débit de ce flux. Si la source du flux élémentaire a un débit régulier, le temps d'entrée T_e est simplement déduit par le processeur 26 à partir de l'heure de passage des données par le circuit de détection 22. Si la
25 source du flux élémentaire a un débit en rafales, le temps d'entrée peut être retrouvé à partir d'une information de débit reçue du codeur situé en amont ou lue dans le flux. Le temps de latence T_l est un temps programmable destiné à retarder l'émission de certains flux par rapport à d'autres.
30 La largeur de fenêtre $T_{max} - T_{min}$ est prise plus petite pour des flux temporels, notamment des flux vidéo, que pour des flux sans contrainte de rémission très précise, tels que les flux de données d'accès conditionnel EMM. La différence $T_{max} - T_{min}$ est en outre une fonction décroissante du débit
35 du flux élémentaire.

Dans la cas d'un flux d'entrée multiplexé de type

flux de transport, l'heure minimale T_{min} de réémission d'un paquet est calculée en fonction de l'heure d'entrée T_e du paquet dans le module et d'un temps de latence T_l comme dans le cas précédent, et en outre en fonction de la stratégie qu'avait adoptée le précédent multiplexeur. Cette stratégie est indiquée dans les champs LTW des en-têtes TP du flux ou dans des champs descripteurs, ces champs pouvant être lus par le processeur 26 par l'intermédiaire du circuit de détection 22. L'heure minimale calculée T_{min} est par exemple retardée, par rapport à $T_e + T_l$ du temps correspondant au décalage de fenêtre (LTW_offset) lu dans le flux. Dans le cas d'un flux d'entrée multiplexé, l'heure maximale de réémission T_{max} est calculée en fonction du type de flux. Pour la plupart des flux élémentaires d'un flux de transport, la différence $T_{max} - T_{min}$ est prise égale à 4 ms. Cependant, pour certains cas particuliers, cette différence peut être augmentée pour alléger les contraintes du module de multiplexage.

L'heure idéale d'émission d'un paquet est obtenue en fonction de la stratégie de multiplexage adoptée pour le flux élémentaire contenant ce paquet. Cette heure $T_{idéal}$ peut se définir par un décalage par rapport à l'heure minimale T_{min} , ce décalage étant fixe ou encore proportionnel à la largeur $T_{max} - T_{min}$ de la fenêtre d'émission. Une stratégie "tôt" correspond à une heure $T_{idéal}$ relativement proche de l'heure minimale T_{min} . Une telle stratégie favorise le codeur ou le multiplexeur situé en amont, qui peut avoir une mémoire tampon de sortie de taille réduite. Une stratégie "tard" correspond à une heure $T_{idéal}$ relativement éloignée de l'heure minimale T_{min} . Une telle stratégie favorise le décodeur ou le remultiplexeur situé en aval en ce sens que sa mémoire tampon d'entrée peut être de taille réduite. Il existe toute une gamme entre les stratégies "tôt" et "tard".

Dans une réalisation typique, les paramètres d'élection stockés dans les mémoires de paramètres Z_{Mi} sont

l'heure idéale d'émission Tidéal codée sur 20 bits, la différence Tidéal - Tmin codée sur 15 bits, et la différence Tmax - Tidéal codée sur 15 bits, exprimées par rapport à une horloge de référence à 90 kHz. Ces paramètres sont stockés à une adresse liée à l'adresse du paquet associé dans la mémoire PMi.

Les paramètres associés à un paquet et stockés dans les mémoires de paramètres ZMi comprennent en outre des paramètres de modification permettant au module de multiplexage 14 de mettre à jour l'en-tête du paquet en fonction de son heure d'émission lorsque cela est nécessaire. Ces paramètres de modification comprennent par exemple :

- des bits indiquant la présence ou l'absence, détectée par la logique 25, d'un champ de type PCR ou d'un champ de type LTW, qui ne peuvent être mis à jour que lorsque l'heure de sortie exacte du paquet est connue, nécessitant des références temporelles très précises. Dans le cas d'un champ de type PCR dont la position est fixe par rapport au début du paquet, il suffit d'un bit pour indiquer si un tel champ est présent dans le paquet. Dans le cas d'un champ de type LTW, dont la position peut varier, les paramètres de modification indiquent en outre la position de ce champ dans le paquet ;

- taille de la partie donnée (payload) du paquet. Cette information est utile dans le cas où le module de multiplexage 14 réalise en outre un embrouillage du paquet ;

- paramètre d'identification PID du paquet. Cette information, utile dans les applications de remultiplexage, permet au module de multiplexage 14 de savoir s'il doit changer ce paramètre (cas où le même paramètre d'identification PID est attribué à plusieurs flux élémentaires contenus dans les flux d'entrée).

Une architecture du module de multiplexage 14 est représentée sur le schéma de la figure 6. Ce module comprend d'une part un microprocesseur 40 et un circuit d'élection 42

qui traitent les données contenues dans les mémoires de paramètres ZMi, et d'autre part un séquenceur de transferts 44 qui commande les transferts de paquets des mémoires de paquets PMi vers le tampon de sortie 46 du dispositif. On comprendra que le module de multiplexage 14 pourrait embrouiller les paquets transférés avant de les inscrire dans le tampon de sortie.

Le module de multiplexage 14 comprend en outre une mémoire de paquets supplémentaire PM0 et une mémoire de paramètres associée ZM0. La mémoire PM0 contient des paquets d'informations spécifiques aux programmes portés par le multiplex de sortie (PSI), qui spécifient entre autres les paramètres d'identification PID des flux de chaque programme (voir chapitre 2.4.4 du document ISO/IEC 13818-1). Ces paquets PSI sont écrits dans la mémoire PM0 par une source non représentée appartenant également au module de multiplexage 14. Cette source écrit en outre dans la mémoire ZM0 des paramètres d'élection associés à ces paquets : Tmin, Tmax, Tidéal. Les contraintes temporelles des paquets PSI n'étant pas très sévères, la fenêtre temporelle d'émission de ces paquets peut être prise relativement large.

Du point de vue du module de multiplexage 14, les mémoires de paquets PM0, PM1, ..., PMm sont considérées comme un espace d'adressage unique. De même, les mémoires de paramètres ZM0, ZM1, ..., ZMm sont considérées pour la lecture comme un espace d'adressage unique. La figure 6 montre le bus de données 10D et le bus d'adresse 10A compris dans le bus de paquets 10. Ces deux bus 10A, 10D sont reliés respectivement aux entrées d'adresse et de données de chacune des mémoires de paquets PMi. Les adresses sur le bus 10A sont générées par le séquenceur de transferts 44 sous le contrôle du processeur 40. Le bus de données 10D est également relié à l'entrée du tampon de sortie 46 où l'écriture des données est commandée par le séquenceur 44.

La figure 6 montre également le bus de données 12D

et le bus d'adresse 12A contrôlés par le processeur 40 et compris dans le bus de paramètres 12. Ces deux bus 12A, 12D sont reliés respectivement aux entrées d'adresse et de données de chacune des mémoires de paramètres ZMi. Les bus de paquets 10 et de paramètres 12 sont reliés entre eux par une porte à trois états 48 permettant au processeur 40 de prendre la main sur le bus de paquets 10. Pour ordonner au séquenceur 44 le transfert d'un paquet de transport de 188 octets vers le tampon de sortie, le processeur 40 présente une adresse de départ sur le bus d'adresse 12A. Cette adresse de départ est transmise au bus 10A par la porte 48, et le compteur d'adresse du séquenceur 44 s'initialise à la valeur de cette adresse de départ, puis s'incrémente jusqu'à ce que les 188 octets du paquet soient transférés.

Les bus d'adresses 10A, 12A sont suffisamment larges pour que les mémoires de paquets PMi et de paramètres ZMi soient vues comme un espace d'adressage unique par le processeur 40. Des bus d'adresse de 24 bits conviennent pour un multiplexeur ou remultiplexeur de grande capacité (m \leq 128 par exemple). Pour gagner en vitesse de sortie, les bus de données 10D, 12D peuvent être des bus de 16 bits, transférant deux octets à la fois.

Le séquenceur 44 est séparé du processeur 40 afin de permettre au processeur 40 et au circuit 42 d'effectuer les traitements relatifs à l'émission d'un paquet dans le multiplex pendant que le paquet précédent du multiplex est en cours de transfert sous la commande du séquenceur. Ceci permet au module de multiplexage 14 de s'adapter au grand débit d'émission requis par la norme MPEG2.

Les traitements effectués avant le transfert d'un paquet comprennent :

- la sélection de la mémoire de paquets PMi dans laquelle sera lu ce paquet et la détermination de l'adresse de départ à fournir au séquenceur 44 pour assurer le transfert de ce paquet ;

- l'analyse des paramètres de modification relatifs

au paquet élu et la modification éventuelle des champs correspondants.

5 Le processeur 40 reçoit de l'équipement situé en aval du dispositif un signal CK de cadencement du multiplex de sortie. Le processeur 40 calcule l'heure Ts d'émission du prochain paquet à partir de ce signal CK.

10 Le choix de la mémoire de paquets d'où sera extrait le prochain paquet est effectué sur la base de cette heure d'émission Ts et des paramètres d'élection Tmin, Tmax, Tidéal présents dans les premières positions des mémoires de paramètres ZMi, c'est-à-dire des paramètres d'élection associés aux premiers paquets en attente dans chacune des mémoires de paquets PMi.

15 L'annexe 1 présentée à la fin de la présente description donne un exemple d'algorithme d'élection en langage C utilisable pour sélectionner les mémoires de paquets d'où extraire les paquets du multiplex. Dans les notations de l'annexe 1, nb_sources correspond au nombre de mémoires de paquets raccordables au bus de paquets 10 (nb_sources = m + 1 quand la totalité de la capacité du module de multiplexage 14 est utilisée), valid_TP_flag[] est un tableau de longueur nb_sources constitué de variables booléennes telles que valid_TP_flag[current_channel] est vraie si une mémoire de paquets PMi est effectivement
20 raccordée à la position current_channel et si cette mémoire de paquets contient au moins un paquet en attente de transfert, les tableaux Tmin[], Tmax[] et Tidéal[] contiennent les paramètres d'élection des premiers paquets en attente dans chaque mémoire de paquets, current_priority
25 est un coefficient de priorité calculé pour le premier paquet en attente dans la mémoire PM(current_channel), et elected_TP_priority est le coefficient de priorité maximisé par l'algorithme d'élection, correspondant au paquet élu contenu dans la mémoire PM(elected_TP_channel).

35 Un coefficient de priorité de -1 est attribué à un paquet de bourrage stocké, par exemple, dans la mémoire PM0

à une adresse à laquelle on attribue un numéro de mémoire égal à -1. Ce paquet de bourrage est sélectionné par défaut si aucune mémoire de paquets ne contient un paquet ayant atteint son heure minimale d'émission T_{min} . Aucun paquet ne peut normalement être émis après son heure maximale T_{max} , étant donné que le dispositif est dimensionné pour que la somme des débits des flux d'entrée soit inférieure au débit du flux de sortie.

Les figures 7 et 8 montrent les variations du coefficient de priorité d'un paquet ayant une fenêtre d'émission donnée [T_{min} , T_{max}] en fonction de l'heure d'émission T_s dans le cas d'une stratégie "tôt" (figure 7) et dans le cas d'une stratégie "tard" (figure 8). On voit que pour un temps d'émission donné et des fenêtres identiques, l'algorithme d'élection privilégie les flux pour lesquels on a défini une stratégie "tôt".

L'algorithme d'élection présenté à l'annexe 1 peut être mis en oeuvre par le processeur 40 pendant que le paquet précédent du multiplex est en cours de transfert. Dans ce cas, le processeur 40 doit effectuer des lectures dans les mémoires de paramètres Z_{Mi} puis exécuter l'algorithme. Ces tâches prennent un temps non négligeable au processeur. C'est pourquoi, dans les applications à haut débit, on préfère utiliser un circuit d'élection distinct 42 comme illustré sur la figure 6. Un circuit câblé 42 permet d'effectuer l'élection plus rapidement qu'un processeur, et soulage le processeur 40 des calculs correspondants.

Le module de multiplexage 14 comprend une mémoire à deux accès 50 reliée au bus de paramètres 12 pour fournir les paramètres utiles au circuit d'élection 42. Les paramètres d'élection $T_{idéal}$, $T_{max} - T_{idéal}$ et $T_{idéal} - T_{min}$ associés au premier paquet en attente dans chaque mémoire de paquets P_{Mi} sont lus par le processeur 40 dans la mémoire de paramètres correspondante Z_{Mi} et sont écrits dans la mémoire 50 à une adresse ADD égale au numéro de la mémoire de paquet. Le processeur 40 écrit également dans la mémoire 50

des bits BM correspondant aux variables booléennes valid_TP_flag précédemment définies : $BM = 0$ si aucune mémoire de paquets n'est raccordée à la position correspondant à l'adresse ADD ou si la mémoire de paquets
5 raccordée à la position correspondant à l'adresse ADD ne contient aucun paquet en attente à l'instant considéré.

La figure 9 est un schéma d'un circuit câblé d'élection. Ce circuit 42 comprend un registre 52 dans lequel la valeur de la prochaine heure d'émission T_s est
10 écrite par le processeur 40. Un séquenceur 54 supervise les opérations effectuées par le circuit 42 en réponse à un ordre d'élection EC reçu du processeur 40. Le séquenceur 54 commence par initialiser à la valeur -1 (paquet de bourrage par défaut) les contenus de deux registres 56, 58 destinés
15 à contenir l'un l'adresse ADDS correspondant à la mémoire de paquets sélectionnée et l'autre le coefficient de priorité correspondant PRIO. Le séquenceur 54 génère ensuite des ordres de lecture dans la mémoire de travail 50. A chaque cycle de lecture, le séquenceur 54 incrémente d'une
20 unité un compteur d'adresse délivrant l'adresse de lecture, de façon à lire séquentiellement les paramètres BM, Tidéal, $T_{max} - \text{Tidéal}$ et $\text{Tidéal} - T_{min}$ relatifs aux différentes adresses possibles. Le circuit d'élection 42 comprend un soustracteur 60 recevant sur son entrée positive l'heure d'émission T_s issue du registre 52 et sur son entrée
25 négative l'heure idéale Tidéal issue de la mémoire 50. Le bit de signe de la sortie du soustracteur 60 commande un multiplexeur 62 dont une entrée (signe positif) reçoit le paramètre $T_{max} - \text{Tidéal}$ depuis la mémoire 50 et l'autre entrée (signe négatif) reçoit le paramètre $\text{Tidéal} - T_{min}$
30 depuis la mémoire 50. Un diviseur 64 calcule le quotient entre la sortie du soustracteur 60 et la sortie du multiplexeur 62. Le coefficient de priorité du paquet courant ainsi fourni par le diviseur 64 est adressé à une
35 entrée d'un comparateur 66 dont l'autre entrée reçoit le contenu du registre 58. Une porte ET 68 reçoit d'une part le

bit BM relatif au paquet courant, et d'autre part le bit de
comparaison produit par le comparateur 66. Ce bit de
comparaison vaut 1 si le coefficient de priorité calculé du
paquet courant est plus grand que celui inscrit dans le
5 registre 58 et 0 dans le cas contraire. A des fins de
synchronisme, un registre à décalage 70 retarde le bit BM
adressé à la porte ET 68 d'un nombre de cycles égal à celui
nécessaire aux calculs effectués par les éléments 60 à 66.
L'adresse ADD générée par le séquenceur 54 est adressée au
10 registre 56 après avoir traversé un registre à décalage 72
qui la retarde du même nombre de cycles. Le coefficient de
priorité produit par le diviseur 64 est adressé au registre
58. L'horloge cycle CCK est fournie par le séquenceur 54 aux
registres 56 à 58 en vue de leur mise à jour, mais cette
15 mise à jour n'est effectuée qu'à la condition que la sortie
de la porte ET 68 soit à 1.

Le circuit 42 décrit ci-dessus permet d'exécuter
l'algorithme d'élection de l'annexe 1 en un temps très bref.
Une fois que le circuit d'élection a balayé toutes les
20 adresses possibles, l'adresse ADDS correspondant à la
mémoire PMi où le prochain paquet sera à lire est disponible
dans le registre 56. Le processeur 40 peut alors lire ce
registre 56 par l'intermédiaire du bus de paramètres 12.

Une fois que le processeur 40 connaît ainsi la
25 mémoire de paquets sélectionnée PMi, il procède aux
opérations suivantes :

- les paramètres de modification du paquet
sélectionné sont lus dans la mémoire de paramètres associée
ZMi ;
- 30 - le processeur 40 analyse ces paramètres de
modification et, si nécessaire effectue les modifications
correspondantes du paquet dans la mémoire PMi. Pour modifier
un paquet, le processeur 40 prend la main sur le bus de
paquets 10 via la porte 48. Les adresses de modification
35 sont déduites du numéro de la mémoire sélectionnée et des
paramètres de modification. Les données temporelles à

modifier (PCR ou LTW) le sont en fonction de l'heure d'émission Ts précédemment calculée. S'il faut modifier des champs d'identification PID, le processeur 40 utilise les données de cartographie du multiplex de sortie (PSI).
5 Pendant que le processeur 40 prend la main sur le bus de paquets 10, le séquenceur 44 interrompt le transfert du paquet en cours ;

10 - le processeur 40 détermine, en fonction du numéro ADDS de la mémoire de paquets sélectionnée, l'adresse de départ à fournir au séquenceur de transferts 44 pour le transfert du prochain paquet du multiplex 0S ; le processeur détermine cette adresse de départ de manière à respecter l'ordre d'entrée des paquets dans chaque mémoire de paquets ;

15 - les paramètres d'élection du paquet qui venait en seconde position dans la mémoire sélectionnée PMi sont lus dans la mémoire de paramètres associée ZMi et inscrits dans la mémoire de travail 50 à l'adresse correspondante ; à défaut d'un tel second paquet, le bit BM correspondant est
20 mis à 0 dans la mémoire de travail 50 ;

- le processeur 40 calcule l'heure d'émission Ts du paquet suivant et la fournit au circuit d'élection 42 de même que l'ordre d'élection suivant EC.

25 Bien entendu, le processeur 40 peut encore assurer d'autres fonctions non détaillées ici car non directement concernées par la présente invention.

L'organisation proposée du module de multiplexage est bien adaptée aux contraintes imposées par la norme système MPEG2.

30 Les modules de paquets fournissent au module de multiplexage les informations lui donnant la possibilité de parvenir à une répartition optimale des paquets dans le temps, en lui donnant non seulement l'heure idéale de diffusion de chaque paquet, mais aussi l'heure minimale et
35 l'heure maximale permettant de respecter les tampons d'entrée d'un décodeur situé en aval.

Le module de multiplexage n'a pas à connaître les caractéristiques de multiplexage des sources qu'il gère (débit, facteur critique de multiplexage). On peut donc définir une carte de multiplexage générique qui couvre les aspects multiplexage proprement dits mais aussi remultiplexage, ceci autorisant une flexibilité très importante.

Le processeur de multiplexage est soulagé pour parvenir à gérer des configurations lourdes en termes de nombre et de débit des flux élémentaires, sans avoir besoin d'une puissance de calcul rédhibitoire. Le processus de multiplexage est très systématique et peut en partie être implanté dans une logique câblée très rapide telle que le circuit d'élection 42.

Le nombre m des flux élémentaires que l'on peut gérer n'est limité que par la largeur des bus d'adresses du module de multiplexage. Ceci autorise une grande flexibilité, car on peut facilement ajouter ou retirer des modules de paquets au module de multiplexage. Le dispositif se configure à la mise sous tension et sait combien de modules de paquets sont présents, et à quelles adresses sur le bus de paquets et sur le bus de paramètres il écriront leurs données.

Les paramètres nécessaires à l'élection et à la modification des paquets sont identiques quel que soit le type de flux que gère le module de paquets. Le module de multiplexage ignore donc la nature des flux qu'il multiplexe. Il sait simplement combien de sources de paquets de transport lui sont connectées, et son travail est systématique (et donc plus rapide). Dans l'organisation proposée, chaque paquet de chaque source en attente dans l'espace mémoire des paquets dispose d'une zone associée dans l'espace mémoire des paramètres.

Une variante de réalisation du dispositif de la figure 1 est montrée sur la figure 10. Dans cette variante, l'interface entre les modules de paquets C_1, \dots, C_n et

le module de multiplexage 14 comprend des mémoires de paquets PM_1, \dots, PM_m , des mémoires ZM_1, \dots, ZM_m pour recevoir les paramètres d'élection des paquets et des mémoires YM_1, \dots, YM_m pour recevoir les paramètres de modification des paquets. Chaque module de paquets écrit donc les paramètres de modification dans une mémoire YMi également associée à la mémoire de paquets PMi , mais distincte (au moins en ce qui concerne l'adressage) de la mémoire ZMi des paramètres d'élection. Le bus 12 qui permet au module de multiplexage 14 de voir l'ensemble des mémoires ZMi comme un espace d'adressage unique ne sert dans cette variante qu'à la lecture des paramètres d'élection. Un bus semblable 16 est prévu entre le module de multiplexage 14 et les mémoires YMi pour lire les paramètres de modification. Les mémoires YMi sont donc également vues comme un espace d'adressage unique par le module de multiplexage. Cette architecture permet au processeur du module de multiplexage d'effectuer la modification d'un ou plusieurs paquets élus pendant que le circuit d'élection sélectionne une mémoire de paquets pour un paquet suivant du multiplex de sortie OS, étant observé que plusieurs paquets peuvent être élus d'avance, les heures d'émission T_s des paquets pouvant être anticipées. Par exemple, pendant que le paquet N sort du tampon de sortie, le paquet N+1 peut être écrit dans le tampon de sortie, le paquet N+2 peut être modifié dans sa mémoire de paquets et le paquet N+3 peut être élu. En augmentant ainsi la parallélisation des opérations, on peut s'adapter à des débits de sortie encore plus élevés.

ANNEXE 1

```
int election(int Ts, nb_sources, valid_TP_flag[], Tmin[], Tideal[],
            Tmax[])
{
int   current_channel, elected_TP_channel;
float current_priority, elected_TP_priority;

/* initialisation du TP élu à sa valeur par défaut :
   paquet de bourrage avec une priorité de -1 */
elected_TP_channel = -1;
elected_TP_priority = -1.0;

/* boucle principale de balayage des sources */
for (current_channel=0; current_channel<nb_sources;
     current_channel++)
    if (valid_TP_flag[current_channel])
    {
        /* calcul de la priorité du TP courant */
        if (Tideal[current_channel] <= Ts)
            current_priority = (Ts-Tideal[current_channel])/
                (Tmax[current_channel]-Tideal[current_channel]);
        else
            current_priority = (Ts-Tideal[current_channel])/
                (Tideal[current_channel]-Tmin[current_channel]);

        /* comparaison du TP élu et du TP courant */
        if (current_priority > elected_TP_priority)
        { /* mise à jour des paramètres du TP élu */
            elected_TP_priority = current_priority;
            elected_TP_channel = current_channel;
        }
    }
return elected_TP_channel;
}
```

REVENDICATIONS

1. Dispositif pour produire un multiplex temporel de
paquets d'informations numériques, comprenant plusieurs
5 modules de paquets (C1,C2,...,Cn) recevant chacun un
flux numérique d'entrée (IS1,IS2,...,ISn), plusieurs
mémoires de paquets (PM1,PM2,...,PMm) recevant chacune des
paquets issus d'un module de paquets respectif, et des
moyens de multiplexage (14) sélectionnant les mémoires de
10 paquets d'où les paquets du multiplex sont à extraire et
transférant successivement lesdits paquets vers une sortie
du dispositif, caractérisé en ce qu'il comprend en outre au
moins un ensemble de mémoires de paramètres
(ZM1,ZM2,...,ZMm) respectivement associées aux mémoires de
15 paquets, en ce que chaque paquet fourni à une mémoire de
paquets par un module de paquets est associé à un jeu
de paramètres incluant des paramètres d'élection écrits par
ledit module de paquets dans la mémoire de paramètres
correspondante, et en ce que les moyens de multiplexage
20 comprennent des moyens de traitement (40,42) reliés à
l'ensemble des mémoires de paramètres par un bus de
paramètres (12) pour sélectionner les mémoires de paquets en
analysant les paramètres d'élection respectivement associés
aux premiers paquets en attente dans chacune des mémoires de
25 paquets, et des moyens de transfert (44) reliés aux mémoires
de paquets par un bus de paquets (10) et commandés par les
moyens de traitement pour extraire successivement les
paquets du multiplex depuis les mémoires de paquets
sélectionnées, les moyens de traitement sélectionnant la
30 mémoire de paquets d'où un paquet du multiplex est à
extraire pendant que les moyens de transfert transfèrent un
paquet précédent du multiplex depuis une mémoire de paquets
précédemment sélectionnée.

2. Dispositif selon la revendication 1, caractérisé
35 en ce que le jeu de paramètres associé à un paquet comprend
des paramètres de modification déterminés par le module de

paquétisation fournissant ledit paquet à une mémoire de paquets, indiquant si les moyens de multiplexage ont à modifier au moins une portion déterminée dudit paquet.

5 3. Dispositif selon la revendication 2, caractérisé en ce que les paramètres de modification associés à un paquet comprennent au moins un indicateur de modification et un paramètre donnant la position d'une portion déterminée du paquet à modifier selon la valeur dudit indicateur.

10 4. Dispositif selon la revendication 2 ou 3, caractérisé en ce que les paramètres de modification d'un paquet sont écrits par le module de paquétisation dans la même mémoire de paramètres (ZMi) que les paramètres d'élection, et en ce qu'après avoir sélectionné une mémoire de paquets pour l'extraction d'un paquet du multiplex, les
15 moyens de traitement (40) lisent les paramètres de modification associés audit paquet dans la mémoire de paramètres (ZMi) associée à la mémoire de paquets sélectionnée, des moyens (48) étant prévus pour faire communiquer le bus de paramètres (12) et le bus de paquets
20 (10) et pour permettre ainsi aux moyens de traitement (40) de modifier au moins une portion déterminée du paquet dans la mémoire de paquets sélectionnée lorsque les paramètres de modification lus dans la mémoire de paramètres associée indiquent une modification à effectuer.

25 5. Dispositif selon la revendication 2 ou 3, caractérisé en ce qu'il comprend un premier ensemble de mémoires de paramètres (ZMi) pour stocker les paramètres d'élection associés aux paquets présents dans les mémoires de paquets (PMi), reliées aux moyens de multiplexage (14)
30 par un premier bus de paramètres (12), et un second ensemble de mémoires de paramètres (YMi) pour stocker les paramètres de modification associés aux paquets présents dans les mémoires de paquets (PMi), reliées aux moyens de multiplexage (14) par un second bus de paramètres (16), les
35 moyens de traitement commandant les moyens de transfert pour qu'un paquet soit transféré vers la sortie du dispositif

pendant qu'ils analysent les paramètres de modification d'un paquet suivant et qu'ils sélectionnent une mémoire de paquets d'où extraire un paquet suivant encore.

5 6. Dispositif selon l'une quelconque des revendications précédentes, caractérisé en ce que les paramètres d'élection associés à un paquet représentent au moins une heure minimale (T_{min}) et une heure maximale (T_{max}) d'émission dudit paquet par les moyens de multiplexage, et en ce que les moyens de traitement sélectionnent la mémoire
10 de paquets d'où est à extraire chaque paquet du multiplex sur la base de l'heure (T_s) d'émission dudit paquet et des paramètres d'élection associés aux premiers paquets en attente dans chacune des mémoires de paquets.

15 7. Dispositif selon la revendication 6, caractérisé en ce que les moyens de multiplexage (14) sont agencés pour émettre un paquet de bourrage lorsque l'heure d'émission de ce paquet est inférieure aux heures minimales (T_{min}) d'émission de tous les premiers paquets en attente dans les mémoires de paquets.

20 8. Dispositif selon la revendication 6 ou 7, caractérisé en ce que les paramètres d'élection associés à un paquet représentant en outre une heure idéale ($T_{idéal}$) d'émission dudit paquet par les moyens de multiplexage.

25 9. Dispositif selon la revendication 8, caractérisé en ce que la sélection d'une mémoire de paquets pour l'émission d'un paquet à une heure T_s comprend le calcul d'un coefficient de priorité pour chaque mémoire de paquets ayant au moins un paquet en attente, ce coefficient de priorité étant pris égal à $(T_s - T_{idéal}) / (T_{max} - T_{idéal})$ si
30 $T_s \geq T_{idéal}$ et à $(T_s - T_{idéal}) / (T_{idéal} - T_{min})$ si $T_s < T_{idéal}$, T_{min} , T_{max} et $T_{idéal}$ désignant respectivement les heures minimale, maximale et idéale d'émission du premier paquet en attente, la mémoire de paquets sélectionnée étant celle pour laquelle le coefficient de priorité est maximal.

35 10. Dispositif selon l'une quelconque des revendications précédentes, caractérisé en ce que les moyens

de traitement comprennent un processeur (40) commandant les transferts de paquets des mémoires de paquets sélectionnées vers la sortie du dispositif, et un circuit câblé d'élection (42) sélectionnant les mémoires de paquets sur la base des paramètres d'élection associés aux premiers paquets en attente dans chacune des mémoires de paquets.

11. Dispositif selon la revendication 10, caractérisé en ce que les moyens de multiplexage comprennent une mémoire (50) à deux accès dans laquelle le processeur (40) écrit les paramètres d'élection des premiers paquets en attente dans les mémoires de paquets, et dans laquelle le circuit d'élection (42) lit lesdits paramètres pour sélectionner les mémoires de paquets.

12. Dispositif selon l'une quelconque des revendications précédentes, caractérisé en ce qu'au moins un module de paquets comprend :

- un tampon d'entrée (20) recevant le flux d'entrée ;
 - un circuit de détection (22) relié à la sortie du tampon d'entrée pour détecter des mots de synchronisation du flux d'entrée ;
 - une unité de stockage (23) recevant successivement les octets du flux d'entrée qui ont été présentés au circuit de détection (22) ;
 - des moyens de transfert (32) pour transférer des octets de l'unité de stockage (23) vers une mémoire de paquets (PMi) ; et
 - un processeur (26) pour déterminer les en-têtes des paquets construits à partir du flux d'entrée sur la base des mots de synchronisation détectés par le circuit de détection (22), écrire ces en-têtes dans la mémoire de paquets (PMi) et commander les moyens de transfert (32),
- et en ce que l'unité de stockage (23) est organisée en premier entré - premier sorti de façon à contenir à chaque instant K-k octets du flux d'entrée, K désignant le nombre d'octets d'un paquet du multiplex de sortie et k

désignant le nombre d'octet minimal des en-têtes de paquet, et à ce que le transfert d'un octet de l'unité de stockage (23) vers la mémoire de paquets (PMi) soit accompagné par le transfert d'un autre octet du circuit de détection (22) vers l'unité de stockage (23), de sorte que tous les octets du flux d'entrée pouvant être introduits dans un paquet sont présentés au circuit de détection (22) avant que commence l'écriture de ce paquet dans la mémoire de paquets.

13. Dispositif selon la revendication 12, caractérisé en ce que le processeur (26) d'un module de paquets calcule le nombre d'octets L de l'en-tête d'un paquet selon les détections de mots de synchronisation effectuées par le circuit de détection (22) pendant que les octets d'un paquet précédent issus du flux d'entrée sont transférés de l'unité de stockage (23) vers la mémoire de paquets (PMi), et commande les moyens de transfert (32) pour transférer ensuite les K-L octets du flux d'entrée à inclure dans ledit paquet.

14. Dispositif selon la revendication 12 ou 13, caractérisé en ce que, pour traiter un flux élémentaire brut (ES) issu d'un codeur audio ou vidéo, le processeur (26) d'un module de paquets est agencé pour déterminer des en-têtes d'une première couche de paquets (PES) et des en-têtes d'une seconde couche de paquets (TP) sur la base de mots de synchronisation du flux élémentaire détectés par le circuit de détection (22), les paquets écrits dans la mémoire de paquets (PMi) contenant chacun un en-tête de la seconde couche, et les paquets contenant un en-tête de la première couche commençant chacun par un en-tête composite écrit par le processeur (26) dans la mémoire de paquets (PMi) et constitué par un en-tête de la seconde couche suivi par ledit en-tête de la première couche.

15. Dispositif selon la revendication 14, caractérisé en ce que le processeur (26) est agencé pour déterminer lesdits en-têtes composites de façon qu'ils occupent chacun la totalité d'un paquet de K octets.

16. Dispositif selon la revendication 12 ou 13, caractérisé en ce que pour traiter un flux élémentaire paquetisé selon une première couche de paquetisation (PES), le processeur (26) d'un module de paquetisation est agencé pour déterminer un en-tête d'une seconde couche de paquetisation (TP) inséré au début de chaque paquet écrit dans la mémoire de paquets (PMi) sur la base de mots de synchronisation inclus dans les en-têtes de la première couche et détectés par le circuit de détection (22), le circuit de détection (22) fournissant en outre au processeur (26) une indication du nombre d'octets L' de chaque en-tête de la première couche de façon que le processeur (26) détermine un en-tête de la seconde couche de K-L' octets pour le paquet contenant cet en-tête de la première couche.

17. Dispositif selon l'une quelconque des revendications 12 à 16, caractérisé en ce que le circuit de détection (22) comprend un réseau de portes programmable.

18. Dispositif selon la revendication 17, caractérisé en ce que le circuit de détection (22) comprend un registre à décalage (24) ayant une longueur de k octets placé entre la sortie du tampon d'entrée (20) et l'entrée de l'unité de stockage (23), et une logique programmable de détection (25) recevant les k octets présents dans le registre à décalage (24) et indiquant au processeur (26) les détections de mots de synchronisation.

1/6

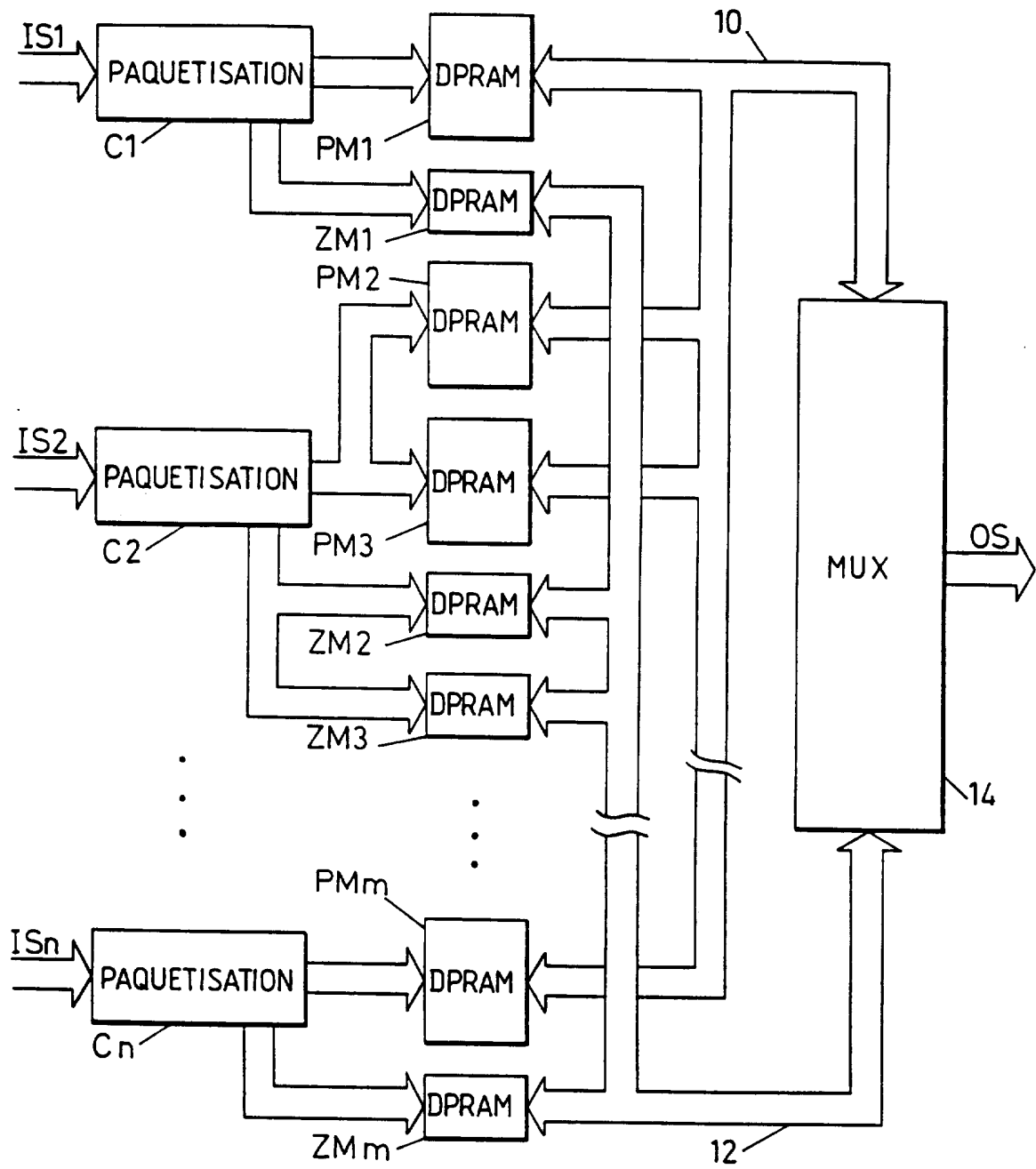


FIG.1

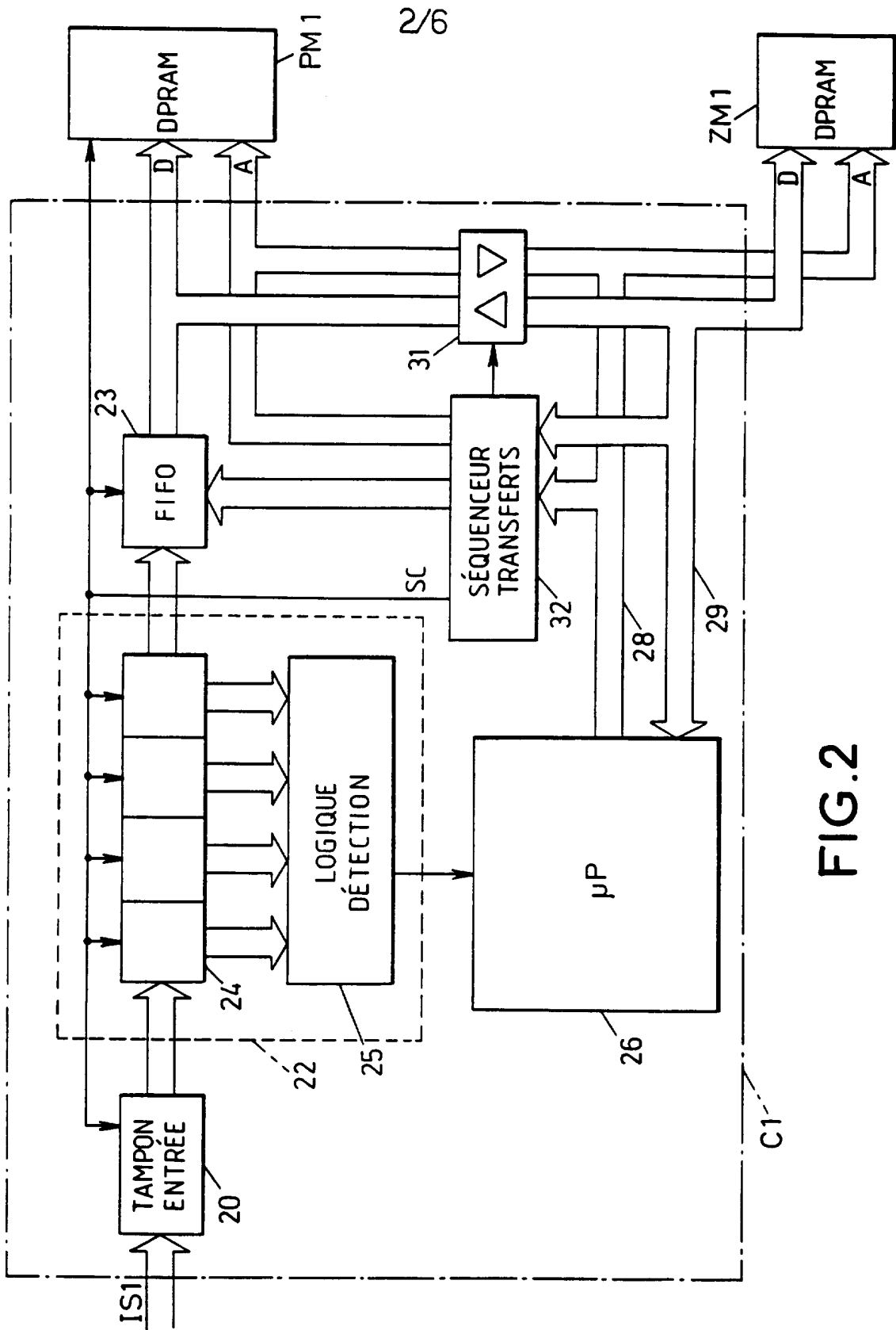


FIG. 2

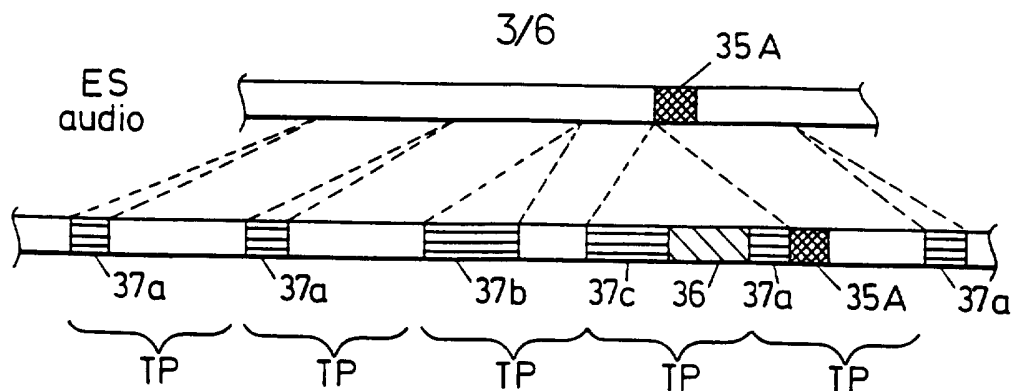


FIG.3

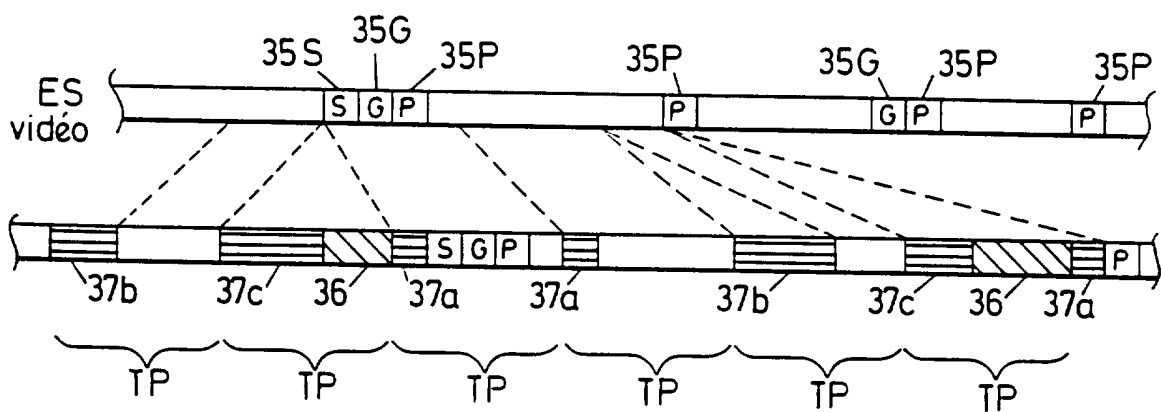


FIG.4

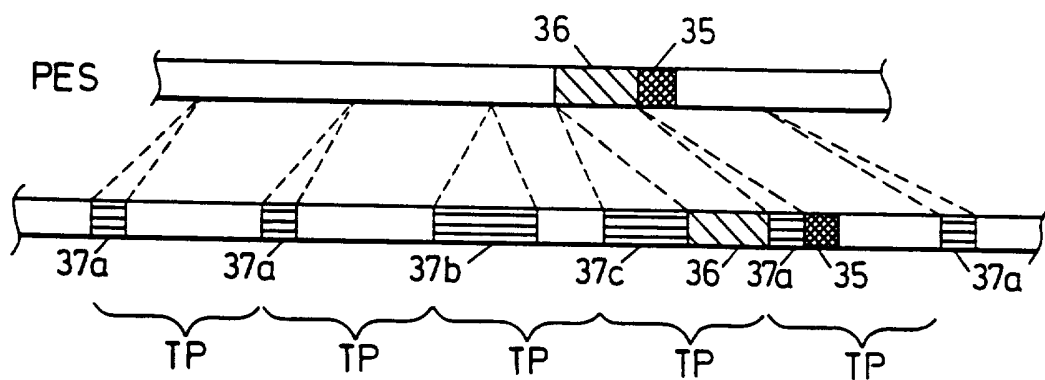


FIG.5

4/6

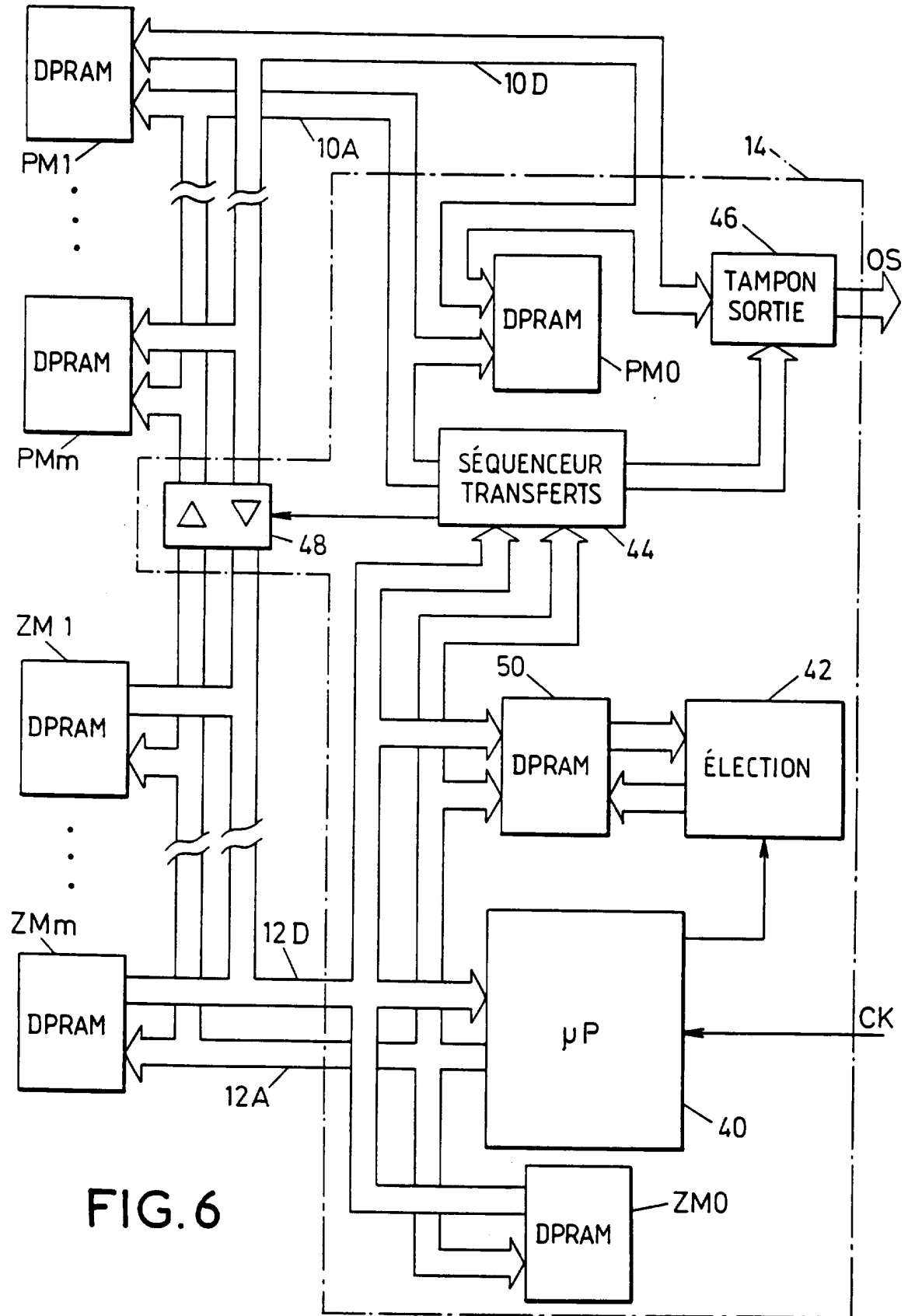


FIG. 6

5/6

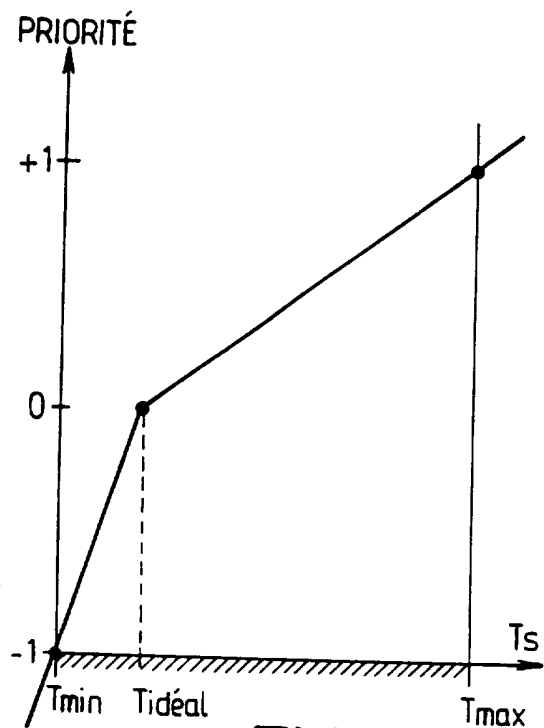


FIG. 7

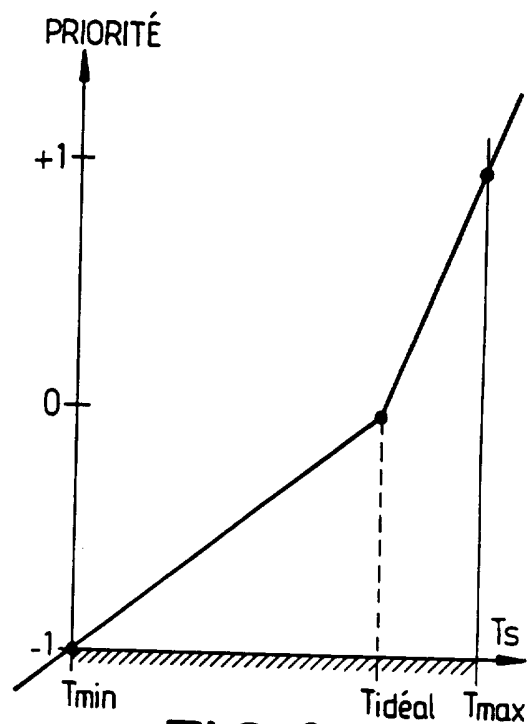


FIG. 8

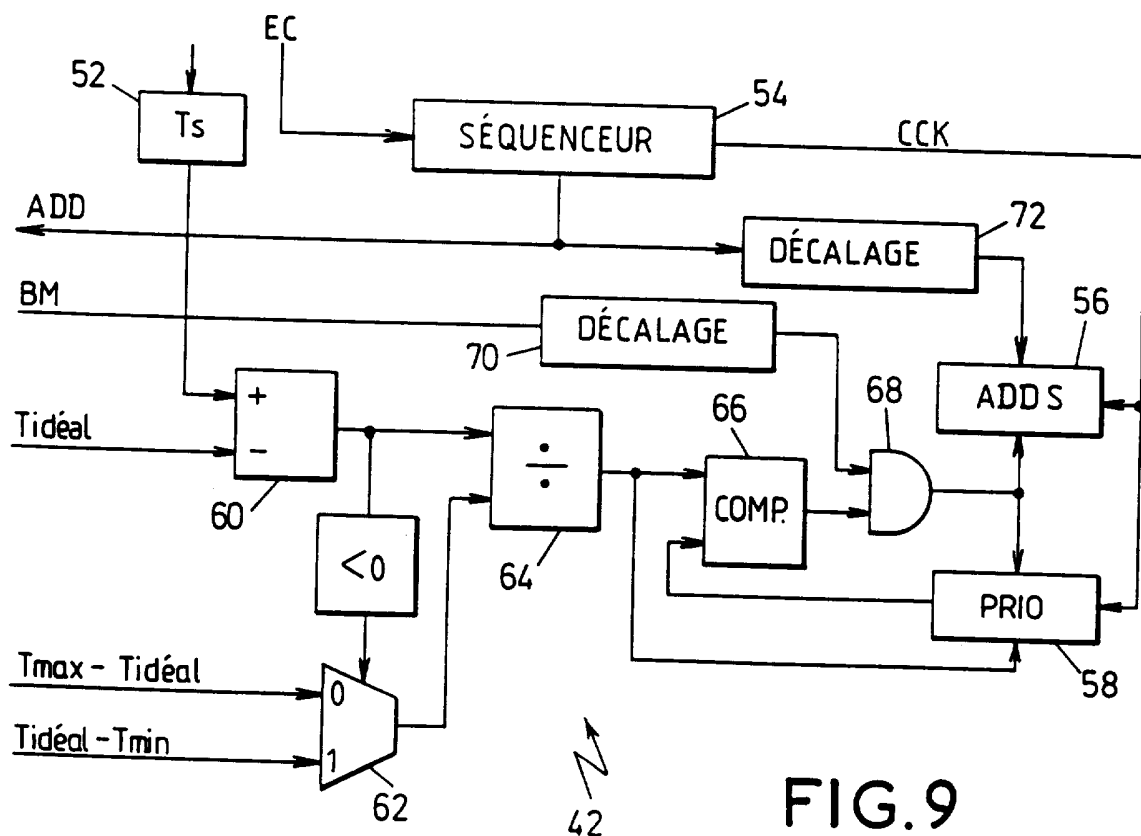


FIG. 9

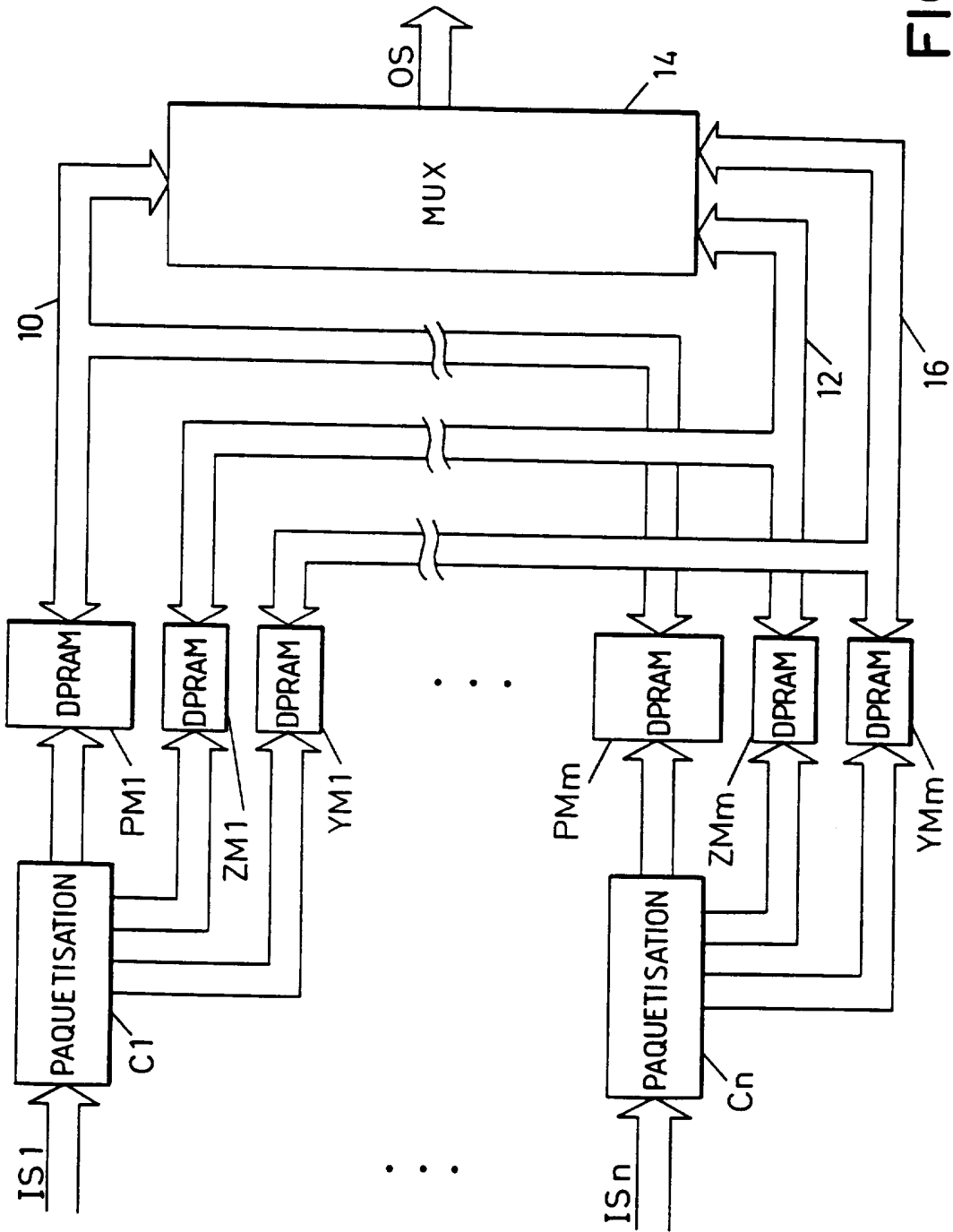


FIG.10

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 95/01396

A. CLASSIFICATION OF SUBJECT MATTER
IPC 6 H04N7/58 H04J3/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 6 H04N H04J

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	FERNSEH- UND KINO-TECHNIK, vol. 48, no. 10, October 1994 GERMANY, pages 545-550,553, U. RIEMANN 'Der MPEG-2-Standard , Multiplex-Spezifikation für die flexible Übertragung digitaler Datenströme (Teil 5_2)'	1, 10, 11
A	see the whole document --- -/--	2-9, 12-18

Further documents are listed in the continuation of box C.

Patent family members are listed in annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

- *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- * & * document member of the same patent family

Date of the actual completion of the international search

1 February 1996

Date of mailing of the international search report

- 6. 03. 96

Name and mailing address of the ISA

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+ 31-70) 340-3016

Authorized officer

Poirier, J-M

INTERNATIONAL SEARCH REPORT

International Application No

PCT/FR 95/01396

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT		
Category	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	ELECTRONICS AND COMMUNICATIONS IN JAPAN, PART I : COMMUNICATIONS, vol. 75, no. 7, July 1992 pages 22-32, XP 000330974 Y. KAJIYAMA ET N. TOKURA 'A multiplexing method of multimedia signal in ATM networks'	1,10,11
A	see paragraph 3. - paragraph 3.2.	2-9, 12-18

A	IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, vol. 4, no. 4, August 1994 USA, pages 417-424, XP 000464655 B. HASKELL ET A. REIBMAN 'Multiplexing of variable rate encoded streams' see paragraph II see paragraph IV	1,6-9

A	SMPTE JOURNAL, June 1994 pages 395-397, XP 000457574 G. TONGE 'The service multiplex'	

RAPPORT DE RECHERCHE INTERNATIONALE

D...nde Internationale No
PCT/FR 95/01396

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 6 H04N7/58 H04J3/16

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 6 H04N H04J

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés)

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	FERNSEH- UND KINO-TECHNIK, vol. 48, no. 10, Octobre 1994 GERMANY, pages 545-550, 553, U. RIEMANN 'Der MPEG-2-Standard, Multiplex-Spezifikation für die flexible Übertragung digitaler Datenströme (Teil 5_2)'	1, 10, 11
A	voir le document en entier --- -/--	2-9, 12-18

Voir la suite du cadre C pour la fin de la liste des documents

Les documents de familles de brevets sont indiqués en annexe

* Catégories spéciales de documents cités:

- *A* document définissant l'état général de la technique, non considéré comme particulièrement pertinent
- *E* document antérieur, mais publié à la date de dépôt international ou après cette date
- *L* document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)
- *O* document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens
- *P* document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

- *T* document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention
- *X* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément
- *Y* document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier
- *&* document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée

1 Février 1996

Date d'expédition du présent rapport de recherche internationale

6. 03. 96

Nom et adresse postale de l'administration chargée de la recherche internationale
Office Européen des Brevets, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+ 31-70) 340-2040, Tx. 31 651 epo nl,
Fax (+ 31-70) 340-3016

Fonctionnaire autorisé

Poirier, J-M

RAPPORT DE RECHERCHE INTERNATIONALE

D. n° de internationale No
PCT/FR 95/01396

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie *	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
Y	ELECTRONICS AND COMMUNICATIONS IN JAPAN, PART I : COMMUNICATIONS, vol. 75, no. 7, Juillet 1992 pages 22-32, XP 000330974 Y. KAJIYAMA ET N. TOKURA 'A multiplexing method of multimedia signal in ATM networks'	1, 10, 11
A	voir alinéa 3. - alinéa 3.2. ---	2-9, 12-18
A	IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS FOR VIDEO TECHNOLOGY, vol. 4, no. 4, Août 1994 USA, pages 417-424, XP 000464655 B. HASKELL ET A. REIBMAN 'Multiplexing of variable rate encoded streams' voir alinéa II voir alinéa IV ---	1, 6-9
A	SMPTE JOURNAL, Juin 1994 pages 395-397, XP 000457574 G. TONGE 'The service multiplex' -----	