

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4532653号
(P4532653)

(45) 発行日 平成22年8月25日 (2010. 8. 25)

(24) 登録日 平成22年6月18日 (2010. 6. 18)

(51) Int. Cl.		F I	
HO 4 N	1/41	(2006. 01)	HO 4 N 1/41 B
HO 4 N	7/30	(2006. 01)	HO 4 N 7/133 Z
HO 3 M	7/30	(2006. 01)	HO 3 M 7/30 A

請求項の数 8 (全 38 頁)

(21) 出願番号	特願2000-69353 (P2000-69353)	(73) 特許権者	000001007
(22) 出願日	平成12年3月13日 (2000. 3. 13)		キヤノン株式会社
(65) 公開番号	特開2000-308060 (P2000-308060A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成12年11月2日 (2000. 11. 2)	(74) 代理人	100076428
審査請求日	平成19年2月28日 (2007. 2. 28)		弁理士 大塚 康德
(31) 優先権主張番号	PP9186	(74) 代理人	100112508
(32) 優先日	平成11年3月12日 (1999. 3. 12)		弁理士 高柳 司郎
(33) 優先権主張国	オーストラリア (AU)	(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100115071
			弁理士 大塚 康弘

最終頁に続く

(54) 【発明の名称】 符号化方法及び装置

(57) 【特許請求の範囲】

【請求項 1】

離散ウェーブレット変換 (DWT) により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する方法であって、

a) 各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH, HL, HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する工程と、

c) DWTを使用して前記処理対象タイルをDWT分解の少なくとも一つのレベルに分解してLL, LH, HLおよびHHサブバンドを含む複数のサブバンドを形成する工程と、

d) LH, HLおよびHHサブバンドの各サブバンド内の係数を蓄積して前記特定のブロックサイズのブロックを形成するとともに、各ブロックをビットストリームに符号化する工程と、

e) 前記LLサブバンドの係数を蓄積するとともに、当該LLサブバンドの所定数の係数が蓄積されるまで、前記工程b) からe) を繰り返す工程と、

10

20

f) 前記処理対象タイルとして、蓄積された L L サブバンドの係数の前記所定数を割り当てる工程と、

g) 前記 D W T 分解の前記所定レベルに達するまで、前記工程 c) から g) を繰り返す工程と、

h) 前記 L L サブバンドをビットストリームに符号化する工程と、
を含むことを特徴とするデジタル画像を符号化する符号化方法。

【請求項 2】

前記 D W T 分解は、Daubechies 9 / 7 フィルタを使用することを特徴とする請求項 1 に記載の符号化方法。

【請求項 3】

前記 D W T 分解は、Haar フィルタを使用することを特徴とする請求項 1 に記載の符号化方法。

【請求項 4】

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する符号化方法であって、

a) 各タイルが D W T 分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、また、D W T 分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1 回の D W T 分解で得られる L H , H L , H H から前記特定のブロックサイズのブ
ロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

b) 前記複数のタイルの中から、D W T 分解の対象となる処理対象タイルを選択する工程と、

c) D W T を使用して前記処理対象タイルを L L、L H、H L および H H サブバンドの複数の係数を提供するように分解する工程と、

d) 工程(c)で得られた現在レベルの L H、H L、H H サブバンドの係数をビットストリームに符号化する工程と、

e) 前記現在レベルが前記所定レベルであるかどうかを判定し、

e a) 前記現在レベルが前記所定レベルであれば、前記 L L サブバンドの係数をビットストリームに符号化し、前記工程 b) から e) を繰り返し、

e b) 前記現在レベルが前記所定レベルでなければ、前記 L L サブバンドの前回符号化されていない係数を記憶する工程と、

f) 前記現在レベルにおける前記 L L サブバンドの前記記憶された係数の数が少なくとも所定数であるかどうかを判定する工程と、

f a) 前記記憶された係数の数が少なくとも前記所定数であれば、処理対象タイルとして前記係数の前記所定数を処理対象タイルに割り当て、前記工程 c) から f) を繰り返す工程と、

f b) 記憶された前記係数の数が前記所定数より少なければ、前記工程 b) から f) を繰り返す工程と、

を含むことを特徴とするデジタル画像を符号化する符号化方法。

【請求項 5】

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する符号化装置であって、

a) 各タイルが、D W T 分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、また D W T 分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1 回の D W T 分解で得られる L H , H L , H H から前記特定のブロックサイズのブ
ロックを形成できる画素数を有するように、画像を複数のタイルに分割する分割手段と、

b) 前記複数のタイルの中から、D W T 分解の対象となる処理対象タイルを選択する選

10

20

30

40

50

択手段と、

c) DWTを使用して前記処理対象タイルをDWT分解の少なくとも一つのレベルに分解してLL、LH、HLおよびHHサブバンドを含む複数のサブバンドを形成する分解手段と、

d) 前記LLサブバンドの係数の所定数を蓄積する手段と、

e) 蓄積された前記係数の前記所定数を処理対象タイルとして割り当てる手段と、

f) 前記処理対象タイルをさらなるレベルの分解度に分解するために処理対象タイルを前記分解手段に帰還させる手段と、

g) LH、HLおよびHHサブバンドの各サブバンド内の係数を蓄積して前記特定のブロックサイズのブロックを形成するとともに、前記所定レベルでLLサブバンド内の前記特定のブロックサイズの少なくとも一つのブロックを蓄積する手段と、

h) 各前記ブロックをビットストリームに符号化する符号化手段と、

を有することを特徴とする符号化装置。

【請求項6】

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する符号化装置であって、

各画像の部分がDWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、また、DWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH、HL、HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、前記画像の少なくとも一部を記憶する手段と

、
リニア変換を前記画像の前記一部の一次元および二次元それぞれに適用して、各サブバンドが少なくとも一つの係数を含むLL、LH、HLおよびHHサブバンドを提供する第1および第2フィルタ手段と、

前記LLサブバンドの係数を所定数蓄積し、前記第1および第2フィルタ手段によってリフィルタして次のレベル分解を達成するための画像部分として、蓄積された前記係数を使用する部分バンド記憶手段と、

前記LH、HLおよびHHサブバンド内の各レベルに対する前記特定のブロックサイズの前記ブロックを蓄積し、また前記所定レベルの分解レベルにおけるLLサブバンド内の前記特定のブロックサイズの前記ブロックを蓄積するためのサブバンド記憶手段と、

各蓄積したブロックをビットストリームに符号化する符号化手段と、

を具備することを特徴とする符号化装置。

【請求項7】

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する装置のためのプログラムを記憶するコンピュータにより読取可能な記憶媒体において、前記プログラムは前記コンピュータに、

a) 各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH、HL、HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する工程と、

c) DWTを使用して前記処理対象タイルをDWT分解の少なくとも一つのレベルに分解してLL、LH、HLおよびHHサブバンドを含む複数のサブバンドを形成する分解工程と、

d) LH、HLおよびHHサブバンドの各サブバンドの係数を蓄積して前記特定のブロックサイズのブロックを形成するとともに、各ブロックをビットストリームに符号化する工程と、

e) 前記LLサブバンドの係数を蓄積するとともに、当該LLサブバンドの係数が所定数が蓄積されるまで、工程b)からe)を繰り返す工程と、

f) 前記処理対象タイルに、蓄積されたLLサブバンドの前記係数の前記所定数を割り当てる割り当て工程と、

g) 前記DWT分解の前記所定レベルに達するまで、工程c)からg)を繰り返す繰り返し工程と、

h) 前記LLサブバンドをビットストリームに符号化する符号化工程と実行させるプログラムであることを特徴とする記憶媒体。

10

【請求項8】

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する装置のためのプログラムを記憶するコンピュータにより読取可能な記憶媒体において、前記プログラムは前記コンピュータに、

a) 各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH、HL、HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

20

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する選択工程と、

c) DWTを使用して前記処理対象タイルをLL、LH、HLおよびHHサブバンドの複数の係数を提供するように分解する工程と、

d) 工程(c)で得られた現在レベルのLH、HL、HHサブバンドの係数をビットストリームに符号化する符号化工程と、

e) 前記現在レベルが前記所定レベルであるかどうかを判定する判定工程と、

e a) 前記現在レベルが前記所定レベルであれば、前記LLサブバンドの係数をビットストリームに符号化する工程と；工程b)からe)を繰り返す工程と；

30

e b) 前記現在レベルが前記所定レベルでなければ、前記LLサブバンドの前回符号化されていない係数を記憶する記憶工程と；

f) 前記現在レベルにおけるLLサブバンドの前記記憶された係数が、少なくとも所定数であるかどうかを判定する工程と；

f a) 記憶された前記係数の数が少なくとも前記所定数であれば、処理対象タイルとして前記係数の前記所定数を割り当てる割り当て工程と；工程c)からf)を繰り返す工程と；

f b) 記憶された前記係数の数が前記所定数より小さければ、工程b)からf)を繰り返す繰返工程と；

40

を実行させるプログラムであることを特徴とする記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、デジタル画像圧縮分野、特に画像のウェーブレット分解を実行する符号化方法および装置に関する。

【0002】

【従来の技術】

デジタル・データ圧縮、および特にデジタル画像圧縮の分野は、一時非常に注目されていたが、特に最近、離散ウェーブレット変換(DWT)に基づく圧縮技術がますます一般的にな

50

ってきている。これはDWTが画像の非冗長階層的分解を提供し、また、画像の圧縮結果が良好な定歪み統計値を提供するからである。

【0003】

一般的に、画像の離散ウェーブレット変換(DWT)は、一連の一次元DWTを用いて実行される。信号(すなわち、画像の行)の一次元DWTが、ローパスおよびハイパスフィルタリングされ、各フィルタされた信号を2つおきに選んで実行される。この2つおきに取り出すのは、フィルタリング処理されたサンプルを2つおきに計算して保持することを意味する。たたみこみ(フィルタリング)が実行されると、フィルタは、普通は一つのサンプルであるのとは代わって、一度に二つのサンプル毎に進行する。この方法において、N個のサンプルの信号に対して、N個のDWTのサンプル、すなわち、実質的にN/2のローパス・サンプルと実質的にN/2のハイパス・サンプルがある。

10

【0004】

【発明が解決しようとする課題】

これはランダム・アクセス・メモリ(RAM)のようなコンピュータ・メモリ内で全画像をバッファリングすることによって実行されるのが一般的で、バッファされた画像にDWTが実行され、その変換された画像が符号化される。あいにく、このアプローチには大量のメモリ、特に2000画素×2000画素或いはそれ以上を必要とし、十分な処理速度を達成しなければならない場合には、相当なバンド幅を必要とする。

【0005】

本発明は上記従来例に鑑みてなされたもので、本発明の目的は、既存の構成の一つのまたはそれ以上の欠点を実質上克服するか、ないしは少なくともこれを改善することにある。例えば、少ないバッファの容量で、複数レベルのDWT実行できる構成を提供する。

20

【0006】

【課題を解決するための手段】

本発明の第1の態様によれば、離散ウェーブレット変換(DWT)により変換して所定レベルに分解され、各ブロックが一次元および二次元における係数による特定ブロック・サイズを有するブロック単位で符号化できる複数の画素を含むデジタル画像を符号化する方法を提供することであり、この方法は、

a) 画像を複数のタイルに分割する工程であって、各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH, HL, HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と；

30

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する工程と；

c) DWTを使用して前記処理対象タイルをDWT分解の少なくとも一つのレベルに分解してLL, LH, HLおよびHHサブバンドを含む複数のサブバンドを形成する工程と；

d) LH, HLおよびHHサブバンドの各サブバンド内の係数を蓄積して前記特定のブロックサイズのブロックを形成するとともに、各ブロックをビットストリームに符号化する工程と；

40

e) 前記LLサブバンドの係数を蓄積するとともに、当該LLサブバンドの所定数の係数が蓄積されるまで、前記工程b)からe)を繰り返す工程と；

f) 前記処理対象タイルとして、蓄積されたLLサブバンドの前記所定数の係数を割り当てる工程と；

g) 前記DWT分解の前記所定レベルに達するまで、前記工程c)からg)を繰り返す工程と；

h) 前記LLサブバンドをビットストリームに符号化する工程と；
を含んでいる。

50

【 0 0 0 7 】

本発明の第 2 の態様によれば、

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する符号化方法であって、

a) 各タイルがDWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、また、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH, HL, HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する工程と;

c) DWTを使用して前記処理対象タイルをLL、LH、HLおよびHHサブバンドの複数の係数を提供するように分解する工程と;

d) 前記工程(c)で得られた現在レベルのLH、HL、HHサブバンドの係数をビットストリームに符号化する工程と;

e) 前記現在レベルが前記所定レベルであるかどうかを判定し;

e a) 前記現在レベルが前記所定レベルであれば、前記LLサブバンドの係数をビットストリームに符号化し、前記工程b)からe)を繰り返す;

e b) 前記現在レベルが前記所定レベルでなければ、前記LLサブバンドの前回符号化されていない係数を記憶する工程と;

f) 前記現在レベルにおける前記LLサブバンドの前記記憶された係数が少なくとも所定数であるかどうかを判定する工程と;

f a) 前記記憶されたLL係数が少なくとも前記所定数であれば、処理対象タイルとして前記係数の前記所定数を処理対象タイルに割り当て、前記工程c)からf)を繰り返す工程と;

f b) 記憶された前記係数の数が前記所定数より少なければ、前記工程b)からf)を繰り返す工程と;

を含む符号化方法が提供される。

【 0 0 0 8 】

本発明の第 3 の態様によれば、

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する符号化装置であって、

a) 各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH, HL, HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する手段;

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する選択手段と;

c) DWTを使用して、前記処理対象タイルをDWT分解の少なくとも一つのレベルに分解してLL、LH、HLおよびHHサブバンドを含む複数のサブバンドを形成する分解手段と;

d) 前記LLサブバンド係数の所定数を蓄積する手段と;

e) 蓄積された前記係数の前記所定数を処理対象タイルとして割り当てる手段と;

f) 前記処理対象タイルをさらなるレベルの分解度に分解するために処理対象タイルを前記分解手段に帰還させる手段と;

g) LH、HLおよびHHサブバンドの各サブバンド内の係数を蓄積して前記特定のブロックサイズのブロックを形成するとともに、前記所定レベルでLLサブバンド内の前記

10

20

30

40

50

特定のブロックサイズの少なくとも一つのブロックを蓄積する手段と；

h) 各前記ブロックをビットストリームに符号化する符号化手段と；

を有することを特徴とする符号化装置が提供される。

【0009】

本発明の第4の態様によれば、

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する符号化装置であって、

各画像の部分がDWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、また、DWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH、HL、HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、前記画像の少なくとも一部を記憶する手段と

；
リニア変換を前記画像の前記一部の一次元および二次元それぞれに適用して、各サブバンドが少なくとも一つの係数を含むLL、LH、HLおよびHHサブバンドを提供する第1および第2フィルタ手段と；

LLサブバンドの係数を所定数蓄積し、前記第1および第2フィルタ手段によってリフィルタして次のレベル分解を達成するための画像部分として、蓄積された前記係数を使用する部分バンド記憶手段と；

LH、HLおよびHHサブバンド内の各レベルに対する前記特定のブロックサイズの前記ブロックを蓄積し、また前記所定レベルの分解レベルにおけるLLサブバンド内の前記特定のブロックサイズの前記ブロックを蓄積するためのサブバンド記憶手段と；

各蓄積ブロックをビットストリームに符号化する符号化手段と；

を具備する符号化装置が提供される。

【0010】

本発明の第5の態様によれば、

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する装置のためのプログラムを記憶するコンピュータにより読取可能な記憶媒体において、前記プログラムは前記コンピュータに、

a) 各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られるLH、HL、HHから前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する工程と、

c) DWTを使用して前記処理対象タイルをDWT分解の少なくとも一つのレベルに分解してLL、LH、HLおよびHHサブバンドを含む複数のサブバンドを形成する分解工程と、

d) LH、HLおよびHHサブバンドの各サブバンドの係数を蓄積して前記特定のブロックサイズのブロックを形成するとともに、各ブロックをビットストリームに符号化する工程と、

e) 前記LLサブバンドの係数を蓄積するとともに、当該LLサブバンドの係数が所定数が蓄積されるまで、工程b)からe)を繰り返す工程と、

f) 前記処理対象タイルに、蓄積されたLLサブバンドの前記係数の前記所定数を割り当てる割り当て工程と、

g) 前記DWT分解の前記所定レベルに達するまで、工程c)からg)を繰り返す繰り返

返し工程と、

h) 前記 LL サブバンドをビットストリームに符号化する符号化工程と実行させるプログラムであることを特徴とする記憶媒体が提供される。

【0011】

本発明の第6の態様によれば、

離散ウェーブレット変換(DWT)により変換して所定レベルに分解でき、かつ各ブロックが一次元および二次元の複数の係数を含む特定のブロックサイズを有しブロック単位で符号化される複数の画素を含むデジタル画像を符号化する装置のためのプログラムを記憶するコンピュータにより読取可能な記憶媒体において、前記プログラムは前記コンピュータに、

a) 各タイルが、DWT分解の前記所定レベルで前記ブロックの一次元における係数を発生するのに必要とされる画素の最小数を有し、またDWT分解の前記所定レベルで前記ブロックの二次元における係数を発生するのに必要とされる画素の最小数より少ない数を有し、1回のDWT分解で得られる LH, HL, HH から前記特定のブロックサイズのブロックを形成できる画素数を有するように、画像を複数のタイルに分割する工程と、

b) 前記複数のタイルの中から、DWT分解の対象となる処理対象タイルを選択する選択工程と、

c) DWTを使用して前記処理対象タイルを LL, LH, HL および HH サブバンドの複数の係数を提供するように分解する工程と、

d) 工程(c)で得られた現在レベルの LH, HL, HH サブバンドの係数をビットストリームに符号化する符号化工程と、

e) 前記現在レベルが前記所定レベルであるかどうかを判定する判定工程と、

e a) 前記現在レベルが前記所定レベルであれば、前記 LL サブバンドの係数をビットストリームに符号化する工程と；工程 b) から e) を繰り返す工程と；

e b) 前記現在レベルが前記所定レベルでなければ、前記 LL サブバンドの前回符号化されていない係数を記憶する記憶工程と；

f) 前記現在レベルにおける LL サブバンドの前記記憶された係数が、少なくとも所定数であるかどうかを判定する工程と；

f a) 記憶された前記係数の数が少なくとも前記所定数であれば、処理対象タイルとして前記係数の前記所定数を割り当てる割り当工程と；工程 c) から f) を繰り返す工程と；

f b) 記憶された前記係数の数が前記所定数より小さければ、工程 b) から f) を繰り返す繰返工程と；

を実行させるプログラムであることを特徴とする記憶媒体が提供される。

【0013】

【発明の実施の形態】

以下、添付図面を参照して本発明の好適な実施の形態を詳細に説明する。なお、添付図面のいずれか一つまたはそれ以上において、同じ工程および(または)特徴に同じ参照符号を付して参照するものとし、強調しない限り、これらの工程および(または)特徴は、この説明の目的としては、同じ機能または動作を有するものである。

【0014】

図1を参照して、4レベルまでの画像の離散ウェーブレット分散を示す。最高レベルにおいて、すなわち、レベル4において、ロウ-ロウ(LL)周波数サブバンド(またはDCサブバンド)およびハイ-ロウ(HL4)周波数サブバンド、ロウ-ハイ(LH4)周波数サブバンドおよびハイ-ハイ(HH4)周波数サブバンドがある。次のレベルに下がると、そのレベルに対してハイ-ロウ(HL3)周波数サブバンド、ロウ-ハイ(LH3)周波数サブバンド、ロウ-ハイ(LH3)周波数サブバンドおよびハイ-ハイ(HH3)周波数サブバンドがある。また最低レベルにおいて、ハイ-ロウ(HL1)周波数サブバンド、ロウ-ハイ(LH1)周波数サブバンドおよびハイ-ハイ(HH1)周波数サブバンドがある。

【 0 0 1 5 】

各レベルは、（単一レベル）離散ウェーブレット変換(DWT) の適用によって発生される。従って、DWTを画像へ適用することは、第1レベルのDCサブバンドと、それよりも3つ高い周波数サブバンドHL1、LH1およびHH1を発生することになる。こうして、DWTが第1レベルのDC（またはLL）サブバンドに適用されて、第2レベルのDCサブバンドと、それよりも3つ高い周波数サブバンドHL2、LH2およびHH2が発生される。次に、第2レベルのDCサブバンドに更にDWTを適用することにより、第三レベルのDCサブバンドと、それよりも3つ高いサブバンドHL3、LH3およびHH3などが発生され、所望のレベルに分解される。その結果、上述の四つのレベルの分解が、（単一レベル）DWTの4つの適用、すなわち、画像への第1の適用と、上述した再帰（回帰）方法により得られたロウ・ロウ（LL）周波数サブバンドへの後続の適用とを必要とする。

10

【 0 0 1 6 】

本発明の好適な実施の形態は、メモリ効率（エフィシエント）と低メモリ・バンド幅（画素当りのバイト）を実現といった点で、所定のレベルの分解を達成する。好ましい実施の形態の更なる実施は、分解されるべき画像のサイズ（1K画素×1K画素より一般的に大きい画像に対して）とは実質上無関係である。すなわち、所定レベルにおける画像の離散ウェーブレット分解は、全画像を記憶するのに必要とする量よりも小さいメモリ容量で、また、画像の幅または高さとはほぼ無関係なメモリ・バッファによって提供される。

【 0 0 1 7 】

本発明の好適な実施の形態は、DWT分解の最大レベル数を固定にし、分解されるべき画像を複数のタイルに分割し、また、各タイルの一次元が、DWT分解の最大レベルにおけるDCブロックの対応する（第1）次元の所定サイズDCブロックを生成するのに必要な略最小画素数となるように分割することによって、十分なメモリ・バッファと低メモリ・バンド幅を達成する。さらに、各タイルの二次元は、所定サイズのDCブロックの対応する（第2）次元を生成するのに必要とする略最小画素数より少ない。好ましくは、各タイルの二次元は、画素で測定した最小長さを有していることであり、これは最大レベルにおける所定サイズDCブロックの対応する次元の（フラクション）サブ・マルチプルを生成することを必要とされるからである。

20

【 0 0 1 8 】

例えば、好ましい実施の形態によれば、Daubechies 9 / 7 DWTフィルタ（すなわち、9タップ・ロウパスと7タップ・ハイパス）、および各レベルにおいて32係数×32係数（高さ×幅）のエントロピー符号化DWTブロック（アレイ）を使用して、各レベルにおいて、DWT分解の4レベルの最大まで、画像を複数のオーバーラップするタイルにサブ分割する必要がある。各タイルは一次元（例えば、タイルの高さ）内で617画素となり、二次元（例えば、タイルの幅）内で71画素となる。各タイルは、分解の各反復において、ロウ・ロウ周波数部分の中間バッファリングにより4レベルにDWT分解され、所定数のDC係数が生成される。この種のタイルで約9回処理すると、DC係数の32×32ブロックがリカバーされ、エントロピー符号化される。各反復を通して、より高い周波数係数（例えば、各レベルにおけるHL、LHおよびHH）の32×32ブロックもエントロピー符号化される。

30

40

【 0 0 1 9 】

次に、好ましい実施の形態につき、まず最初に、Daubechies 9 / 7 DWTフィルタを使用する画像の4レベルDWT分解を参照し、続いてDWT係数の32×32ブロックのエントロピー符号化を説明するが、本発明はこれに限定されるものではない。ブロックのエントロピー符号化の前に、分解レベルの異なる所定最大数、異なるフィルタおよび/または蓄積された係数の異なるブロックサイズが、本発明の範囲と概念から逸脱することなしに使用することができる。例えば、5レベルDWT分解が実行でき、および/またはDWT係数の64×64ブロックを、1つのブロックのエントロピー符号化の前に蓄積することができる。さらに、多数のウェーブレット・フィルタが「H A A R」フィルタ、「LeGa

50

「5/3」「LeGal 10/18」を含めて使用することができる。この種の変形例により、次に説明するハードウェア・アーキテクチャを対応して変更してもよい。

【0020】

ここで、図2および図3を参照して、本発明の好適な実施の形態による画像のタイルングを示す。すなわち、好ましくは画像を部分的にオーバーラップさせて、複数のタイルにサブ分割する。各タイルの大きさは、分解のレベル、エントロピー符号化の前に蓄積されたブロック・サイズ、および使用されるDWTフィルタの種類等の所定パラメータを固定することによって決定される。各タイルは、タイルの一つの次元の71画素に、他の次元の617画素を掛けたものからなる。図2において、タイルは水平方向に配置され、すなわち、タイルの長手側が画像の走査線と略平行にレイアウトされている。図3は、タイルが垂直方向に配置された別の構成を示しており、短手側が画像の走査線と略平行である。図2および図3の各タイルは、「タイルn」の符号が付けられるが、ここでnは正の整数で、符号付け（ラベリング）は複数のタイルのうちの好ましい処理順序を示す。例えば、「タイル1」は「タイル2」の前に処理され、「タイル2」は「タイル3」の前に処理されるという具合である。さらに、各タイルは次に説明するように決定された近接のタイルと所定のオーバーラップ域200と201を有している。

【0021】

一般的に、DWTの第2レベルにおいてサブバンドのHラインを生成するために、Daubechies 9/7 DWTフィルタを使用して、LL1サブバンドの $(2H+7)$ ラインが必要で、次に、これには画像の $\{2(2H+7)+7=4H+14+7\}$ ラインが必要である。2Hラインに7ラインを付加することは、Daubechies 9/7 DWTフィルタによって必要とされ、このことが「オーバーラップ」200として表されている。好適には、このオーバーラップは、処理されるべき2Hラインの前3ラインと、処理されるべき2Hラインの後4ラインとして分布されることである。

【0022】

数学的帰納法によれば、一つの次元において、いずれかのサブバンドのHラインを形成してレベルJにするには、

$$2^J H + (2^{J-1} \cdot \dots + 2^1 + 2^0) \cdot 7 = 2^J H + 7(2^J - 1) \quad \text{式1}$$

の画像ラインが必要である。上式の第2項が必要とされるオーバーラップである。もちろん、これは他の次元に対しても同様に適用される。例えば、Daubechies 9/7フィルタを使用する4レベル分解（J=4）と、32画素幅（水平方向） $W=32$ のブロックを蓄積するためには、式1によれば $(16 \times 32 + 7 \times 15 = 512 + 105)$ 幅のタイルを必要とし、ここでオーバーラップ200は、105画素である。すなわち、図2中の「タイル1」と「タイル11」間のオーバーラップ200は、水平方向の105画素に垂直方向の71画素 $(2H+7)$ を掛けたものである。

【0023】

本実施の形態では、一度に $2H+7$ ラインを変換し、大きくなるラベル番号順に次の（オーバーラップした）タイルを処理して、HL1、LH1およびHH1サブバンドの各々からHラインを生成する。これらのサブバンド部分は、このような画素（Hライン倍した）W（この例では $W=32$ 画素）、すなわち、2H画素列が入力されると、上述した場合のように、直ちにコード化できる。タイルの第1パス（すなわち、一つの分解レベルにおける一つのタイル）の処理の終了時点において、LL1サブバンドの1ライン当たり $\{2^{J-1}W + 7(2^{J-1} - 1)\}$ 倍したHラインをバッファする必要がある。LL1サブバンドの1ライン当たりのこの係数値は、トップ・レベル（レベルJ）におけるW幅ブロックを形成するために必要である。図2において、タイル「タイル1」が処理された後、「タイル2」がほぼ同様にして処理される。すなわち、画像の他の $\{(2H+7) \times (2^J W + 7(2^J - 1))\}$ 画素のタイルが処理される。ここで、「タイル2」が処理されると、LL1サブバンドの他のHラインが発生され、二つのタイルが処理された後、合計2Hラインとなる。LL1サブバンドをさらに分解してLL2サブバンドのHラインを生成するためには、LL1サブバンドの $(2H+7)$ ラインが必要である。「タイル2」の処理後に

は、 $2H$ ラインが生成され、「タイル3」の処理後は、 $(2H + 7)$ ラインを提供するための合計 $3H$ を提供できる。これにより次のレベルの分解を実行して $LL2$ サブバンドの H ラインを生成する。即ち、各タイル毎に DWT を行い、 $LL1$ を生成するが、次の $LL2$ を生成するために3つのタイルの $LL1$ を用いて更に DWT を実行する。この方法によれば、小さいタイル単位（小さいバッファ容量）で2レベルの DWT が実行できる。同様にして、この方法を続行して少なくとも $\{2^J H + 7(2^J - 1)\}$ ラインを処理すると、分解の J 番目のレベルにおける係数の H ラインを生成することになる。即ち、レベル3（ $LL3$ ）以降の LLn の作成のためにも、その LLn の作成に必要な複数タイル分の $LL(n-1)$ を利用することにより、 H ラインの LLj を最終的に生成する。ラインが $\{2^{J-1}W + 7(2^{J-1} - 1)\}$ 画素（または DWT 係数の長さ）であり、画像の幅または長さを必要としないことに注意されたい。次のレベルの分解を得るために各々の繰り返しにおいて、 LL 周波数のサブバンドの合成係数がバッファされ、他方で現在レベルにおいて発生されたより高い周波数（すなわち、 LH 、 HL 、 HH ）の各 $H \times W$ ブロックが符号化のためにエントロピー符号化器に送られる。

【0024】

普通、出力デバイスおよび特に表示デバイスは、ラスタ走査順に、左から右へ、また、上から下へ画像を表示する。従って、本実施の形態の好ましい実施においては、図3に示したタイル配列となる。オーバーラップするタイルは、タイルの最短次元が画像の走査ラインと平行になるように配列されるのが好ましい。好ましくは、タイルはタイルの次の列が処理される前に、画像の幅を横切って処理される。この配列は、タイルが左から右へ、また上から下へ（すなわち、ラスタ走査タイプ順）に処理できるので好ましいが、他の順序も本発明の範囲と概念から外れることなしに使用することができる。例えば、図2のタイル配列は図3のものとは別の配列である。

【0025】

図3の配列において、各タイルはサイズ $(2^J H + 7(2^J - 1)) \times (2W + 7)$ 画素であり、ラスタ走査順で処理される。 $J = 4$ レベル DWT 分解に対し、またエントロピー符号化のために $H = 32 \times W = 32$ 係数ブロックサイズを得るために、画像の各タイルは、1タイルのライン当たり次元 $(512 + 105 = 617$ ライン) $\times (2 \times 32 + 7 = 71$ 係数（または画素））を有している。

【0026】

図4を参照すると、図4はエンコーダ（符号化器）400のブロック図を示し、非圧縮画像401を取り入れて、画像を表す圧縮ビットストリーム402を生成する。このエンコーダ400は、所定量の外部メモリ403、好ましくはダイナミック・ランダム・アクセス・メモリ $DRAM$ と、それ自体所定量の内部メモリ405、一般的にはスタティック・アクセス・メモリ $SRAM$ を含む圧縮エンジン404とを備えている。このエンコーダ400と、特に圧縮エンジン404は必要とされる工程を実行し、非圧縮画像401から圧縮画像ビットストリーム402を生成し、リニア変換（ DWT ）の実行と、その変換係数をエントロピー符号化するエントロピー符号化器を含んでいる。さらに、圧縮エンジン404は単一チップとして設けられ、そのチップを通してマスター画素クロック信号 clk を使用するのが好ましい。

【0027】

非圧縮画像401は、エンコーダ400の外部 $DRAM$ によりバッファリングされ、かつ、圧縮エンジン404によって制御される。外部 $DRAM$ は、これまでに説明したタイル（ 617×71 画素又は係数）に略対応する非圧縮画像の一部をバッファするのに使用されるのが好ましい。圧縮エンジン404は、各ラインに沿った71画素または係数に対応するデータの短いバーストを読み取り、タイルをジグザグ順に上から下に走査する。

【0028】

図5はジグザグ順500を示し、この順に各タイルが走査され、図3の配列よりも詳しいイラストを画像502の部分で示す。これまでに説明したように、タイルの幅は $(2W + 7)$ であり、 $W = 32$ を所望のブロック幅とすると、タイル幅（またはタイル内のライン

の長さ)は71画素(すなわち、64+7、7は水平方向のオーバーラップ201)となる。従って、圧縮エンジン404は、617ライン、すなわち、 $H = 32$ としたとき、 $(2^J \cdot H + 7(2^J - 1))$ ラインが読み取られるまで、同時にジグザグ順で走査されてタイルの1本のラインを一つ読み取るのが好ましい。すなわち、前回の説明部分は、近接するタイル間のオーバーラップ域200の垂直方向の寸法を構成している。例えば、四つのレベルDWTに対し、オーバーラップ域200は、タイルの長さ方向における105画素に幅(71画素)を掛けたものである。より高い周波数要素(LH、HL、HH)の各 $32 \times 32 (H \times W)$ 変換ブロックが発生されると、このブロックは中間バッファリングなしにエントロピー符号化される。したがって、好ましい実施の形態において、水平方向における二つの近接するタイル(例えば、「タイル1」と「タイル2」)間のオーバーラップ域201は、略7画素幅にタイルの長さを掛けたもので、垂直方向の二つの近接するタイル(例えば、「タイル1」と「タイルi」)間のオーバーラップ域200は、略105画素長さにタイルの幅を掛けたものである。

10

次に図6は、図4の圧縮エンジン404をより詳細に示す。圧縮エンジン404は：アドレス・バス603を介してDRAMに伝送されるメモリ・アドレスにตอบสนองして、外部DRAM403からの602データを受取るリオーダ(再配列)・バッファ・モジュール601と；制御状態マシン・モジュール604と；垂直フィルタ605と；水平フィルタ・モジュール606と；サブバンド・バッファ607と；部分バンド・バッファ608と；エントロピー符号化ユニット(符号化器)609を含んでいる。

【0029】

20

リオーダ・バッファ・モジュール601は、外部DRAM403に対する読み取りと書き込みを制御するとともに、DRAM403から受信したデータを組立て、所定順序で垂直フィルタ605で読み取りできるようにする。このリオーダ・バッファ・モジュール601は9バイト(72ビット)のデータを一度に、垂直フィルタ・モジュール605に送る。垂直フィルタ・モジュール605は、第1次元(図3のタイルの垂直方向)で、ロウパスおよびハイパス・フィルタリングを実行する。垂直フィルタ・モジュール605からの二つの出力611と610があり、それぞれデータのロウパスおよびハイパス・フィルタリングに対応している。各出力610および611は、水平フィルタ・モジュール606内の分離水平フィルタにパスされ、ここで同一のフィルタ操作が第2次元(図3のタイルの水平方向)において実行される。水平フィルタ・モジュール606は、LL、LH、HLおよびHHサブバンド信号に対応する四つの出力信号を提供する。高い周波数成分(すなわち、LH、HLおよびHH)を含むサブバンド信号が、エントロピー符号化器609によって符号化される前に、サブバンド・バッファ・モジュール607内で一時的にバッファされ、613に符号化ビットストリームを出力する。LLサブバンド信号が部分バンドバッファ608にパスされ、ここで、より大きいブロックに合成され、後続の変換レベルのために垂直フィルタ・モジュール605に帰還される。最終レベル(例えば、レベル4)においてのみ、LLサブバンド信号が出力ビットストリーム(出力613を介して)に符号化される。制御状態マシン・モジュール604が、圧縮エンジン404の動作を管理し、適切なデータが正しい場所に記憶されるか、また、その動作が正しい時刻に正しいデータで実行されるかどうかを確認する。

30

40

【0030】

次に図7を参照して、図6のリオーダ・バッファ・モジュール601をより詳しく説明する。このリオーダ・バッファ・モジュール601は、外部メモリ403から受信した中間生データ602を記憶するランダム・アクセス・メモリ(以下、リオーダRAMという)700と、外部DRAMサブモジュール403を制御するためのDRAMコントローラを含むリオーダ・アドレス・ジェネレータ・サブモジュール701とを含んでいる。data_valid(データ・ヴァリッド)信号702は、(生)の画素データ401をDRAM403に供給する外部デバイスから供給される信号であって、DRAMデータ・ピン上の現在データが有効であることを示している。data_ack信号703は、データがDRAM403に読み取られたことを確認する。外部DRAM403が、その入力を外部画素供給源(図示

50

省略) から直接取り入れる。リオーダ・アドレス・ジェネレータ 701 は、アドレス 704 を決定してリオーダ RAM 700 に供給し、その RAM 700 への書き込みを制御する。

【0031】

リオーダ RAM 700 からのデータ・アウト(Data Out) (DO) ピンが、同じリオーダ RAM 700 のデータ・イン(Data In) (DI) ピンに、8 ビットシフトして接続されている。すなわち、DO (n+7:n) ピンが DI (n+15:n+8) ピンに接続され、ここで、n は低い方のビット数を表している。例えば、72 ビット・ワード・データ・アウトの少なくとも 8 個の重要なビットを表す DO (7:0) ピンが、72 ビット・ワード・データの第 2 の少なくとも 8 個の重要なビットに対応する DI (15:8) に接続されている。データが、読取 - 修正 - 書込 (リード・モディファイ) 技術を使用してリオーダ RAM 700 に書き込まれる。72 ビット・ワード・データの第 2 の少なくとも 8 個の重要なビット、すなわち、DI (7:0) ピンへのバイト入力が入部 DRAM 403 から入り (DRAM Data)、一方残りの入力データ・ワードが上述したシフトされた態様でリオーダ RAM 700 の出力から入力されている。従って、リオーダ RAM 700 は、大きいバイト幅をアドレス可能なシフト・レジスタのように、9 ワード深さと 71 ワード幅で作動する。データが、画像の走査線 (すなわち、タイルのライン) に沿って 71 ワードのバースト内で外部 DRAM から読み取られる。画像データの二つのライン (71 バイト×2) が、垂直フィルタ・モジュール 605 によって使用されるサンプルの各列 (ライン) に対してリオーダ RAM 700 に書き込まれる。これは DWT によって必要とされる垂直方向内の画像データのダウン・サンプリング (1/2 に減らすこと) を構成ないし提供する。

【0032】

上述したように、リオーダ RAM 700 からのリオーダ・データが、ro_data バス 705 を介して、一度に 9 バイト (72 ビット) が垂直フィルタ・モジュール 605 に供給される。

【0033】

図 8 は図 7 のリオーダ・バッファ 601 の構成を表したものである。好適な実施の形態のリオーダ・バッファ 601 は、71 画素幅と 9 ラインで構成されている。このバッファ 601 は、図 7 において矢印 801 で示したように左から右に書かれる。各ラインが左から右に書かれると、1 ライン分の画素が一度にライン分プッシュダウンされる。すなわち、バッファの 9 ラインが書込まれると、(9×71=) 639 画素がバッファを占有し、639 画素の最初 (左上) の画素が、バッファの 9 番目のライン 804 の最初の位置にあるバッファのセル 802 の位置のバッファに入り、一方 639 画素の最後 (右下) の画素が最初のライン 805 上のバッファのセル 803 の位置のバッファに入る。メモリ 700 (リオーダ RAM) が 72 ビットの 71 ワードとして編成される。ここで 72 ビットは垂直方向のディメンジョン (寸法) である 9 画素を表している。9 ラインが同じ 71 アドレスに繰り返して (一度に 8 ビット) 書き込まれると、全バッファ 601 が満たされる。639 画素の最終 71 バイト (画素) がトップ・ラインに書き込まれると、読取 - 修正 - 書込サイクル (全 72 ビット) が使用されている間、データが読み取られて垂直フィルタ・モジュール 605 にロードされる。一度、リオーダ・バッファ 601 が満たされると、データがバッファ 601 にロードされる画像データのどの第 2 ラインからでも垂直フィルタ・モジュール 605 によって使用される。これは垂直方向におけるサブ・サンプリングとなる。

【0034】

垂直方向におけるサブ・サンプリングは次のようにして達成される。最初に、垂直フィルタ・モジュール 605 がリオーダ・バッファの 9 ラインを処理する。このとき、9 タップ・フィルタの内の 1 番目のタップが、リオーダ・バッファの最終ライン 805 からのデータを使用するようにアレンジされ、一方、フィルタの最終タップがリオーダ・バッファ 601 の第 1 ライン 804 からのデータを使用して、例えば、部分バンド・バッファ 608 内に記憶されることになるロウ・パス・フィルタされたデータの 1 ラインを生成する。当

然、1番目のタップと最終タップの間のタップは、リオーダ・バッファ601の対応するラインからのデータを使用する。次に、リオーダ・バッファ601の各ラインのデータはプッシュダウンされ、リオーダ・バッファ601の最終ライン804は除去され(バッファから押し出され)、各先行ラインからのデータがリオーダ・バッファ601の次のラインに書き込まれる。すなわち、バッファの8番目のライン806からのデータが、9番目のライン804に、また、バッファの7番目のラインからのデータが8番目のライン806に書き込まれ、6番目のラインからのデータが7番目のラインにというようにして書き込まれる。リオーダ・バッファ601の初頭ライン805において、新しいラインデータが外部DRAM403から入力される。このプッシュダウンが、リオーダ・バッファ601に入力された全てのラインに対して繰り返される。こうして、第2ラインのデータがリオーダ・バッファ601に入力された後、垂直方向内のサブ・サンプリングが、リオーダ・バッファの9ラインの読み取りと処理によって実行される。このリオーダ・バッファは、タイルの開始時点で完全に再充填され、全画像が処理されるまで、上述の処理が繰り返される。

【0035】

画像の略71ラインが外部メモリ403から検索され、かつ、リオーダ・バッファ601に伝送された後、サブバンド・バッファ607がエンコーディングを開始するための十分な変換係数を含んでいる。好適な実施の形態において、サブバンド・バッファ607がいっぱいになり、リオーダ・バッファ601がさらに更新される前に、係数が符号化される必要がある。より高いレベルの係数がフィルタリングされている間、次のレベルのフィルタ操作の準備のために、新しいデータがリオーダ・バッファにロードされる。

【0036】

リオーダ・アドレス・ジェネレータ701は、リオーダ・バッファ601のために、単純に0から70までの周期でアドレスを発生するが、読み取り中、図5を参照してこれまでに説明したように、ジグザグに外部DRAM403をアドレスする。このリオーダ・アドレス・ジェネレータ701は、画像を外部DRAM403に書き込み中、ラスト走査順の制御もする。外部DRAM403は、画像の少なくともフルに617幅のラインを記憶するのに十分な大きさであるのが好ましい。実際には、十分なバンド幅はデュアル・ポートDRAMで実現でき、あるいはオプションとして、ビデオ・ランダム・アクセス・メモリ(VRAM)が外部メモリ403として使用できる。

【0037】

図9は図6の垂直フィルタ・モジュール605をより詳細に示す図である。この垂直フィルタ・モジュール605はマルチプレクサ901を備えており、レベル1の分解を実行するときのリオーダ・バッファ601からのデータか、又は後続の分解レベル中、部分バンドバッファ608からのデータのいずれかを選択する。リオーダ・バッファ601から受信されたデータの9バイト×8ビットが16ビットの9ワードに変換される。これは未使用ビットをゼロにすることによって、部分バンド・バッファ608からのデータと一致する。マルチプレクサ901は、制御状態マシン・モジュール604によって制御される。一般的に、1画素データ当り8ビットのカラー・チャネルが16ビットの精密DWT係数に変換され、これによって情報の最小量が係数値に対する丸め効果のために失われる。

【0038】

さらに、垂直フィルタ・モジュール605は垂直ロウ・パス・フィルタ902と、垂直ハイ・パス・フィルタ903を含み、これらはマルチプレクサ901の選択に基づいてデータを受信する。垂直ロウ・パス・フィルタ902は、9×16ビットのサンプルを得て、データに対してマトリックス操作(乗算・蓄積)を実行し、入力全9ワードから16ビットの結果(vfl_data)を生成する。垂直ハイ・パス・フィルタ903は、7×16ビット・サンプルのみを必要とし、そのマトリックス操作を実行し、再度16ビットの結果(vfh_data)を生成する。これまでに説明したように、本実施の形態のフィルタはDaubechies 9/7 DWTに基づいているが、他のウェーブレット・フィルタも使用できる。

【0039】

図10は、図6の水平フィルタ・モジュール606のより詳しい説明図である。この水平フィルタ・モジュール606は、垂直フィルタ・モジュール605からのデータを処理する二つのほぼ同様のセクション1004と1005を含んでいる。各セクションは9ステージ・シフト・レジスタ1001、水平ロウ・パス・フィルタ1002および水平ハイパス・フィルタ1003を含んでいる。データはまず最初に、垂直フィルタ・モジュール605から受信された最大9個の連続するサンプルをバッファする、一對の9ステージ・シフト・レジスタを通過して同時に処理される。一方、二つのセクション1004と1005はほぼ同じ方法でデータを処理するが、各セクションのためのデータ源は異なる。一つのセクション1004が、垂直ロウ・パス・フィルタ信号vfl_dataを受取り、一方、他方のセクション1005が垂直ハイ・パス・フィルタ信号vfh_dataを受取る。

10

【0040】

各セクションの水平ロウ・パス・フィルタ1002が 9×16 ビット・サンプルを取り込み、そのデータにマトリックス操作（乗算・蓄積）を実行し、入力全9ワードの各々の結果から16ビットを生成し、セクション1004と1005それぞれからll_data信号1006とhl_data信号1007を生成する。各セクションの水平ハイ・パス・フィルタ1003は 7×16 ビット・サンプルのみを必要とし、マトリックス操作を実行し、再度各ハイ・パス・フィルタ1003が16ビット結果を生成する。セクション1004の水平ハイ・パス・フィルタが信号lh_data11008を提供し、セクション1005の水平ハイ・パス・フィルタが信号hh_data11009を提供する。その結果得られたサブバンド・データ、すなわち、LL、LH、HLおよびHHサブバンドの係数に対応する信号ll_data、lh_data、hl_data、およびhh_data信号がサブバンド・バッファ・モジュール607に送られる。

20

【0041】

9ワード・サンプルの処理後、両9ステージ・シフト・レジスタがデータを2だけシフトし、水平方向にサブ・サンプリング（ $1/2$ に減少）のためにアカウントする。

【0042】

DWT分解の現在レベルにおけるLLサブバンドの係数に対応するll_data信号1006も、分解の続くレベルのために部分バンド・バッファ・モジュール608に送られる。

【0043】

図6のサブバンド・バッファ・モジュール607を図11により詳しく示す。このサブバンド・バッファ607は、LL、LH、HLおよびHHサブバンドの各々から所定数の係数を記憶する所定数のランダム・アクセス・メモリ（RAM）1101と；サブバンド・バッファ・アドレス・ジェネレータ・サブモジュール1102とマルチプレクサ1103を含んでいる。サブバンド・バッファ・アドレス・ジェネレータ・サブモジュール1102は、サブバンドRAM1101にアドレスを供給するとともに、制御状態マシン・モジュール604の制御下でRAMへの書き込みの制御もする。

30

【0044】

マルチプレクサ1103は、エントロピー符号化ユニット（エントロピー符号化器）609によって符号化するために四つのサブバンドの一つから、データと係数を選択する。

【0045】

40

図12を参照して、図11のサブバンド・バッファのデータ構成ないし編成の態様を説明する。サブバンド・バッファは、 32×32 個の係数からなる四つのバンク1201を保有しており、各係数は16ビット値で表わされる。従って、サブバンドRAMは合計64キロビットの容量で、1ワード64ビットで1024ワードで構成されており、各メモリ位置で並行して、各サブバンドからの1つの係数をストアする。即ち、現レベルで、各サブバンドからの1つの係数、計四つの係数が、それぞれ64ビット・ワードの16ビットとして表わされる。バッファ1101、特に各バンク1201が、図12に示したジグザグ・パターン1202によって示された上から下へのラスタ操作順に満たされる。エンコーディング中、エントロピー符号化ユニットにおいて、サブバンドRAM1101が4分木(quadtrees)方式で読み取りされる。

50

【 0 0 4 6 】

図 1 3 を参照して、図 6 のエントロピー符号化ユニット 6 0 9 をより詳しく説明する。このエントロピー符号化ユニット 6 0 9 は、ビットプレーン・コンバータ・モジュール 1 3 0 1 と 1 6 個のビットプレーン・メモリを含むビットプレーン・バッファ・サブモジュール 1 3 0 2 と；複数のビットプレーン・ツリー・ビルダー・ユニット 1 3 0 3 と対応するビットプレーン・ツリー・バッファ・ユニット 1 3 0 4 と；ビットプレーン・エンコーダ 1 3 0 5 と；ビットプレーン・エンコーダ 1 3 0 5 によって使用されるデータの間記憶のための複数の中間バッファ 1 3 0 6 とを備えている。サブバンド R A M 1 1 0 1 に記憶されたデータがサブバンド・バッファ・モジュール 6 0 7 からクワドトリー順に読み取られる。ビットプレーン・コンバータ・モジュール 1 3 0 1 は、各ビットプレーンのデータを分離するとともに、ビットプレーン・バッファ・サブモジュール 1 3 0 2 内の 1 6 個のビットプレーン・メモリの各々に書き込む。データはまた、処理されたビットプレーン・ツリー構造情報を、対応するビットプレーン・ツリー・バッファ 1 3 0 4 に書き込む複数のビットプレーン・ツリー・ビルダーによって走査される。ビットプレーン・ツリー 1 3 0 4 とビットプレーン・バッファ 1 3 0 2 の各々からのデータが、ビットプレーン・エンコーダ 1 3 0 5 によって使用され、ビットストリームの発生を実行して、これが（バス 6 1 3 を介して）出力される。ビットプレーン・エンコーダ 1 3 0 5 は制御状態マシン・モジュール 6 0 4 によって同期化（制御）される。中間バッファ 1 3 0 6 は、重要な係数のリスト（L S C）を一時的に記憶するバッファと；重要でない係数（L I C）のリストを一時的に記憶するバッファと；域バッファの第 1 リストと域バッファの第 2 リストとしての二つのバッファとして実現できる古い重要でない域（O I R）リストを一時的に記憶するバッファ（図 1 3 では不図示）を含んでいる。さらに、エントロピー符号化ユニット 6 0 9 は、サイン・ビット・バッファ（図 1 3 では不図示）を含み、これはビットプレーン・コンバータ・モジュール 1 3 0 1 の出力と、サイン・ビットをビットストリームに符号化するビットプレーン・エンコーダ 1 3 0 5 とに接続されている。エントロピー符号化ユニットの一例を本明細書中の、見出し「エントロピーエンコーダ」で後ほど詳細に説明する。

【 0 0 4 7 】

本発明の好適な実施の形態を、上述したクワドトリー・ビットプレーン・エンコーディングを実行するエントロピー符号化ユニットを参照して説明するが、他のエントロピー符号化器も本発明の範囲と概念から外れることなく使用することができる。例えば、ビットプレーン演算コードが変換係数を符号化するのに使用でき、または随意に、一部クワドトリー・エンコーディングと D W T 係数の一部演算コーディングを実行するハイブリッド・エンコーダを使用できる。

【 0 0 4 8 】

図 1 4 を参照して、図 6 の部分バンド・バッファ・モジュールをより詳しく説明する。部分バンド・バッファ・モジュール 6 0 8 は：分解の各レベルに対する L L サブバンド・データ（すなわち、図 6 の水平フィルタ・モジュール 6 0 6 によって発生された l l _data 1 0 0 6）を記憶する R A M 1 4 0 1 と；部分バンド・バッファ・アドレス・ジェネレータ・サブモジュール 1 4 0 2 と、パレル・シフト・レジスタ（パレル・シフター）1 4 0 3 とを含んでいる。部分バンド・バッファ・アドレス・ジェネレータ 1 4 0 2 がアドレスを部分バンド R A M 1 4 0 1 に供給するとともに、制御状態マシン・モジュール 6 0 4 の制御下で、その R A M への書き込みを制御する。

【 0 0 4 9 】

部分バンド・バッファは、十分なサンプルが分解の次のレベルをフィルタするのに利用可能になるまで、圧縮の各レベルから L L サブバンド・データを保持する。一旦、十分なサンプルがいずれか一つのレベルにおいて利用可能になると、データがパレル・シフター 1 4 0 3 を介して垂直フィルタ・モジュール 6 0 5 に読み取られ、分解の次のレベルがフィルタされる。概念的に、R A M 1 4 0 1 は三つの別々のバッファを含み、各々 1 0 0 個のセル幅を有し、各セルは 1 6 ビット値を記憶することができる。これら三つの別個のバッ

ファの内の第1バッファは305行(row)(ライン)深さで、第2バッファは149行の深さで、第3バッファは71行の深さであり、総計525行(ライン)になる。しかし、垂直フィルタ・モジュール605が、Daubechies 9/7フィルタによって必要とされる9個の値を取るの、行(ライン)の合計は9の倍数であるのが望ましい。従って、余分の6行のセルがバッファに付加され、結果として合計531行(すなわち、9の59倍)になる。本実施の形態において、この結果は少なくとも $59 \times 100 \times 144 = 531 \times 100 \times 16$ ビット、すなわち、約0.81メガバイトのメモリ・サイズになる。

【0050】

バレル・シフト・レジスタ1403が、データの単一クロック・アライメントを垂直フィルタ・モジュール605によって必要とされる所望の行にすることを許容する。部分バンドRAM1401から読み取って垂直フィルタ605のための単一ワードを生成するために所定のメモリ位置が必要となる。必要とされる単一ワードが9ラインの境界線に沿って包括される場合、二つの近接するメモリ位置が読み取られる必要がある。これは一般的に、9ライン・セット(各セットは9ラインからなる)の内8本に発生する。この場合、データは、両ワードが読み取りされ、全ての必要とされるビットが利用可能、かつ、適切に配置されるまで、バレル・シフター1403内にラッチされる。

【0051】

図15を参照して、部分バンド・バッファ608のデータ編成の態様を説明する。部分バンド・バッファ608は、100係数幅と525係数高さと、上述したように、これに100係数幅の行(図15では不図示)につき、余分の6を加えたのもである。部分バンド・バッファ608は、タイルの少なくとも一つのレベルDWT分解が実行された後、データ(係数)に書き込まれる。従って、分解の1レベル後で、画像のタイル($2^J H + 7(2^J - 1) \times (2W + 7)$)が、係数のタイルを少なくする。すなわち、分解の第1レベルが305 \times 32係数のタイルまで少なくなった後、617 \times 71画素タイルになる。好適な実施の形態の部分バンド・バッファ608は、100係数幅において、少なくとも幅方向に三つの32係数幅タイル1501と4係数幅ブロック1502を収容するように設計される。各32係数幅のタイルが、図15に示すように一度に1レベルで、左から右に、また、上から下の走査ライン順に書き込みされる。すなわち、第2レベル分解(各々、長さ256+49=305係数)のための三つの32係数幅のタイル1501が、各々ジグザグ順に満たされる。4係数幅のブロック1502が、少なくとも最初のタイル処理のために、最初の32係数幅タイル1501(以後、「パディング(padding)」ないし「パadded(padded)」という)の係数の最初の4カラムの鏡像で満たされる。このパディングは普通、画素境界線外の画素データが存在しない画像の境界線のためにアカウントするように実行される。他のパディング技術が、画像境界線のためにアカウントするのに利用できる。例えば、最も簡単な、しかしベストである必要はない、オプションが、画像の境界線をゼロ(0)でパッドするものである。

【0052】

第2レベルの分解のための係数が、垂直フィルタ605と水平フィルタ606モジュールを介して処理されると、第3レベルの分解のための係数が、次のレベルの32係数幅のタイル1504と長さ方向($128 + 21 =$)149係数に蓄積される。再度、最初に4係数幅ブロック1503が対応する(近接)タイル1504の係数でパッドされる。第3レベル分解の係数が垂直フィルタ605と水平フィルタ606モジュールを介して処理されると、4レベル分解のための係数が次のレベル32係数幅のタイル1506に蓄積される。再度、最初に4係数幅のブロック1505が、対応する(近接)タイル1506の係数でパッドされる。画像の境界線において、4係数幅・ブロック1502、1503および1505がパッドされるべきとき以外の場合において、4係数幅ブロックが先行タイルの最終4カラムを含み、このレベルで処理される。

【0053】

各レベルにおいて4係数幅ブロックが、水平線をフィルタするためのオーバーラップとして使用される。1レベルにおいて、一つの完全な32係数幅タイルを発生するために、先行

10

20

30

40

50

レベルにおいて71係数幅が必要である。第2レベルの分解のための305×71係数からなる図15の隠れたエリア1507には、第三レベルの分解のための149×32のタイルを発生することが要求される。この隠れたエリア1507内の係数は、走査ライン順に、1ラインの左から右へ71カラム分、また上から下へ本読み取られる。一度、部分バンド・バッファ608が次の(高い)レベルで所望の量(例えば71カラム)まで満たされると、現在レベルにおけるカラム・アドレスが64カラムだけ右に増大し、アドレスが100番目のカラムを越えると第1カラムを包み込む。これは、例えば、現在レベルにおいて、係数の次の71カラムの処理が、バッファ608の64番目のカラム1508で開始され、バッファ608の第1カラムの近くまで包み込まれる。カラム64からカラム68までが、ここで4係数幅ブロック1509のオーバーラップの必要性を提供し、データの

10

【0054】

部分バンド・バッファ608の各レベルがフィルタされると、フィルタ(LLサブバンド・係数)の結果が、図15に示した部分バンド・バッファ608の次の高いレベルに書き込まれる。最も高いレベルがフィルタされてしまうと(例えば、図15の「レベル4」)、得られたLLサブバンド・係数が、これらの係数を部分バンド・バッファ608にさらに書き込みせずに、サブバンド・バッファ607に書き込み、さらにフィルタせずにストレートに符号化される。

【0055】

部分バンド・バッファの読み取りの際に、 $9 \times 16 = 144$ ビットが一度に読み取られる。これらの9ワードはバッファの単一カラムからの9個の垂直係数を表している。このバッファから完全に読み取られるライン間で、ライン・アドレスが2だけ増大するので、144ビットストリームがパレル・シフトを通り、このデータと垂直フィルタへのデータ・バスに整列される必要がある。さらに、続いて2ワードを読み取り、一つの144ビット・ワードを得て、レジスタ内に第1ワードの必要とするビットを保持することによってワードの二つの部分を構築し、他方で第2アクセスから必要とされるビットがフェッチされる。ライン・アドレスの一致が9の倍数であるときのみ、一つのフェッチだけが必要である。一度に144ビットをフェッチできるようにするために、メモリは物理的に144ビット幅にしなければならない。余分なデコーディングが、メモリ・アレイに書き込み可能な形態にする必要がある(従って、ちょうど16ビットが同時に書き込みできるようにする)。

20

30

【0056】

図16は、図6の制御状態マシン・モジュール604のための流れ図を示す。この制御状態マシン・モジュール604は、各モジュール601、604~609の機能を制御すること、およびデータを各モジュールにモジュール機能と同期させて(すなわち、正確な時間で)正しくルーティング(経路指示)する。

【0057】

画像圧縮の開始1601において、「レベル」変数が1602で1に設定される。これは一般的に実行されるべき分解の第1レベルを表している。決定ブロック1603は、DWT分解の現在レベルが第1レベルにあるかどうかを判定する工程に入る。この決定ブロック1603が真(YES)の返答であれば、DRAM(図4)に記憶された画像の最初の9ラインがフィルタされ(1604)、サブバンド・データの第1ラインが生成される。入力データがレベル1のために外部DRAM403から取り出される。そうでなければ、決定ブロック1603が、偽(NO)の返答をし、ブロック1605にこれを送って、ここでデータが内部部分バンド・バッファ608から取り出され、フィルタ(次のレベルにDWT分解)される。十分なデータが部分バンド・バッファ608から取り出され、次のレベルのDWT係数のタイル内のラインを生成する。これらの結果はこれまでに説明したように対応するレベルのためのロケーションの部分バンド・バッファ608に記憶される。

40

【0058】

50

データの71ラインがフィルタされた後、サブバンド・バッファ607の32ラインがいっぱいにされる。この時点において、流れ図1600はサブバンド・バッファ607がいっぱいであるかどうかをチェックする。このチェック1606が偽(N O)の返答をすれば、処理流れは決定ブロック1603に戻り、決定ブロック1603を参照して上述した処理を続行する。チェック・ブロック1606が真(Y E S)を返答すれば、さらなる決定(ないしチェック)ブロック1607に進み、データがフィルタされるべきレベルのためのオーバーラップ域内にあるかどうかチェックされる。この域になれば、ブロック1607が偽(N O)を返答し、サブバンド・バッファ607内に記憶された三つのサブバンドL H、H LおよびH Hが符号化される(1608)。これら三つのサブバンドのエンコーディングに続いて、決定ブロック1609に進み、分解の現在レベルが最大レベル(すなわち、レベル4)であるかどうかチェックされる。現在レベルが4であれば、決定ブロック1609が真(Y E S)を返答し、サブバンド・バッファ607内のL Lサブバンドも符号化され(1610)、流れ処理が決定ブロック1611において続行される。さらに、決定ブロック1609において、偽(N O)が返答されれば、サブバンド・バッファ607内のL Lサブバンドが符号化されずに、流れ処理が決定ブロック1611で続行される。

10

【0059】

決定ブロック1607を介して、ブロック1611への他のエントリがあり、ここで決定ブロック1607が真(Y E S)を返答してくる、即ち、処理されるべきデータが、近接するタイルのオーバーラップ域201または200内にある場合にブロック1611に進む。この決定ブロック1607において実行されたチェックは、オーバーラップ域の符号化を二度することを回避するため、決定ブロック1607が真(Y E S)を返答したときに、決定ブロック1611に進行する。

20

【0060】

決定ブロック1611において、部分バンド・バッファ608(図6)のレベル2において、 $(256 + 105)$ 行で71カラムの完全な係数のセットを有しているかどうかチェックされる。もしそうであれば、「レベル」変数が1612で2にセットされ、処理が決定ブロック1603において再開され、上述したように工程1605から1611までが続行される。

【0061】

レベル2で部分バンド・バッファがまだ一杯にされていないければ、即ち、完全なセット(すなわち、 71×361 係数からなるレベル2)が部分バンド・バッファ608になれば、偽が決定ブロック1611によって戻され、チェック(決定)ブロック1613に進む。チェック・ブロック1613が、部分バンド・バッファのレベル3において、 $(128 + 21)$ 行の71カラムの完全な係数セットが存在するかどうかをチェックする。もしそうであれば、「レベル」変数が1614で3にセットされ、処理が決定ブロック1603で再開され、部分バンド・バッファ608のレベル3から回収されたデータで、上述したように工程1605から1613が続行される。

30

【0062】

レベル3で部分バンド・バッファがまだ一杯にされていないければ、即ち、完全なセット(即ち、 71×149 係数からなるレベル3)が部分バンド・バッファ608になれば、偽が決定ブロック1613によって戻され、チェック(決定)ブロック1615に進む。チェック・ブロック1615が、部分バンド・バッファのレベル4において、 $(64 + 7)$ 行の71カラムの完全な係数のセットが存在するかどうかをチェックする。もしそうであれば、「レベル」変数が1616で4にセットされ、処理が決定ブロック1603で再開され、部分バンド・バッファ608のレベル4から回収されたデータで、上述したように工程1605から1615が続行される。

40

【0063】

レベル4で部分バンド・バッファがまだ一杯にされておらず、従って、偽(N O)が決定ブロック1615によって返答されると、チェック(決定)ブロック1617に進む。ブ

50

ロック 1 6 1 7 において、全画像が完全に処理されたかどうかチェックされる。この場合に、決定ブロック 1 6 1 7 が真 (Y E S) を返答し、流れ処理が終了する (1 6 1 8) 。そうでなければ、決定ブロック 1 6 1 7 が偽 (N O) を返答し、処理がブロック 1 6 0 2 で再開され、「レベル」変数に 1 を割り当てて、上述したように工程 1 6 0 2 から 1 6 1 7 が再度、外部 D R A M 4 0 3 から取り出されたデータに対して処理が続行される。

【 0 0 6 4 】

説明した実施の形態において、9本のソース・ラインが係数の第1ラインを発生するのに必要とし、一方、2本のソース・ラインが次のおよび係数の各続くラインを発生するのに必要となる。71画素(または係数)の最小71ラインが32係数の32ラインを形成する必要がある。部分バンド・バッファ608が、次のレベルを処理するために、係数の三つのタイルを最初にロードする。次のレベルにおいて発生されるべき全ての連続するタイルに対して、入力の子の付加的なタイルのみが必要である。これは部分バンド・バッファ608が既に前回のロード・データから少なくとも一つのタイルを含んでいるからである。本実施の形態において、71カラムの係数が必要であり、部分バンド・バッファにおいて、現在レベルのために次のレベルフィルタする必要がある。すなわち、フィルタ操作は前回処理されたタイルから4カラムの係数で開始され、二つの付加的(完全な)タイル(各々32カラム)と、71カラムのタイルを形成するのに処理されるべき次のタイルからの3カラムとを使用する。随意に、部分バンド・バッファ608は、図15に示したような単一のバッファ・メモリとしてバッファ608を設けるのではなく、分解の各レベルの一つに対する三つの分離メモリ・ユニットとして設けることができる。このオプションは分離した読取・書込アドレス・ジェネレータを必要とする。

【 0 0 6 5 】

デジタル画像を符号化する方法は、図17に示したような従来の汎用コンピュータ・システム1700を使用して実行でき、例えば、図2、3および5に関する処理が、コンピュータ・システム1700内に存在するアプリケーション・プログラムのようなソフトウェアとして備えることができる。特に、デジタル画像を符号化する方法中の工程は、コンピュータによって実行されるソフトウェア内の命令によって実行される。このソフトウェアは二つのパーツに分割することができ、その一つはエンコーディング方法を実行し、他の一つは後者とユーザ間のユーザ・インターフェイスを管理する。ソフトウェアはコンピュータ読取可能媒体内に記憶することができ、例えば次に説明する記憶デバイスを含んでいる。このソフトウェアは、コンピュータ読取可能媒体からコンピュータにロードされ、コンピュータによって実行される。この種のソフトウェア、またはこれに記憶されたコンピュータ・プログラムを有するコンピュータ読取可能媒体は、コンピュータ・プログラム製品である。コンピュータ内のコンピュータ・プログラム製品を使用すると、本発明の実施の形態に基づくデジタル画像を符号化するための装置が好適に実行される。

【 0 0 6 6 】

コンピュータ・システム1700は、コンピュータ・モジュール1701、キーボード1702およびマウス1703のような入力デバイス、プリンタ1715および表示デバイス1714を含む出力デバイスを備えている。モジュレータ・デモジュレータ(モデム)受信デバイス1716が、例えば、電話回線1721または他の機能媒体を介して接続可能な通信ネットワーク1720間を相互連絡するコンピュータ・モジュール1701によって使用される。モデム1716はインターネット、および、ローカル・エリア・ネットワーク(LAN)またはワイド・エリア・ネットワーク(WAN)のような他のネットワーク・システムへのアクセスを得るのに使用することも可能である。

【 0 0 6 7 】

コンピュータ・モジュール1701は、一般的に、少なくとも一つのプロセッサ・ユニット1705と、例えば、半導体ランダム・アクセス・メモリ(RAM)とリード・オンリ・メモリ(ROM)から形成されたメモリ・ユニット1706と、ビデオ・インターフェイス1707を含む入力/出力(I/O)インターフェイスと、キーボード1702とマウス1703およびオプションとしてジョイスティック(図示省略)のためのI/Oイン

ターフェイス 1713 と、モデム 1716 のためのインターフェイス 1708 とを備えている。記憶デバイス 1709 を備えており、一般的にハードディスク・ドライブ 1710 とフロッピー・ディスク 1711 を含んでいる。磁気テープ・ドライブ (図示省略) も使用できる。CD-ROM ドライブ 1712 が、一般的にデータの不揮発性ソースとして備えられている。コンピュータ・モジュール 1701 の要素 1705 から 1713 は、一般的に相互連結バス 1704 を介して、当該技術において知られているコンピュータ・システム 1700 の従来操作モードとなる方法で連絡されている。実施の形態を実行できるコンピュータの例としては、IBM-PC および互換性のあるサン・スパークステーションまたはこれから発展されたこれと同様のコンピュータ・システムが含まれる。

【0068】

一般的に、好適な実施の形態のアプリケーション・プログラムは、ハードディスク・ドライブ 1710 に存在し、プロセッサ 1705 によるその実行が読み取られるとともに制御される。プログラムの中間記憶およびネットワーク 1720 からくどのデータも、多分ハードディスク・ドライブ 1710 と提携して半導体メモリ 1706 を使用して達成される。ある例において、アプリケーション・プログラムは、ユーザに提供され、CD-ROM またはフロッピー・ディスクに符号化され、対応するドライブ 1712 または 1711 を介して読み取られるか、或いは別の方法として、モデム・デバイス 1716 を介してネットワーク 1720 からユーザによって読み取ることにもできる。さらに、ソフトウェアも他のコンピュータ読取可能媒体からコンピュータ・システム 1700 にロードできる。この媒体には磁気テープ、ROM または集積回路、磁気・光学ディスク、コンピュータ・モジュール 1701 と他のデバイス間の無線または赤外線伝送チャネルと、PCMCIA カードのようなコンピュータ読取可能カード、およびインターネットと、Eメール伝送とウェブサイトに記憶された情報を含むイントラネット等々を含む。上述のものはコンピュータ読取可能媒体の単なる例である。他のコンピュータ読取可能媒体も、本発明の範囲と概念から外れることなく実行できる。

【0069】

デジタル画像を符号化する方法は、別の方法としてデジタル画像を符号化する機能、又はサブ・ファンクションを実行する一つまたはそれ以上の集積回路のような専用ハードウェア内で実行できるのが好ましい。この種の専用ハードウェアにはグラフィック・プロセッサ、デジタル・プロセッサ、あるいは一つのまたはそれ以上のマイクロプロセッサおよび関連するメモリを含む。

〔エントロピー符号化器 (エンコーダ)〕

デジタル画像のコード化表現を発生するためのエンコーダを次に説明する。

【0070】

画像の変換係数のコード化表現を生成するための方法を説明する。特に、この方法はクワドリツリー (4 分木) を使用する埋め込みブロック・コーディングに関する。

【0071】

この方法は画像データのウェーブレット変換により最初に処理される。ウェーブレット処理の概観を添付図面を参照して次に説明する。

【0072】

図 18 を最初に参照して、元の画像 1801 が離散ウェーブレット変換 (DWT) を使用して四つのサブ画像 1803 乃至 1806 に変換される。このサブ画像ないしサブバンドは、通常 LL1、HL1、HL1 および HH1 で示される。サブバンド名に付いている 1 の添え字はレベル 1 を示している。LL1 サブバンドは、元の画像のロウパス・デシメート・変形である。

【0073】

ここで使用されるウェーブレット変換は、例えばハール (Haar) 基本ファンクション、Daubechies 基本ファンクション等で変形でき、またこれを含めることができる。LL1 サブバンドは次に使用され、第 2 離散ウェーブレット変換が図 19 に示したように適用され、サブバンド LL2 (1908)、HL2 (1909)、LH2 (1910)、HH2 (19

10

20

30

40

50

11)で示される。この処理は例えば図20に示したように続行され、ここにはLL4サブバンドが示されている。明らかに、分解の第四レベルは入力画像のサイズに依存して提供できる。最も低い周波数のサブバンドはDCサブバンドに該当される。図20の場合には、DCサブバンドはLL4サブバンドである。

【0074】

次に、各単一レベルDWTは、元の画像を得るように順次変換される。従って、J-レベルDWTは一連のJ単一レベルの逆DWTに逆変換できる。

【0075】

階層的に画像をコード化するために、DCサブバンドが最初にコード化される。こうして、残りのサブバンドがレベルを小さくする順にコード化される。これは4レベルDWTに対してであり、レベル4のサブバンドはDCサブバンド(LL4)の後にコード化される。すなわち、HL4、LH4およびHH4サブバンドである。レベル3(HL3、LH3およびHH3)のサブバンドが次にコード化され、これに続いてレベル2(HL2、LH2およびHH2)が、次にレベル1(HL1、LH1およびHH1)がコード化される。

【0076】

標準画像では、符号化サブバンドは通常、画像中に「詳細」情報を含んでいる。量子化後のサブバンドは、しばしば値が希薄なアレイになり、実質的な圧縮がその希薄なマトリックス形態の有効なエンコーディングによって達成される。

【0077】

ここで図21を参照して、HH1のようなサブバンドのタイリングを示す。このサブバンドは、左上のコーナーから始まる 32×32 ブロックの係数を有するタイル2110、2120、2130、2140および2150であるのが好ましい。 32×32 なる用語は、それぞれ32の行(row)、 $\times 32$ 列(column)を意味している。

【0078】

以下の実施の形態の説明を進める前に、以後に使用する技術用語につき簡単に説明する。2進整数を表す数に対して、「ビットn」または「ビット数n」は、2進数nに該当し、例えば、8ビットの2進表現を仮定すると、10進数の9は、00001001として表される。この数において、ビット3は1に等しく、ビット2、1および0はそれぞれ0、0、1に等しい。さらに、画像の変換は、ビット・シーケンスによって表された各係数による横列と縦列に配列された係数を有するマトリックスとして表すことができる。結果的に、マトリックスについて話すと、三つのディメンジョン(次元)を有していると考えことができ、一番目のディメンジョンは横方向、二番目は縦方向、三番目はビットのシーケンス方向である。同じビット番号で各ビット・シーケンスを通っているこの三つのディメンジョン(3次元)空間内の平面は、「ビットプレーン」または「ビットプレーン」と呼ばれる。用語「ビットプレーン数n」は、ビット番号nを通るビットプレーンを意味する。

【0079】

説明を簡潔にするために、変換係数は、以後、固定小数点で符号のない2進整数フォーマットに、付加的な単一サイン・ビットを付して表す。すなわち、10進数の-9および9は、同じビット・シーケンス、すなわち、1001で表し、前者は負数を示す1に等しいサイン・ビットを有し、後者は正数を表す0に等しいサイン・ビットを有する。整数表示を使用することにおいて、係数は最も近い整数値に既に暗黙のうちに量子化されているが、これは必要ではない。さらに、圧縮の目的で、端数ビットに含まれるどの情報も通常無視される。

【0080】

画像フレームの域は、一連の隣接する画像係数を含んでいる。用語「係数」は、以後「画素」と交換可能に使用されるが、当該技術に習熟した人にとってよく理解される点では、前者が変換ドメイン(例えば、DWTドメイン)中で画素という意味で使用されるのが一般的である。これらのセットないし域Tは、 (i, j) を係数座標としたとき、変換画像係数 $\{c_{i,j}\}$ を有するのとして規定され、固定小数点でサインのない2進整数フォーマットに付加的な単一サイン・ビットを付して表わされる。

【0081】

現在ビットプレーンにおける画素のセット或いは域 T は、域中の各係数の MSB の数が現在のビットプレーンの値より小さい場合、重要ではないと言える。域の意味の概念を正確にするために、数学的規定が式(1)で与えられる。画素のセット或いは域 T は、次式であれば、ビットプレーン n に関して(またはこれにおいて)重要でないと言える。

$$|c_{i,j}| < 2^n, \text{ 全ての } c_{i,j} \in T \text{ に対して} \quad (1)$$

座標の集合類別 T により、次の部分集合 T のコレクション $\{T_m\}$ を定める。

【0082】

【数1】

$$T = \bigcup_{m=1}^n T_m, \quad T_n \cap T_m = \emptyset \quad \forall n \neq m$$

10

【0083】

換言すれば、一つの $c_{i,j} \in T$ 、従って $c_{i,j} \in T_m$ は、ただ一つの部分集合 T_m である。本件の T は正方域であり、集合 $\{T_m\}$ は、 T の4象限からなる集合(セット)である。

【0084】

提案された方法は、4分木を使用して埋め込み方法で一連の係数を符号化する。用語「埋め込み」の使用は、より低いビットプレーンでいずれかのビットをコード化する前に、より高いビットプレーン中の全てのビットをコード化することを意味している。次に、ビットプレーン6のいずれかのビットがコード化される前に、ビットプレーン7の各ビットがコード化され、順番に、ビットプレーン5のいずれかのビットがコード化される前に、ビットプレーン6の全ビットがコード化されるという順にコード化される。

20

【0085】

提案された方法の好適な実施の形態は、次の疑似コードを使用して実行される。この提案された方法は、係数の正方ブロックを符号化するのが好ましく、ブロックのサイズは2の累乗(一般的に 32×32 の係数)したものである。更に、この提案方法は4分木類別を使用している。すなわち、各セット(集合)或いは域は、その四つの象限に類別され、これによって、常時2の累乗に等しいディメンジョンで正方域が維持される。開始時に、提案方法は三つのリストを初期化する。すなわち、重要でない域(有効数字でない部分)(LIR)のリストと;重要でない係数のリスト(LIC)と;重要な(有効数字部分)係数のリスト(LSC)である。単一の係数が、係数の重要性に依存して、重要でないセットのリスト(LIR)から除去されると、これらのセットは、重要でない係数のリスト(LIC)か、重要な係数のリスト(LSC)のいずれかに付加される。

30

【0086】

この提案方法は次のように初期化される。 LIC および LSC は空になるように初期化される。 LIR は入力ブロックの4象限を包含するセット(集合)である。この方法は n_{max} を見つけて、コード化することによって開始され、ここで n_{max} はセット内の全ての係数に対して1ビットを含む最大のビットプレーンである。従って、この提案方法は次のようにして進行される:

40

1. $n = n_{max}$ に設定

2. 重要でない係数のリスト(LIC)中の各係数に対し、

・ 係数のコード・ビット n (すなわち、その重要度(有効数字))

・ ビットが1(即ち、重要である場合)、サイン・ビットにコード化される。係数を LSC の最後に付加され、 LIC から係数が除去される。

【0087】

3. 重要でない域のリスト(LIR)中の各域 T に対し、

・ 重要な T (シグニフィカンス)をコード化。

【0088】

・ T が重要(有効数)であり、一つより多い係数から構成され、従って、 T がその4象

50

限に仕切られ、それらが L I R の最後に付加される。T がリストから除去される。

【 0 0 8 9 】

- ・ T が単一係数であれば、
- ・ T が L I R から除去される。

【 0 0 9 0 】

- ・ T が有効数であれば、サイン・ビットがコード化され、T が L S C の最後に付加される。

【 0 0 9 1 】

- ・ 他に、T を L I C のリストの最後に付加する。

【 0 0 9 2 】

4 . 重要な係数 L S C (ステップ 3 中のリストに付加されたものを除く) のリスト中の各係数 $c_{i,j}$ に対し、

- ・ $c_{i,j}$ のビット n をコード化、

5 . n を小さくして、ステップ 2 に進む。

【 0 0 9 3 】

上述のことから、出力ビットストリームは普通、次の形態をとる、

... L I C ' L I R ' L S C '

ここで、L I R ' はステップ 3 で実行されたコード化表現であり；L I C ' はステップ 2 で実行されたコード化表現であり；L S C ' はステップ 4 で実行されたコード化表現である。しかし、エンコーディング工程の最初の繰り返し中、L I C と L S C は空であり、従って、最初の繰り返しの出力ビットストリームは L I R ' の形態をとることに注意しなければならない。

【 0 0 9 4 】

この提案した方法に加えて、L I C および L S C をコード化するとき、簡単な Huffman コード (またはより良いのは Golomb コード) をビットのグループ (例えば 4 ビットのグループ) がコード化するのに使用される。さらに、域の各象限の有効数をコード化するとき、15 レベルの Huffman コードが 4 象限 (1 象限は重要でなければならず、従って、重要なパターンは 15 (16 ではない) の内の一つとなる) のそれぞれの異なるパターンの重要なパターンを示すのに使用できる。エントロピー符号化の他の形態として、例えば 2 進演算コーディングなど使用して、残りの冗長性を利用する。

【 0 0 9 5 】

別の実施の形態として、T が 2×2 ブロックの係数からなる場合、ステップ 3 における提案された方法は、次のサブステップを形成する。 2×2 ブロックの各係数の重要度 (意味) をコード化して出力すると直ちに、これらが重要であれば、対応するサインが出力されるとともに、その係数が適切に L S C または L I C の最後に付加される。後者のサブステップにおいて、重要でない係数が L I C リストに付加される。

【 0 0 9 6 】

好ましくは、この提案した方法は 32×32 ブロックのデータ・係数を符号化する。説明の目的のみで、 4×4 ブロックの係数の次なる例が、この提案した方法に基づいて符号化される。

【 0 0 9 7 】

【 数 2 】

$$\begin{bmatrix} 31 & 16 & 0 & 0 \\ 15 & 17 & 0 & 0 \\ 9 & 7 & 1 & 0 \\ 5 & 3 & 1 & 0 \end{bmatrix}$$

【 0 0 9 8 】

上述のブロックは四つの象限 A、B、C および D からなる。シンボル A は、ブロックの左上 (2 × 2) 象限、B は右上、C は左下、また、D は右下の象限を表す。さらに、シンボル A 1 はそれぞれ A の左上の画素、A 2 は右上、A 3 は左下、A 4 は右下の画素を示している。同様に、B 1 は B の左上、というように画素の残りの部分にも適用される。

【0099】

この提案方法によれば、 n_{\max} が最初に決定されるが、この場合 4 である。すなわち、各係数の最も重要なビットはビットプレーン 4 またはそれ以下にある。注意しなければならないのは、ビットプレーンの番号付けは 0 から始まることである。変数 n_{\max} は 4 ビットでコード化される (係数が圧迫されているので、 n_{\max} は 0 から 15 の間となる)。最初に、

$LIC =$, $LIR = \{A, B, C, D\}$ および $LSC =$ であり、ここにシンボル は、空きリストを示すのに使用される。

【0100】

従って、この提案方法によれば、ビットプレーンは繰り返してコード化される。この処理はビットプレーン $n = n_{\max} = 4$ で開始され、減少数 n は各繰り返しにつき 1 ずつである。

1. $n = n_{\max} = 4$ につき、

- ・最初に、リスト LIC 中の各係数がコード化される。何もないので、コード化は実行されない。

- ・次に、リスト LIR 中の各域の重要度がコード化される。

【0101】

- ・域 A に対して、ビットプレーン $n = 4$ において重要であるから、1 ビットが出力される。次に、A の 4 象限が、すなわち、A 1、A 2、A 3 および A 4 がリスト LIR の最後に付加され、A が除去される。ここで $LIR = \{B, C, D, A1, A2, A3, A4\}$ である。

【0102】

- ・域 B に対して、ビットプレーン $n = 4$ において重要でないから、0 ビットが出力される。

【0103】

- ・域 C に対して、0 ビットが出力される。

【0104】

- ・域 D に対して、0 ビットが出力される。

【0105】

- ・域 A 1 に対して、1 ビットが出力される。A 1 が単一係数 3 1 からなるので、A 1 が LIR から除去される。3 1 (または A 1) が重要であるから、これが LSC に (またはそのロケーションがブロックに) 付加される。A 1 のサイン・ビットは (0) も出力される。

【0106】

- ・域 A 2 に対して、1 ビットが出力される。A 2 が単一の重要な係数 1 6 からなるので、 LIR から除去され、 LSC の最後に付加される。A 2 のサイン・ビット (0) も出力される。ここで $LSC = \{31, 16\}$ である。

【0107】

- ・域 A 3 に対して、0 ビットが出力される。単一の重要でない係数であるから、 LIR から除去され、係数 1 5 が LIC に付加される。ここに、 $LIC = \{15\}$ である。

【0108】

- ・域 A 4 に対して、1 ビットが出力される。A 4 が単一の重要な係数 1 7 からなるので、 LIR から除去され、 LSC の最後に付加される。A 4 のサイン・ビット (0) も出力される。ここで、 $LSC = \{31, 16, 17\}$ である。

- ・最終ステップにおいて付加されなかった LSC 中の各係数がここでコード化される。何もないので、コード化は実行されない。

10

20

30

40

50

【 0 1 0 9 】

従って、第 1 繰返しにおいて、この提案した方法が次のビットストリームを出力する。

1 0 0 0 1 0 1 0 0 1 0

この段階において、ビットプレーン 4（及びこれより高い）中の全てのビットがコード化される。符号化されたビットストリームからビットを読み出すことにより、復号器がビットプレーン 4（及びこれより高い）を再構築できる。このデコーディング方法は、重要度の判定がビットストリーム（これが、なぜ重要度の決定がビットストリームに書き込まれるかの理由である）からの読取りによって決定されることを除いて、同じである。他の係数・ビットがそのまま簡単に読み取られる。デコード実行パスは、エンコードのものと同様であり、これによってデコードは、読み取られた新しい各ビットの意味がわかっていること
10

2. $n = 3$ につき、

最初に、 $LIC = \{ 15 \}$ 、 $LIR = \{ B, C, D \}$ および $LSC = \{ 31, 16, 17 \}$ である。

- ・ 第 1 に、 LIC 中の各係数のビット $n = 3$ をコード化する。すなわち、1 ビットが係数 15 と、サイン・ビット (0) に対して出力される。これは重要であるので (1 ビットが出力される)、サイン・ビットが出力され、係数 15 が LIC から除去され、 LSC の最後に付加される。これによって、 $LSC = \{ 31, 16, 17, 15 \}$ となる。

- ・ LIR 中の域の各々の重要度がここでコード化される。

【 0 1 1 0 】

- ・ 域 B に対して、0 ビットが出力される。

【 0 1 1 1 】

- ・ 域 C に対して、ビットプレーン $n = 3$ において重要であるから、1 ビットが出力される。域 C が 4 象限 C 0 0、C 0 1、C 1 0 および C 1 1 に仕切られ、 LIR の最後に付加される。C が LIR から除去される。従って、ここに $LIR = \{ B, D, C 0 0, C 0 1, C 1 0, C 1 1 \}$ である。

【 0 1 1 2 】

- ・ 域 D に対して、0 ビットが出力される。

【 0 1 1 3 】

- ・ 位置 C 0 0 に対して、1 ビットが出力される。C 0 0 が単一の重要な係数 9 からなるので、 LIR から除去され、 LSC の最後に付加される。C 0 0 のサイン・ビット (0) も出力される。ここに $LSC = \{ 31, 16, 17, 15, 9 \}$ を得る。

【 0 1 1 4 】

- ・ 域 C 0 1 に対して、0 ビットが出力される。単一の重要でない係数であるから、 LIR からこれを除去し、係数 7 を LIC に付加する。ここで $LIC = \{ 7 \}$ である。

【 0 1 1 5 】

- ・ 域 C 1 0 に対して、0 ビットが出力される。単一の重要でない係数であるから、 LIR からこれを除去し、係数 5 を LIC に付加する。ここに $LIC = \{ 7, 5 \}$ である。

【 0 1 1 6 】

- ・ 域 C 1 1 に対して、0 ビットが出力される。単一の重要でない係数であるから、 LIR からこれを除去し、係数 3 を LIC に付加する。ここに $LIC = \{ 7, 5, 3 \}$ である

- ・ ここで、 LSC の各係数のビット $n = 3$ をコード化する (上記に単に付加するだけではない)。

【 0 1 1 7 】

- ・ 31、16 および 17 のビット $n = 3$ として、それぞれ 1、0 および 0 を出力する。

【 0 1 1 8 】

従って、二回目の繰返しにおいて、この提案した方法は次のビットストリームを出力する。

1 0 0 1 0 1 0 0 0 0 1 0 0

10

20

30

40

50

3. $n = 2$ につき、

最初に、 $LIC = \{7, 5, 3\}$ 、 $LIR = \{C, D\}$ および $LSC = \{31, 16, 17, 15, 9\}$ を得る。

・ 第1に、 LIC 中の各係数のビット $n = 2$ （またはビットプレーン $n = 2$ における重要度と等価である）をコード化する。すなわち、7、5および3それぞれに対して1、1および0を出力する。加うるに、7（0）および5（0）のためのサイン・ビットが出力され、これらの係数が LSC に移動される。 LIC 中に3が残る。

・ 次に、 LIR 中の各域の有効数が符号化される。

【0119】

・ 域Bに対して、0ビットが出力され、また、域Dに対して0ビットが出力される。

10

・ 最後に、 LSC 中の係数の各々に対するビット $n = 2$ を更新する（上記に付加せず）。

【0120】

・ 31、16、17、15および9に対して、それぞれ1、0、0、1および0を出力する。

【0121】

従って、三回目の繰り返しにおいて、この提案した方法は次のビットストリームを出力する。

101000010010

ビットプレーン0、またはいくつかの他の有限点まで、この態様を続行する。特定の有限コードを使用した場合、（三つの）サブパスのどれか一つの後、終了することができることに注意しなければならない。（基本的に、FFは有限コードとしてリザーブされ、有限コードを慎重に挿入しなければ、コード化ビットストリームを決して強制的にFFに含ませることはない。

20

【0122】

これまでに説明したように、この方法は係数の 32×32 ブロックをエンコーディングするのに好適に利用できる。これらの状況において、元の象限A、B、C、Dは各々 16×16 の係数からなり、また域A1、A2、...、D4は各々 8×8 の係数からなる。従って、 32×32 ブロックの符号化において、ブロックは4分木方法に基づいて5回仕切られるが、一方、与えた例においては 4×4 ブロックが2回のみで仕切られる。

30

【0123】

デコーディング工程は、エンコーディング工程を単に模倣してコード化された表現から画素を再構築する。

【0124】

図22を参照して、この提案方法を実行するための第1の好ましい実施の形態に基づくエンコーダを説明する。係数・エンコーダ2200は、対応するデータ2202を得て、出力符号化データ2204の連続した流れを提供するように設計されている。このエンコーダ2200は、次のロジック部を含んでいる。すなわち、ビットプレーン・コンバータ2206；ビットプレーン・ツリー・ビルダー2208-0から2208-15；ビットプレーン・エンコーダ2210である。

40

【0125】

エンコーダ2200は、ビットプレーンで 32×32 の係数を記憶するためのメモリ2214と；係数のサイン・ビットを記憶するためのメモリ2216と；ビットプレーン0から15を記憶するためのメモリ2218-15から2218-0も含んでいる。エンコーダ2200は、域の第1リストを記憶するためのメモリ2226と；域の第2リストを記憶するためのFIFOメモリ2228と； LSC 値のリストを記憶するためのメモリ2222と； LIC 値のリストを記憶するためのメモリ2224をさらに含んでいる。

【0126】

エンコーダ2220は、次のようにして動作する。最初に、 32×32 入力係数・データがラスタ順にメモリ2212に記憶される。ビットプレーン・コンバータ2206は、入

50

力係数・データを読み取り、このデータを、ビットプレーン 0 からビットプレーン 15 までの 16 のビットプレーンに変換し、このデータは続いてメモリ 2214 に記憶される。ビットプレーン・コンバータ 2206 はまた 32×32 ブロックの係数のサイン・ビットも判定し、このサイン・ビットがメモリ 2216 に記憶される。

【0127】

ビットプレーン・ツリー・ビルダー 2208 - 0 から 2208 - 15 が各々 32×32 係数・データを読み取り、域に対応するノードと 1×1 の画素を有する 4 分木構造を構築する。各ツリーにおいて、ノードは、域またはこのノードに対応する画素がビットプレーンのために重要であれば、1 にセットされる。そのノードに対応する域又は画素のための重要なビットが、ビットプレーンより大きいか、又は小さければ、ノードはゼロにセットされる。

10

【0128】

次に図 23 を参照して、 32×32 ブロックのためのビットプレーン n におけるビットプレーン・ツリービルダー 2208 - n によって構成された構築ツリー 2300 を説明する。簡潔にする目的で、ツリーの一部のみを示す。このツリー 2300 は、 1×1 画素レベルまで下げたブロックの各 4 分木の仕切りを表すノードを含んでいる。この場合において、全 32×32 ブロックがシンボル 0 によって表される。 16×16 の左上象限がノード A で表され、 16×16 右上象限が B で表され、 16×16 の左下象限がノード C で表され、 16×16 の右下象限がノード D で表される。ノード A1、A2、A3 および A4 が、4 分木の A の左上、右上、左下および右下の 8×8 の 4 分木の仕切りをそれぞれ表している。同様にして、ノード A11、A12、A13 および A14 は、象限 A1 の 4 分木の左上、右上、左下および右下の 4×4 分木の仕切りをそれぞれ表している。同様にして、ノード A111、A112、A113 および A114 は、象限 A11 の 4 分木の左上、右上、左下および右下の 2×2 の 4 分木の仕切りをそれぞれ表している。最後に、ノード A1111、A1112、A1113 および A1114 は、象限 A111 の 4 分木の左上、右上、左下および右下の 1×1 分木の仕切りをそれぞれ表している。ツリーの残りの部分（図示省略）は 32×32 ブロックの各 1×1 象限まで下がって同様の方法で表される。

20

【0129】

ビットプレーン・ツリー・ビルダー 2208 - n が、象限順（例えば、A1111、A1112、A1113 および A1114）で係数を読み取ることによってビットプレーン n を逆からこの種のツリーを構築する。そのノードに対応する域又は画素のための重要なビットが、ビットプレーンより大きいか、又は小さければ、ノードはツリービルダーによってゼロにセットされる。こうして、ビットプレーン・ツリー・ビルダーは、次のフォーマットで各ノードのための重要な情報を出力する。

30

【0130】

A B C D A1 A2 A3 A4 A11 A12 A13 A14 A21, ..., D44 A111, ..., D444, ..., A1111, D4444

ビットプレーン・ツリー・ビルダー 2208 - 0 から 2208 - 15 の各々からの出力は、それぞれのビットプレーン・ツリー・メモリ 2218 - 0 から 2218 - 15 に記憶される。

40

【0131】

ビットプレーン・エンコーダ 2210 が、ビットプレーン・ツリー・メモリの各々を読み取り、次にビットプレーン・ツリー・メモリ 2218 - 15 で開始する。ビットプレーン・エンコーダ 2210 が、ノード A、B、C および D に対応するビットプレーン・メモリ 2218 - 15 内に記憶された四つの重要なビット A、B、C および D を次に読み取ることによって処理が開始される。ビットプレーン・エンコーダは、メモリ 2226 内の域の第 1 リスト中のこれらのノード {A、B、C、D} のリストを記憶する。ビットプレーン・エンコーダ 2210 が次の操作に進行する：

1. ビットプレーン・エンコーダ 2210 が、第 1 域リスト上の第 1 ノード（域）に対

50

応するビットプレーン・ツリー内のビットを読み取る。

【 0 1 3 2 】

a . ビットが重要であれば、エンコーダが 2 進の 1 を出力する。エンコーダが F I F O 2 2 2 8 上の第 2 域リスト内のノードのチルドレン（子供）を記憶し、第 1 域リスト 2 2 2 6 からのノードを除去する。

【 0 1 3 3 】

b . ビットが重要でない場合、エンコーダが 2 進の 0 を出力し、第 1 域リスト 2 2 2 6 上のノードを維持する。

【 0 1 3 4 】

2 . ビットプレーン・エンコーダ 2 2 1 0 が、第 1 域リスト内の全てのノードが読み取られるまで、ステップ 1 を繰り返す。

【 0 1 3 5 】

3 . ビットプレーン・エンコーダが、F I F O 2 2 2 8 上の第 2 域リスト内の第 1 ノードに対応するビットプレーン・ツリー中のビットを読み取る。

【 0 1 3 6 】

a . ビットが重要であり、そのノードに関する子供がある（すなわち、ツリー内のそのノードの直下にノードがある）場合、エンコーダが 2 進のゼロを出力し、このノードを第 1 域リスト 2 2 2 6 上のノードに入れる。

【 0 1 3 7 】

b . ビットが重要であり、そのノードに関する子供がなければ、エンコーダが 2 進のゼロを出力し、このノードが対応する画素に対するインデックスとして L I C リスト 2 2 2 4 に記憶される。

【 0 1 3 8 】

c . ビットが重要であり、そのノードに関する子供がなければ、エンコーダが 2 進の 1 と対応するサイン・ビットを出力し、このノードが対応する画素に対するインデックスとして L I C リスト 2 2 2 2 に記憶される。

【 0 1 3 9 】

d . ビットが重要であり、そのノードに関する子供があれば、エンコーダが 2 進の 1 を出力し、第 2 域リストからノードを除去する。さらに、ノードの子供を第 2 域リストに付加する。

【 0 1 4 0 】

e . 第 2 域が空きであれば、エンコーディング工程がそのビットプレーン・ツリーを完成させる。

【 0 1 4 1 】

ビットプレーン・エンコーダが残りのビットプレーン・ツリーに対して次にこの操作を繰り返す。現在のビットプレーン・ツリーへの操作の開始時における域の第 1 リストには、前回のビットプレーン・ツリーへの前回操作から残っている域が含まれている。これらの出力は出力ストリームの L I R 部分に対応する。現在のビットプレーン・ツリーに対する現在の操作の完了後、ビットプレーン・エンコーダが L I C と L S C ビットを符号化し、出力する。

【 0 1 4 2 】

ビットプレーン・エンコーダが、リスト上の第 1 画素に対するインデックスのための L I C リストを読み取り、ビットプレーン・メモリ 2 2 1 4 から必要とされるビットを選択する。現在ビットプレーン数を使用することによって L I C ビットを符号化する。選択されたビットが 2 進の 0 であれば、エンコーダがゼロを出力する。選択されたビットが 2 進の 1 であれば、エンコーダが 2 進の 1 を、メモリ 2 2 1 6 からの画素のサイン・ビットとともに出力する。こうしてエンコーダは L I C からインデックスを除去し、これを L S C リストに付加する。一度、インデックスがリストから除去されると、残りのインデックスは再編成されるのが好ましい。エンコーディング（符号化）は、一度、L I C が通過すると、完了する。

10

20

30

40

50

【 0 1 4 3 】

ビットプレーン・エンコーダが、リスト上の第 1 画素に対するインデックスのための L I C リストを読み取り、ビットプレーン・メモリ 2 2 1 4 から必要とされるビットを選択する現在ビットプレーン数を使用することによって L I C ビットを符号化する。こうして、選択されたビットが出力される。ビット・プレーン・エンコーダは、読み取られるべき L S C リスト中の画素数を示す長さ値を記憶するためのカウンタも含んでいる。L S C 符号化の終了後、この値が更新され、L I R と L I C からの新しい要素を付加することができる。

【 0 1 4 4 】

この提案方法のエンコーディング（符号化）とデコーディング（復号）工程は、図 2 4 に示したような従来の汎用コンピュータを使用して実行されるのが好ましく、その工程がこのコンピュータを実行するソフトウェアとして備えることができる。特に、コーディング及び（又は）デコーディング方法のステップは、コンピュータによって実行されるソフトウェア内の命令によって実行される。ソフトウェアは二つの別々のパーツに分かれており、その一つがデコーディング及び（又は）コーディング方法を実行し、また他方の一つが後者とユーザ間のユーザ・インターフェイスを制御する。ソフトウェアは、例えば次に説明する記憶デバイスを含むコンピュータにより読取可能な記憶媒体内に記憶できる。このソフトウェアはコンピュータ読取可能な記憶媒体からコンピュータ内にロードされ、コンピュータによって実行される。この種のソフトウェア、又はこれに記録されたコンピュータ・プログラムを有するコンピュータにより読取可能な記憶媒体は、コンピュータ・プログラム製品である。コンピュータ内でこのコンピュータ・プログラム製品の使用は、本発明によるデジタル画像をエンコーディング（符号化）し、また、デジタル画像のコード化された表現をデコーディングするための有利な装置を好適に実行する。

【 0 1 4 5 】

コンピュータ・システム 2 4 0 0 は、コンピュータ 2 4 0 1 と、ビデオ表示装置 2 4 1 6 と、入力デバイス 2 4 0 2、2 4 0 3 を備えている。加うるに、コンピュータ・システム 2 4 0 0 は、通信インターフェイス 2 4 2 1 を介して、一つまたはそれ以上の他のコンピュータに、モデム通信パス、コンピュータ・ネットワーク等々のような適切な通信チャネル 2 4 2 2 を使用して接続することができる。コンピュータ・ネットワークはローカル・エリア・ネットワーク（L A N）、ワイド・エリア・ネットワーク（W A N）、イントラネットおよび（または）インターネットを含めることもできる。

【 0 1 4 6 】

コンピュータ 2 4 0 1 自体は、中央処理装置（以後単にプロセッサという）2 4 0 5 と、ランダム・アクセス・メモリ（R A M）とリード・オンリー・メモリ（R O M）とを含むメモリ 2 4 0 6 と、入力／出力（I / O）インターフェイス 2 4 0 8 と、ビデオ・インターフェイス 2 4 0 7 と、図 2 4 のブロック 2 4 0 9 で概略的に示された一つまたはそれ以上の記憶デバイスとを備えている。記憶デバイス 2 4 0 9 は、次の内の一つまたはそれ以上を含んでいる。すなわち、フロッピー・ディスク、ハードディスク・ドライブ、磁気・光学ディスク・ドライブ、C D - R O M、磁気テープまたは当該技術において周知の他の多数の不揮発性記憶デバイスである。要素 2 4 0 5 から 2 4 0 9、2 4 2 1 はそれぞれ一般的に、データ、アドレスおよび制御バスからなるバス 2 4 1 4 を介して一つ、またはそれ以上の他のデバイスに接続される。

【 0 1 4 7 】

ビデオ・インターフェイス 2 4 0 7 がビデオ表示装置 2 4 1 6 に接続され、コンピュータ 2 4 0 1 からのビデオ信号を提供してこのビデオ表示装置 2 4 1 6 に表示する。コンピュータ 2 4 0 1 を作動させるユーザ入力、一つ又はそれ以上の入力デバイス 2 4 0 2、2 4 0 3 によって提供できる。例えば、オペレータはキーボード 2 4 0 2 および（または）マウス 2 4 0 3 のような指示デバイスを使用することができる。

【 0 1 4 8 】

システム 2 4 0 0 は図示の目的で簡潔に示されているが、他の形態も使用できる。実施の

10

20

30

40

50

形態を実行できる例としてのコンピュータには、IBM-PC/ATまたは互換機を含み、その一つにPCのマッキントッシュ（商標名）ファミリー、サン・スパークステーション（商標名）等々がある。上述したものは実施の形態を実行できるコンピュータのタイプの単なる一例である。一般的には、以後に説明する実施の形態の処理は、プロセッサ2405を使用する読取りおよび制御されたコンピュータにより読取可能な記憶媒体としてハードディスク・ドライブ（図24において通常、ブロック2409で示される）に記憶されたソフトウェアまたはプログラムとして内在している。プログラムと画素データおよびネットワークから取り入れられたデータの間記憶は、半導体メモリ2406を使用して、ハード・ディスク・ドライブ2409と提携して達成することができる。

【0149】

10

ある例において、プログラムは、CD-ROMまたはフロッピー・ディスク（両者ともブロック2423で概略的に示す）上に符号化されユーザに提供されるか、または別の方法として例えば、コンピュータに接続されたモデム・デバイスを介してネットワークからユーザが読み取ることができる。さらに、ソフトウェアは、他のコンピュータ読取可能媒体からコンピュータ・システム2400にロードすることもできる。この媒体には磁気テープ、ROMまたは集積回路、磁気・光学ディスク、コンピュータと他のデバイス間の無線または赤外線伝送チャネル、PCMCIAカードのようなコンピュータ読取可能カード、およびEメール通信を含むインターネットおよびイントラネットと、ウェブサイト等に記憶された情報を含む。上述したものは適切なコンピュータ読取可能媒体の単なる例である。他のコンピュータ読取可能媒体も実行可能である。

20

【0150】

エントロピー符号化器から転じて符号化方法及び装置に説明を戻したが、逆に、符号化された画像を復号により再生しても良い。この場合、画像はまず最初に完全にエントロピー復号され、その復号された画像に、前述の符号化方法の略逆の処理が適用される。

【0151】

上述の説明から明白なように、本発明の実施の形態はコンピュータおよび画像/データ処理産業に適用可能である。

【0152】

これまでに説明したものは、本発明のある実施の形態のみで、修正および（または）変更も本発明の範囲と概念から外れることなく可能であり、実施の形態は例であって、限定ではない。

30

【0153】

【発明の効果】

以上説明したように本発明によれば、例えば少ないバッファの容量で、複数レベルのDWTを効率良く行うことができるという効果がある。

【図面の簡単な説明】

【図1】画像の4レベルの離散ウェーブレット変換の種々のサブバンドを示す図である。

【図2】本発明の好適な実施の形態の変形例としての画像の水平タイリングを示す図である。

【図3】本発明の好適な実施の形態に係る画像の垂直タイリングを示す図である。

40

【図4】本発明の好適な実施の形態の符号化器を示す図である。

【図5】図3のタイリングと好適なタイル走査順を示す図である。

【図6】図4の圧縮エンジンをより詳しく示す図である。

【図7】本発明の好適な実施の形態に係るリオーダ・バッファを示す図である。

【図8】図7のリオーダ・バッファの充填順を示す図である。

【図9】本発明の好適な実施の形態に係る垂直フィルタのハードウェア構成を示す図である。

【図10】本発明の好適な実施の形態に係る水平フィルタのハードウェア構成を示す図である。

【図11】本発明の好適な実施の形態に係るサブバンド・バッファのハードウェア構成を

50

示す図である。

【図 1 2】図 1 1 のサブバンド・バッファの充填順および走査順を示す図である。

【図 1 3】本発明の好適な実施の形態に係る制御状態マシンのハードウェア構成を示す図である。

【図 1 4】本発明の好適な実施の形態に係る部分バンド・バッファのハードウェア構成を示す図である。

【図 1 5】図 1 4 の部分バンド・バッファの充填順および走査順を示す図である。

【図 1 6】図 6 の制御状態マシン・モジュールによる処理の流れを示すフローチャートである。

【図 1 7】本発明の好適な実施の形態を実行する汎用コンピュータの概略ブロック図である。

10

【図 1 8】元の画像とその DWT 変換を示す図である。

【図 1 9】図 1 8 の元の画像の第 2 レベル DWT 変換を示す図である。

【図 2 0】図 1 8 の元になる画像の 4 レベル DWT 変換を示す図である。

【図 2 1】 32×32 ブロックにサブバンドをタイリングする図である。

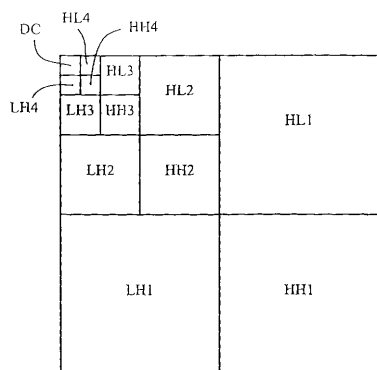
【図 2 2】符号化器の実施の形態を示す図である。

【図 2 3】図 2 2 のビットプレーン・ツリー・ビルダーによって構築されたツリーの一部を示す図である。

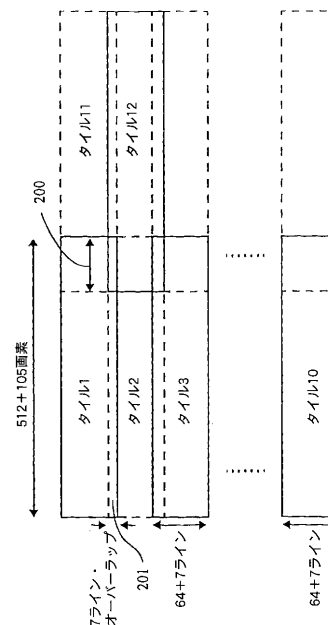
【図 2 4】説明した符号化方法を実行するための汎用コンピュータの構成を示すブロック図である。

20

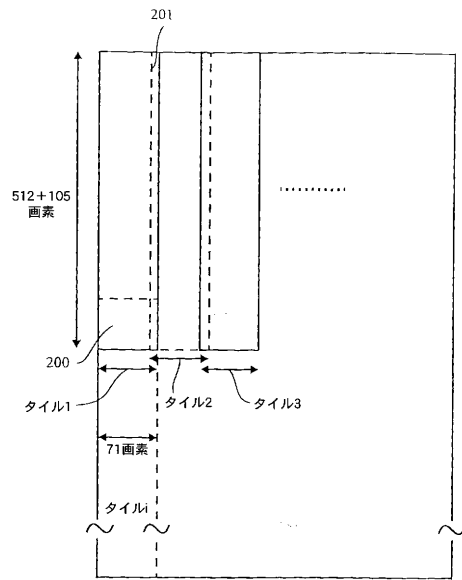
【図 1】



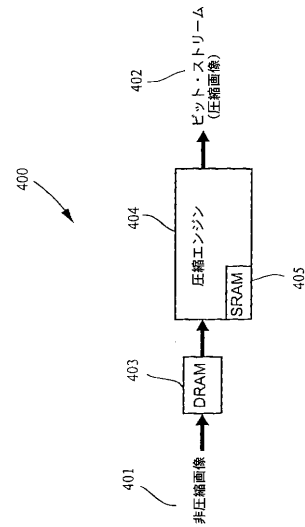
【図 2】



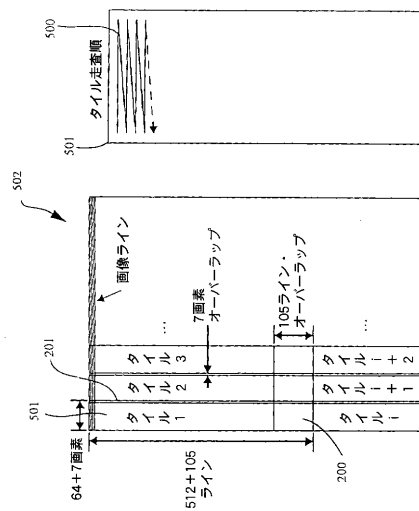
【 図 3 】



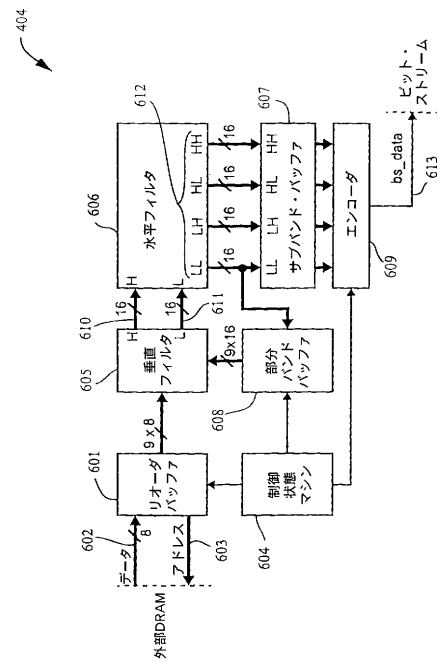
【 図 4 】



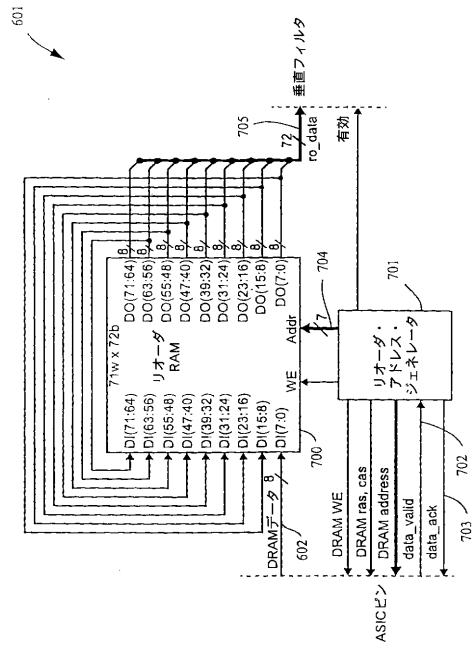
【圖 5】



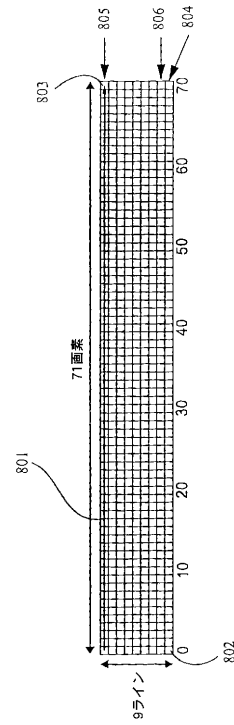
【 図 6 】



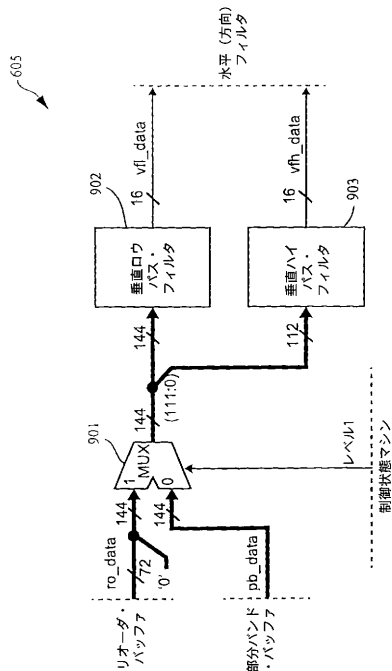
【図 7】



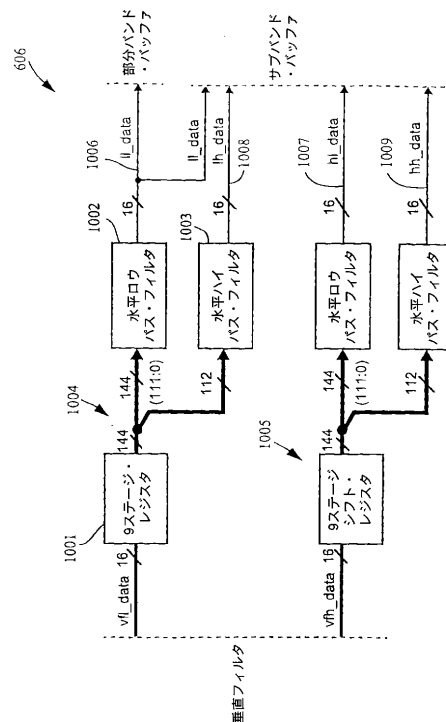
【図 8】



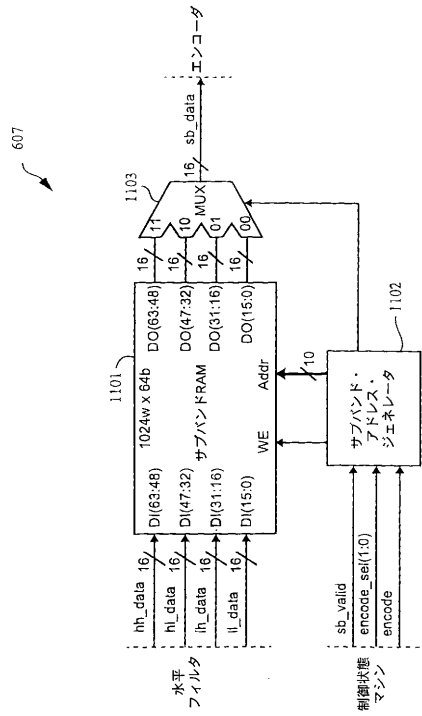
【図 9】



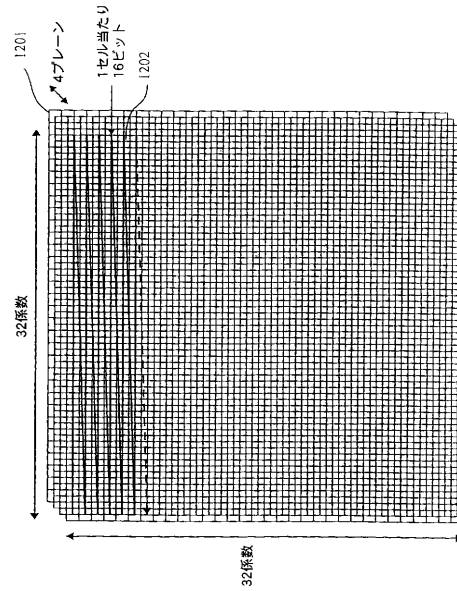
【図 10】



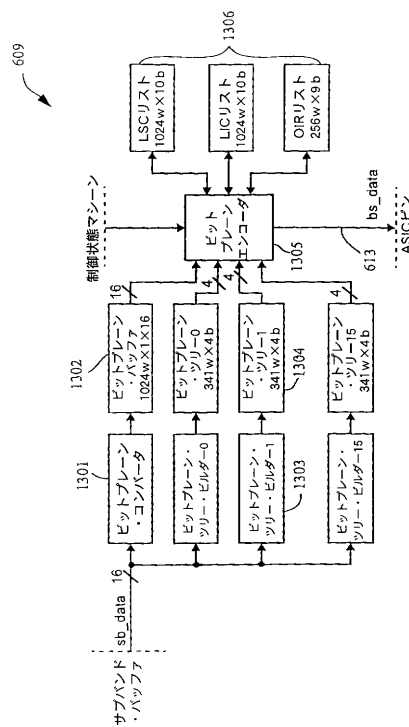
【図 1 1】



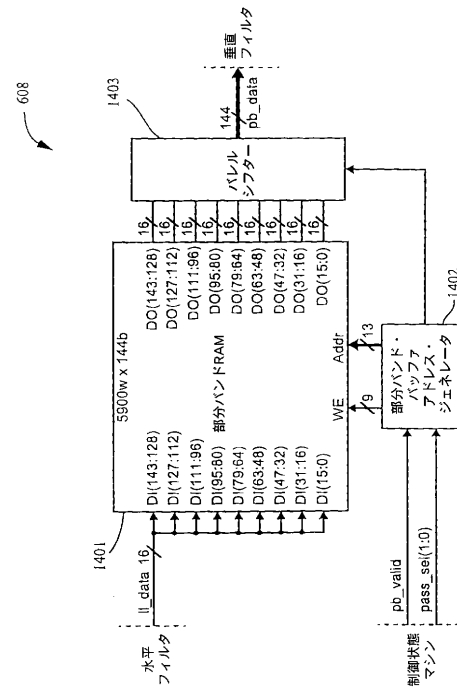
【図 1 2】



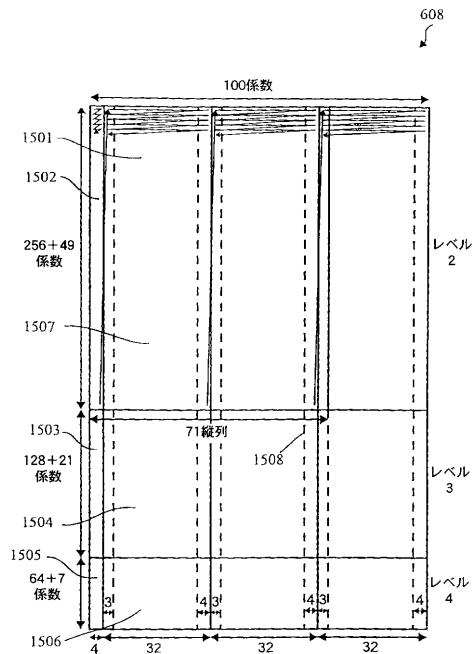
【図 1 3】



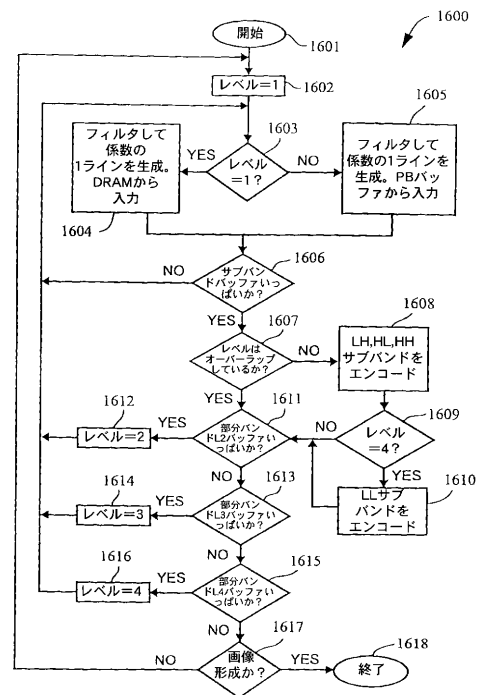
【図 1 4】



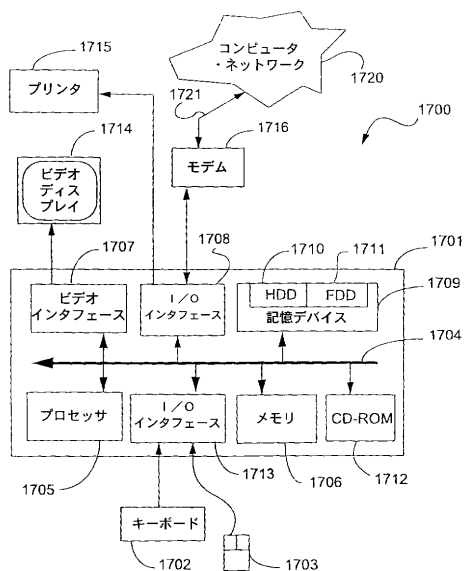
【 ㊦ 1 5 】



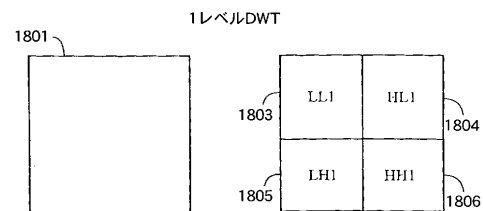
【 図 1 6 】



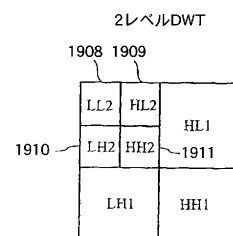
【 図 1 7 】



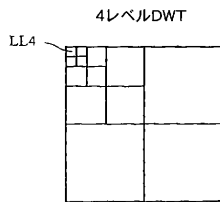
【 図 1 8 】



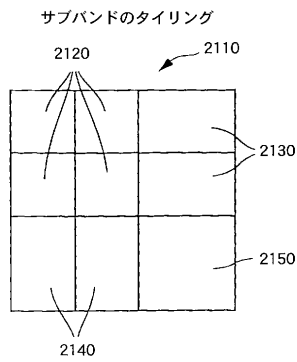
【 図 1 9 】



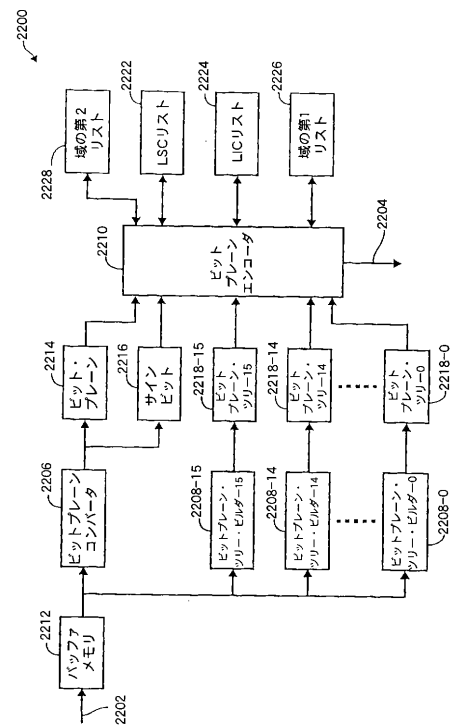
【 図 2 0 】



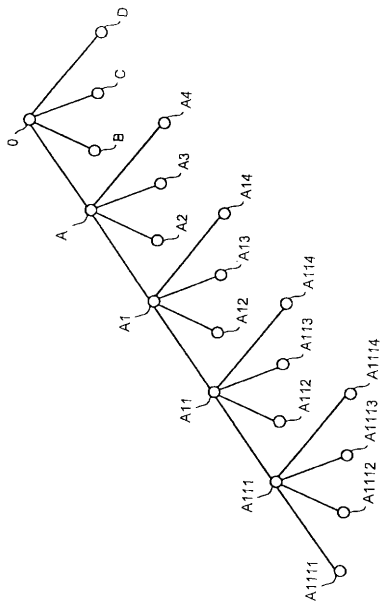
【 図 2 1 】



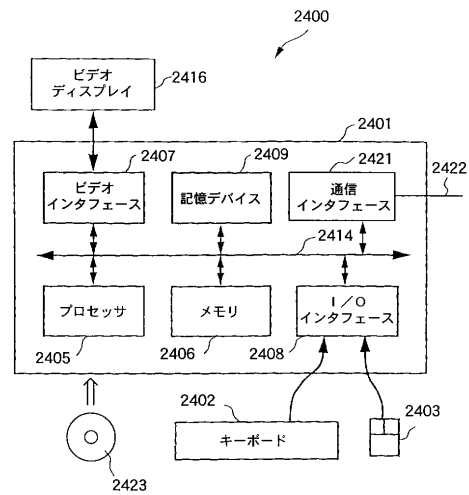
【 図 2 2 】



【圖 23】



【 図 2 4 】



フロントページの続き

- (72)発明者 ポール レイモンド ヒギンボトム
オーストラリア国 2 1 1 3 ニュー サウス ウェールズ州, ノース ライド, トーマス ホル
ト ドライブ 1 キヤノン インフォメーション システムズ リサーチ オーストラリア プ
ロプライエタリー リミテッド内
- (72)発明者 エリック マヤーニ
フランス国 レンヌ - アタラント, セデックス セッソン - セヴィニエ 3 5 5 1 7, リュ ドゥ
ラ トゥッシュ - ランペール キヤノン リサーチ センター フランス エス. エー. 内
- (72)発明者 ジェームス フィリップ アンドリュウ
オーストラリア国 2 1 1 3 ニュー サウス ウェールズ州, ノース ライド, トーマス ホル
ト ドライブ 1 キヤノン インフォメーション システムズ リサーチ オーストラリア プ
ロプライエタリー リミテッド内

審査官 堀井 啓明

- (56)参考文献 特開平 1 1 - 0 0 4 3 4 3 (J P , A)
特開平 1 0 - 3 3 6 6 5 9 (J P , A)

- (58)調査した分野(Int.Cl. , D B 名)
H04N1/41-1/419
H04N7/12-7/137