



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I608523 B

(45)公告日：中華民國 106 (2017) 年 12 月 11 日

(21)申請案號：102141276

(22)申請日：中華民國 102 (2013) 年 11 月 13 日

(51)Int. Cl. : H01L21/205 (2006.01)

H01L29/78 (2006.01)

(30)優先權：2013/07/19 日本

2013-150979

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201207942A

TW 201248783A

TW 20121216A

US 2012/0138922A1

US 2013/0087782A1

審查人員：盧呈豪

申請專利範圍項數：16 項 圖式數：19 共 100 頁

(54)名稱

氧化物半導體膜、氧化物半導體膜的製作方法及半導體裝置

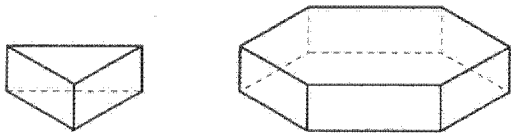
(57)摘要

本發明的一個方式的目的之一是提供一種結晶氧化物半導體膜以及使用該氧化物半導體膜的半導體裝置。本發明的一個方式是一種基板上的氧化物半導體膜，其中，氧化物半導體膜包括多個平板狀的粒子，多個該平板狀的粒子具有使用包含銻原子、鋅原子及氧原子的層夾住包含銦原子及氧原子的層的上下的結構，多個平板狀的粒子以不規則的方向配置，並且，在使用穿透式電子顯微鏡時觀察不到晶界。

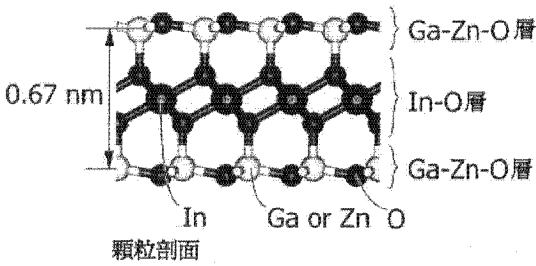
指定代表圖：

圖 1

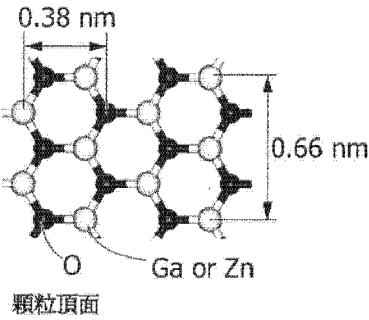
(A)



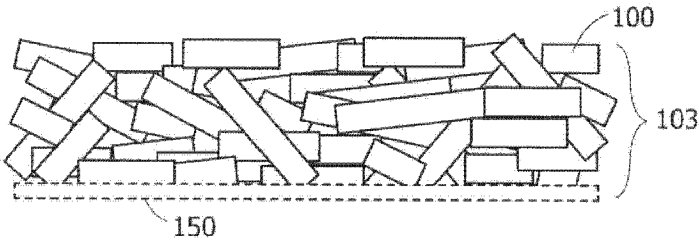
(B)



(C)



(D)



發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

氧化物半導體膜、氧化物半導體膜的製作方法及半導體裝置

【技術領域】

[0001] 本發明係關於一種物體、方法或製作方法。或者，本發明係關於一種程式(process)、機器(machine)、產品(manufacture)或者組成物(composition of matter)。尤其是，本發明係關於例如半導體膜、半導體裝置、顯示裝置、液晶顯示裝置、發光裝置、上述裝置的驅動方法或上述裝置的產生方法。

[0002] 注意，在本說明書中半導體裝置是指能夠藉由利用半導體特性而工作的所有裝置，因此電光裝置、顯示裝置、記憶體裝置、半導體電路以及電子裝置等有時包括在半導體裝置中，有時包括半導體裝置。

【先前技術】

[0003] 使用形成在具有絕緣表面的基板上的半導體膜構成電晶體的技術受到關注。該電晶體被廣泛地應用於如積體電路或顯示裝置等的半導體裝置。作為可用於電晶體的半導體膜，已知矽膜。

[0004] 關於用於電晶體的半導體膜的矽膜，根據用

途分別使用非晶矽膜或多晶矽膜。例如，當用於構成大型顯示裝置的電晶體時，較佳為使用已有在大面積基板上進行成膜的技術的非晶矽膜。另一方面，當用於構成一起形成有驅動電路的高功能的顯示裝置的電晶體時，較佳為使用能夠製作具有高場效移動率的電晶體的多晶矽膜。作為形成多晶矽膜的方法，已知藉由對非晶矽膜進行高溫下的加熱處理或進行雷射處理形成的方法。

[0005] 近年來氧化物半導體膜受到關注。例如，公開了一種使用非晶 In-Ga-Zn 氧化物膜的電晶體(參照專利文獻 1)。氧化物半導體膜可以利用濺射法等形成，所以可以用於構成大型的顯示裝置的電晶體的半導體膜。另外，使用氧化物半導體膜的電晶體具有高場效移動率，因而可以實現一起形成有驅動電路的高功能的顯示裝置。另外，因為可以改良使用非晶矽膜的電晶體的生產裝置的一部分而利用，所以在可以抑制設備投資的方面上也優勢。

[0006] 1985 年，報告了單晶 In-Ga-Zn 氧化物的合成(參照非專利文獻 1)。此外，報告了 In-Ga-Zn 氧化物具有同系結構並被記為 $\text{InGaO}_3(\text{ZnO})_m$ (m 是自然數)的組成式(參照非專利文獻 2)。

[0007] 此外，報告了具有與使用非晶 In-Ga-Zn 氧化物膜的電晶體相比較優良的電特性及可靠性的使用結晶 In-Ga-Zn 氧化物膜的電晶體(參照非專利文獻 3)。在此，報告了不能明確地確認具有 CAAC(C-Axis Aligned Crystal)的 In-Ga-Zn 氧化物膜的晶界。

[0008]

[專利文獻 1] 日本專利申請公開第 2006-165528 號公報

[0009]

[非專利文獻 1] N. Kimizuka, and T. Mohri: J.Solid State Chem. 60 (1985) 382.

[非專利文獻 2] N. Kimizuka, M. Isobe, and M. Nakamura: J. Solid State Chem. 116 (1995) 170.

[非專利文獻 3] S. Yamazaki, J. Koyama, Y. Yamamoto, and K. Okamoto: SID 2012 DIGEST 183.

【發明內容】

[0010] 本發明的一個方式的目的之一是提供一種結晶氧化物半導體膜。或者，本發明的一個方式的目的之一是提供一種結晶氧化物半導體膜的製作方法。

[0011] 本發明的一個方式的目的之一是提供一種能夠形成上述氧化物半導體膜的濺射靶材。

[0012] 本發明的一個方式的目的之一是提供一種上述濺射靶材的使用方法。

[0013] 本發明的一個方式的目的之一是提供一種使用氧化物半導體膜且具有穩定的電特性的電晶體。

[0014] 本發明的一個方式的目的之一是提供一種包括上述電晶體且可靠性高的半導體裝置。

[0015] 本發明的一個方式的目的之一是提供一種關

態電流(off-state current)低的半導體裝置。或者，本發明的一個方式的目的之一是提供一種耗電量低的半導體裝置。或者，本發明的一個方式的目的之一是提供一種新穎的半導體裝置。

[0016] 注意，這些目的的記載不妨礙其他目的的存在。此外，本發明的一個方式並不需要實現所有上述目的。另外，從說明書、圖式、申請專利範圍等的記載得知並可以抽出上述以外的目的。

[0017] 本發明的一個方式是一種基板上的氧化物半導體膜，其中，氧化物半導體膜包括多個平板狀的粒子，多個該平板狀的粒子具有使用包含銻原子、鋅原子及氧原子的層夾住包含銦原子及氧原子的層的上下的結構，多個平板狀的粒子以不規則的方向配置，並且，在使用穿透式電子顯微鏡時觀察不到晶界。

[0018] 較佳的是，平板狀的粒子的厚度為 0.5nm 以上且 0.9nm 以下，並且平面的圓當量直徑為 1nm 以上且 3nm 以下。此外，平板狀的粒子具有原子排列的秩序性。

[0019] 或者，本發明的一個方式是一種氧化物半導體膜的製作方法，包括如下步驟：藉由使離子碰撞到包含結晶 In-Ga-Zn 氧化物的靶材，使多個平板狀的粒子從該包含結晶 In-Ga-Zn 氧化物的靶材剝離，多個該平板狀的粒子具有使用包含銻原子、鋅原子及氧原子的層夾住包含銦原子及氧原子的層的上下的結構；以及將平板狀的粒子不規則地沉積在表面溫度為 15℃ 以上且 35℃ 以下的基板

上。

[0020] 較佳的是，包含在靶材中的結晶 In-Ga-Zn 氧化物的組成式為 InGaZnO_4 。

[0021] 或者，本發明的一個方式是一種電晶體，包括：閘極電極；接觸於閘極電極的閘極絕緣膜；以及隔著閘極絕緣膜與閘極電極相對的上述氧化物半導體膜中的任一個氧化物半導體膜。或者，本發明的一個方式是一種包括該電晶體的半導體裝置。

[0022] 本發明的一個方式可以提供一種結晶氧化物半導體膜。

[0023] 本發明的一個方式可以提供一種能夠形成上述氧化物半導體膜的濺射靶材。

[0024] 本發明的一個方式可以提供一種使用氧化物半導體膜且具有穩定的電特性的電晶體。

[0025] 本發明的一個方式可以提供一種包括上述電晶體且可靠性高的半導體裝置。

[0026] 本發明的一個方式可以提供一種關態電流低的半導體裝置。或者，本發明的一個方式可以提供一種耗電量低的半導體裝置。或者，本發明的一個方式可以提供一種新穎的半導體裝置。

【圖式簡單說明】

[0027]

在圖式中：

圖 1A 至圖 1D 是示出顆粒的圖；

圖 2 是示出根據本發明的一個方式的氧化物半導體膜的成膜方法的模型圖；

圖 3 是根據本發明的一個方式的靶材的剖面 HAADF-STEM 影像；

圖 4A 和圖 4B 是說明 InGaZnO_4 的結晶的圖；

圖 5A 和圖 5B 是示出非晶相似 OS 膜及 nc-OS 膜的 CPM 測量結果的圖；

圖 6 是示出 CAAC-OS 膜的 CPM 測量結果的圖；

圖 7A 至圖 7C 是 nc-OS 膜的高解析度平面 TEM 影像、高解析度平面 TEM 影像的傅立葉轉換影像以及高解析度平面 TEM 影像的傅立葉逆變換影像；

圖 8 是 nc-OS 膜的奈米束電子繞射圖案；

圖 9 是石英基板的奈米束電子繞射圖案；

圖 10 是減薄了幾 nm 的 nc-OS 膜的奈米束電子繞射圖案；

圖 11A 至圖 11C 是示出根據本發明的一個方式的電晶體的一個例子的俯視圖及剖面圖；

圖 12A 至圖 12C 是示出根據本發明的一個方式的電晶體的一部分的剖面圖；

圖 13A 至圖 13C 是示出根據本發明的一個方式的電晶體的一個例子的俯視圖及剖面圖；

圖 14A 至圖 14C 是示出根據本發明的一個方式的顯示裝置的一個例子的方塊圖及電路圖；

圖 15A 至圖 15C 是示出根據本發明的一個方式的顯示裝置的一個例子的俯視圖及剖面圖；

圖 16A 和圖 16B 是示出根據本發明的一個方式的半導體記憶體裝置的一個例子的電路圖及時序圖；

圖 17A 和圖 17B 是示出根據本發明的一個方式的半導體記憶體裝置的一個例子的方塊圖及電路圖；

圖 18A 至圖 18C 是示出根據本發明的一個方式的 CPU 的一個例子的方塊圖；

圖 19A 至圖 19C 是示出根據本發明的一個方式的半導體裝置的設置例子的圖。

【實施方式】

[0028] 參照圖式對本發明的實施方式進行詳細說明。但是，本發明不侷限於以下說明，所屬技術領域的普通技術人員可以很容易地理解一個事實，就是本發明的方式和詳細內容可以被變換為各種各樣的形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。注意，當利用圖式說明發明結構時，表示相同目標的元件符號在不同的圖式中共同使用。另外，有時使用相同的陰影圖案表示相同的部分，而不特別附加標記。

[0029] 注意，在圖式中，大小、膜(層)的厚度或區域有時為了明確起見而被誇大。

[0030] 注意，“電壓”大多是指某個電位與標準電位(例如，接地電位(GND)或源電位)之間的電位差。由

此，可以將電壓換稱為電位。

[0031] 注意，為方便起見，附加了第一、第二等序數詞，而其並不表示製程順序或疊層順序。此外，本說明書中的序數不表示用來特定發明的事項的固有名稱。

[0032] 注意，即使記載為“半導體”時，例如，當導電性充分低時，也有時具有作為“絕緣體”的特性。此外，有時“半導體”與“絕緣體”之間的界限模糊，不能嚴格地區別“半導體”與“絕緣體”。因此，有時可以將在本說明書中記載的“半導體”換稱為“絕緣體”。同樣地，有時可以將在本說明書中記載的“絕緣體”換稱為“半導體”。

[0033] 注意，即使記載為“半導體”時，例如，當導電性充分高時，也有時具有作為“導電體”的特性。此外，有時“半導體”與“導電體”之間的界限模糊，不能嚴格地區別“半導體”與“導電體”。因此，有時可以將在本說明書中記載的“半導體”換稱為“導電體”。同樣地，有時可以將在本說明書中記載的“導電體”換稱為“半導體”。

[0034] 此外，半導體層的雜質例如是指構成半導體層的主要成分以外的元素。例如，濃度小於 0.1atomic% 的元素是雜質。由於半導體層包含雜質，而例如有時導致半導體層中的 DOS(Density of State: 態密度)的形成、載子移動率的降低或結晶性的降低等。當半導體層是氧化物半導體層時，作為改變半導體層的特性的雜質，例如有第 1

族元素、第 2 族元素、第 14 族元素、第 15 族元素、主要成分以外的過渡金屬等。尤其是，例如有氫(也包含水)、鋰、鈉、矽、硼、磷、碳、氮等。當採用氧化物半導體時，例如由於氫等雜質混入，而有可能形成氧缺陷。當半導體層是矽層時，作為改變半導體層的特性的雜質，例如有氧、除了氫以外的第 1 族元素、第 2 族元素、第 13 族元素、第 15 族元素等。

[0035] 在本說明書中，“平行”是指在 -10° 以上且 10° 以下的角度的範圍中配置兩條直線的狀態。因此也包括該角度為 -5° 以上且 5° 以下的狀態。另外，“垂直”是指在 80° 以上且 100° 以下的角度的範圍中配置兩條直線的狀態。因此也包括該角度為 85° 以上且 95° 以下的狀態。

[0036] 另外，在本說明書中，在結晶為三方晶系或菱方晶系的情況下，記為六方晶系。

[0037]

〈氧化物半導體膜的結構〉

下面，對可用於電晶體的半導體膜的氧化物半導體膜的結構進行說明。

[0038] 氧化物半導體膜大致分為非單晶氧化物半導體膜和單晶氧化物半導體膜。非單晶氧化物半導體膜是指 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor，即 C 軸配向結晶氧化物半導體)膜、多晶氧化物半導體膜、微晶氧化物半導體膜以及非晶氧化物半導體膜等。

[0039] 首先，說明 CAAC-OS 膜。

[0040] CAAC-OS 膜是包含多個 c 軸配向的結晶部的氧化物半導體膜之一。

[0041] 在利用穿透式電子顯微鏡 (TEM : Transmission Electron Microscope) 觀察 CAAC-OS 膜時，觀察不到結晶部與結晶部之間的明確的邊界，即晶界 (grain boundary)。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子移動率的降低。

[0042] CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，與氧的鍵合力比構成氧化物半導體膜的金屬元素強的矽等元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑(或分子半徑)大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。此外，包含在氧化物半導體膜中的雜質有時成為載子陷阱或載子發生源。

[0043] 另外，CAAC-OS 膜是缺陷能階密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時成為載子陷阱，或因俘獲氫而成為載子發生源。

[0044] 將雜質濃度低且缺陷能階密度低(氧缺陷少)的狀態稱為“高純度本質”或“實質上高純度本質”。在高純度本質或實質上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半

導體膜的電晶體很少具有負臨界電壓的電特性(也稱為常導通)。此外，在高純度本質或實質上高純度本質的氧化物半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠性高的電晶體。注意，被氧化物半導體膜的載子陷阱俘獲的電荷直到被釋放需要的時間長，有時像固定電荷那樣動作。所以，採用雜質濃度高且缺陷能階密度高的氧化物半導體膜的電晶體有時電特性不穩定。

[0045] 另外，在使用 CAAC-OS 膜的電晶體中，起因於可見光或紫外光的照射的電特性的變動小。

[0046] 接下來，說明多晶氧化物半導體膜。

[0047] 在使用 TEM 觀察的多晶氧化物半導體膜的影像中，可以觀察到晶粒。另外，在使用 TEM 觀察的多晶氧化物半導體膜的影像中，有時觀察到晶界。

[0048] 由於多晶氧化物半導體膜具有高結晶性，因此有時具有高電子移動率。所以，使用多晶氧化物半導體膜的電晶體具有高場效移動率。注意，在多晶氧化物半導體膜中，雜質有時偏析在晶界。另外，多晶氧化物半導體膜的晶界成為缺陷能階。多晶氧化物半導體膜的晶界有可能成為載子陷阱或載子發生源，因此，與使用 CAAC-OS 膜的電晶體相比，有時使用多晶氧化物半導體膜的電晶體的電特性變動大，而成為可靠性低的電晶體。

[0049] 接下來，說明微晶氧化物半導體膜。

[0050] 在使用 TEM 觀察的微晶氧化物半導體膜的影

像中，有時無法明確地確認到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶 (nc:nanocrystal) 的氧化物半導體膜稱為 nc-OS(nanocrystalline Oxide Semiconductor)膜。另外，例如在使用 TEM 觀察 nc-OS 膜時，有時無法明確地確認到晶界。

[0051] nc-OS 膜在微小區域(例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域)中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，當利用使用直徑比結晶部大的 X 射線的 XRD 裝置對 nc-OS 膜進行結構分析時，在利用 out-of-plane 法的分析中，檢測不出顯示結晶面的峰值。此外，在對 nc-OS 膜使用其束徑比結晶部大(例如，50nm 以上)的電子射線取得電子繞射圖案(也稱為選區電子繞射圖案)時，觀察到類似光暈圖案。另一方面，在使用其束徑近於結晶部的尺寸或者比結晶部小(例如，1nm 以上且 30nm 以下)的電子射線取得 nc-OS 膜的電子繞射圖案(也稱為奈米束電子繞射圖案)時，觀察到斑點。另外，在取得 nc-OS 膜的奈米束電子繞射圖案時，有時觀察到如圓圈那樣的(環狀的)亮度高的區域。而且，在取得 nc-OS

膜的奈米束電子繞射圖案時，有時還觀察到環狀的區域內的多個斑點。

[0052] nc-OS 膜是比非晶氧化物半導體膜規律性高的氧化物半導體膜。因此，nc-OS 膜的缺陷能階密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。所以，nc-OS 膜的缺陷能階密度比 CAAC-OS 膜高。

[0053] 因此，與 CAAC-OS 膜相比，有時 nc-OS 膜的載子密度較高。載子密度較高的氧化物半導體膜有時電子移動率較高。因此，使用 nc-OS 膜的電晶體有時具有較高的場效移動率。

[0054] 另一方面，與使用非晶氧化物半導體膜的電晶體相比，使用 nc-OS 膜的電晶體的電特性變動小，而成為可靠性高的電晶體。另外，因為 nc-OS 膜即使包含較多量的雜質也可以形成，所以 nc-OS 膜比 CAAC-OS 膜更容易形成，有時可以根據用途適當地使用。因此，有時生產率較高地製作具有使用 nc-OS 膜的電晶體的半導體裝置。

[0055] 接著，對非晶氧化物半導體膜進行說明。

[0056] 非晶氧化物半導體膜是具有無序的原子排列並不具有結晶部的氧化物半導體膜。其一個例子為具有如石英那樣的無定形狀態的氧化物半導體膜。

[0057] 在使用 TEM 觀察的非晶氧化物半導體膜的影像中，觀察不到結晶部。

[0058] 非晶氧化物半導體膜是以高濃度包含氫等雜

質的氧化物半導體膜。此外，非晶氧化物半導體膜是缺陷能階較高的氧化物半導體膜。

[0059] 雜質濃度高且缺陷能階密度高的氧化物半導體膜是載子陷阱或載子發生源多的氧化物半導體膜。

[0060] 因此，有時非晶氧化物半導體膜與 nc-OS 膜相比，載子密度更高。由此，使用非晶氧化物半導體膜的電晶體容易具有常導通電特性。因此，有時可以適當地將非晶氧化物半導體膜用於需要常導通電特性的電晶體。非晶氧化物半導體膜具有高的缺陷能階密度，因此有時具有多載子陷阱。因此，與使用 CAAC-OS 膜或 nc-OS 膜的電晶體相比，使用非晶氧化物半導體膜的電晶體的電特性變動大，而成為可靠性低的電晶體。

[0061] 接著，對單晶氧化物半導體膜進行說明。

[0062] 單晶氧化物半導體膜是具有低雜質濃度和低的缺陷能階密度(氧缺陷少)的氧化物半導體膜。由此，可以降低載子密度。因此，使用單晶氧化物半導體膜的電晶體很少具有常導通電特性。另外，由於單晶氧化物半導體膜具有低雜質濃度和低的缺陷能階密度，因此有時具有很少的載子陷阱。由此，使用單晶氧化物半導體膜的電晶體的電特性變動小，而成為可靠性高的電晶體。

[0063] 此外，氧化物半導體膜的缺陷越少其密度越高。此外，氧化物半導體膜的結晶性越高其密度越高。另外，當氧化物半導體膜中的氫等雜質的濃度越低其密度越高。單晶氧化物半導體膜具有比 CAAC-OS 膜高的密度。

另外，CAAC-OS 膜具有比微晶氧化物半導體膜高的密度。另外，多晶氧化物半導體膜具有比微晶氧化物半導體膜高的密度。另外，微晶氧化物半導體膜具有比非晶氧化物半導體膜高的密度。

[0064] 如上所述，可以知道氧化物半導體膜具有各種結構。各結構分別具有不同優點，由此較佳為根據用途使用具有最適合的結構的氧化物半導體膜。

[0065]

〈nc-OS 膜的成膜模型〉

下面，對作為根據本發明的一個方式的結晶氧化物半導體膜的 nc-OS 膜進行說明。

[0066] nc-OS 膜可以利用結晶中的劈開面形成。下面，對利用濺射法形成的 nc-OS 膜的成膜模型進行說明。

[0067] 圖 2 是示出藉由濺射法形成 nc-OS 膜的情況的成膜室中的模式圖。

[0068] 靶材 180 黏合到底板 160 上。靶材 180 及底板 160 下配置有磁鐵 170a、磁鐵 170b 及磁鐵 170c。由磁鐵 170a、磁鐵 170b 及磁鐵 170c 在靶材 180 上產生有以磁力線 190 表示的磁場。注意，雖然將磁鐵 170a 及磁鐵 170c 的 S 極設置在底板 160 一側，將磁鐵 170b 的 N 極設置在底板 160 一側，但是不侷限於此。例如，也可以將磁鐵 170a 及磁鐵 170c 的 N 極設置在底板 160 一側，將磁鐵 170b 的 S 極設置在底板 160 一側。

[0069] 靶材 180 具有劈開面 185。雖然在靶材 180 中

存在有多個劈開面 185，但是在此爲了方便起見示出只有一個劈開面 185。

[0070] 以與靶材 180 相對的方式配置有基板 150。在成膜室中幾乎充滿著成膜氣體(例如，氧、氬或以 50 體積 % 以上的比例包含氧的混合氣體)，且被控制爲低壓(0.1Pa 至 10Pa 左右)。在此，藉由對靶材 180 施加一定程度以上的電壓，開始放電且確認到電漿。另外，由於靶材 180 上的磁場而區域 130 成爲高密度電漿區域。在區域 130 中，因成膜氣體的離子化而形成離子 120。離子 120 例如是氧的陽離子(O^+)或氬的陽離子(Ar^+)等。

[0071] 離子 120 由電場向靶材 180 一側加速而碰撞到靶材 180。此時，平板狀(顆粒狀)的濺射粒子的顆粒 100 從上述劈開面剝離，然後被打出來。

[0072] 顆粒 100 的平面形狀有時成爲三角形(正三角形)，有時成爲組合兩個以上且六個以下的三角形而成的形狀。例如，組合兩個三角形(正三角形)而成的形狀成爲四角形(菱形)，組合六個三角形(正三角形)而成的形狀成爲六角形(正六角形)。在圖 2 中，作爲顆粒 100 的典型的形狀，示出具有正三角形的平面的形狀、具有菱形的平面的形狀、具有排列兩個菱形的平面的形狀以及具有正六角形的平面的形狀。

[0073] 因在穿過區域 130 中時從電漿受到電荷而有時顆粒 100 的端部帶負電或帶正電。圖 2 示出顆粒 100 具有正六角形的平面的形狀的情況以及顆粒 100 具有正三角

形的平面的形狀的情況的放大圖。如放大圖所示，顆粒 100 的端部用氧端接，且該氧可能帶負電。因顆粒 100 的端部帶相同極性的電荷而電荷互相排斥，從而可以維持平板形狀。

[0074] 以下示出設想直到被彈出的顆粒 100 到達基板 150 為止的動作的例子。例如，顆粒 100 在電漿中筆直地飛散。顆粒 100 層疊在基板 150 上，由此可以得到 nc-OS 膜。在基板 150 的表面溫度充分低的情況下，顆粒 100 幾乎不發生遷移而以不規則的方向沉積在基板 150 上。將基板 150 的表面溫度例如設定為室溫(15℃以上且 35℃以下左右)，即可。

[0075] 如此，nc-OS 膜的形成不需要雷射晶化，所以在大面積的玻璃基板等上也可以均勻地進行成膜。此外，由於在基板 150 的表面溫度為室溫的情況下也可以形成 nc-OS 膜，所以不需要基板加熱機構。因此，可以廉價地製作。

[0076] 此外，可以認為：雖然當離子 120 碰撞到靶材 180 時，有可能除了顆粒 100 之外構成靶材的原子還被濺射，但是原子的質量比顆粒 100 非常小而該原子藉由真空泵排氣到成膜室的外部。

[0077] 另外，靶材 180 較佳為包含一定量以上的銦。如上所述，顆粒 100 具有將 In-O 層夾在 Ga-Zn-O 層等之間的形狀。就是說，In-O 層具有顆粒 100 的芯的功能。因此，在沒有 In-O 層的情況下，顆粒 100 難以維持

其形狀，有時成爲成膜顆粒(成膜灰塵)。例如，整個靶材 180 所包含的銦的比率爲 1 原子%以上、較佳爲 2 原子%以上、更佳爲 5 原子%以上，進一步較佳爲 10 原子%以上，即可。

[0078] 當作爲電晶體的半導體膜使用 nc-OS 膜時，假設靶材 180 中的金屬元素的原子個數比爲 $\text{In:Ga:Zn}=x_1:y_1:z_1$ 時， x_1/y_1 較佳爲 1/3 以上且 6 以下，更佳爲 1 以上且 6 以下， z_1/y_1 較佳爲 1/3 以上且 6 以下，更佳爲 1 以上且 6 以下。注意，藉由使 z_1/y_1 爲 1 以上且 6 以下，可以使 nc-OS 膜容易形成。作爲包含在靶材中的金屬元素的原子個數比，例如可以有 $\text{In:Ga:Zn}=1:1:1$ 、 $\text{In:Ga:Zn}=3:1:2$ 或 $\text{In:Ga:Zn}=5:5:6$ 等。

[0079] 或者，當作爲保護電晶體的半導體膜的氧化物半導體膜使用 nc-OS 膜時，假設靶材 180 中的金屬元素的原子個數比爲 $\text{In:Ga:Zn}=x_2:y_2:z_2$ 時，較佳 $x_2/y_2 < x_1/y_1$ ，且 z_2/y_2 較佳爲 1/3 以上且 6 以下，更佳爲 1 以上且 6 以下。注意，藉由使 z_2/y_2 爲 1 以上且 6 以下，可以使 nc-OS 膜容易形成。作爲包含在靶材中的金屬元素的原子個數比，例如可以有 $\text{In:Ga:Zn}=1:3:2$ 、 $\text{In:Ga:Zn}=1:3:3$ 、 $\text{In:Ga:Zn}=1:3:4$ 、 $\text{In:Ga:Zn}=1:3:6$ 、 $\text{In:Ga:Zn}=1:3:8$ 或 $\text{In:Ga:Zn}=1:6:4$ 等。

[0080] 另外，靶材 180 較佳爲具有高結晶性。

[0081] 根據如上所述的成膜模型，可以得到 nc-OS 膜。

[0082]

〈顆粒的生成〉

下面，對從具有高結晶性的靶材剝離顆粒的方法進行說明。

[0083] 圖 3 示出具有結晶性的 In-Ga-Zn 氧化物的靶材的剖面的原子排列。利用高角度環形暗場-掃描透射電子顯微法(HAADF-STEM: High-Angle Annular Dark Field Scanning Transmission Electron Microscopy)觀察原子排列。另外，在 HAADF-STEM 中，各原子的影像的濃淡與原子序數的平方成比例。因此，原子序數接近的 Zn(原子序數為 30)和 Ga(原子序數為 31)幾乎不能區別。至於 HAADF-STEM，使用日立掃描透過電子顯微鏡 HD-2700。

[0084] 從圖 3 可知，靶材具有層狀的原子排列。

[0085] 首先，參照圖 4A 和圖 4B 說明靶材的劈開面。圖 4A 和圖 4B 示出靶材所包含的 InGaZnO_4 的結晶的結構。圖 4A 示出將 c 軸朝向上面並從平行於 b 軸的方向觀察 InGaZnO_4 的結晶時的結構。圖 4B 是從平行於 c 軸的方向觀察 InGaZnO_4 的結晶時的結構。

[0086] 藉由第一原理計算算出 InGaZnO_4 的結晶的各結晶面的劈開所需要的能量。注意，至於計算，採用使用層勢和平面波基底的密度泛函程式(CASTEP)。注意，作為層勢使用超軟型層勢。此外，作為泛函使用 GGA PBE。另外，將截止能量設定為 400eV。

[0087] 在進行包括單元尺寸的結構最適化之後導出

初始狀態下的結構能量。此外，在以固定單元尺寸的狀態進行原子配置的結構最適化之後，導出各表面上的劈開之後的結構的能量。

[0088] 根據圖 4A 和圖 4B 所示的 InGaZnO_4 的結晶的結構，製作在第一面、第二面、第三面和第四面中的任一個上劈開的結構並進行固定單元尺寸的結構最適化計算。在此，第一面是 Ga-Zn-O 層和 In-O 層之間的結晶面，且是平行於(001)面(或 ab 面)的結晶面(參照圖 4A)。第二面是 Ga-Zn-O 層和 Ga-Zn-O 層之間的結晶面，且是平行於(001)面(或 ab 面)的結晶面(參照圖 4A)。第三面是平行於(110)面的結晶面(參照圖 4B)。第四面是平行於(100)面(或 bc 面)的結晶面(參照圖 4B)。

[0089] 以上述條件算出在各表面上劈開之後的結構的能量。接著，藉由劈開之後的結構的能量和初始狀態下的結構的能量之間的差除以劈開面的面積，算出各表面的劈開容易性的標準的劈開能量。另外，結構的能量是對於結構所包括的原子和電子考慮到電子的運動能以及原子之間、原子-電子之間和電子之間的互相作用的能量。

[0090] 由計算的結果可知，第一面的劈開能量為 2.60J/m^2 ，第二面的劈開能量為 0.68J/m^2 ，第三面的劈開能量為 2.18J/m^2 ，第四面的劈開能量為 2.12J/m^2 (參照表 1)。

[0091]

[表 1]

	劈開能量[J/m ²]
第一面	2.60
第二面	0.68
第三面	2.18
第四面	2.12

[0092] 由上述計算可知，在圖 4A 和圖 4B 所示的 InGaZnO₄ 的結晶的結構中第二面的劈開能量最低。也就是說，可知 Ga-Zn-O 層和 Ga-Zn-O 層之間是最容易劈開的面(劈開面)。因此，在本說明書中表示的劈開面是指作為最容易劈開的面的第二面。

[0093] 因為 Ga-Zn-O 層和 Ga-Zn-O 層之間的第二面具有劈開面，所以可以在兩個與第二面相等的面分開圖 4A 所示的 InGaZnO₄ 的結晶。因此，可以認為 InGaZnO₄ 的結晶的最小單位是由兩個 Ga-Zn-O 層及其上下被 Ga-Zn-O 層夾住的 In-O 層構成。顆粒具有由兩個劈開面分離的結構。由此，也可以將顆粒稱為劈開單元(Cleavage unit)。

[0094] 由此可知，藉由對包括具有同系結構(homologous structure)的 InGaZnO₄ 的結晶的靶材進行濺射，從劈開面剝離而形成顆粒。

[0095] 圖 1A 示出具有三角形或六角形的平面的柱狀顆粒。此時根據形成有劈開面的位置，可以將顆粒的厚度估計為 0.7nm 左右(更明確而言，0.67nm)(參照圖 1B)。圖

1C 示出從頂面看顆粒時的原子排列。

[0096] 圖 1D 是不規則地沉積在基板 150 上的顆粒 100 所形成的 nc-OS 膜 103 的剖面模式圖。由於顆粒 100 不規則地沉積在 nc-OS 膜 103 中，所以在膜整體中觀察不到配向性，但是顆粒 100 在其內部具有圖 1B 及圖 1C 所示的層狀結晶結構。就是說，可知 nc-OS 膜 103 在顆粒 100 內具有配向性。非晶氧化物半導體膜即使具有短距離秩序性也沒有配向，由此可以認為 nc-OS 膜 103 與非晶氧化物半導體膜具有明顯不同的結構。

[0097] 在此，說明根據 In-Ga-Zn 氧化物膜的結構的差異而發生的氧缺陷形成的容易性的差異。In-Ga-Zn 氧化物膜中的氧缺陷有時成為載子陷阱，或因俘獲氫而成為載子發生源。因此，為了得到具有穩定的物性的 In-Ga-Zn 氧化物膜，減少氧缺陷是重要的。

[0098] 以下說明藉由 CPM(Constant photocurrent method：恆定光電流測量法)測量對起因於氧化物半導體膜的氧缺陷的局域能階進行評價而得到的結果。

[0099] 測量樣本包括設置在玻璃基板上的氧化物半導體膜、與該氧化物半導體膜接觸的一對電極以及覆蓋氧化物半導體膜及一對電極的絕緣膜。此外，作為氧化物半導體膜，準備非晶相似氧化物半導體膜、nc-OS 膜及 CAAC-OS 膜。非晶相似氧化物半導體膜是指具有與非晶氧化物半導體膜類似的結構的氧化物半導體膜。

[0100] 在 CPM 測量中，對與氧化物半導體膜接觸地

設置的一對電極之間施加電壓，並在此狀態下調整照射到端子之間的測量樣本表面的光量以固定光電流值，且在所希望的波長的範圍中從照射光量求出吸光係數。

[0101] 圖 5A 至圖 6 示出去除起因於帶尾(bandtail)的吸光係數的吸光係數。在圖 5A 至圖 6 中，橫軸表示吸光係數，縱軸表示光能。另外，在圖 5A 至圖 6 的縱軸中，以氧化物半導體膜的導帶底為 0eV ，且以價帶頂為 3.15eV 。另外，在圖 5A 至圖 6 中，各曲線是表示吸光係數與光能的關係的曲線。

[0102] 圖 5A 示出包括非晶相似氧化物半導體膜的測量樣本的測量結果，其中起因於氧缺陷的吸光係數為 $5.28 \times 10^{-1} \text{cm}^{-1}$ 。圖 5B 示出包括 nc-OS 膜的測量樣本的測量結果，其中起因於氧缺陷的吸光係數為 $1.75 \times 10^{-2} \text{cm}^{-1}$ 。圖 6 示出包括 CAAC-OS 膜的測量樣本的測量結果，其中起因於氧缺陷的吸光係數為 $5.86 \times 10^{-4} \text{cm}^{-1}$ 。就是說，可以認為 CAAC-OS 膜的氧缺陷最少，nc-OS 膜的氧缺陷僅次於 CAAC-OS 膜少，非晶相似氧化物半導體膜的氧缺陷最多。

[0103] 可以認為氧缺陷的數量起因於原子排列的秩序性的程度。換言之，可以認為由於非晶相似氧化物半導體膜具有無序的原子排列，所以容易產生氧缺陷。另外，可以認為由於 CAAC-OS 膜的秩序性高，所以不容易產生氧缺陷。此外，nc-OS 膜在顆粒的內部具有高秩序性，但是在膜整體中無序地配向，所以可以認為 nc-OS 膜的氧缺

陷的數量為非晶相似氧化物半導體膜與 CAAC-OS 膜的中間值。

[0104] 另外，從鍵能的角度來看，在 In-Ga-Zn 氧化物膜中與銦鍵合的氧最容易脫離。如上所述，一個顆粒具有 In-O 層的上下被 Ga-Zn-O 層夾住的形狀(如維夫餅乾或三明治那樣的形狀)。由此可知，使用顆粒構成的 nc-OS 膜具有與銦鍵合的氧不容易脫離，即在其內部不容易產生氧缺陷的結構。

[0105] 此外，因為在成膜時的基板表面溫度為室溫的情況下也可以形成 nc-OS 膜，所以可以認為 nc-OS 膜在生產率方面上也是優越的氧化物半導體膜。

[0106]

〈nc-OS 膜的物性〉

以下說明藉由上述方法形成的 nc-OS 膜的物性。注意，例示出 nc-OS 膜為 In-Ga-Zn 氧化物膜的情況。

[0107] 圖 7A 是利用平面 TEM 觀察到的 nc-OS 膜的亮視場像及繞射圖案的複合分析影像(也稱為高解析度平面 TEM 影像)。在高解析度平面 TEM 影像中觀察不到 nc-OS 膜中的明確的結晶性。注意，在觀察高解析度平面 TEM 影像時使用日立穿透式電子顯微鏡 H-9000NAR，加速電壓為 300kV。

[0108] 再者，為了對原子排列的週期性進行評價，在圖 7A 所示的虛線圍繞部中進行傅立葉轉換處理，得到高解析度平面 TEM 影像的傅立葉轉換影像(參照圖 7B)。

在高解析度平面 TEM 影像的傅立葉轉換影像中也觀察不到明確的結晶性。

[0109] 接著，爲了使原子排列的週期性強調，以僅保持強度高的區域的資訊的方式對高解析度平面 TEM 影像的傅立葉轉換影像進行遮罩處理，並且藉由進行傅立葉逆變換處理來得到高解析度平面 TEM 影像的傅立葉逆變換影像(參照圖 7C)。其結果是，在 1nm 至 3nm 左右的微小範圍中可以觀察到原子排列的週期性。就是說，在 nc-OS 膜中有可能存在 1nm 至 3nm 左右的結晶區。

[0110] 對圖 7A 至圖 7C 所示的 nc-OS 膜進行薄片化來形成厚度爲 50nm 左右的樣本 A，並且對該樣本 A 從剖面一側取得電子繞射圖案。注意，電子繞射使用電子線的束徑爲 30nm、20nm、10nm 或 1nm 的奈米束。將使用奈米束得到的電子繞射圖案稱爲奈米束電子繞射圖案。注意，奈米束電子繞射圖案以使用日立電場放出型穿透式電子顯微鏡 HF-2000，加速電壓爲 200kV，相機長度爲 400mm 的條件取得。另外，作爲拍攝媒體使用膠片。

[0111] 從圖 8 可知，在樣本 A 中觀察到具有環狀繞射圖案的奈米束電子繞射圖案。在對該環狀繞射圖案詳細地進行觀察時確認到斑點。束徑越小，該斑點越增加。

[0112] 爲了進行比較，在處於無定形狀態的石英的束徑爲 1nm 的奈米束電子繞射圖案中觀察到圖 9 所示的光暈圖案。由此可以說奈米束電子繞射圖案具有斑點是樣本 A 爲 nc-OS 膜的證據。

[0113] 爲了進行更詳細的結構分析，對 nc-OS 膜進行薄片化來形成厚度爲幾 nm(5nm 以上且 10nm 以下左右)的樣本 B，並且對該樣本 B 從剖面一側入射束徑爲 1nm 的電子線，取得奈米束電子繞射圖案。其結果，得到圖 10 所示的具有表示結晶性的斑點的電子繞射圖案。

[0114] 在圖 10 中，在樣本 B 中觀察到表示結晶性的繞射圖案，但是觀察不到特定方向上的晶面的配向性。

[0115] 如上所述，雖然有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別，但是藉由嚴密地進行分析來可以區別 nc-OS 膜與非晶氧化物半導體膜。此外，可以知道 nc-OS 膜在微小的區域中具有原子排列的週期性。由此可知，nc-OS 膜是其規律性比非晶氧化物半導體膜高的氧化物半導體膜。

[0116]

〈nc-OS 膜的應用〉

上述 nc-OS 膜例如可以用作電晶體的半導體膜等。

[0117]

〈使用 nc-OS 膜的電晶體〉

以下說明根據本發明的一個方式的電晶體的結構及製作方法。

[0118]

〈電晶體結構(1)〉

首先，對頂閘極頂接觸型電晶體的一個例子進行說明。

[0119] 圖 11A 至圖 11C 為電晶體的俯視圖及剖面圖。圖 11A 示出電晶體的俯視圖。圖 11B1 及圖 11B2 示出圖 11A 的對應於點劃線 A1-A2 的剖面圖。另外，圖 11C 示出對應於圖 11A 中的點劃線 A3-A4 的剖面圖。

[0120] 圖 11B1 及圖 11B2 所示的電晶體包括：基板 200 上的基底絕緣膜 202；基底絕緣膜 202 上的氧化物半導體膜 206；氧化物半導體膜 206 上的源極電極 216a 及汲極電極 216b；氧化物半導體膜 206、源極電極 216a 以及汲極電極 216b 上的閘極絕緣膜 212；閘極絕緣膜 212 上的閘極電極 204。此外，較佳的是，還包括：源極電極 216a、汲極電極 216b、閘極絕緣膜 212 及閘極電極 204 上的保護絕緣膜 218；保護絕緣膜 218 上的佈線 226a 及佈線 226b。另外，閘極絕緣膜 212 及保護絕緣膜 218 具有分別到達源極電極 216a 及汲極電極 216b 的開口部，佈線 226a 及佈線 226b 藉由該開口部分別接觸於源極電極 216a 及汲極電極 216b。另外，有時電晶體也可以不具有基底絕緣膜 202。

[0121] 在俯視圖的圖 2A 中，在氧化物半導體膜 206 重疊於閘極電極 204 的區域中，將源極電極 216a 和汲極電極 216b 之間的間隔稱為通道長度。另外，在氧化物半導體膜 206 重疊於閘極電極 204 的區域中，將連接源極電極 216a 與汲極電極 216b 的中間地點的線的長度稱為通道寬度。此外，通道形成區是指氧化物半導體膜 206 中的重疊於閘極電極 204 並且夾在源極電極 216a 和汲極電極

216b 的區域。另外，通道是指氧化物半導體膜 206 中的電流主要流動的區域。

[0122] 另外，如圖 2A 的俯視圖所示，閘極電極 204 以其內側包括氧化物半導體膜 206 的方式設置。由此，當光從閘極電極 204 一側入射時，可以抑制因光而在氧化物半導體膜 206 中產生載子。換言之，閘極電極 204 具有遮光膜的功能。注意，氧化物半導體膜 206 的端部也可以設置在閘極電極 204 的端部的外側。

[0123] 下面，對氧化物半導體膜 206 進行說明。氧化物半導體膜 206 可以應用上述 nc-OS 膜。

[0124] 氧化物半導體膜 206 為包含銦的氧化物。氧化物例如在包含銦的情況下具有高載子移動率(電子移動率)。另外，氧化物半導體膜 206 較佳為包含元素 M。作為元素 M 例如有鋁、鎵、鉍或錫等。例如，元素 M 是與氧之間的鍵能高的元素。元素 M 例如是增大氧化物的能隙的元素。此外，氧化物半導體膜 206 較佳為包含鋅。例如，氧化物在包含鋅時容易被晶化。氧化物的價帶頂的能量例如可以由鋅的原子個數比控制。

[0125] 注意，氧化物半導體膜 206 不侷限於包含銦的氧化物。氧化物半導體膜 206 例如也可以為 Zn-Sn 氧化物、Ga-Sn 氧化物。

[0126] 在氧化物半導體膜 206 的通道形成區中，在其上下部也可以包括第一氧化物半導體膜及第二氧化物半導體膜。注意，第二氧化物半導體膜設置在氧化物半導體

膜 206 與閘極絕緣膜 212 之間。

[0127] 第一氧化物半導體膜是由一種或多種構成氧化物半導體膜 206 的除了氧以外的元素構成的氧化物半導體膜。由於第一氧化物半導體膜由一種或多種構成氧化物半導體膜 206 的除了氧以外的元素構成，因此在氧化物半導體膜 206 與第一氧化物半導體膜之間的介面不容易形成介面態。

[0128] 第二氧化物半導體膜是由一種或多種構成氧化物半導體膜 206 的除了氧以外的元素構成的氧化物半導體膜。由於第二氧化物半導體膜由一種或多種構成氧化物半導體膜 206 的除了氧以外的元素構成，因此在氧化物半導體膜 206 與第二氧化物半導體膜之間的介面不容易形成介面態。

[0129] 另外，在第一氧化物半導體膜為 In-M-Zn 氧化物的情況下的 In 和 M 的原子個數百分比中，較佳的是，In 的比率低於 50atomic%，M 的比率為 50atomic%以上，更佳的是，In 的比率低於 25atomic%，M 的比率為 75atomic%以上。另外，在氧化物半導體膜 206 為 In-M-Zn 氧化物的情況下的 In 和 M 的原子個數百分比中，較佳的是，In 的比率為 25atomic%以上，M 的比率低於 75atomic%，更佳的是，In 的比率為 34atomic%以上，M 的比率低於 66atomic%。另外，在第二氧化物半導體膜為 In-M-Zn 氧化物的情況下的 In 和 M 的原子個數百分比中，較佳的是，In 的比率低於 50atomic%，M 的比率為

50atomic%以上，更佳的是，In 的比率低於 25atomic%，M 的比率為 75atomic%以上。注意，第二氧化物半導體膜也可以使用與第一氧化物半導體膜相同種類的氧化物。

[0130] 在此，在第一氧化物半導體膜與氧化物半導體膜 206 之間有時形成有第一氧化物半導體膜和氧化物半導體膜 206 的混合區。另外，在氧化物半導體膜 206 與第二氧化物半導體膜之間有時形成有氧化物半導體膜 206 和第二氧化物半導體膜的混合區。混合區的介面態密度較低。因此，在第一氧化物半導體膜、氧化物半導體膜 206 以及第二氧化物半導體膜的疊層體具有各層之間的介面附近的能量連續地變化(也稱為連接結合)的能帶結構。

[0131] 另外，氧化物半導體膜 206 使用能隙寬的氧化物。氧化物半導體膜 206 的能隙例如為 2.5eV 以上且 4.2eV 以下，較佳為 2.8eV 以上且 3.8eV 以下，更佳為 3eV 以上且 3.5eV 以下。另外，第二氧化物半導體膜的能隙為 2.7eV 以上且 4.9eV 以下，較佳為 3eV 以上且 4.7eV 以下，更佳為 3.2eV 以上且 4.4eV 以下。

[0132] 另外，第一氧化物半導體膜使用能隙寬的氧化物。第一氧化物半導體膜的能隙例如為 2.7eV 以上且 4.9eV 以下，較佳為 3eV 以上且 4.7eV 以下，更佳為 3.2eV 以上且 4.4eV 以下。

[0133] 另外，第二氧化物半導體膜使用能隙寬的氧化物。第二氧化物半導體膜的能隙為 2.7eV 以上且 4.9eV 以下，較佳為 3eV 以上且 4.7eV 以下，更佳為 3.2eV 以上

且 4.4eV 以下。注意，第一氧化物半導體膜及第二氧化物半導體膜的能隙比氧化物半導體膜 206 寬。

[0134] 氧化物半導體膜 206 使用其電子親和力大於第一氧化物半導體膜的氧化物。例如，氧化物半導體膜 206 使用如下氧化物，該氧化物的電子親和力比第一氧化物半導體膜大 0.07eV 以上且 1.3eV 以下，較佳大 0.1eV 以上且 0.7eV 以下，更佳大 0.15eV 以上且 0.4eV 以下。注意，電子親和力是指真空能階與導帶底之間的能量差。

[0135] 另外，氧化物半導體膜 206 使用其電子親和力大於第二氧化物半導體膜的氧化物。例如，氧化物半導體膜 206 使用如下氧化物，該氧化物的電子親和力比第二氧化物半導體膜大 0.07eV 以上且 1.3eV 以下，較佳大 0.1eV 以上且 0.7eV 以下，更佳大 0.15eV 以上且 0.5eV 以下。注意，電子親和力是指真空能階與導帶底之間的能量差。

[0136] 在此，當對閘極電極 204 施加電場時，在第一氧化物半導體膜、氧化物半導體膜 206 和第二氧化物半導體膜中的電子親和力大的氧化物半導體膜 206 中形成通道。

[0137] 此外，爲了提高電晶體的通態電流，第二氧化物半導體膜的厚度越小越好。例如，將第二氧化物半導體膜的厚度設定爲小於 10nm ，較佳爲 5nm 以下，更佳爲 3nm 以下。另一方面，第二氧化物半導體膜具有防止構成閘極絕緣膜 212 的氧以外的元素(矽等)進入被形成通道的

氧化物半導體膜 206 的功能。因此，第二氧化物半導體膜較佳為具有一定的厚度。例如，將第二氧化物半導體膜的厚度設定為 0.3nm 以上，較佳為 1nm 以上，更佳為 2nm 以上。

[0138] 另外，爲了提高可靠性，較佳的是將第一氧化物半導體膜設置得厚，將氧化物半導體膜 206 設置得薄，將第二氧化物半導體膜設置得薄。明確而言，第一氧化物半導體膜的厚度為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。藉由將第一氧化物半導體膜的厚度設定為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上，可以將基底絕緣膜 202 和第一氧化物半導體膜的介面與通道形成在其中的氧化物半導體膜 206 之間的距離設定為 20nm 以上，較佳為 30nm 以上，更佳為 40nm 以上，進一步較佳為 60nm 以上。注意，將第一氧化物半導體膜的厚度設定為 200nm 以下，較佳為 120nm 以下，更佳為 80nm 以下，因爲半導體裝置的生產率有可能下降。另外，將氧化物半導體膜 206 的厚度設定為 3nm 以上且 100nm 以下，較佳為 3nm 以上且 80nm 以下，更佳為 3nm 以上且 50nm 以下。

[0139] 例如，使第一氧化物半導體膜的厚度大於氧化物半導體膜 206，並且，使氧化物半導體膜 206 的厚度大於第二氧化物半導體膜，即可。

[0140] 下面，說明氧化物半導體膜 206 中的雜質的

影響。另外，爲了使電晶體的電特性穩定，降低氧化物半導體膜 206 中的雜質濃度而實現低載子密度化及高度純化是有效的。另外，氧化物半導體膜 206 的載子密度小於 1×10^{17} 個/cm³、小於 1×10^{15} 個/cm³ 或小於 1×10^{13} 個/cm³。爲了降低氧化物半導體膜 206 中的雜質濃度，較佳爲還降低附近的膜中的雜質濃度。

[0141] 例如，氧化物半導體膜 206 中的矽有可能成爲載子陷阱或載子發生源。因此，將利用二次離子質譜分析(SIMS：Secondary Ion Mass Spectrometry)測定出的氧化物半導體膜 206 與第一氧化物半導體膜之間的矽濃度設定爲小於 1×10^{19} atoms/cm³，較佳小於 5×10^{18} atoms/cm³，更佳小於 2×10^{18} atoms/cm³。另外，將利用 SIMS 測定出的氧化物半導體膜 206 與第二氧化物半導體膜之間的矽濃度設定爲小於 1×10^{19} atoms/cm³，較佳小於 5×10^{18} atoms/cm³，更佳小於 2×10^{18} atoms/cm³。

[0142] 另外，當在氧化物半導體膜 206 中包含氫時有可能使載子密度增大。將利用 SIMS 測定出的氧化物半導體膜 206 中的氫濃度設定爲 2×10^{20} atoms/cm³ 以下，較佳爲 5×10^{19} atoms/cm³ 以下，更佳爲 1×10^{19} atoms/cm³ 以下，進一步較佳爲 5×10^{18} atoms/cm³ 以下。另外，當在氧化物半導體膜 206 中包含氮時有可能使載子密度增大。將利用 SIMS 測定出的氧化物半導體膜 206 中的氮濃度設定爲小於 5×10^{19} atoms/cm³，較佳爲 5×10^{18} atoms/cm³ 以下，更佳爲 1×10^{18} atoms/cm³ 以下，進一步較佳爲 5×10^{17}

atoms/cm³ 以下。

[0143] 另外，爲了降低氧化物半導體膜 206 中的氫濃度，較佳爲降低第一氧化物半導體膜中的氫濃度。將利用 SIMS 測定出的第一氧化物半導體膜中的氫濃度設定爲 2×10^{20} atoms/cm³ 以下，較佳爲 5×10^{19} atoms/cm³ 以下，更佳爲 1×10^{19} atoms/cm³ 以下，進一步較佳爲 5×10^{18} atoms/cm³ 以下。另外，爲了降低氧化物半導體膜 206 中的氮濃度，較佳爲降低第一氧化物半導體膜中的氮濃度。將利用 SIMS 測定出的第一氧化物半導體膜中的氮濃度設定爲小於 5×10^{19} atoms/cm³，較佳爲 5×10^{18} atoms/cm³ 以下，更佳爲 1×10^{18} atoms/cm³ 以下，進一步較佳爲 5×10^{17} atoms/cm³ 以下。

[0144] 另外，爲了降低氧化物半導體膜 206 中的氫濃度，較佳爲降低第二氧化物半導體膜中的氫濃度。將利用 SIMS 測定出的第二氧化物半導體膜中的氫濃度設定爲 2×10^{20} atoms/cm³ 以下，較佳爲 5×10^{19} atoms/cm³ 以下，更佳爲 1×10^{19} atoms/cm³ 以下，進一步較佳爲 5×10^{18} atoms/cm³ 以下。另外，爲了降低氧化物半導體膜 206 中的氮濃度，較佳爲降低第二氧化物半導體膜中的氮濃度。將利用 SIMS 測定出的第二氧化物半導體膜中的氮濃度設定爲低於 5×10^{19} atoms/cm³，較佳爲 5×10^{18} atoms/cm³ 以下，更佳爲 1×10^{18} atoms/cm³ 以下，進一步較佳爲 5×10^{17} atoms/cm³ 以下。

[0145] 作爲如圖 11A 至圖 11C 所示的基底絕緣膜

202，例如可以使用包含氧化矽或氮化矽的絕緣膜的單層或疊層。另外，基底絕緣膜 202 較佳為使用包含過剩氧的絕緣膜。基底絕緣膜 202 的厚度例如為 20nm 以上且 1000nm 以下，較佳為 50nm 以上且 1000nm 以下，更佳為 100nm 以上且 1000nm 以下，進一步較佳為 200nm 以上且 1000nm 以下。

[0146] 作為基底絕緣膜 202，例如可以採用第一層為氮化矽膜，第二層為氧化矽膜的疊層膜。此外，氧化矽膜也可以為氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。氧化矽膜較佳為使用缺陷密度低的氧化矽膜。明確而言，使用如下氧化矽膜：在利用 ESR 測定出的來源於 g 值為 2.001 的信號的自旋的密度為 3×10^{17} 個/cm³ 以下，較佳為 5×10^{16} 個/cm³ 以下。氮化矽膜使用氫及氮的釋放量少的氮化矽膜。氫及氮的釋放量藉由 TDS 測定即可。另外，氮化矽膜使用不使氫、水以及氧透過或幾乎不使其透過的氮化矽膜。

[0147] 或者，作為基底絕緣膜 202，例如可以採用第一層為氮化矽膜，第二層為第一氧化矽膜以及第三層為第二氧化矽膜的疊層膜。在此情況下，第一氧化矽膜和/或第二氧化矽膜也可以為氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。第一氧化矽膜較佳為使用缺陷密度低的氧化矽膜。明確而言，使用如下氧化矽膜：在利用 ESR 測定出的來源於 g 值為 2.001 的信號的自旋的密度為 3×10^{17} 個/cm³ 以下，較佳為 5×10^{16} 個/cm³ 以下。第二氧

化矽膜使用包含過剩氧的氧化矽膜。氮化矽膜使用氫及氮的釋放量少的氮化矽膜。另外，氮化矽膜使用不使氫、水以及氧透過或幾乎不使其透過的氮化矽膜。

[0148] 源極電極 216a 及汲極電極 216b 例如可以使用包含鋁、鈦、鉻、鈷、鎳、銅、鈇、鋅、鉬、鈳、銀、鉍或鎢的導電膜的單層或疊層。

[0149] 在形成源極電極 216a 及汲極電極 216b 時，有時氧化物半導體膜 206 被部分蝕刻而溝槽被形成。圖 12A 至圖 12C 示出在不設置有源極電極 216a 及汲極電極 216b 的區域中溝槽形成在氧化物半導體膜 206 中的例子。

[0150] 圖 12A 示出藉由各向異性蝕刻等在氧化物半導體膜 206 中形成溝槽的情況。形成在氧化物半導體膜 206 中的溝槽的側面具有錐角形狀。圖 12A 所示的形狀是可以提高後面形成的閘極絕緣膜 212 等的步階覆蓋性的形狀。由此，藉由使用具有該形狀的溝槽的電晶體，可以提高半導體裝置的良率。

[0151] 圖 12B 示出藉由各向異性蝕刻等在氧化物半導體膜 206 中形成溝槽的情況。具有圖 12B 所示的形狀的溝槽藉由以與形成具有圖 12A 所示的形狀的溝槽的情況相比蝕刻速度快的條件對氧化物半導體膜 206 進行蝕刻來得到。形成在氧化物半導體膜 206 中的溝槽的側面具有陡峭的形狀。圖 12B 所示的形狀是適合於電晶體的微型化的形狀。由此，藉由使用具有該形狀的溝槽的電晶體，可以提

高半導體裝置的積體度。

[0152] 圖 12C 示出藉由各向同性蝕刻等在氧化物半導體膜 206 中形成溝槽的情況。形成在氧化物半導體膜 206 中的溝槽的側面在源極電極 216a 及汲極電極 216b 的內側。具有圖 12C 所示的形狀的電晶體是通道形成區受到的損傷少的電晶體。由此，藉由使用具有該形狀的溝槽的電晶體，可以提高半導體裝置的可靠性。

[0153] 作為閘極絕緣膜 212，例如使用包含氧化鋁、氧化鎂、氧化矽、氧氮化矽、氮氧化矽、氮化矽、氧化鎵、氧化銻、氧化釷、氧化鋯、氧化釷、氧化鈦或氧化鋇的絕緣膜形成單層或疊層，即可。另外，閘極絕緣膜 212 較佳為使用包含過剩氧的絕緣膜。閘極絕緣膜 212 的厚度(或等效氧化膜厚度)例如為 1nm 以上且 500nm 以下，較佳為 3nm 以上且 300nm 以下，更佳為 5nm 以上且 100nm 以下，進一步較佳為 5nm 以上且 50nm 以下。

[0154] 作為閘極絕緣膜 212，例如可以採用第一層為氮化矽膜，第二層為氧化矽膜的疊層膜。此外，氧化矽膜也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。氧化矽膜較佳為使用缺陷密度低的氧化矽膜。明確而言，使用如下氧化矽膜：在利用 ESR 測定出的來源於 g 值為 2.001 的信號的自旋的密度為 3×10^{17} 個/cm³ 以下，較佳為 5×10^{16} 個/cm³ 以下。氧化矽膜較佳為使用包含過剩氧的氧化矽膜。氮化矽膜使用氫氣體及氨氣體的釋放量少的氮化矽膜。氫氣體及氨氣體的釋放量藉由 TDS 測定即

可。

[0155] 閘極電極 204 例如可以使用包含鋁、鈦、鉻、鈷、鎳、銅、鈇、鋅、鉬、鈳、銀、鉭或鎢的導電膜的單層或疊層。

[0156] 作為保護絕緣膜 218，例如使用包含氧化矽、氮化矽、氧化鋅、氧化鈇、氧化鋅、氧化釧、氧化鈳、氧化鈳或氧化鉭的絕緣膜形成單層或疊層，即可。另外，保護絕緣膜 218 較佳為使用包含過剩氧的絕緣膜。作為保護絕緣膜 218，也可以使用阻擋氧的絕緣膜。保護絕緣膜 218 的厚度例如為 20nm 以上且 1000nm 以下，較佳為 50nm 以上且 1000nm 以下，更佳為 100nm 以上且 1000nm 以下，進一步較佳為 200nm 以上且 1000nm 以下。

[0157] 佈線 226a 及佈線 226b 例如可以使用包含鋁、鈦、鉻、鈷、鎳、銅、鈇、鋅、鉬、鈳、銀、鉭或鎢的導電膜的單層或疊層。

[0158] 對基板 200 沒有很大的限制。例如，作為基板 200，也可以使用玻璃基板、陶瓷基板、石英基板、藍寶石基板等。此外，作為基板 200，也可以採用矽或碳化矽等的單晶半導體基板或多晶半導體基板、矽鍺等的化合物半導體基板、SOI(Silicon On Insulator：絕緣體上矽晶片)基板等，並且也可以使用在這些基板上設置有半導體元件的基板。

[0159] 此外，基板 200 也可以使用撓性基板。另外，作為在撓性基板上設置電晶體的方法，可以舉出如下

方法：在不具有撓性的基板上形成電晶體之後，將該電晶體剝離並轉置到具有撓性的基板 200 上。在此情況下，較佳為在不具有撓性的基板和電晶體之間設置剝離層。

[0160]

〈電晶體結構 2〉

接著，對底閘極頂接觸型電晶體的一個例子進行說明。

[0161] 圖 13A 至圖 13C 是電晶體的俯視圖及剖面圖。圖 13A 示出電晶體的俯視圖。圖 13B1 及圖 13B2 示出對應於圖 13A 所示的點劃線 B1-B2 的剖面圖。另外，圖 13C 示出對應於圖 13A 所示的點劃線 B3-B4 的剖面圖。

[0162] 圖 13B1 及圖 13B2 所示的電晶體包括：基板 300 上的閘極電極 304；閘極電極 304 上的閘極絕緣膜 312；閘極絕緣膜 312 上的氧化物半導體膜 306；以及氧化物半導體膜 306 上的源極電極 316a 及汲極電極 316b。此外，較佳的是，還包括：源極電極 316a、汲極電極 316b、閘極絕緣膜 312 及氧化物半導體膜 306 上的保護絕緣膜 318；保護絕緣膜 318 上的佈線 326a 及佈線 326b。另外，保護絕緣膜 318 具有分別到達源極電極 316a 及汲極電極 316b 的開口部，佈線 326a 及佈線 326b 藉由該開口部分別接觸於源極電極 316a 及汲極電極 316b。另外，電晶體也可以在基板 300 與閘極電極 304 之間具有基底絕緣膜。

[0163] 關於圖 13A 至圖 13C 所示的電晶體的記載的一部分可以參照關於圖 11A 至圖 11C 所示的電晶體的記載。

[0164] 例如，基板 300 可以參照關於基板 200 的記載。氧化物半導體膜 306 可以參照關於氧化物半導體膜 206 的記載。源極電極 316a 及汲極電極 316b 可以參照關於源極電極 216a 及汲極電極 216b 的記載。閘極絕緣膜 312 可以參照關於閘極絕緣膜 212 的記載。閘極電極 304 可以參照關於閘極電極 204 的記載。佈線 326a 及佈線 326b 可以參照關於佈線 226a 及佈線 226b 的記載。

[0165] 另外，如圖 13A 的俯視圖所示，閘極電極 304 以其內側包括氧化物半導體膜 306 的方式設置。由此，當光從閘極電極 304 一側入射時，可以抑制因光而在氧化物半導體膜 306 中產生載子。換言之，閘極電極 304 具有遮光膜的功能。注意，氧化物半導體膜 306 的端部也可以設置在閘極電極 304 的端部的外側。

[0166] 作為如圖 13A 至圖 13C 所示的保護絕緣膜 318，例如可以使用包含氧化矽或氧氮化矽的絕緣膜的單層或疊層。另外，保護絕緣膜 318 較佳為使用包含過剩氧的絕緣膜。保護絕緣膜 318 的厚度例如為 20nm 以上且 1000nm 以下，較佳為 50nm 以上且 1000nm 以下，更佳為 100nm 以上且 1000nm 以下，進一步較佳為 200nm 以上且 1000nm 以下。

[0167] 作為保護絕緣膜 318，例如可以採用第一層為

氧化矽膜，第二層為氮化矽膜的疊層膜。此外，氧化矽膜也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。氧化矽膜較佳為使用缺陷密度低的氧化矽膜。明確而言，使用如下氧化矽膜：在利用 ESR 測定出的來源於 g 值為 2.001 的信號的自旋的密度為 3×10^{17} 個/cm³ 以下，較佳為 5×10^{16} 個/cm³ 以下。氮化矽膜使用氫及氨的釋放量少的氮化矽膜。氫及氨的釋放量藉由 TDS 測定即可。另外，氮化矽膜使用不使氫、水以及氧透過或幾乎不使其透過的氮化矽膜。

[0168] 或者，作為保護絕緣膜 318，例如可以採用第一層為第一氧化矽膜，第二層為第二氧化矽膜以及第三層為氮化矽膜的疊層膜。在此情況下，第一氧化矽膜和/或第二氧化矽膜也可以為氧氮化矽膜。另外，氮化矽膜也可以為氮氧化矽膜。第一氧化矽膜較佳為使用缺陷密度低的氧化矽膜。明確而言，使用如下氧化矽膜：在利用 ESR 測定出的來源於 g 值為 2.001 的信號的自旋的密度為 3×10^{17} 個/cm³ 以下，較佳為 5×10^{16} 個/cm³ 以下。第二氧化矽膜使用包含過剩氧的氧化矽膜。氮化矽膜使用氫及氨的釋放量少的氮化矽膜。另外，氮化矽膜使用不使氫、水以及氧透過或幾乎不使其透過的氮化矽膜。

[0169] 上述電晶體例如可以應用於各種用途如顯示裝置、記憶體、CPU、顯示裝置等。

[0170]

〈顯示裝置〉

以下說明應用上述電晶體的顯示裝置。

[0171] 圖 14A 示出顯示裝置的一個例子。圖 14A 所示的顯示裝置包括：像素部 701；掃描線驅動電路 704；信號線驅動電路 706；分別平行或大致平行地配置且其電位由掃描線驅動電路 704 控制的 m 個掃描線 707；以及分別平行或大致平行地配置且其電位由信號線驅動電路 706 控制的 n 個信號線 709。此外，像素部 701 包括配置為矩陣狀的多個像素 703。此外，還包括沿著信號線 709 分別平行或大致平行地配置的電容線 715。也可以沿著掃描線 707 分別平行或大致平行地配置電容線 715。另外，有時將掃描線驅動電路 704 及信號線驅動電路 706 簡單地稱為驅動電路部。

[0172] 各掃描線 707 與在像素部 701 中配置為 m 行 n 列的像素 703 中的配置在任一行的 n 個像素 703 電連接。此外，各信號線 709 與配置為 m 行 n 列的像素 703 中的配置在任一列的 m 個像素 703 電連接。 m 、 n 都是自然數。此外，各電容線 715 與配置為 m 行 n 列的像素 703 中的配置在任一行的 n 個像素 703 電連接。此外，當電容線 715 沿著信號線 709 分別平行或大致平行地配置時，電容線 715 與配置為 m 行 n 列的像素 703 中的配置在任一列的 m 個像素 703 電連接。

[0173] 圖 14B 和圖 14C 示出能夠用於圖 14A 所示的顯示裝置的像素 703 的電路結構的一個例子。

[0174] 圖 14B 所示的像素 703 包括液晶元件 721、

電晶體 702 和電容元件 705。

[0175] 根據像素 703 的規格適當地設定液晶元件 721 的一對電極中的一個的電位。根據被寫入的資料設定液晶元件 721 的配向狀態。此外，也可以對多個像素 703 的每一個所具有的液晶元件 721 的一對電極中的一個供應共同電位(公共電位)。此外，也可以對各行的像素 703 中的液晶元件 721 的一對電極中的一個分別供應不同電位。

[0176] 液晶元件 721 是利用液晶的光學調變作用來控制光的透過或非透過的元件。此外，液晶的光學調變作用由施加到液晶的電場(包括橫向電場、縱向電場或斜向電場)控制。另外，作為能夠用於液晶元件 721 的液晶，可以舉出向列液晶、膽固醇相液晶、層列相液晶、熱致液晶、溶致液晶、鐵電液晶、反鐵電液晶等。

[0177] 例如，作為包括液晶元件 721 的顯示裝置的顯示模式也可以使用如下模式：TN 模式；VA 模式；ASM(Axially Symmetric Aligned Micro-cell：軸對稱排列微單元)模式；OCB(Optically Compensated Birefringence：光學補償彎曲)模式；MVA 模式；PVA(Patterned Vertical Alignment：垂直配向構型)模式；IPS 模式；FFS 模式；或 TBA(Transverse Bend Alignment：橫向彎曲配向)模式等。但是，不侷限於此。

[0178] 此外，也可以使用如下液晶元件，即包括包含呈現藍相(Blue Phase)的液晶和手性試劑的液晶組成物的液晶元件。呈現藍相的液晶具有回應速度快，為 1msec

以下，並且由於其具有光學各向同性，所以不需要配向處理，且視角依賴性小等的特長。

[0179] 在圖 14B 所示的像素 703 的結構中，電晶體 702 的源極電極和汲極電極中的一個與信號線 709 電連接，源極電極和汲極電極中的另一個與液晶元件 721 的一對電極中的另一個電連接。此外，電晶體 702 的閘極電極與掃描線 707 電連接。電晶體 702 具有藉由成為導通狀態或關閉狀態而對資料信號的資料的寫入進行控制的功能。注意，作為電晶體 702 可以使用上述電晶體中的任一個。

[0180] 在圖 14B 所示的像素 703 的結構中，電容元件 705 的一對電極中的一個與被供應電位的電容線 715 電連接，另一個與液晶元件 721 的一對電極中的另一個電連接。此外，根據像素 703 的規格適當地設定電容線 715 的電位的值。電容元件 705 用作儲存被寫入的資料的儲存電容器。

[0181] 例如，在包括圖 14B 的像素 703 的顯示裝置中，藉由掃描線驅動電路 704 依次選擇各行的像素 703，來使電晶體 702 成為導通狀態而寫入資料信號的資料。

[0182] 當電晶體 702 成為關閉狀態時，被輸入資料的像素 703 成為保持狀態。藉由按行依次進行上述步驟，可以顯示影像。

[0183] 另外，圖 14C 所示的像素 703 包括：進行顯示元件的切換操作的電晶體 733；控制像素的驅動的電晶體 702；電晶體 735；電容元件 705；以及發光元件 731。

[0184] 電晶體 733 的源極電極和汲極電極中的一個與被施加資料信號的信號線 709 電連接。此外，電晶體 702 的閘極電極與被施加閘極信號的掃描線 707 電連接。

[0185] 電晶體 733 具有藉由成為導通狀態或關閉狀態而對資料信號的資料的寫入進行控制的功能。

[0186] 電晶體 702 的源極電極和汲極電極中的一個與用作陽極線的佈線 737 電連接，電晶體 702 的源極電極和汲極電極中的另一個與發光元件 731 中的一個電極電連接。此外，電晶體 702 的閘極電極與電晶體 733 的源極電極和汲極電極中的另一個以及電容元件 705 中的一個電極電連接。

[0187] 電晶體 702 具有藉由成為導通狀態或關閉狀態而對流動發光元件 731 的電流進行控制的功能。注意，作為電晶體 702 可以使用上述電晶體中的任一個。

[0188] 電晶體 735 的源極電極和汲極電極中的一個與被施加資料的參考電位的佈線 739 連接，電晶體 735 的源極電極和汲極電極中的另一個與發光元件 731 中的一個電極以及電容元件 705 的另一個電極電連接。此外，電晶體 735 的閘極電極與被施加閘極信號的掃描線 707 電連接。

[0189] 電晶體 735 具有對流動發光元件 731 的電流進行調整的功能。例如，在因劣化等而增加發光元件 731 的內部電阻的情況下，藉由監視流動與電晶體 735 的源極電極和汲極電極中的一個連接的佈線 739 的電流，可以校

正流動發光元件 731 的電流。

[0190] 電容元件 705 的一對電極中的一個與電晶體 702 的源極電極和汲極電極中的另一個以及電晶體 733 的閘極電極電連接，電容元件 705 的一對電極中的另一個與電晶體 735 的源極電極和汲極電極中的另一個以及發光元件 731 的一個電極電連接。

[0191] 在圖 14C 所示的像素 703 的結構中，電容元件 705 用作儲存被寫入的資料的儲存電容器。

[0192] 發光元件 731 的一對電極中的一個與電晶體 735 的源極電極和汲極電極中的另一個、電容元件 705 的一對電極中的另一個以及電晶體 733 的源極電極和汲極電極中的另一個電連接。此外，發光元件 731 的一對電極中的另一個與用作陰極的佈線 741 電連接。

[0193] 作為發光元件 731，能夠使用例如有機電致發光元件(也稱為有機 EL 元件)等。注意，發光元件 731 並不限制於有機 EL 元件，也能夠使用由無機材料構成的無機 EL 元件。

[0194] 另外，對佈線 737 和佈線 741 中的一個供應高電源電位 VDD，而對佈線 737 和佈線 741 中的另一個供應低電源電位 VSS。在圖 14C 所示的結構中，對佈線 737 施加高電源電位 VDD，對佈線 741 施加低電源電位 VSS。

[0195] 在包括圖 14C 的像素 703 的顯示裝置中，藉由掃描線驅動電路 704 依次選擇各行的像素 703，來使電

晶體 702 成爲導通狀態而寫入資料信號的資料。

[0196] 當電晶體 702 成爲關閉狀態時，被輸入資料的像素 703 成爲保持狀態。再者，由於電晶體 702 與電容元件 705 連接，所以可以長時間保持被寫入的資料。此外，由電晶體 733 控制流動源極電極和汲極電極之間的電流大小，發光元件 731 發射出亮度與流動的電流大小對應的光。藉由按行依次進行上述步驟，可以顯示影像。

[0197] 接著，說明顯示裝置所包括的元件基板的具體結構。在此，對將液晶元件用於像素 703 的液晶顯示裝置的具體例子進行說明。這裡，圖 15A 示出圖 14B 所示的像素 703 的俯視圖。

[0198] 在圖 15A 中，掃描線 707 在與信號線 709 大致正交的方向(圖式中的上下方向)上延伸地設置。信號線 709 在與掃描線 707 大致正交的方向(圖式中的左右方向)上延伸地設置。電容線 715 在與信號線平行的方向上延伸地設置。另外，掃描線 707 與掃描線驅動電路 704(參照圖 14A)電連接，並且信號線 709 及電容線 715 與信號線驅動電路 706(參照圖 14A)電連接。

[0199] 電晶體 702 設置在掃描線 707 和信號線 709 的交叉區域。可以將與上述電晶體相同的結構的電晶體用於電晶體 702。另外，掃描線 707 中的與氧化物半導體膜 817a 重疊的區域用作電晶體 702 的閘極電極，在圖 15B 及圖 15C 中將其表示爲閘極電極 813。另外，信號線 709 中的與氧化物半導體膜 817a 重疊的區域用作電晶體 702

的源極電極或汲極電極，在圖 15B 中將其表示為電極 819。另外，在圖 15A 所示的俯視圖中，掃描線 707 的端部位於氧化物半導體膜 817a 的端部的側。由此，掃描線 707 用作阻擋來自背光等光源的光的遮光膜。其結果是，電晶體所包括的氧化物半導體膜 817a 不被照射光而電晶體的電特性的變動可以得到抑制。

[0200] 此外，電極 820 在開口部 893 中與電極 892 連接。電極 892 由具有透光性的導電膜形成，用作像素電極。

[0201] 電容元件 705 與電容線 715 連接。另外，電容元件 705 由形成在閘極絕緣膜上的導電膜 817b、設置在電晶體 702 上的介電膜以及電極 892 構成。介電膜使用氮化物絕緣膜形成。由於導電膜 817b、氮化物絕緣膜及電極 892 分別具有透光性，所以電容元件 705 具有透光性。

[0202] 因為像這樣電容元件 705 具有透光性，所以可以在像素 703 中形成較大(大面積)的電容元件 705。由此，可以獲得提高孔徑比(典型地提高為 55%以上，較佳為 60%以上)並具有較大的電荷容量的顯示裝置。例如，解析度高的顯示裝置在像素的面積小時電容元件的面積也小。因此，在解析度高的顯示裝置中，能夠儲存在電容元件中的電荷容量變小。但是，由於上述顯示裝置的電容元件 705 具有透光性，所以可以在各像素中獲得充分的電荷容量，並提高孔徑比。典型的是，適當地用於像素密度為

200ppi 以上，較佳為 300ppi 以上，更佳為 500ppi 以上的高解析度的顯示裝置。

[0203] 另外，本發明的一個方式在高解析度的顯示裝置中也可以提高孔徑比，因此可以有效地利用背光等光源的光，由此可以降低顯示裝置的耗電量。

[0204] 接著，圖 15B 和圖 15C 示出沿著圖 15A 的點劃線 A-B、點劃線 C-D 的剖面圖。注意，點劃線 A-B 的剖面圖示出電晶體 702 的通道長度方向、電晶體 702 與用作像素電極的電極 892 的連接部以及電容元件 705a，點劃線 C-D 的剖面圖示出電晶體 702 的通道寬度方向以及閘極電極 813 與閘極電極 891 的連接部。

[0205] 圖 15B 和圖 15C 所示的電晶體 702 是通道蝕刻型電晶體，其包括：設置在基板 811 上的閘極電極 813；形成在基板 811 及閘極電極 813 上的閘極絕緣膜 815；隔著閘極絕緣膜 815 與閘極電極 813 重疊的氧化物半導體膜 817a；以及與氧化物半導體膜 817a 接觸的電極 819 及電極 820。另外，在閘極絕緣膜 815、氧化物半導體膜 817a、電極 819 及電極 820 上形成有氧化物絕緣膜 883，在氧化物絕緣膜 883 上形成有氧化物絕緣膜 885。在閘極絕緣膜 815、氧化物絕緣膜 883、氧化物絕緣膜 885 及電極 820 上形成有氮化物絕緣膜 887。此外，在氮化物絕緣膜 887 上形成有電極 819 和電極 820 中的一個（在此，與電極 820 連接的電極 892）以及閘極電極 891。注意，電極 892 用作像素電極。

[0206] 此外，閘極絕緣膜 815 使用氮化物絕緣膜 815a 及氧化物絕緣膜 815b 形成。氧化物絕緣膜 815b 在重疊於氧化物半導體膜 817、電極 819、電極 820 及氧化物絕緣膜 883 的區域中形成。

[0207] 如點劃線 C-D 的剖面圖所示，在設置在氮化物絕緣膜 815a 及氮化物絕緣膜 887 中的開口部 894 中閘極電極 891 與閘極電極 813 連接。換言之，閘極電極 813 及閘極電極 891 具有相同的電位。

[0208] 在電晶體 702 上形成有分離為各個電晶體的氧化物絕緣膜 883 及氧化物絕緣膜 885。被分離的氧化物絕緣膜 883 及氧化物絕緣膜 885 重疊於氧化物半導體膜 817a。在點劃線 C-D 所示的通道寬度方向的剖面圖中，氧化物絕緣膜 883 及氧化物絕緣膜 885 的端部位於氧化物半導體膜 817a 的外側。在通道寬度方向上，在氧化物半導體膜 817a 的一個側面以及另一個側面的外側，閘極電極 891 隔著氧化物絕緣膜 883、氧化物絕緣膜 885 以及氮化物絕緣膜 887 與氧化物半導體膜 817a 的側面相對。氮化物絕緣膜 887 以覆蓋氧化物絕緣膜 883 及氧化物絕緣膜 885 的頂面及側面的方式形成，接觸於氮化物絕緣膜 815a。

[0209] 在電晶體 702 中，氮化物絕緣膜 815a 與氮化物絕緣膜 887 以在其內側包括氧化物半導體膜 817 及氧化物絕緣膜 885 的方式接觸。氮化物絕緣膜 815a 及氮化物絕緣膜 887 的氧的擴散係數小，並且對氧具有阻擋性，由

此可以使氧化物絕緣膜 885 所包含的氧的一部分高效地移動到氧化物半導體膜 817，從而可以減少氧化物半導體膜 817 的氧缺陷量。此外，氮化物絕緣膜 815a 及氮化物絕緣膜 887 對水、氫等具有阻擋性，因此可以防止水、氫等從外部混入到氧化物半導體膜 817。其結果是，電晶體 702 成為可靠性高的電晶體。

[0210] 電容元件 705a 使用形成在閘極絕緣膜 815 上的導電膜 817b、氮化物絕緣膜 887 以及電極 892 而構成。在電容元件 705a 中，導電膜 817b 是與氧化物半導體膜 817a 同時形成的膜，且是藉由包含雜質來提高導電性的膜。或者，導電膜 817b 是與氧化物半導體膜 817a 同時形成的膜，且是藉由包含雜質並因電漿損傷等而形成氧缺陷來提高導電性的膜。

[0211] 雖然氧化物半導體膜 817a 及導電膜 817b 都形成在閘極絕緣膜 815 上，但是它們的雜質濃度不同。明確而言，導電膜 817b 的雜質濃度高於氧化物半導體膜 817a 的雜質濃度。例如，氧化物半導體膜 817a 中的氫濃度低於 $5 \times 10^{19} \text{atoms/cm}^3$ ，較佳低於 $5 \times 10^{18} \text{atoms/cm}^3$ ，更佳為 $1 \times 10^{18} \text{atoms/cm}^3$ 以下，進一步較佳為 $5 \times 10^{17} \text{atoms/cm}^3$ 以下，更進一步較佳為 $1 \times 10^{16} \text{atoms/cm}^3$ 以下，導電膜 817b 中的氫濃度為 8×10^{19} 以上，較佳為 $1 \times 10^{20} \text{atoms/cm}^3$ 以上，更佳為 5×10^{20} 以上。此外，導電膜 817b 中的氫濃度為氧化物半導體膜 817a 中的氫濃度的兩倍，較佳為十倍以上。

[0212] 導電膜 817b 的電阻率低於氧化物半導體膜 817a 的電阻率。導電膜 817b 的電阻率較佳為氧化物半導體膜 817a 的電阻率的 1×10^{-8} 倍以上且低於 1×10^{-1} 倍，典型的為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^4 \Omega \text{cm}$ ，更佳為 $1 \times 10^{-3} \Omega \text{cm}$ 以上且低於 $1 \times 10^{-1} \Omega \text{cm}$ 。

[0213] 導電膜 817b 例如也可以在導電膜 817b 上形成氮化物絕緣膜 887 時施加電漿損傷來形成。注意，因為氮化物絕緣膜 887 的氫濃度高，所以在施加電漿損傷的同時使導電膜 817b 的氫濃度增加。在氧化物半導體膜中，在氫侵入氫或氧缺陷的地點時有時生成載子。因此，有時因氮化物絕緣膜 887 的作用而可以提高氧化物半導體膜的載子密度，從而可以形成導電膜 817b。

[0214] 在形成電晶體的氧化物半導體膜的同時形成電容元件的一個電極。此外，將用作像素電極的導電膜用於電容元件的另一個電極。因此，不需要為了形成電容元件還形成新的導電膜的製程，從而可以減少製程。此外，因為一對電極具有透光性，所以電容元件具有透光性。其結果是，可以增大電容元件的佔有面積並提高像素的孔徑比。

[0215] 如上所述，可以得到具有優良的顯示性能的顯示裝置。

[0216]

〈記憶體 1〉

以下，參照圖 16A 和圖 16B 說明作為包括上述電晶

體的半導體記憶體裝置的記憶單元的電路結構及其工作。

[0217] 注意，半導體記憶體裝置除了包括記憶單元有時還包括配置於其他基板上的驅動電路和電源電路等。

[0218] 圖 16A 是示出記憶單元 500 的一個例子的電路圖。

[0219] 圖 16A 所示的記憶單元 500 包括電晶體 511、電晶體 512、電晶體 513 以及電容元件 514。雖然在圖 16A 中省略圖示，但是實際上將多個記憶單元 500 設置為矩陣狀。

[0220] 電晶體 511 的閘極與寫入字線 WWL 連接。此外，電晶體 511 的源極和汲極中的一個與位元線 BL 連接。此外，電晶體 511 的源極和汲極中的另一個與浮動節點 FN 連接。

[0221] 電晶體 512 的閘極與浮動節點 FN 連接。此外，電晶體 512 的源極和汲極中的一個與電晶體 513 的源極和汲極中的一個連接。此外，電晶體 512 的源極和汲極中的另一個與電源線 SL 連接。

[0222] 電晶體 513 的閘極與讀出字線 RWL 連接。此外，電晶體 512 的源極和汲極中的另一個與位元線 BL 連接。

[0223] 電容元件 514 的一個電極與浮動節點 FN 連接。此外，電容元件 514 的另一個電極被供應固定電位。

[0224] 寫入字線 WWL 被供應字信號。

[0225] 字信號是為將位元線 BL 的電壓供應到浮動

節點 FN 而使電晶體 511 成為導通狀態的信號。

[0226] 注意，“將資料寫入記憶單元”是指藉由控制供應到寫入字線 WWL 的字信號使浮動節點 FN 的電位成為對應於位元線 BL 的電壓的電位。此外，“從記憶單元讀出資料”是指藉由控制供應到讀出字線 RWL 的讀出信號使位元線 BL 的電壓成為對應於浮動節點 FN 的電位的電壓。

[0227] 對位元線 BL 供應多值資料。此外，對位元線 BL 供應用來讀出資料的放電電壓 $V_{\text{discharge}}$ 。

[0228] 多值資料是 k 位元(bit)(k 是 2 以上的整數)的資料。明確而言，2 位元的資料是四值資料，該資料是具有四個階段的電壓中的任一個的信號。

[0229] 放電電壓 $V_{\text{discharge}}$ 是爲了讀出資料而對位元線 BL 供應的電壓。此外，在供應放電電壓 $V_{\text{discharge}}$ 之後，位元線 BL 成為電浮動狀態。此外，放電電壓 $V_{\text{discharge}}$ 是爲了使位元線 BL 初始化而對位元線 BL 供應的電壓。

[0230] 對讀出字線 RWL 供應讀出信號。

[0231] 讀出信號是爲了選擇性地從記憶單元讀出資料而對電晶體 513 的閘極供應的信號。

[0232] 浮動節點 FN 相當於將電容元件 514 的一個電極、電晶體 511 的源極和汲極中的另一個電極以及電晶體 512 的閘極連接的佈線上的任一個節點。

[0233] 浮動節點 FN 的電位是由位元線 BL 供應的根

據多值資料的電位。此外，藉由使電晶體 511 處於非導通狀態而使浮動節點 FN 處於電浮動狀態。

[0234] 對電源線 SL 供應比供應到位元線 BL 的放電電壓 $V_{\text{discharge}}$ 更高的預充電電壓 $V_{\text{precharge}}$ 。

[0235] 至少在從記憶單元 500 讀出資料的期間中，電源線 SL 的電壓為預充電電壓 $V_{\text{precharge}}$ 即可。因此，可以採用如下結構：在將資料寫入記憶單元 500 的期間及/或不進行資料的讀出或寫入的期間中，將電源線 SL 的電壓設定為放電電壓 $V_{\text{discharge}}$ ，並使位元線 BL 與電源線 SL 為等電位。藉由採用該結構，可以降低在位元線 BL 與電源線 SL 之間流動的微小的貫通電流。

[0236] 另外，作為其他結構，也可以採用對電源線 SL 供應作為預充電電壓 $V_{\text{precharge}}$ 的恆電壓的結構。藉由採用該結構，就不需要將電源線 SL 的電壓在預充電電壓 $V_{\text{precharge}}$ 與放電電壓 $V_{\text{discharge}}$ 之間切換，因此可以降低電源線 SL 的充放電時所需的功耗。

[0237] 供應到電源線 SL 的預充電電壓 $V_{\text{precharge}}$ 是使供應到位元線 BL 的放電電壓 $V_{\text{discharge}}$ 藉由經由電晶體 512 及電晶體 513 的充電而變化的電壓。

[0238] 電晶體 511 用作藉由切換其導通狀態和非導通狀態來控制資料的寫入的開關。此外，電晶體 511 具有藉由將其保持為非導通狀態來保持根據寫入的資料的電位的功能。注意，對電晶體 511 為 n 通道型電晶體的情況進行說明。

[0239] 電晶體 511 較佳為使用當處於非導通狀態時流動在源極與汲極之間的電流(關態電流)較低的電晶體。

[0240] 在圖 16A 所示的記憶單元 500 的結構中，藉由將其保持為非導通狀態來保持根據寫入的資料的電位。因此，作為抑制因浮動節點 FN 中的電荷的移動而引起的電位變動的開關，尤其較佳為使用關態電流低的電晶體。在後面說明對關態電流低的電晶體的關態電流進行評價的方法。

[0241] 電晶體 511 是關態電流低的電晶體，藉由使其保持非導通狀態使記憶單元 500 成為非揮發性記憶體。因此，直到電晶體 511 再次處於導通狀態為止，寫入記憶單元 500 的資料能夠被持續保持在浮動節點 FN。

[0242] 電晶體 512 具有根據浮動節點 FN 的電位使汲極電流 I_d 在源極與汲極之間流動的功能。注意，在圖 16A 所示的記憶單元 500 的結構中，在電晶體 512 的源極與汲極之間流動的汲極電流 I_d 是在位元線 BL 與電源線 SL 之間流動的電流。此外，也將電晶體 512 稱為第二電晶體。注意，對電晶體 512 為 n 通道型電晶體的情況進行說明。

[0243] 另外，電晶體 513 具有根據讀出字線 RWL 的電位使汲極電流 I_d 在源極與汲極之間流動的功能。注意，在圖 16A 所示的記憶單元 500 的結構中，在電晶體 513 的源極與汲極之間流動的汲極電流 I_d 是在位元線 BL 與電源線 SL 之間流動的電流。此外，也將電晶體 513 稱

為第三電晶體。注意，對電晶體 513 為 n 通道型電晶體的情況進行說明。

[0244] 電晶體 512 及電晶體 513 較佳為使用臨界電壓的偏差小的電晶體。在此，臨界電壓的偏差小的電晶體是指當在同一製作過程中製作電晶體時，能夠以所允許的臨界電壓的差為 20mV 以內的條件形成的電晶體。明確而言，可以舉出由單晶矽形成通道的電晶體。臨界電壓的偏差是越小越好，但即使是上述使用單晶矽形成的電晶體，臨界電壓的差也有可能殘留 20mV 左右。

[0245] 接著，說明圖 16A 所示的記憶單元 500 的工作。

[0246] 圖 16B 所示的時序圖示出供應到圖 16A 所示的寫入字線 WWL、讀出字線 RWL、浮動節點 FN、位元線 BL 以及電源線 SL 的各信號的變化。

[0247] 在圖 16B 所示的時序圖中，示出初始狀態的期間 T1 以及為了讀出資料將位元線 BL 充電的期間 T2。

[0248] 在圖 16B 所示的期間 T1 中，首先進行位元線 BL 的放電。此時，對寫入字線 WWL 供應 L 位準的電位。此外，對讀出字線 RWL 供應 L 位準的電位。此外，浮動節點 FN 保持對應於多值資料的電位。此外，對位元線 BL 供應放電電壓 $V_{\text{discharge}}$ 。此外，對電源線 SL 供應預充電電壓 $V_{\text{precharge}}$ 。

[0249] 另外，在圖 16B 中，作為多值資料的一個例子，示出 2 位元資料，即四值資料。明確而言，在圖 16B

中，示出四值資料 (V_{00} 、 V_{01} 、 V_{10} 、 V_{11})，該四值資料能夠以四個階段的電位來表示。

[0250] 在對位元線 BL 供應放電電壓 $V_{\text{discharge}}$ 之後，位元線 BL 成為電浮動狀態。也就是說，位元線 BL 成為因電荷的充電或放電而產生電位的變動的狀態。該浮動狀態可以藉由將對位元線 BL 供應電位的開關關閉來實現。

[0251] 接著，在圖 16B 所示的期間 T2 中，為了讀出資料而進行位元線 BL 的充電。此時，與之前的期間同樣，對寫入字線 WWL 供應 L 位準的電位。此外，對讀出字線 RWL 供應 H 位準。此外，與之前的期間同樣，浮動節點 FN 保持對應於多值資料的電位。此外，位元線 BL 的放電電壓 $V_{\text{discharge}}$ 根據浮動節點 FN 的電位上升。此外，與之前的期間同樣，對電源線 SL 供應預充電電壓 $V_{\text{precharge}}$ 。

[0252] 電晶體 513 根據讀出字線 RWL 的電位的變化成為導通狀態。因此，電晶體 512 的源極和汲極中的一個的電位的降低而成為放電電壓 $V_{\text{discharge}}$ 。

[0253] 電晶體 512 是 n 通道型電晶體，電晶體 512 的源極和汲極中的一個的電位降低而成為放電電壓 $V_{\text{discharge}}$ ，導致閘極與源極之間的電壓(閘極電壓)的絕對值變大。隨著該閘極電壓的上升，在電晶體 512 及電晶體 513 中，汲極電流 I_d 在源極與汲極之間流動。

[0254] 藉由使汲極電流 I_d 在電晶體 512 及電晶體 513 中流動，電源線 SL 的電荷被充電到位元線 BL。電晶

體 512 的源極的電位及位元線 BL 的電位因充電而上升。由於電晶體 512 的源極的電位的上升，導致電晶體 512 的閘極電壓逐漸變小。

[0255] 在期間 T2 中流動的汲極電流 I_d 在閘極電壓為電晶體 512 的臨界電壓時停止流動。因此，位元線 BL 的電位上升，在電晶體 512 的閘極電壓為臨界電壓時位元線 BL 的充電結束，位元線 BL 的電位成為恆電位。此時的位元線 BL 的電位大致是浮動節點 FN 的電位與臨界電壓之差。

[0256] 也就是說，可以藉由將浮動節點 FN 的電位的高低反映來得到因充電而變化的位元線 BL 的電位。藉由將該電位的不同用來判斷多值資料，可以將寫入到記憶單元 500 的多值資料讀出。

[0257] 如上所述，能夠以不根據多值資料的個數切換用來讀出資料的信號的方式從記憶單元讀出多值資料。

[0258]

〈記憶體 2〉

以下，參照圖 17A 和圖 17B 說明與記憶體 1 不同的半導體記憶體裝置的電路結構及其工作。

[0259] 在圖 17A 中，作為本發明的一個方式的半導體記憶體裝置示出記憶體裝置 600。圖 17A 所示的記憶體裝置 600 包括記憶元件部 602、第一驅動電路 604 以及第二驅動電路 606。

[0260] 在記憶元件部 602 中，多個記憶元件 608 配

置為矩陣狀。在圖 17A 所示的例子中，記憶元件部 602 配置有 5 行 6 列的記憶元件 608。

[0261] 第一驅動電路 604 及第二驅動電路 606 控制對記憶元件 608 供應信號，在進行讀出時取得來自記憶元件 608 的信號。例如，作為第一驅動電路 604 使用字線驅動電路，作為第二驅動電路 606 使用位元線驅動電路。但是，不侷限於此，作為第一驅動電路 604 也可以使用位元線驅動電路，作為第二驅動電路 606 也可以使用字線驅動電路。

[0262] 此外，第一驅動電路 604 與第二驅動電路 606 分別藉由記憶元件 608 和佈線電連接。

[0263] 記憶元件 608 包括揮發性記憶體及非揮發性記憶體。圖 17B 示出記憶元件 608 的具體電路結構的一個例子。圖 17B 所示的記憶元件 608 包括第一記憶體電路 610 及第二記憶體電路 612。

[0264] 第一記憶體電路 610 包括第一電晶體 614、第二電晶體 616、第三電晶體 618、第四電晶體 620、第五電晶體 622 以及第六電晶體 624。

[0265] 首先，說明第一記憶體電路 610 的結構。第一電晶體 614 的源極和汲極中的一個電連接於第一端子 630，第一電晶體 614 的閘極電連接於第二端子 632。第二電晶體 616 的源極和汲極中的一個電連接於高電位電源線 Vdd，第二電晶體 616 的源極和汲極中的另一個電連接於第一電晶體 614 的源極和汲極中的另一個、第三電晶體

618 的源極和汲極中的一個及第一資料保持部 640。第三電晶體 618 的源極和汲極中的另一個電連接於低電位電源線 V_{ss} 。第二電晶體 616 的閘極和第三電晶體 618 的閘極電連接於第二資料保持部 642。

[0266] 第四電晶體 620 的源極和汲極中的一個電連接於第三端子 634，第四電晶體 620 的閘極電連接於第四端子 636。第五電晶體 622 的源極和汲極中的一個電連接於高電位電源線 V_{dd} ，第五電晶體 622 的源極和汲極中的另一個電連接於第四電晶體 620 的源極和汲極中的另一個、第六電晶體 624 的源極和汲極中的一個、第二資料保持部 642。第六電晶體 624 的源極和汲極中的另一個電連接於低電位電源線 V_{ss} 。第五電晶體 622 的閘極和第六電晶體 624 的閘極電連接於第一資料保持部 640。

[0267] 第一電晶體 614、第三電晶體 618、第四電晶體 620 及第六電晶體 624 是 n 通道型電晶體。

[0268] 第二電晶體 616 及第五電晶體 622 是 p 通道型電晶體。

[0269] 第一端子 630 電連接於位元線。第二端子 632 電連接於第一字線。第三端子 634 電連接於反轉位元線。第四端子 636 電連接於第一字線。

[0270] 藉由具有如上所說明的結構，第一記憶體電路 610 構成 SRAM。就是說，第一記憶體電路 610 是揮發性記憶體。在本發明的一個方式的記憶體裝置 600 中，設置在第一記憶體電路 610 中的第一資料保持部 640 及第二

資料保持部 642 電連接於第二記憶體電路 612。

[0271] 第二記憶體電路 612 包括第七電晶體 626 以及第八電晶體 628。

[0272] 接著，說明第二記憶體電路 612 的結構。第七電晶體 626 的源極和汲極中的一個電連接於第二資料保持部 642，第七電晶體 626 的源極和汲極中的另一個電連接於第一電容元件 648 的一個電極。低電位電源線 V_{ss} 電連接於第一電容元件 648 的另一個電極。第八電晶體 628 的源極和汲極中的一個電連接於第一資料保持部 640，第八電晶體 628 的源極和汲極中的另一個電連接於第二電容元件 650 中的一個電極。低電位電源線 V_{ss} 電連接於第二電容元件 650 的另一個電極。第七電晶體 626 的閘極和第八電晶體 628 的閘極電連接於第五端子 638。

[0273] 第五端子 638 電連接於第二字線。注意，既可以採用根據第一字線和第二字線中的一個的工作而控制第一字線和第二字線中的另一個的信號的結構，又可以採用分別獨立地控制第一字線和第二字線的結構。

[0274] 第七電晶體 626 及第八電晶體 628 是關態電流低的電晶體。注意，雖然在圖 17B 所例示的結構中第七電晶體 626 及第八電晶體 628 是 n 通道型電晶體，但是不侷限於此。

[0275] 在第七電晶體 626 與第一電容元件 648 中的一個電極之間形成有第三資料保持部 644。在第八電晶體 628 與第二電容元件 650 中的一個電極之間形成有第四資

料保持部 646。由於第七電晶體 626 及第八電晶體 628 的關態電流小，所以可以長時間保持第三資料保持部 644 及第四資料保持部 646 中的電荷。就是說，第二記憶體電路 612 是非揮發性記憶體。

[0276] 第七電晶體 626 及第八電晶體 628 都是關態電流低的電晶體。

[0277] 如上所述，第一記憶體電路 610 是揮發性記憶體，第二記憶體電路 612 是非揮發性記憶體，作為第一記憶體電路 610 的資料保持部的第一資料保持部 640 及第二資料保持部 642 藉由關態電流低的電晶體電連接於作為第二記憶體電路 612 的資料保持部的第三資料保持部 644 及第四資料保持部 646。因此，藉由控制關態電流低的電晶體的閘極電位，可以將第一記憶體電路 610 的資料備份在第二記憶體電路 612 的資料保持部中。另外，藉由使用關態電流的電晶體，即使在對記憶元件 608 沒有供應電力的情況下也可以在第三資料保持部 644 及第四資料保持部 646 中長期間保持儲存資料。

[0278] 如上所述，在圖 17B 所示的記憶元件 608 中，可以將揮發性記憶體的資料備份在非揮發性記憶體中。

[0279] 此外，因為第一記憶體電路 610 構成 SRAM，所以被要求高速工作。另一方面，第二記憶體電路 612 在停止電力的供應之後被需要長期間保持資料。藉由使用能夠進行高速工作的電晶體形成第一記憶體電路

610 並且使用關態電流低的電晶體形成第二記憶體電路 612，可以實現上述結構。例如，利用使用矽的電晶體形成第一記憶體電路 610，利用使用氧化物半導體膜的電晶體形成第二記憶體電路 612，即可。

[0280] 在本發明的一個方式的記憶體裝置 600 中，在使第一電晶體 614 及第四電晶體 620 導通而將資料寫入到作為揮發性記憶體的第一記憶體電路 610 的資料保持部時，在第二記憶體電路 612 所包括的第七電晶體 626 及第八電晶體 628 處於導通狀態的情況下，將電荷儲存在第二記憶體電路 612 所包括的第一電容元件 648 及第二電容元件 650 中，以使第一記憶體電路 610 的資料保持部(第一資料保持部 640 及第二資料保持部 642)保持所定的電位。由此，在將資料寫入到第一記憶體電路 610 的資料保持部時，在第七電晶體 626 和第八電晶體 628 處於導通狀態的情況下，阻礙記憶元件 608 的高速工作。此外，當利用使用矽的電晶體形成第二記憶體電路 612 時，難以充分降低關態電流，所以不容易長期間在第二記憶體電路 612 中保持儲存資料。

[0281] 於是，在本發明的一個方式的半導體記憶體裝置中，在將資料寫入到第一記憶體電路 610 的資料保持部(揮發性記憶體)時，使配置在第一記憶體電路 610 的資料保持部與第二記憶體電路 612 的資料保持部之間的電晶體(即，第七電晶體 626 及第八電晶體 628)關閉。由此，實現記憶元件 608 的高速工作。此外，在對第一記憶體電

路 610 的資料保持部不進行寫入及讀出(即，第一電晶體 614 及第四電晶體 620 處於關閉狀態)的情況下，使配置在第一記憶體電路 610 的資料保持部與第二記憶體電路 612 的資料保持部之間的電晶體導通。

[0282] 以下示出對記憶元件 608 的揮發性記憶體寫入資料時的具體工作。首先，使處於導通狀態的第七電晶體 626 及第八電晶體 628 關閉。接著，使第一電晶體 614 及第四電晶體 620 導通，對第一記憶體電路 610 的資料保持部(第一資料保持部 640 及第二資料保持部 642)供應所定的電位，然後使第一電晶體 614 及第四電晶體 620 關閉。之後，使第七電晶體 626 及第八電晶體 628 導通。由此，在第二記憶體電路 612 的資料保持部中，對應於保持在第一記憶體電路 610 的資料保持部中的資料的資料被保持。

[0283] 另外，在使第一電晶體 614 及第四電晶體 620 導通以至少對第一記憶體電路 610 的資料保持部寫入資料時，使第二記憶體電路 612 所包括的第七電晶體 626 及第八電晶體 628 關閉。但是，在使第一電晶體 614 及第四電晶體 620 導通以從第一記憶體電路 610 的資料保持部讀出資料時，第二記憶體電路 612 所包括的第七電晶體 626 及第八電晶體 628 可以為關閉或導通。

[0284] 此外，在停止對記憶元件 608 供應電力的情況下，在剛停止對記憶元件 608 供應電力之前，使配置在第一記憶體電路 610 的資料保持部與第二記憶體電路 612

的資料保持部之間的電晶體(即，第七電晶體 626 及第八電晶體 628)關閉，進行保持在第二記憶體電路 612 中的資料的非揮發性化。在剛停止對揮發性記憶體供應電力之前使第七電晶體 626 及第八電晶體 628 關閉的單元既可以安裝在第一驅動電路 604 及第二驅動電路 606 中，又可以設置在控制這些驅動電路的另一個控制電路中。

[0285] 在此，在配置在第一記憶體電路 610 的資料保持部與第二記憶體電路 612 的資料保持部之間的第七電晶體 626 及第八電晶體 628 中，既可以按每個記憶元件切換導通和關閉，又可以將記憶元件部 602 分為幾個塊而按每個塊切換導通和關閉。

[0286] 當將第一記憶體電路 610 用作 SRAM 時，使配置在第一記憶體電路 610 的資料保持部與第二記憶體電路 612 的資料保持部之間的電晶體關閉，由此在第一記憶體電路 610 中可以保持資料而在第二記憶體電路 612 所包括的第一電容元件 648 及第二電容元件 650 中不儲存電荷，從而可以使記憶元件 608 高速工作。

[0287] 另外，在本發明的一個方式的記憶體裝置 600 中，也可以在停止對記憶體裝置 600 供應電力(遮斷記憶體裝置 600 的電源)之前，只有使最後重寫資料的記憶元件 608 所包括的配置在第一記憶體電路 610 的資料保持部與第二記憶體電路 612 的資料保持部之間的電晶體導通。此時，藉由將最後重寫資料的記憶元件 608 的位址儲存在外部記憶體中，可以順利地進行備份。

[0288] 但是，本發明的一個方式的半導體記憶體裝置的驅動方法不侷限於上述說明。

[0289] 如上所述，可以使記憶體裝置 600 高速工作。此外，因為只有在一部分的記憶元件中進行資料的備份，連所以可以抑制耗電量。

[0290] 注意，在此，雖然作為揮發性記憶體使用了 SRAM，但是並不侷限於此，也可以使用其他的揮發性記憶體。

[0291]

〈CPU〉

圖 18A 至圖 18C 是示出將上述電晶體或半導體記憶體裝置用於至少其一部分的 CPU 的具體結構的方塊圖。

[0292] 圖 18A 所示的 CPU 在基板 1190 上包括：ALU1191(Arithmetic logic unit：算術邏輯單元)；ALU 控制器 1192；指令解碼器 1193；中斷控制器 1194；時序控制器 1195；暫存器 1196；暫存器控制器 1197；匯流排介面 1198(Bus I/F)；可改寫的 ROM1199；以及 ROM 介面 1189(ROM I/F)。作為基板 1190，使用半導體基板、SOI 基板及玻璃基板等。ROM1199 和 ROM 介面 1189 可以設置在另一晶片上。當然，圖 18A 所示的 CPU 只是將其結構簡化而示出的一個例子，並且實際上的 CPU 根據其用途具有多種結構。

[0293] 藉由匯流排介面 1198 輸入到 CPU 的指令輸入到指令解碼器 1193 且被進行解碼之後，輸入到 ALU 控

制器 1192、中斷控制器 1194、暫存器控制器 1197 和時序控制器 1195。

[0294] 根據被解碼的指令，ALU 控制器 1192、中斷控制器 1194、暫存器控制器 1197、時序控制器 1195 進行各種控制。明確而言，ALU 控制器 1192 產生用來控制 ALU1191 的工作的信號。另外，當 CPU 在執行程式時，中斷控制器 1194 根據其優先度或遮罩狀態而判斷來自外部的輸入/輸出裝置或週邊電路的中斷要求，且處理該要求。暫存器控制器 1197 產生暫存器 1196 的位址，並根據 CPU 的狀態進行從暫存器 1196 的讀出或對暫存器 1196 的寫入。

[0295] 另外，時序控制器 1195 產生控制 ALU1191、ALU 控制器 1192、指令解碼器 1193、中斷控制器 1194 以及暫存器控制器 1197 的工作時序的信號。例如，時序控制器 1195 具備根據基準時脈信號 CLK1 產生內部時脈信號 CLK2 的內部時脈產生部，將內部時脈信號 CLK2 供應到上述各種電路。

[0296] 在圖 18A 所示的 CPU 中，在暫存器 1196 中設置有記憶單元。作為暫存器 1196 的記憶單元，可以使用上述電晶體。

[0297] 在圖 18A 所示的 CPU 中，暫存器控制器 1197 根據來自 ALU1191 的指示，進行暫存器 1196 中的保持工作的選擇。換言之，在暫存器 1196 所具有的記憶單元中，選擇利用正反器進行資料的保持還是利用電容元件進

行資料的保持。當選擇利用正反器進行資料的保持時，進行對暫存器 1196 中的記憶單元的電源電壓的供應。當選擇利用電容元件進行資料保持時，進行對電容元件的資料改寫，而可以停止對暫存器 1196 內的記憶單元的電源電壓的供應。

[0298] 如圖 18B 或圖 18C 所示那樣，藉由在記憶單元群與被供應高電源電位 VDD 或低電源電位 VSS 的節點之間設置切換元件，可以停止電源電壓的供應。以下說明圖 18B 和圖 18C 所示的電路。

[0299] 在圖 18B 和圖 18C 中示出一種作為控制對記憶單元供應電源電位的切換元件使用上述電晶體的記憶體裝置。

[0300] 圖 18B 所示的記憶體裝置包括切換元件 1141 以及具有多個記憶單元 1142 的記憶單元群 1143。明確而言，各記憶單元 1142 可以使用上述電晶體。高電源電位 VDD 藉由切換元件 1141 被供應到記憶單元群 1143 所具有的各記憶單元 1142。並且，信號 IN 的電位和低電源電位 VSS 的電位被供應到記憶單元群 1143 所具有的各記憶單元 1142。

[0301] 在圖 18B 中，作為切換元件 1141 使用上述電晶體，該電晶體的開關受控於供應到其閘極電極層的信號 SigA。

[0302] 此外，在圖 18B 中，示出切換元件 1141 只具有一個電晶體的結構，但是不侷限於此，也可以具有多個

電晶體。當切換元件 1141 具有多個用作切換元件的電晶體時，既可以將上述多個電晶體並聯，又可以將上述多個電晶體串聯，還可以組合並聯和串聯。

[0303] 此外，在圖 18B 中，由切換元件 1141 控制對記憶單元群 1143 所包含的各記憶單元 1142 供應高電源電位 VDD，但是也可以由切換元件 1141 控制供應低電源電位 VSS。

[0304] 另外，圖 18C 示出記憶體裝置的一個例子，其中低電源電位 VSS 藉由切換元件 1141 被供應到記憶單元群 1143 所具有的各記憶單元 1142。由切換元件 1141 可以控制對記憶單元群 1143 所具有的各記憶單元 1142 供應低電源電位 VSS。

[0305] 在記憶單元群與被施加高電源電位 VDD 或低電源電位 VSS 的節點之間設置切換元件，當暫時停止 CPU 的工作，停止電源電壓的供應時也可以保持資料，由此可以降低耗電量。明確而言，例如，在個人電腦的使用者停止對鍵盤等輸入裝置輸入資訊的期間中也可以停止 CPU 的工作，由此可以降低耗電量。

[0306] 在此，以 CPU 為例子進行說明，但是也可以應用於 DSP(Digital Signal Processor：數位訊號處理器)、定製 LSI、FPGA(Field Programmable Gate Array：現場可程式邏輯閘陣列)等的 LSI。

[0307]

〈設置的例子〉

在圖 19A 的電視機 8000 中，外殼 8001 組裝有顯示部 8002，利用顯示部 8002 可以顯示影像，並且從揚聲器部 8003 可以輸出聲音。

[0308] 電視機 8000 也可以具備接收機及數據機等。電視機 8000 可以藉由利用接收機，接收一般的電視廣播。再者，藉由數據機連接到有線或無線方式的通信網路，也可以進行單向(從發送者到接收者)或雙向(發送者和接收者之間或接收者之間等)的資訊通信。

[0309] 此外，電視機 8000 也可以具備用來進行資訊通信的 CPU、記憶體等。電視機 8000 也可以使用上述顯示裝置、記憶體或 CPU。

[0310] 在圖 19A 中，警報裝置 8100 是一種住宅用火災警報器，該警報器具有檢測部以及微型電腦 8101。微型電腦 8101 包括使用上述電晶體的 CPU。

[0311] 在圖 19A 中，具有室內機 8200 及室外機 8204 的空調器包括使用上述電晶體的 CPU。明確而言，室內機 8200 具有外殼 8201、送風口 8202、CPU8203 等。在圖 19A 中，例示出 CPU8203 設置在室內機 8200 中的情況，但是 CPU8203 也可以設置在室外機 8204 中。或者，也可以在室內機 8200 和室外機 8204 的兩者中設置有 CPU8203。藉由包括使用上述電晶體的 CPU，可以使空調器實現低功耗化。

[0312] 在圖 19A 中，電冷藏冷凍箱 8300 包括使用上述電晶體的 CPU。明確而言，電冷藏冷凍箱 8300 包括外

殼 8301、冷藏室門 8302、冷凍室門 8303 及 CPU8304 等。在圖 19A 中，CPU8304 設置在外殼 8301 的內部。藉由包括使用上述電晶體的 CPU，可以使電冷藏冷凍箱 8300 實現低功耗化。

[0313] 圖 19B 及圖 19C 示出一種電動汽車的例子。電動汽車 9700 安裝有二次電池 9701。二次電池 9701 的電力由控制電路 9702 調整輸出而供給到驅動裝置 9703。控制電路 9702 由具有未圖示的 ROM、RAM、CPU 等的處理裝置 9704 控制。藉由包括使用上述電晶體的 CPU，可以使電動汽車 9700 實現低功耗化。

[0314] 驅動裝置 9703 是利用直流電動機或交流電動機的，或者將電動機和內燃機組合而構成的。處理裝置 9704 根據電動汽車 9700 的駕駛員的操作資訊(加速、減速、停止等)、行車資訊(爬坡、下坡等，或者行車中的車輪受到的負載等)等的輸入資訊，向控制電路 9702 輸出控制信號。控制電路 9702 利用處理裝置 9704 的控制信號調整從二次電池 9701 供應的電能控制驅動裝置 9703 的輸出。當安裝交流電動機時，雖然未圖示，但是還安裝有將直流轉換為交流的逆變器。

[0315] 注意，在本實施方式中，描述了基本原理的一個例子。因此，可以將本實施方式的一部分或全部自由地組合於、應用於或替換為其他實施方式的一部分或全部而實施。

【符號說明】

[0316]

100：顆粒

103：nc-OS 膜

120：離子

130：區域

150：基板

160：底板

170a：磁鐵

170b：磁鐵

170c：磁鐵

180：靶材

185：劈開面

190：磁力線

200：基板

202：基底絕緣膜

204：閘極電極

206：氧化物半導體膜

212：閘極絕緣膜

216a：源極電極

216b：汲極電極

218：保護絕緣膜

226a：佈線

226b：佈線

300：基板
304：閘極電極
306：氧化物半導體膜
312：閘極絕緣膜
316a：源極電極
316b：汲極電極
318：保護絕緣膜
326a：佈線
326b：佈線
500：記憶單元
511：電晶體
512：電晶體
513：電晶體
514：電容元件
600：記憶體裝置
602：記憶元件部
604：驅動電路
606：驅動電路
608：記憶元件
610：記憶體電路
612：記憶體電路
614：電晶體
616：電晶體
618：電晶體

620 : 電 晶 體

622 : 電 晶 體

624 : 電 晶 體

626 : 電 晶 體

628 : 電 晶 體

630 : 端 子

632 : 端 子

634 : 端 子

636 : 端 子

638 : 端 子

640 : 資 料 保 持 部

642 : 資 料 保 持 部

644 : 資 料 保 持 部

646 : 資 料 保 持 部

648 : 電 容 元 件

650 : 電 容 元 件

701 : 像 素 部

702 : 電 晶 體

703 : 像 素

704 : 掃 描 線 驅 動 電 路

705 : 電 容 元 件

705a : 電 容 元 件

706 : 信 號 線 驅 動 電 路

707 : 掃 描 線

709：信號線
 715：電容線
 721：液晶元件
 731：發光元件
 733：電晶體
 735：電晶體
 737：佈線
 739：佈線
 741：佈線
 811：基板
 813：閘極電極
 815：閘極絕緣膜
 815a：氮化物絕緣膜
 815b：氧化物絕緣膜
 817：氧化物半導體膜
 817a：氧化物半導體膜
 817b：導電膜
 819：電極
 820：電極
 883：氧化物絕緣膜
 885：氧化物絕緣膜
 887：氮化物絕緣膜
 891：閘極電極
 892：電極

- 893：開口部
- 894：開口部
- 1141：切換元件
- 1142：記憶單元
- 1143：記憶單元群
- 1189：ROM 介面
- 1190：基板
- 1191：ALU
- 1192：ALU 控制器
- 1193：指令解碼器
- 1194：中斷控制器
- 1195：時序控制器
- 1196：暫存器
- 1197：暫存器控制器
- 1198：匯流排介面
- 1199：ROM
- 8000：電視機
- 8001：外殼
- 8002：顯示部
- 8003：揚聲器部
- 8100：警報裝置
- 8101：微型電腦
- 8200：室內機
- 8201：外殼

8202 : 送風口

8203 : CPU

8204 : 室外機

8300 : 電冷藏冷凍箱

8301 : 外殼

8302 : 冷藏室門

8303 : 冷凍室門

8304 : CPU

9700 : 電動汽車

9701 : 二次電池

9702 : 控制電路

9703 : 驅動裝置

9704 : 處理裝置

發明摘要

※申請案號：102141276

※申請日：102 年 11 月 13 日

※IPC 分類：

H01L 21/205 2006.01
H01L 29/178 2006.01

【發明名稱】(中文/英文)

氧化物半導體膜、氧化物半導體膜的製作方法及半導體裝置

【中文】

本發明的一個方式的目的之一是提供一種結晶氧化物半導體膜以及使用該氧化物半導體膜的半導體裝置。本發明的一個方式是一種基板上的氧化物半導體膜，其中，氧化物半導體膜包括多個平板狀的粒子，多個該平板狀的粒子具有使用包含銻原子、鋅原子及氧原子的層夾住包含銦原子及氧原子的層的上下的結構，多個平板狀的粒子以不規則的方向配置，並且，在使用穿透式電子顯微鏡時觀察不到晶界。

【英文】

【代表圖】

【本案指定代表圖】：第(1A)圖。

【本代表圖之符號簡單說明】：無

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無

申請專利範圍

1.一種氧化物半導體膜，包含：

多個平板狀粒子，該多個平板狀粒子每者具有在包含銦原子及氧原子的層的上方及下方設置包含鎵原子、鋅原子及氧原子的層的結構，

其中，該多個平板狀粒子係被不規則地配置，且

在該氧化物半導體膜的奈米束電子繞射圖案中觀察到多個周向分佈斑點。

2.如申請專利範圍第 1 項之氧化物半導體膜，其中，使用穿透式電子顯微鏡時觀察不到晶界。

3.如申請專利範圍第 1 項之氧化物半導體膜，其中，該多個平板狀粒子每者具有大於或等於 0.5nm 且小於或等於 0.9nm 的厚度、及大於或等於 1nm 且小於或等於 3nm 的平面的圓當量直徑。

4.如申請專利範圍第 1 項之氧化物半導體膜，其中，該多個平板狀粒子每者在原子排列中具有規則性。

5.如申請專利範圍第 1 項之氧化物半導體膜，其中，電子束的束徑係大於或等於 1nm 且小於或等於 30nm 。

6.如申請專利範圍第 1 項之氧化物半導體膜，其中，在該氧化物半導體膜的選區電子繞射圖案中觀察到光暈圖案。

7.一種半導體裝置，包含：

閘極電極；

氧化物半導體膜；

在該閘極電極與該氧化物半導體膜之間的閘極絕緣層；以及

各自電性連接於該氧化物半導體膜的源極電極與汲極電極，

其中，該氧化物半導體膜包含多個平板狀粒子，該多個平板狀粒子每者具有在包含銦原子及氧原子的層的上方及下方設置包含鎵原子、鋅原子及氧原子的層的結構，

該多個平板狀粒子係被不規則地配置，且

在該氧化物半導體膜的奈米束電子繞射圖案中觀察到多個周向分佈斑點。

8.如申請專利範圍第 7 項之半導體裝置，其中，使用穿透式電子顯微鏡時觀察不到晶界。

9.如申請專利範圍第 7 項之半導體裝置，其中，該多個平板狀粒子每者具有大於或等於 0.5nm 且小於或等於 0.9nm 的厚度、及大於或等於 1nm 且小於或等於 3nm 的平面的圓當量直徑。

10.如申請專利範圍第 7 項之半導體裝置，其中，該多個平板狀粒子每者在原子排列中具有規則性。

11.如申請專利範圍第 7 項之半導體裝置，其中，電子束的束徑係大於或等於 1nm 且小於或等於 30nm 。

12.如申請專利範圍第 7 項之半導體裝置，其中，在該氧化物半導體膜的選區電子繞射圖案中觀察到光暈圖案。

13.一種氧化物半導體膜的製造方法，包含以下步

驟：

將多個平板狀粒子從包含銦、鎵、鋅之靶材分離，其中該多個平板狀粒子每者具有在包含銦原子及氧原子的層的上方及下方設置包含鎵原子、鋅原子及氧原子的層的結構；以及

於基板上方不規則地沉積該多個平板狀粒子，

其中，在該氧化物半導體膜的選區電子繞射圖案中觀察到光暈圖案。

14.如申請專利範圍第 13 項之氧化物半導體膜的製造方法，其中，該基板的溫度係高於或等於 15°C 且低於或等於 35°C 。

15.如申請專利範圍第 13 項之氧化物半導體膜的製造方法，其中，該包含銦、鎵、鋅之靶材具有 InGaZnO_4 之組成式。

16.如申請專利範圍第 13 項之氧化物半導體膜的製造方法，其中，該多個平板狀粒子的該分離係透過離子與該靶材的碰撞而發生。