

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 21/76 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년03월13일 10-0559990 2006년03월06일
---	-------------------------------------	--

(21) 출원번호	10-2003-0100712	(65) 공개번호	10-2005-0068896
(22) 출원일자	2003년12월30일	(43) 공개일자	2005년07월05일

(73) 특허권자	동부아남반도체 주식회사 서울 강남구 대치동 891-10
(72) 발명자	고관주 경기도부천시원미구중4동금강마을407-101
(74) 대리인	서천석

심사관 : 김수미

(54) 반도체 장치의 소자 분리체 및 그 형성방법

요약

본 발명은 반도체 장치의 소자 분리체 및 그 형성방법에 관한 것으로, 본 발명에서는 소자 분리 영역의 저부에 트렌치와 연통된 상태로 반도체 기판의 좌우 측으로 길게 확장된 일련의 매몰 갭, 매몰 절연층 등을 추가 형성하고, 이 매몰 갭, 매몰 절연층 등을 기반으로 하여, 최종 완성되는 소자 분리체가 반도체 기판의 유효 액티브 영역을 불필요하게 침범하지 않으면서도, 자신의 절연 기능을 최적의 상태로 유지할 수 있도록 유도할 수 있다. 이처럼, 매몰 갭, 매몰 절연층 등의 추가 형성을 통해, 소자 분리체의 절연능력이 일정 수준 이상으로 강화되면, 액티브 영역에 배치된 각 트랜지스터들은 각자의 고속 동작으로 인해, 상호 간 누설전류량이 대폭 증가하게 되더라도, 불필요한 특성열화를 손쉽게 피할 수 있게 되며, 그 결과, 최종 완성되는 반도체 소자의 품질은 자연스럽게 향상될 수 있게 된다.

또한, 본 발명에서는 이온 주입 공정을 통해 소자 분리 영역의 저부에 매몰 산화막을 사전 형성한 후, 이 매몰 산화막의 제거를 통해 소자 분리 영역의 저부에 일련의 빈 공간이 자연스럽게 정의될 수 있도록 하고, 이를 통해, 최종 완성되는 소자 분리체가 고가의 충전 물질을 이용하지 않고서도, 일련의 에어 갭을 효과적으로 보유할 수 있도록 함으로써, 전체적인 반도체 소자의 제조비용을 대폭 저감시킬 수 있다.

대표도

도 2

명세서

도면의 간단한 설명

도 1a 내지 도 1e는 종래의 기술에 따른 반도체 장치의 소자 분리체 형성방법을 순차적으로 도시한 공정순서도.

도 2는 본 발명에 따른 소자 분리체를 채용한 반도체 장치를 도시한 예시도.

도 3a 내지 도 3i는 본 발명에 따른 소자 분리체의 형성방법을 순차적으로 도시한 공정순서도.

도 4는 본 발명의 다른 실시예에 따른 소자 분리체를 채용한 반도체 장치를 도시한 예시도.

도 5a 내지 도 5f는 본 발명의 다른 실시예에 따른 소자 분리체의 형성방법을 순차적으로 도시한 공정순서도.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 소자 분리체(Active cell isolation body)에 관한 것으로, 좀더 상세하게는 트렌치와 함께, 소자 분리 영역의 저부에 위치하면서, 반도체 기관의 좌우 측으로 길게 확장된 일련의 매몰 갭, 매몰 절연층 등을 추가 구비하고, 이 매몰 갭, 매몰 절연층 등을 기반으로 하여, 반도체 기관의 유효 액티브 영역을 불필요하게 침범하지 않으면서도, 최적의 절연 기능을 유지할 수 있는 소자 분리체에 관한 것이다. 또한, 본 발명은 이러한 소자 분리체를 형성하는 방법에 관한 것이다.

최근, 반도체 장치의 미세 공정기술이 급격한 발전을 이루면서, 액티브 소자(Active cell)간을 분리하는 소자분리 기술은 반도체 장치의 미세화 측면에 있어서, 매우 중요한 기술요소 중의 하나로 대두되고 있다.

통상, 종래의 기술에 따른 반도체 장치의 소자분리 기술로는 기관 상에 두꺼운 산화막을 선택적으로 성장시켜, 일련의 소자 분리체를 형성하는 이른바 "로코스(LOCOS:Local Oxidation Of Silicon) 기술이 주종을 이루었다.

그러나, 이 로코스 기술은 소자 분리막의 측면확산 및 버즈비크(Bird's beak) 현상으로 인해 소자 분리영역의 폭을 일정 수준 이하로 줄일 수 없는 치명적인 단점을 지니고 있었기 때문에, 근래에 들어, 이 로코스 기술의 단점을 극복할 수 있는 새로운 방안으로써, "트렌치(Trench) 기술", "셴로우 트렌치 분리(STI:Shallow Trench isolation, 이하, "STI"라 칭함) 기술", "에어 갭(Air gap) STI 기술" 등이 신규 개발되어, 폭 넓게 보급되고 있다.

앞서 언급한 종래의 STI 기술 체제, 예를 들어, 에어 갭 STI 기술 체제 하에서, 소자 분리체는 도 1a에 도시된 바와 같이, 우선, 반도체 기관(1) 상에 희생 산화막(11) 및 희생 질화막(12)을 형성시키고, 감광막 패턴(13)을 통해, 이 희생 산화막(11) 및 희생 질화막(12)을 패터닝하는 단계, 패터닝된 희생 산화막(11) 및 희생 질화막(12)을 마스크로 하여, 반도체 기관(1)의 소자 분리 영역(FR)에 트렌치(2)를 형성시키고, 이 트렌치(2)의 식각면에 산화막(3)을 성장시키는 단계, 도 1b에 도시된 바와 같이, 트렌치(2)의 내부 공간에 충전 물질(4:Filler material)을 채운 후, 이 충전 물질(4)을 포함하는 반도체 기관(1)의 상부에 캡 층(5:Cap layer)을 형성하는 단계, 도 1c에 도시된 바와 같이, 트렌치(2) 내부에 채워져 있던 충전 물질(4)을 기화시켜, 트렌치(2)의 내부에 일련의 에어 갭(g)을 형성한 후, 트렌치(2)를 포함하는 캡 층(5)의 상부에 절연층(6a)을 두껍게 증착하는 단계, 이 절연층(6a)을 평탄화하여, 도 1d에 도시된 바와 같이, 트렌치(2)의 상부에 소자 분리막(6)을 형성시키는 단계, 도 1e에 도시된 바와 같이, 희생 산화막(11) 및 희생 질화막(12)을 제거하는 단계를 통해 제조된다.

앞의 각 단계를 통해 제조되는 소자 분리체(7)는 추후, 액티브 영역(AR)에 일련의 액티브 소자들이 형성되는 경우, 이 액티브 소자들을 안정적으로 절연시키는 역할을 수행한다.

이러한 종래의 STI 기술 체제 하에서, 트렌치(2)의 규모를 어떻게 형상화하는가의 문제는 최종 완성되는 반도체 소자의 품질을 결정짓는데 있어, 매우 중요한 요소로 작용한다.

이는 만약, 트렌치(2)의 규모를 너무 적게 형성하는 경우, 소자 분리체(7) 고유의 소자간 분리기능이 대폭 약화됨으로써, 반도체 기관(1)의 액티브 영역(AR)에 형성된 액티브 소자간에 불필요한 간섭이 일어나는 심각한 문제점이 야기될 수 있기 때문이다.

그러나, 이처럼 트렌치(2)의 규모 축소가 소자간 분리기능 약화에 큰 악 영향을 미친다 하더라도, 이를 극복하기 위해 트렌치(2)의 규모를 늘리는 방안을 무작정 강구할 수만은 없는 것이 현실이다.

이는 만약, 트렌치(2)의 규모를 너무 크게 확장하는 경우, 그 여파로, 액티브 영역(AR)의 유효 규모가 대폭 줄어들게 됨으로써, 추후, 액티브 소자들의 구성이 어려워지는 심각한 문제점이 야기될 수 있기 때문이다.

이와 같이, 종래 에서는 트렌치(2)의 규모 축소가 소자간 분리기능 약화에 큰 악 영향을 미친다는 사실을 깊이 인식하면서도, 액티브 영역(AR)의 유효 규모 축소 문제를 고려하여, 이에 대한 구체적인 대응방안을 마련하지 못하고 있는 실정이다.

물론, 트렌치(2)의 규모가 축소된 상황에서, 별도의 조치가 취해지지 않는 경우, 액티브 영역(AR)에 최종 형성되는 액티브 소자들은 소자 분리체(7)의 절연기능 실패로 인해, 불필요한 특성 열화를 겪을 수밖에 없게 된다.

한편, 앞서 언급한 바와 같이, 종래의 STI 체제 하에서, 에어 갭(g)을 형성하기 위해서는 트렌치(2)의 내부에 충전 물질(4)을 채우고, 이 충전 물질(4)을 기화시키는 과정이 반드시 선행되어야 한다.

그러나, 이러한 충전 물질(4), 예컨대, 비정질 탄소, 실리카 겔(Silica gel), 실릭산 폴리뷰타디엔(Silic acid Polybutadiene) 등은 예컨대, <주변의 산화막들보다 더 낮은 온도 조건에서 기화되어야 한다>라는 까다로운 조건을 만족시킬 수 있는 고가의 재료이기 때문에, 종래의 에어 갭 STI 체제 하에서, 충전 물질(4)의 사용이 완전히 배제되지 않는 한, 전체적인 반도체 소자 제조비용은 어쩔 수 없이 크게 증가할 수밖에 없게 된다.

발명이 이루고자 하는 기술적 과제

따라서, 본 발명의 목적은 소자 분리 영역의 저부에 트렌치와 연통된 상태로 반도체 기판의 좌우 측으로 길게 확장된 일련의 매몰 갭, 매몰 절연층 등을 추가 형성하고, 이 매몰 갭, 매몰 절연층 등을 기반으로 하여, 최종 완성되는 소자 분리체가 반도체 기판의 유효 액티브 영역을 불필요하게 침범하지 않으면서도, 자신의 절연 기능을 최적의 상태로 유지할 수 있도록 유도하는데 있다.

본 발명의 다른 목적은 매몰 갭, 매몰 절연층 등의 추가 형성을 통해, 소자 분리체의 절연능력을 일정 수준 이상으로 강화하고, 이를 통해, 만약, 액티브 영역에 배치된 액티브 소자들의 고속화로 인해, 해당 액티브 소자들 상호 간 누설전류량이 대폭 증가하게 되더라도, 소자 분리체가 이에 탄력적으로 대응할 수 있도록 유도하는데 있다.

본 발명의 또 다른 목적은 소자 분리체의 절연기능 강화를 통해, 액티브 소자들 간 전류 누설을 최소화함으로써, 해당 액티브 소자들의 특성열화를 미리 차단시키는데 있다.

본 발명의 또 다른 목적은 이온 주입 공정을 통해 소자 분리 영역의 저부에 매몰 산화막을 사전 형성한 후, 이 매몰 산화막의 제거를 통해 소자 분리 영역의 저부에 일련의 빈 공간이 자연스럽게 정의될 수 있도록 하고, 이를 통해, 최종 완성되는 소자 분리체가 고가의 충전 물질을 이용하지 않고서도, 일련의 에어 갭을 효과적으로 보유할 수 있도록 함으로써, 전체적인 반도체 소자의 제조비용을 대폭 저감시키는데 있다.

본 발명의 또 다른 목적들은 다음의 상세한 설명과 첨부된 도면으로부터 보다 명확해질 것이다.

발명의 구성 및 작용

상기한 바와 같은 목적을 달성하기 위하여 본 발명에서는 반도체 기판의 소자 분리 영역에 일정 깊이로 패여 식각 형성된 트렌치와, 소자 분리 영역의 저부에 매몰되어, 트렌치와 연통되면서, 반도체 기판의 액티브 영역 측으로 펼쳐진 매몰 절연층과, 트렌치의 내부 공간을 채워 매몰 갭을 폐쇄하는 소자 분리막의 조합으로 이루어지는 반도체 장치의 소자 분리체를 개시한다.

또한, 본 발명의 다른 측면에서는 반도체 기판의 소자 분리 영역을 타겟으로 하여, 이온을 선택적으로 주입하는 단계와, 앞의 이온을 확산시켜, 소자 분리 영역의 저부에 위치하면서, 반도체 기판의 액티브 영역 측으로 펼쳐진 매몰 절연층을 형성하는 단계와, 소자 분리 영역을 식각하여, 매몰 절연층과 맞닿는 트렌치를 형성하는 단계와, 매몰 절연층을 식각하여, 트렌치와 연통된 매몰 갭을 형성하는 단계와, 매몰 갭이 폐쇄되도록 트렌치의 내부 공간에 소자 분리막을 선택적으로 채우는 단계의 조합으로 이루어지는 반도체 장치의 소자 분리체 형성방법을 개시한다.

이하, 첨부된 도면을 참조하여, 본 발명에 따른 반도체 장치의 소자 분리체 및 그 형성방법을 좀더 상세히 설명하면 다음과 같다.

도 2에 도시된 바와 같이, 본 발명에 따른 반도체 소자 체제 하에서, 반도체 기판(21)은 소자 분리체(26)에 의해 소자 분리 영역(FR) 및 액티브 영역(AR)으로 분리 정의된다. 이 상황에서, 반도체 기판(21)의 액티브 영역(AR)에는 액티브 소자, 예컨대, 전하의 흐름을 선택적으로 스위칭 하는 트랜지스터(40,50)가 배치되며, 이 경우, 트랜지스터(40,50)는 예컨대, 게이트 절연막 패턴(41,51), 게이트 전극 패턴(42,52), 스페이서(43,53), 소오스/드레인 확산층(44,54) 등이 조합된 구성을 취하게 된다.

이때, 도면에 도시된 바와 같이, 반도체 기판(21)의 소자 분리 영역(FR)에 배치되는 소자 분리체(26)는 반도체 기판(21)의 아래로 일정 깊이 패여 식각 형성된 트렌치(23)와, 소자 분리 영역(FR)의 저부에 매몰되어, 트렌치(23)와 연통되면서, 반도체 기판(21)의 액티브 영역(AR) 측으로 펼쳐진 매몰 겹(G)과, 이 트렌치(23) 및 매몰 겹(G)의 표면을 커버하는 기판보강 산화막(24)과, 트렌치(23)의 내부 공간을 뺀 채워 매몰 겹(G)을 폐쇄하면서, 일련의 소자 간 분리 기능을 수행하는 소자 분리막(25)이 조합된 구성을 취하게 된다. 즉, 본 발명의 체제 하에서, 소자 분리체(26)는 반도체 기판(21)의 액티브 영역(AR) 측으로 펼쳐진 매몰 겹(G)의 추가 형성으로 인해, 자신의 소자간 분리기능이 크게 강화된 구조를 취할 수 있게 되는 것이다.

물론, 이 경우, 매몰 겹(G)은 액티브 영역(AR)의 표면(21a)과 무관하게 반도체 기판(21)의 저부에 매몰 형성되는 구조를 취하기 때문에, 반도체 기판(21)의 액티브 영역(AR)은 매몰 겹(G)의 추가 형성에 의해 소자 분리체(26)의 소자간 분리기능이 강화된 상황 하에서도, 자신의 유효 규모를 정상적으로 유지할 수 있게 된다.

종래의 체제 하에서, 트렌치의 규모를 크게 확장시키는 경우, 소자 분리체는 자신의 소자간 분기기능이 크게 강화되는 이 점을 획득할 수 있었지만, 이 경우, 액티브 영역의 유효 규모가 대폭 줄어들게 됨으로써, 액티브 소자들의 구성이 어려워지는 심각한 문제점이 야기될 수 있었기 때문에, 종래에서는 트렌치의 규모 축소가 소자간 분리기능 약화에 큰 악 영향을 미친다는 사실을 깊이 인식하면서도, 이에 대한 구체적인 대응방안을 마련하지 못하고 있었다.

그러나, 본 발명의 체제 하에서, 소자 분리 영역(FR)의 저부에는 트렌치(23)와 연통된 상태로 반도체 기판(21)의 좌우 측으로 길게 확장된 일련의 매몰 겹(G)이 액티브 영역(AR)의 표면(21a)과 무관하게 추가 형성되기 때문에, 최종 완성되는 소자 분리체(26)는 반도체 기판(21)의 유효 액티브 영역(AR)을 불필요하게 침범하지 않으면서도, 자신의 절연 기능을 최적의 상태로 유지할 수 있게 되며, 결국, 본 발명의 구현 환경 하에서, 액티브 영역(AR)에 배치된 각 트랜지스터들(40,50)은 각자의 고속 동작으로 인해, 상호 간 누설전류량이 대폭 증가하게 되더라도, 불필요한 특성열화를 손쉽게 피할 수 있게 되며, 그 결과, 최종 완성되는 반도체 소자의 품질은 자연스럽게 향상될 수 있게 된다.

이하, 상술한 구성을 취하는 본 발명에 따른 소자 분리체의 형성방법을 상세히 설명한다.

도 3a에 도시된 바와 같이, 본 발명에서는 먼저, 일련의 고온 열산화 공정을 진행시켜, 단결정 실리콘 등과 같은 반도체 기판(21)의 전면 상에 예컨대, 40Å~150Å 정도의 두께를 갖는 희생 산화막(31)을 성장시킨다. 이 경우, 희생 산화막(31)은 추후 진행되는 후속 공정에 의해 반도체 기판(21)이 받을 수 있는 스트레스를 대폭 완화시켜주는 역할을 수행한다.

이어, 본 발명에서는 반도체 기판(21)의 소자 분리 영역(FR)에 감광막의 개구부가 위치하도록 일련의 감광막 패턴(41)을 앞의 희생 산화막(31) 상에 형성시킨 후, 이 감광막 패턴(41)에 의해 오픈된 반도체 기판(21)의 소자 분리 영역(FR)을 타겟으로 하여, 일련의 이온주입공정을 진행시킴으로써, 반도체 기판(21)의 소자 분리 영역(FR) 저부에 일련의 이온(22a), 바람직하게, 산소 이온(Oxygen ion)이 들어가 박히도록 유도한다. 이 경우, 이온(22a)은 바람직하게, $10^{12} \text{ atom/cm}^2 \sim 10^{18} \text{ atom/cm}^2$ 의 주입 농도를 유지한다.

상술한 절차를 통해, 반도체 기판(21)의 소자 분리 영역(FR) 저부에 이온(22a)이 $10^{12} \text{ atom/cm}^2 \sim 10^{18} \text{ atom/cm}^2$ 의 농도로 주입 완료되면, 본 발명에서는 바람직하게, 1000℃~2000℃의 온도 범위 내에서, 일련의 열처리 공정을 진행시켜, 이온을 확산시킴으로써, 도 3b에 도시된 바와 같이, 반도체 기판(21)의 소자 분리 영역(FR) 저부에 위치하면서, 반도체 기판(21)의 액티브 영역(AR) 측으로 길게 펼쳐진 매몰 절연층(22), 예컨대, 매몰 산화층을 형성시킨다. 이 경우, 매몰 절연층(22)은 바람직하게, 반도체 기판(21)의 표면으로부터 3000Å~8000Å 아래에 매몰 형성된다.

이러한 매몰 절연층(22)이 형성 완료되면, 본 발명에서는 일련의 저압 화학기상증착 공정을 진행시켜, 희생 산화막(31)의 상부에 예컨대, 600Å~1500Å 정도의 두께를 갖는 희생 질화막(32)을 형성시킨다. 이 경우, 희생 질화막(32)은 후술하는 트렌치(23)의 형성 시, 마스크층으로써의 역할을 수행함과 아울러, 화학기계연마(Chemical-Mechanical polishing) 공정 시, 식각 정지막으로써의 역할을 수행한다.

그런 다음, 본 발명에서는 반도체 기판(21)의 소자 분리 영역(FR)에 감광막의 개구부가 위치하도록 일련의 감광막 패턴(42)을 앞의 희생 질화막(32) 상에 형성시키고, 이 감광막 패턴(42)을 식각 마스크로 하여, 일련의 이방성 특성을 갖는 건식 식각공정, 예컨대, 반응성 이온 에칭 공정(Reactive Ion Etching process)을 진행시켜, 반도체 기판(1)의 소자 분리 영역 표면이 노출되도록 희생 산화막(31) 및 희생 질화막(32)을 패터닝 한다. 그런 후, 앞의 감광막 패턴(42)을 제거한다.

이어서, 도 3c에 도시된 바와 같이, 본 발명에서는 남아 있는 희생 질화막(32) 및 희생 산화막(31)을 식각 마스크층으로, 예컨대, 반응성 이온 에칭 공정을 진행시켜, 기 노출된 반도체 기판(21)의 소자 분리 영역(FR)을 이방성 식각하고, 이를 통해, 앞의 매몰 절연층(22)과 맞닿는 트렌치(23)를 형성시킨다.

앞의 과정을 통해, 일련의 트렌치(23)가 형성 완료되면, 본 발명에서는 예컨대, HF 용액을 이용한 일련의 식각공정을 진행하여, 매몰 절연층(22)을 전량 제거하고, 이를 통해, 매몰 절연층(22)이 채우고 있던 자리를 깨끗이 비움으로써, 도 3d에 도시된 바와 같이, 반도체 기판(21)의 소자 분리 영역(FR) 저부에 위치하면서, 반도체 기판(21)의 액티브 영역(AR) 측으로 길게 펼쳐진 매몰 갭(G)을 형성시킨다. 물론, 이러한 매몰 갭(G)은 매몰 절연층(22)을 대체하기 때문에, 매몰 갭(G) 역시, 매몰 절연층(22)과 마찬가지로, 반도체 기판(21)의 표면으로부터 3000Å~8000Å 아래에 위치하게 된다.

종래의 체제 하에서, 에어 갭을 형성하기 위해서는 트렌치의 내부에 고가의 충전 물질을 채우고, 이 충전 물질을 기화시키는 과정이 반드시 선행되어야 했기 때문에, 충전 물질의 사용이 완전히 배제되지 않는 한, 전체적인 반도체 소자 제조비용은 어쩔 수 없이 크게 증가할 수밖에 없었다.

그러나, 이러한 종래와 달리, 본 발명에서는 일련의 이온 주입 공정을 통해 소자 분리 영역(FR)의 저부에 매몰 산화막(22)을 사전 형성한 후, 이 매몰 산화막(22)의 제거를 통해 소자 분리 영역(FR)의 저부에 일련의 빈 공간(에어 갭, 매몰 갭)이 자연스럽게 정의될 수 있도록 유도하기 때문에, 본 발명의 체제 하에서, 소자 분리체(26)는 고가의 충전 물질을 이용하지 않고서도, 일련의 매몰 갭(에어 갭)을 효과적으로 보유할 수 있게 되며, 결국, 본 발명의 구현환경 하에서, 전체적인 반도체 소자의 제조비용은 대폭 줄어들 수 있게 된다.

한편, 상술한 절차를 통해, 매몰 갭(G)의 형성이 모두 완료되면, 본 발명에서는 예컨대, 800℃~900℃ 정도의 열 산화 공정을 진행시켜, 도 3e에 도시된 바와 같이, 트렌치(23) 및 매몰 갭(G)의 표면에 예컨대, 100Å~400Å 정도의 두께를 갖는 기판보강 산화막(24)을 성장시킨다.

이 경우, 기판보강 산화막(24)은 추후 형성되는 절연막이 트렌치(23) 및 매몰 갭(G)의 식각면에 용이하게 접촉될 수 있도록 가이드 하는 역할을 수행함과 아울러, 트렌치(23) 및 매몰 갭(G)의 식각면에 존재하는 손상된 실리콘 격자를 치유하는 역할을 수행한다.

계속해서, 본 발명에서는 상황에 따라, 예컨대, 오존-TEOS(Tetra Ortho Silicate Glass) 공정, 상압 화학기상증착 공정, 플라즈마 화학기상증착 공정, 고밀도 플라즈마 화학기상증착 공정(High Density Plasma Chemical Vapor Deposition process:HDP CVD process) 등을 선택적으로 진행시켜, 도 3f에 도시된 바와 같이, 앞의 희생 질화막(32)이 커버되도록 트렌치(23)의 내부 영역을 충분한 두께의 절연막(25a), 예컨대, 산화막으로 채운다.

물론, 이러한 절연막(25a)의 형성 상황에서, 도면에 도시된 바와 같이, 초기 가스유입에 의해 매몰 갭(G)의 식각면(G1)에 도, 트렌치(23)의 내부와 마찬가지로, 일련의 절연막(25a)이 성장하게 된다.

하지만, 좁은 폭을 유지하는 트렌치의 출구(23a:매몰 갭의 입구)가 절연막(25a)의 빠른 성장에 의해 곧 막히게 되면, 매몰 갭(G)의 내부로는 일련의 가스유입이 자연스럽게 차단될 수 있게 되어, 절연막(25a)은 매몰 갭(G)의 내부를 완전히 메우지 못하고, 그 성장을 신속히 멈추게 되며, 결국, 매몰 갭(G)은 트렌치(23)의 내부에 절연막(25a)이 채워지는 상황 하에서도, 별다른 문제점 없이, 일련의 빈 공간 상태를 정상적으로 유지할 수 있게 된다.

이어, 본 발명에서는 희생 질화막(32)을 식각 정지막으로 활용하는 일련의 화학기계연마 공정을 진행시켜, 절연막(25a)을 희생 질화막(32)이 형성된 위치까지 평탄화 시킴으로써, 도 3g에 도시된 바와 같이, 트렌치(23)의 내부 공간을 뽁뽁이 채워 매몰 갭(G)을 폐쇄하면서, 일련의 소자 간 분리 기능을 수행하는 소자 분리막(25)을 형성시킨다.

계속해서, 본 발명에서는 예컨대, 인산 용액을 활용한 일련의 습식 식각 공정을 진행시켜, 희생 질화막(32)을 등방성 식각한 후, 예컨대, 불산 용액을 활용한 일련의 습식 식각 공정을 진행시켜, 도 3h에 도시된 바와 같이, 희생 산화막(31)을 반도체 기판(31)의 활성 영역(AR)이 노출되도록 등방성 식각하고, 이를 통해, 반도체 기판(21)의 소자 분리 영역(FR)에 일정

깊이로 패여 식각 형성된 트렌치(23), 소자 분리 영역(FR)의 저부에 매몰되어, 트렌치(23)와 연통되면서, 반도체 기판(21)의 액티브 영역(AR) 측으로 펼쳐진 매몰 갭(G), 트렌치(23)의 내부 공간을 채워 매몰 갭(G)을 폐쇄하면서, 일련의 소자 간 분리 기능을 수행하는 소자 분리막(25) 등이 조합된 일련의 소자 분리체(26)를 형성 완료한다.

이때, 도면에는 마치, 반도체 기판(21)에 1개의 소자 분리체(26)만이 형성된 것처럼 도시되어 있으나, 실제로는 반도체 소자를 구현하기 위한 소자 분리체(26)가 다수 개 형성되어 있음은 자명한 사실이라 할 것이다.

상술한 절차를 통해, 반도체 기판(21)의 활성 영역(AR)을 정의하는 소자 분리체(26)의 형성이 완료되면, 본 발명에서는 도 3i에 도시된 바와 같이, 일련의 열산화 공정을 진행시켜, 반도체 기판(21)의 활성 영역(AR) 상부에 게이트 절연막을 성장 시킴과 아울러, 일련의 화학기상증착 공정을 진행시켜, 이 게이트 절연막의 상부에 게이트 전극 도전층을 순차적으로 형성 시킨 후, 일련의 사진식각공정을 통해, 이 게이트 절연막 및 게이트 전극 도전층을 일괄적으로 패터닝 함으로써, 앞의 소자 분리체(26)에 의해 정의된 반도체 기판(31)의 활성 영역(AR) 상부에 게이트 절연막 패턴(41,51) 및 게이트 전극 패턴(42,52)을 형성시킨다.

이때, 도면에는 마치, 반도체 기판(31)에 2개의 게이트 전극 패턴(42,52)만이 형성된 것처럼 도시되어 있으나, 실제로는 반도체 소자를 위한 게이트 전극 패턴(42,52)이 다수개 형성되어 있음은 자명한 사실이라 할 것이다.

계속해서, 본 발명에서는 일련의 화학기상증착 공정을 진행시켜, 게이트 전극 패턴(42,52)을 포함하는 반도체 기판(21)의 상부에 산화막 및 질화막을 순차적으로 증착시킨 후, 일련의 이방성 식각특성을 갖는 건식 식각공정, 예컨대, 반응성 이온 식각공정을 통해, 이 산화막 및 질화막을 식각하여, 게이트 전극 패턴(42,52)의 양 측벽을 감싸는 스페이서(43,53)를 형성 한다.

이어, 본 발명에서는 이 스페이서(43,53)를 이온 주입 마스크로 사용하는 이온 주입 공정을 진행하여, 반도체 기판(21)의 활성 영역에 고 농도의 불순물을 주입시키고, 이를 통해, 게이트 전극 패턴(42,52)의 양쪽에 소오스/드레인 확산층(44,54)을 형성시킨다.

물론, 본 발명의 체제 하에서, 소자 분리체(26)는 트렌치(23)와 연통된 상태로 반도체 기판(21)의 좌우 측으로 길게 확장된 일련의 매몰 갭(G)을 추가 보유하여, 자신의 절연 기능을 최적의 상태로 유지하고 있기 때문에, 본 발명의 구현 환경 하에서, 액티브 영역(AR)에 배치된 각 트랜지스터들(40,50)은 각자의 고속 동작으로 인해, 상호 간 누설전류량이 대폭 증가하게 되더라도, 서로 간의 간섭에 기인한 불필요한 특성열화를 손쉽게 피할 수 있게 된다.

한편, 상술한 구성을 취하는 본 발명은 상황에 따라, 다양한 변형을 이룰 수 있다.

예를 들어, 도 4에 도시된 바와 같이, 본 발명에서는 소자 분리체(26)를 반도체 기판(21)의 소자 분리 영역(FR)에 일정 깊이로 패여 식각 형성된 트렌치(23), 소자 분리 영역(FR)의 저부에 매몰되어, 트렌치(23)와 맞닿으면서, 액티브 영역(AR) 측으로 펼쳐진 매몰 절연층(22), 트렌치(23)의 내부 공간을 선택적으로 채워 매몰 절연층(22)을 폐쇄하는 소자 분리막(25)이 조합된 구성으로 형상화할 수도 있다.

이 경우, 앞의 실시예와 달리, 전체 공정에서, 예컨대, <HF 용액을 이용한 일련의 식각공정을 진행하여, 매몰 절연층(22)을 전량 제거하고, 이를 통해, 매몰 절연층(22)이 채우고 있던 자리를 깨끗이 비우는 절차>, 즉, <매몰 갭(G)을 형성하는 절차>는 안정적으로 배제될 수 있게 된다.

물론, 이처럼, 전체 공정 내에서, 매몰 갭(G)을 형성하는 절차가 배제되는 경우, 매몰 갭(G) 보다 그 절연성이 떨어지는 매몰 절연층(22)이 소자 분리체(26)의 주요 구성요소로 대체되어, 최종 완성되는 소자 분리체(26)의 소자간 분리성능이 다소 떨어지는 문제점이 발생하긴 하지만, 그 반대 급부로, 공정 스텝이 대폭 간소화될 수 있기 때문에, 전체적인 공정진행 효율은 앞의 실시예에 비해, 크게 향상될 수 있게 된다.

물론, 이 경우에도, 소자 분리체(26)는 트렌치(23)와 연통된 상태로 반도체 기판(21)의 좌우 측으로 길게 확장된 일련의 매몰 절연층(22)을 추가 보유하여, 자신의 절연 기능을 최적의 상태로 유지할 수 있기 때문에, 본 발명의 다른 구현 환경 하에서도, 액티브 영역(AR)에 배치된 각 트랜지스터들(40,50)은 각자의 고속 동작으로 인해, 상호 간 누설전류량이 대폭 증가하게 되더라도, 서로 간의 간섭에 기인한 불필요한 특성열화를 손쉽게 피할 수 있게 된다.

이러한 본 발명의 다른 실시예에 따른 소자 분리체(26)는 도 5a 내지 도 5f에 도시된 바와 같이, 반도체 기판(21)의 소자 분리 영역(FR)을 타겟으로 하여, 이온(22a)을 선택적으로 주입하는 단계, 이온(22a)을 확산시켜, 소자 분리 영역(FR)의 저

부에 위치하면서, 반도체 기관(21)의 액티브 영역(AR) 측으로 펼쳐진 매몰 절연층(22)을 형성하는 단계, 소자 분리 영역(FR)을 식각하여, 매몰 절연층(22)과 맞닿는 트렌치(23)를 형성하는 단계, 트렌치(23)의 표면에 기관보강 산화막(24)을 성장시키는 단계, 매몰 절연층(22)이 폐쇄되도록 트렌치(23)의 내부 공간에 소자 분리막(25)을 선택적으로 채우는 단계에 의해 제조될 수 있다.

이때, 앞의 각 세부 단계는 상술한 전 실시예의 세부 단계와 거의 대동 소이하므로, 이에 대한 상세한 설명은 생략하기로 한다.

발명의 효과

이상에서 상세히 설명한 바와 같이, 본 발명에서는 소자 분리 영역의 저부에 트렌치와 연통된 상태로 반도체 기관의 좌우 측으로 길게 확장된 일련의 매몰 갭, 매몰 절연층 등을 추가 형성하고, 이 매몰 갭, 매몰 절연층 등을 기반으로 하여, 최종 완성되는 소자 분리체가 반도체 기관의 유효 액티브 영역을 불필요하게 침범하지 않으면서도, 자신의 절연 기능을 최적의 상태로 유지할 수 있도록 유도할 수 있다.

이처럼, 매몰 갭, 매몰 절연층 등의 추가 형성을 통해, 소자 분리체의 절연능력이 일정 수준 이상으로 강화되면, 액티브 영역에 배치된 각 트랜지스터들은 각자의 고속 동작으로 인해, 상호 간 누설전류량이 대폭 증가하게 되더라도, 불필요한 특성열화를 손쉽게 피할 수 있게 되며, 그 결과, 최종 완성되는 반도체 소자의 품질은 자연스럽게 향상될 수 있게 된다.

또한, 본 발명에서는 이온 주입 공정을 통해 소자 분리 영역의 저부에 매몰 산화막을 사전 형성한 후, 이 매몰 산화막의 제거를 통해 소자 분리 영역의 저부에 일련의 빈 공간이 자연스럽게 정의될 수 있도록 하고, 이를 통해, 최종 완성되는 소자 분리체가 고가의 충전 물질을 이용하지 않고서도, 일련의 에어 갭을 효과적으로 보유할 수 있도록 함으로써, 전체적인 반도체 소자의 제조비용을 대폭 저감시킬 수 있다.

앞에서, 본 발명의 특정한 실시예가 설명되고 도시되었지만 본 발명이 당업자에 의해 다양하게 변형되어 실시될 가능성이 있는 것은 자명한 일이다.

이와 같은 변형된 실시예들은 본 발명의 기술적사상이나 관점으로부터 개별적으로 이해되어서는 안되며 이와 같은 변형된 실시예들은 본 발명의 첨부된 특허청구의 범위안에 속한다 해야 할 것이다.

(57) 청구의 범위

청구항 1.

삭제

청구항 2.

삭제

청구항 3.

삭제

청구항 4.

반도체 기관의 소자 분리 영역을 타겟으로 하여, 산소 이온(Oxygen ion)을 선택적으로 주입하는 단계와;

상기 이온을 확산시켜, 상기 소자 분리 영역의 저부에 위치하면서, 상기 반도체 기관의 액티브 영역 측으로 펼쳐진 매몰 절연층을 형성하는 단계와;

상기 소자 분리 영역을 식각하여, 상기 매몰 절연층과 맞닿는 트렌치를 형성하는 단계와;

상기 매몰 절연층을 식각하여, 상기 트렌치와 연통된 매몰 갭을 형성하는 단계와;

상기 매물 갭이 폐쇄되도록 상기 트렌치의 내부 공간에 소자 분리막을 선택적으로 채우는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 소자 분리체 형성방법.

청구항 5.

반도체 기판의 소자 분리 영역을 타겟으로 하여, 산소 이온(Oxygen ion)을 선택적으로 주입하는 단계와;

상기 이온을 확산시켜, 상기 소자 분리 영역의 저부에 위치하면서, 상기 반도체 기판의 액티브 영역 측으로 펼쳐진 매물 절연층을 형성하는 단계와;

상기 소자 분리 영역을 식각하여, 상기 매물 절연층과 맞닿는 트렌치를 형성하는 단계와;

상기 매물 절연층이 폐쇄되도록 상기 트렌치의 내부 공간에 소자 분리막을 선택적으로 채우는 단계를 포함하는 것을 특징으로 하는 반도체 장치의 소자 분리체 형성방법.

청구항 6.

삭제

청구항 7.

제 4 항 또는 제 5 항에 있어서, 상기 산소 이온은 1000℃~2000℃의 열처리 공정에 의해 확산되는 것을 특징으로 하는 반도체 장치의 소자 분리체 형성방법.

청구항 8.

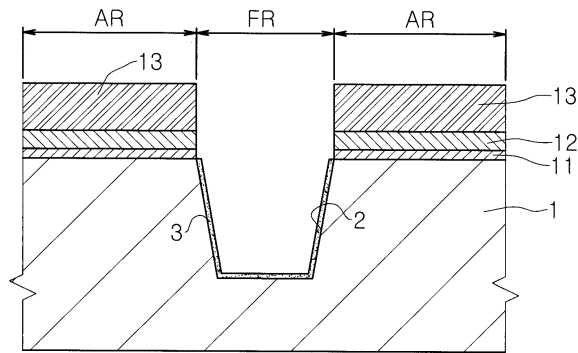
제 4 항 또는 제 5 항에 있어서, 상기 산소 이온은 10^{12} atom/cm²~ 10^{18} atom/cm²의 농도로 주입되는 것을 특징으로 하는 반도체 장치의 소자 분리체 형성방법.

청구항 9.

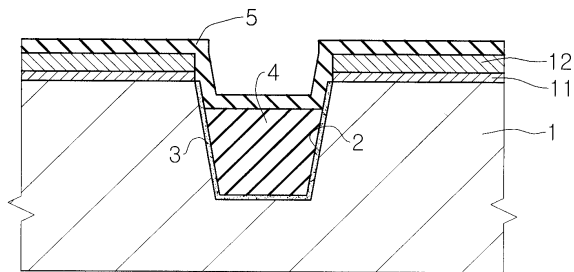
제 4 항에 있어서, 상기 트렌치 및 매물 갭의 식각면에 기판보강 산화막을 성장시키는 단계가 더 진행되는 것을 특징으로 하는 반도체 장치의 소자 분리체 형성방법.

도면

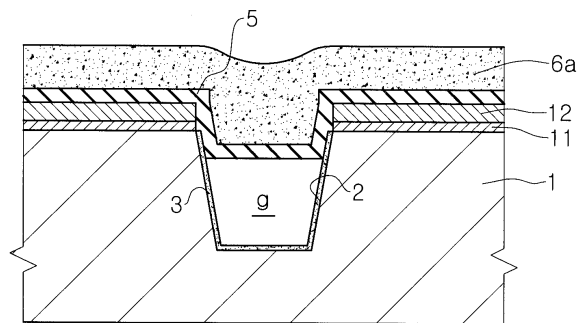
도면1a



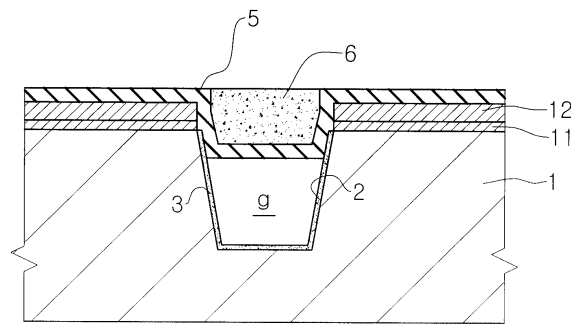
도면1b



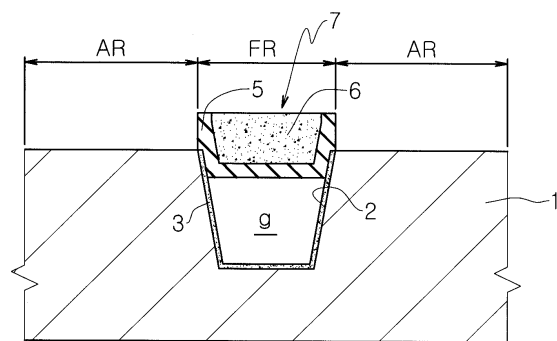
도면1c



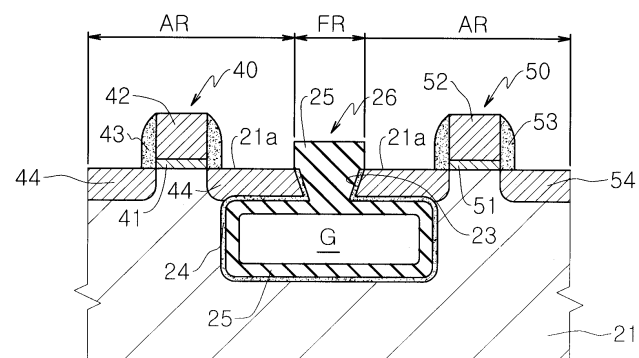
도면1d



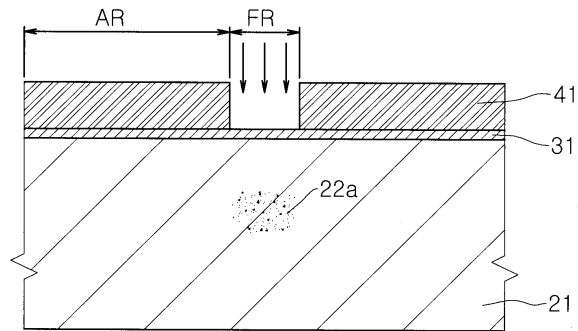
도면1e



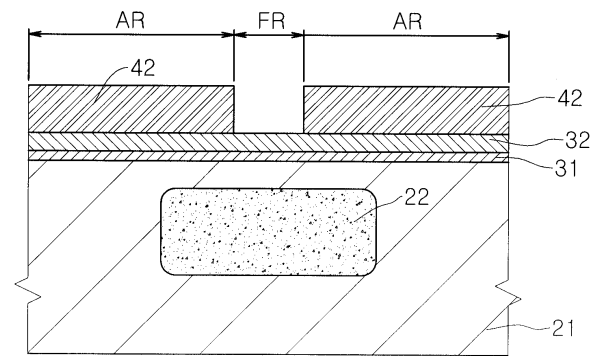
도면2



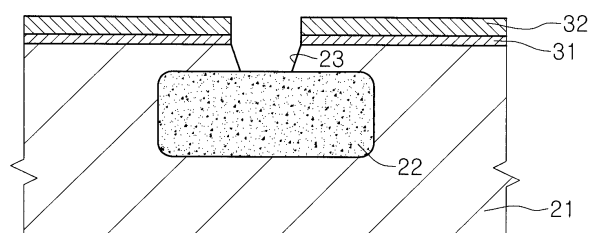
도면3a



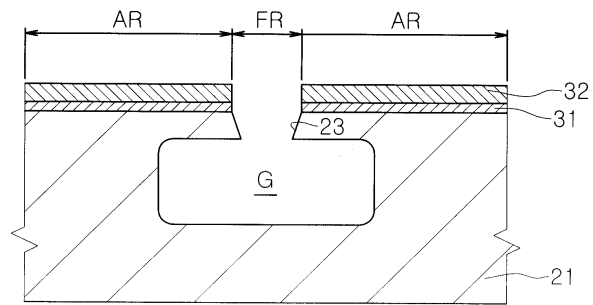
도면3b



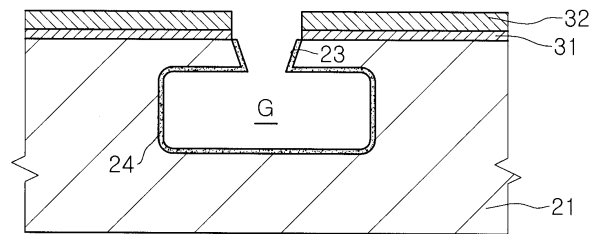
도면3c



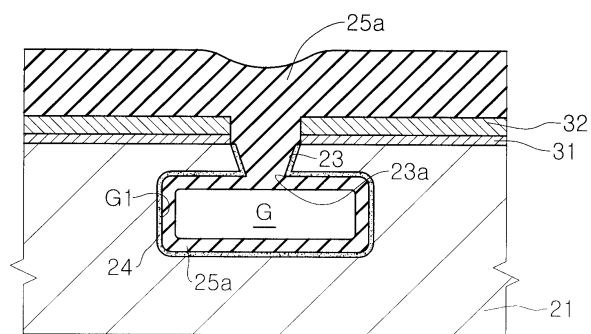
도면3d



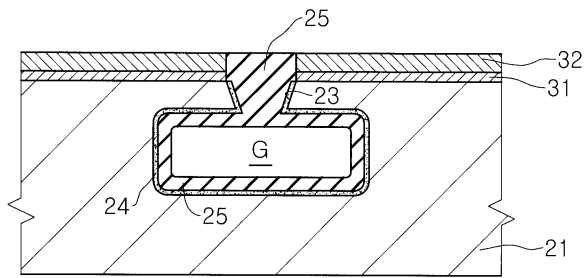
도면3e



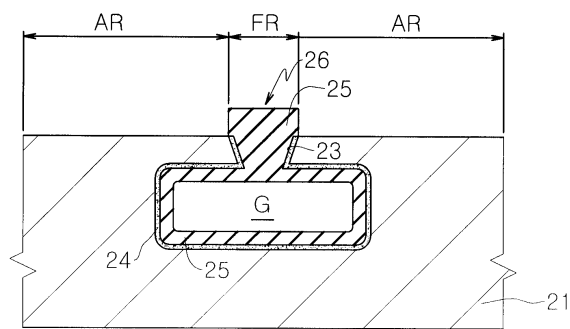
도면3f



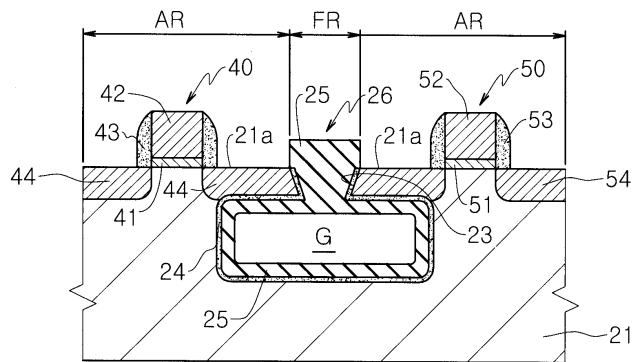
도면3g



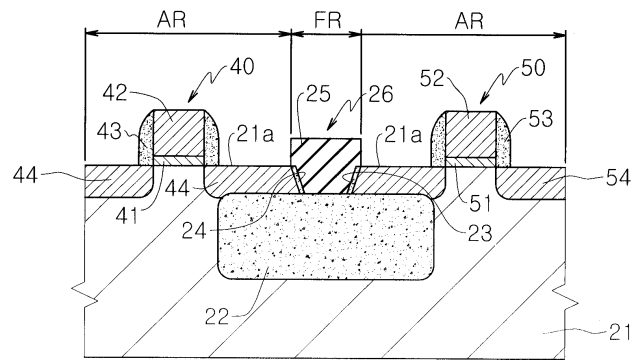
도면3h



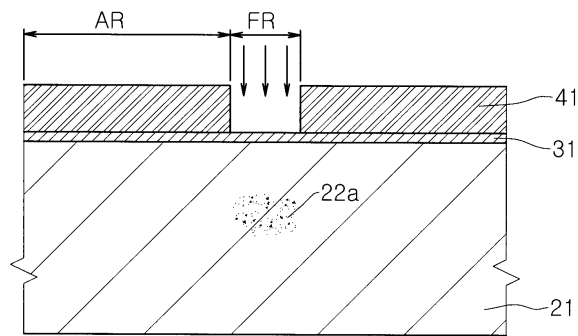
도면3i



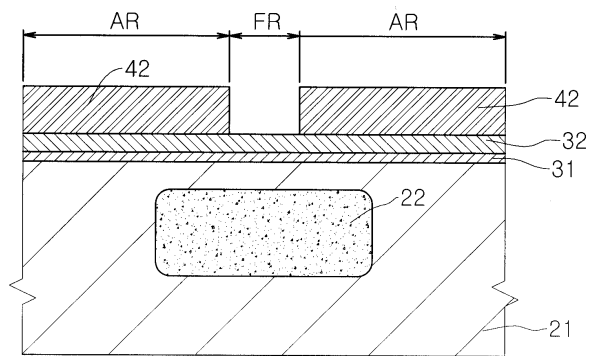
도면4



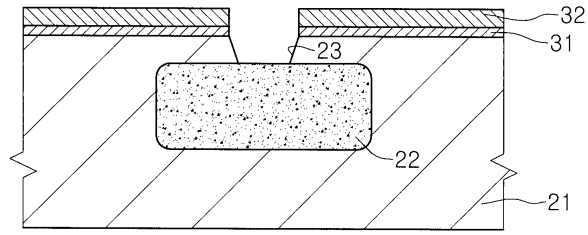
도면5a



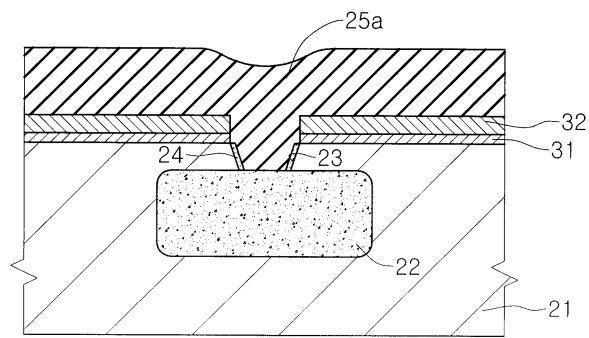
도면5b



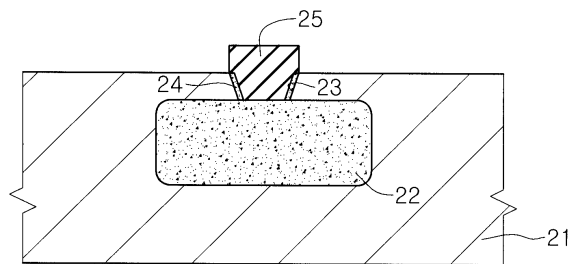
도면5c



도면5d



도면5e



도면5f

