



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201633539 A

(43) 公開日：中華民國 105 (2016) 年 09 月 16 日

(21) 申請案號：104129062 (22) 申請日：中華民國 104 (2015) 年 09 月 02 日
 (51) Int. Cl. : H01L29/772 (2006.01) H01L23/28 (2006.01)
 (30) 優先權：2015/03/13 日本 2015-050752
 (71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)
 日本
 (72) 發明人：赤池康彦 AKAIKE, YASUHIKO (JP)；小林研也 KOBAYASHI, KENYA (JP)；西
 川幸江 NISHIKAWA, YUKIE (JP)
 (74) 代理人：陳長文
 申請實體審查：有 申請專利範圍項數：8 項 圖式數：20 共 45 頁

(54) 名稱

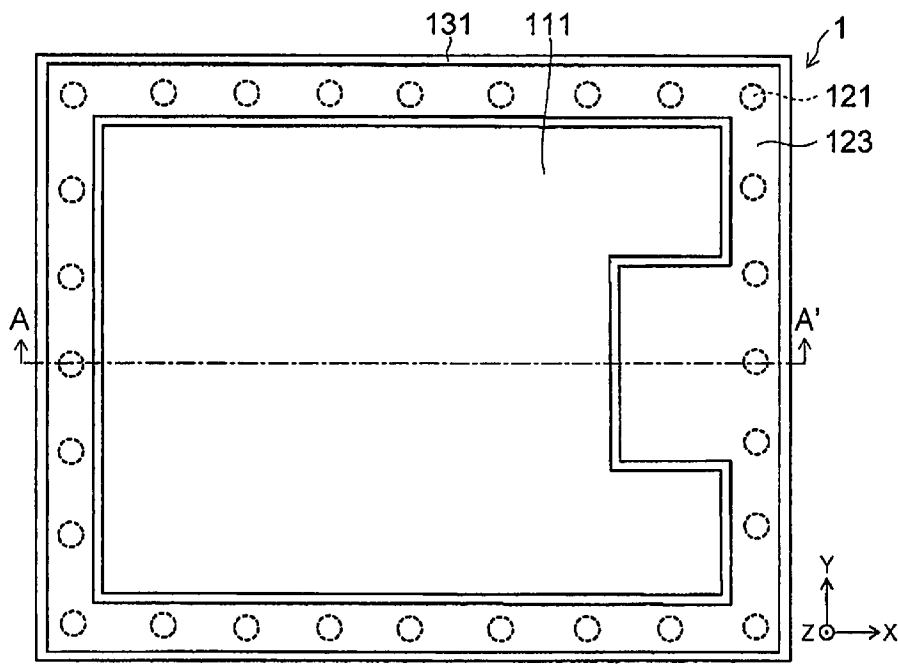
半導體裝置及半導體封裝體

(57) 摘要

本發明之實施形態提供一種可小型化之半導體裝置及半導體封裝體。

實施形態之半導體裝置包含第 1 導電型之第 1 半導體區域、第 2 導電型之第 2 半導體區域、第 1 電極、第 2 導電型之第 3 半導體區域、第 1 導電型之第 4 半導體區域、及導電部。第 2 半導體區域設置於第 1 半導體區域上。第 1 電極設置於第 2 半導體區域上。第 3 半導體區域設置於第 1 電極上。第 4 半導體區域設置於第 3 半導體區域上。導電部被第 3 半導體區域隔著絕緣部而包圍，且與第 1 電極電性連接。

指定代表圖：



符號簡單說明：

- 1 . . . 半導體裝置
- 111 . . . 陽極電極
- 121 . . . 導電部
- 123 . . . 第 2 電極
- 131 . . . 絕緣層

圖1

發明摘要

※ 申請案號： 104129062

※ 申請日： 104. 9. 0 2

※IPC 分類： H01L 29/772 (2006.01)
H01L 23/28 (2006.01)

【發明名稱】

半導體裝置及半導體封裝體

【中文】

本發明之實施形態提供一種可小型化之半導體裝置及半導體封裝體。

實施形態之半導體裝置包含第1導電型之第1半導體區域、第2導電型之第2半導體區域、第1電極、第2導電型之第3半導體區域、第1導電型之第4半導體區域、及導電部。第2半導體區域設置於第1半導體區域上。第1電極設置於第2半導體區域上。第3半導體區域設置於第1電極上。第4半導體區域設置於第3半導體區域上。導電部被第3半導體區域隔著絕緣部而包圍，且與第1電極電性連接。

【英文】

無

【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

1	半導體裝置
111	陽極電極
121	導電部
123	第2電極
131	絕緣層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

半導體裝置及半導體封裝體

[相關申請案]

本申請案享有以日本專利申請案2015-50752號(申請日：2015年3月13日)為基礎申請案之優先權。本申請案藉由參照該基礎申請案而包含基礎申請案之全部內容。

【技術領域】

本發明之實施形態係關於一種半導體裝置及半導體封裝體。

【先前技術】

包含二極體、MOSFET(Metal Oxide Semiconductor Field Effect Transistor，金屬氧化物半導體場效電晶體)、及IGBT(Insulated Gate Bipolar Transistor，絕緣閘雙極性電晶體)等半導體元件之半導體裝置被廣泛應用於以電力控制為代表之各種用途。半導體裝置較理想為較小。

【發明內容】

本發明所欲解決之課題在於提供一種可小型化之半導體裝置及半導體封裝體。

實施形態之半導體裝置包含第1導電型之第1半導體區域、第2導電型之第2半導體區域、第1電極、第2導電型之第3半導體區域、第1導電型之第4半導體區域、及導電部。

第2半導體區域設置於第1半導體區域上。

第1電極設置於第2半導體區域上。

第3半導體區域設置於第1電極上。

第4半導體區域設置於第3半導體區域上。

導電部被第3半導體區域隔著絕緣部而包圍，且與第1電極電性連接。

【圖式簡單說明】

圖1係第1實施形態之半導體裝置之俯視圖。

圖2係第1實施形態之半導體裝置之仰視圖。

圖3係圖1之A-A' 剖視圖。

圖4(a)及(b)係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖5(a)及(b)係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖6(a)及(b)係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖7(a)及(b)係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖8係表示第1實施形態之半導體裝置之製造步驟之步驟俯視圖。

圖9係表示第1實施形態之半導體裝置之製造步驟之步驟剖視圖。

圖10係第2實施形態之半導體裝置之俯視圖。

圖11係第2實施形態之半導體裝置之仰視圖。

圖12係圖10之A-A' 剖視圖。

圖13係第3實施形態之半導體裝置之剖視圖。

圖14係第4實施形態之半導體裝置之剖視圖。

圖15係第5實施形態之半導體封裝體之俯視圖。

圖16係圖15之A-A' 剖視圖。

圖17係第6實施形態之半導體封裝體之俯視圖。

圖18係圖17之A-A'剖視圖。

圖19係第7實施形態之半導體封裝體之俯視圖。

圖20係圖19之A-A'剖視圖。

【實施方式】

以下，一面參照圖式一面對本發明之各實施形態進行說明。

再者，圖式為模式性或概念性之圖式，各部分之厚度與寬度之關係、部分間之大小之比率等並非必須與實際情形相同。又，即便於表示相同部分之情形時，亦存在相互之尺寸或比率根據圖式而不同地表示之情況。

又，於本案說明書與各圖中，對與在已說明之圖中敘述之要素相同之要素標註相同之符號，並適當省略詳細說明。

於各實施形態之說明中，使用XYZ正交座標系。將相對於半導體層S1或半導體層S2之主面平行之方向且相互正交之2個方向設為X方向及Y方向，且將相對於該等X方向及Y方向之兩者正交之方向設為Z方向。

於以下之說明中， n^+ 、 n 、 n^- 及 p^+ 、 p 、 p^- 之表記係表示各導電型之雜質濃度之相對性的高低。即， n^+ 表示與 n 相比 n 型雜質濃度相對性地較高， n^- 表示與 n 相比 n 型雜質濃度相對性地較低。又， p^+ 表示與 p 相比 p 型雜質濃度相對性地較高， p^- 表示與 p 相比 p 型雜質濃度相對性地較低。

對於以下說明之各實施形態，亦可使各半導體區域之 p 型與 n 型反轉而實施各實施形態。

(第1實施形態)

圖1係第1實施形態之半導體裝置1之俯視圖。於圖1中，以虛線表示導電部121。

圖2係第1實施形態之半導體裝置1之仰視圖。

圖3係圖1之A-A'剖視圖。

如圖3所示，半導體裝置1包含半導體元件部100、半導體元件部200、及設置於該等之間之第1電極10。

半導體元件部100例如為二極體。半導體元件部100包含 n^+ 型半導體區域101、 n^- 型(第2導電型)半導體區域102(第3半導體區域)、 p^- 型(第1導電型)半導體區域103(第4半導體區域)、 p^+ 型半導體區域104、陽極電極111(第4電極)、導電部121、絕緣部122、第2電極123、及絕緣層131。

半導體元件部200例如為二極體。半導體元件部200包含 n^+ 型半導體區域201、 n^- 型半導體區域202(第2半導體區域)、 p^- 型半導體區域203(第1半導體區域)、 p^+ 型半導體區域204、陽極電極211(第3電極)、及絕緣層231。

如圖1所示，於半導體裝置1之上表面，設置有陽極電極111及第2電極123。陽極電極111與第2電極123相互隔開而設置。陽極電極111例如被第2電極123包圍。陽極電極111亦可分離為複數個而設置。同樣地，第2電極123亦可分離為複數個而設置。

如圖2所示，於半導體裝置1之下表面設置有陽極電極211。陽極電極211之面積例如大於陽極電極111之面積。再者，陽極電極211之面積亦可為陽極電極111之面積以下。陽極電極211亦可分離為複數個而設置。

如圖1所示，半導體裝置1包含複數個導電部121。再者，半導體裝置1亦可僅包含1個導電部121。第2電極123例如於自Z方向觀察時，與複數個導電部121重疊。複數個導電部121例如於自Z方向觀察時，設置於陽極電極111之周圍。

如圖3所示，陽極電極111設置於半導體層S1之表面S1a側，第1電

極10設置於半導體層S1之背面S1b側。陽極電極211設置於半導體層S2之表面S2a側，第1電極10設置於半導體層S2之背面S2b側。即，第1電極10設置於背面S1b與背面S2b之間。

陽極電極211與 p^+ 型半導體區域204電性連接。於 p^+ 型半導體區域204上，設置有 p^- 型半導體區域203。 p^- 型半導體區域203例如與 p^+ 型半導體區域204於Z方向上重疊，並且沿X-Y面包圍 p^+ 型半導體區域204。換言之，於 p^- 型半導體區域203下，選擇性地設置有 p^+ 型半導體區域204。

於 p^- 型半導體區域203上設置有 n^- 型半導體區域202。 n^- 型半導體區域202例如與 p^- 型半導體區域203於Z方向上重疊，並且沿X-Y面包圍 p^- 型半導體區域203。換言之，於 n^- 型半導體區域202下，選擇性地設置有 p^- 型半導體區域203。 p^- 型半導體區域203亦可設置於 n^- 型半導體區域202下之整個表面。

於 n^- 型半導體區域202上設置有 n^+ 型半導體區域201。於 n^+ 型半導體區域201上設置有第1電極10。 n^+ 型半導體區域201與第1電極10電性連接。

於第1電極10上設置有 n^+ 型半導體區域101。 n^+ 型半導體區域101與第1電極10電性連接。於 n^+ 型半導體區域101上設置有 n^- 型半導體區域102。

於 n^- 型半導體區域102上，選擇性地設置有 p^- 型半導體區域103。 p^- 型半導體區域103例如藉由 n^- 型半導體區域102之一部分而沿X-Y面包圍。 p^- 型半導體區域103亦可設置於 n^- 型半導體區域102上之整個表面。

於 p^- 型半導體區域103上，選擇性地設置有 p^+ 型半導體區域104。 p^+ 型半導體區域104例如藉由 n^- 型半導體區域103之一部分而沿X-Y面包圍。 p^+ 型半導體區域104與陽極電極111電性連接。

導電部121由絕緣部122包圍。導電部121及絕緣部122例如於Z方向貫通 n^+ 型半導體區域101、 n^- 型半導體區域102、及絕緣層131。換言之，導電部121隔著絕緣部122而藉由 n^+ 型半導體區域101及 n^- 型半導體區域102沿X-Y面包圍。導電部121進而亦可藉由 p^- 型半導體區域103及 p^+ 型半導體區域104而沿X-Y面包圍。

導電部121與第1電極10電性連接。導電部121例如與第1電極10接觸。導電部121亦可經由 n^+ 型半導體區域101而與第1電極10電性連接。然而，為降低第1電極10與導電部121之電阻，較理想為第1電極10與導電部121於不經由半導體區域之情況下連接。

於導電部121上設置有第2電極123。第2電極123與導電部121電性連接。導電部121與第2電極123亦可為設置成一體者。即，亦可為於導電部121與第2電極123之間無邊界而為無縫。第2電極123於X方向及Y方向上，與陽極電極111隔開而設置。

於陽極電極211之一部分與 p^+ 型半導體區域204之一部分之間、及陽極電極211之一部分與 p^- 型半導體區域203之一部分之間設置有絕緣層231。同樣地，於陽極電極111之一部分與 p^+ 型半導體區域104之一部分之間、及陽極電極111之一部分與 p^- 型半導體區域103之一部分之間設置有絕緣層131。

如圖3所示，第1電極10例如包含第1層11、第2層12、第3層13、第4層14、及第5層15。於 n^+ 型半導體區域201上，依序設置有第2層12、第4層14、第1層11、第5層15、及第3層13。於第5層15上設置有 n^+ 型半導體區域101。

第1層11例如包含金、錫、及銢之至少任一者。第1層11可為將2個金屬層接合而成者。即，第1層11可為將包含金、錫、及銢之至少任一者之2個層於不介置其他層之情況下接合而形成者。

第4層14及第5層15例如包含鈦、鉑、鎢、鉭、及釩之至少任一

者。第4層14中包含之材料與第5層15中包含之材料亦可互不相同。第4層14例如係用以提高第1層11與第2層12之間之密接性而設置。同樣地，第5層15可用以提高第1層11與第3層13之間之密接性而設置。

第2層12例如係具有阻隔功能之層，其可用以抑制第1層11與 n^+ 型半導體區域201之間之反應而設置。同樣地，第3層13係具有阻隔功能之層，其可用以抑制第1層11與 n^+ 型半導體區域101之間之反應而設置。

第2層12及第3層13例如包含氮化鈦。或，第2層12及第3層13包含鈦鎢。第2層12中包含之材料與第3層13中包含之材料亦可互不相同。

其次，使用圖4～圖9對第1實施形態之半導體裝置1之製造方法進行說明。

圖4～圖7及圖9係表示第1實施形態之半導體裝置1之製造步驟之步驟剖視圖。圖8係表示第1實施形態之半導體裝置1之製造步驟之步驟俯視圖。圖4～圖7(a)及圖9係對應於圖8之A-A'線之位置之步驟剖視圖。

於圖4～圖7及圖9中，左圖表示半導體元件部100之製造步驟，右圖表示半導體元件部200之製造步驟。

首先，準備 n^+ 型之半導體基板101a及半導體基板201a(以下，分別稱為 n^+ 型基板101a及 n^+ 型基板201a)。各基板之主成分為矽(Si)、砷化鎵、碳化矽、或氮化鎵等。

其次，如圖4(a)所示，於各個基板上，一面添加 n 型雜質一面使Si磊晶生長，藉此形成 n 型半導體層102a及202a。作為 n 型雜質，可使用例如磷或砷。

其次，將 p 型雜質向各個 n 型半導體層之表面之一部分進行離子注入，如圖4(b)所示，形成 p 型半導體區域103及203。作為 p 型雜質，

可使用例如硼。

其次，於各n-型半導體層上及各p⁻型半導體區域上形成絕緣層。繼而，使該等絕緣層圖案化，藉此形成絕緣層131a及231a。又，此時，p⁻型半導體區域103之一部分及p⁻型半導體區域203之一部分露出。繼而，圖5(a)所示，將將p型雜質向p⁻型半導體區域之露出之部分進行離子注入，藉此形成p⁺型半導體區域104及204。

其次，於各p⁺型半導體區域上及各絕緣層上形成金屬層。該等金屬層例如使用CVD(Chemical Vapor Deposition，化學氣相沈積)法或PVD(Physical Vapor Deposition，物理氣相沈積)法等而形成。作為金屬層之材料，可使用例如鋁、銅、鎳、鈦、或鎢等。

其次，使該等金屬層圖案化，藉此如圖5(b)所示形成陽極電極111及211。陽極電極111之形狀及大小亦可與陽極電極211之形狀及大小不同。

其次，對n⁺型基板101a及201a之背面進行研磨直至n⁺型基板101a及201a成為特定厚度為止。藉由該步驟，如圖6(a)所示形成n⁺型半導體區域101b及201b。

其次，如圖6(b)所示，於n⁺型半導體區域101b之背面形成例如導電層11a、15a、及13a。又，於n⁺型半導體區域201b之背面形成例如導電層11b、14a、及12a。

其次，如圖7(a)所示，例如，於p⁻型半導體區域103之周圍形成複數個開口OP1。開口OP1例如貫通n⁺型半導體區域101b及n⁻型半導體區域102a。又，此時，導電層15a之上表面之一部分可通過開口OP1而露出。

其次，於開口OP1之內壁形成絕緣層。其後，如圖7(b)所示，將沈積於開口OP1之底部(導電層15a之上表面)之絕緣材料去除，藉此形成僅覆蓋開口OP1之側壁之絕緣部122。將此時之狀況示於圖8。

其次，如圖9所示，於絕緣部122之內側、絕緣部122上、及絕緣層131a之一部分上形成導電層。導電層例如包含銅，且使用鍍敷法而形成。藉由該步驟，形成圖3所示之導電部121及第2電極123。

其後，將形成於 n^+ 型半導體區域101b之背面之導電層11a、與形成於 n^+ 型半導體區域201b之背面之導電層11b加以接合。繼而，將所得之構造體分割成複數個，藉此獲得圖1～圖3所示之半導體裝置100。

再者，於圖4～圖9所示之製造方法之一例中，對在互不相同之基板上形成半導體元件部100與半導體元件部200之情形進行了說明，但該等半導體元件部亦可形成於同一基板上。該情形時，將形成有半導體元件部100及200之基板分割成複數個半導體晶片之後，將包含半導體元件部100之半導體晶片與包含半導體元件部200之半導體晶片加以接合，藉此獲得半導體裝置100。

本實施形態之半導體裝置1包含隔著第1電極10而積層之半導體元件部100及200。藉由採用此種構成，可實現半導體裝置之小型化，且可高密度地封裝半導體裝置。或，可對應於藉由將半導體元件部100與200積層而縮小之面積來擴大半導體裝置1之面積。其結果，可減小流過半導體裝置之電流之密度，從而可降低半導體裝置產生破壞之可能性。

而且，半導體裝置1還包含導電部121，其被 n^+ 型半導體區域101及 n^- 型半導體區域102包圍，且與第1電極10電性連接。由於半導體裝置1包含導電部121，故可將與第1電極10電性連接之電極墊設置於半導體裝置1之上表面上。因此，例如，與將半導體元件部100及200設置於銅板等之互不相同之面上之情形相比，容易封裝半導體裝置1。

又，半導體裝置1係使2個半導體元件部相互對向且接合而成者，故而該等半導體元件部之翹曲相互抵消，從而可降低半導體裝置

1之翹曲。尤其於半導體元件部100之功能與半導體元件部200之功能相同之情形時，因半導體元件部100之構造而產生之應力、與因半導體元件部200之構造而產生之應力之差變小。因此，於半導體元件部100與200具有相同功能之情形時，可進一步降低半導體裝置1之翹曲。

藉由設置複數個導電部121，可減小第1電極10、與和第1電極10連接之端子之間之電阻。因此，可降低半導體裝置1之導通電阻。

進而，由於第1電極10具有包含氮化鈦或鈦鎢之第2層12及第3層13，故可抑制第1層11中包含之金屬材料與各半導體層中包含之半導體材料之反應。

又，由於第1電極10具有包含鈦之第4層14及第5層15，故可抑制第1層11與第2層12之間之剝離及第1層11與第3層13之間之剝離，從而可提高半導體裝置1之製造之良率。

(第2實施形態)

圖10係第2實施形態之半導體裝置2之俯視圖。於圖10中，以虛線表示導電部121。

圖11係第2實施形態之半導體裝置2之仰視圖。

圖12係圖10之A-A'剖視圖。

半導體裝置2包含半導體元件部300、半導體元件部400、及第1電極10。

半導體元件部300例如為MOSFET。半導體元件部300包含 n^+ 型汲極區域101、 n^- 型半導體區域102(第3半導體區域)、 p 型基極區域105(第4半導體區域)、 n^+ 型源極區域106(第5半導體區域)、源極電極111(第4電極)、導電部121、絕緣部122、第2電極123、閘極電極墊125(第5電極)、絕緣層131、閘極電極141、及閘極絕緣層142。

半導體元件部400例如為MOSFET。半導體元件部400包含 n^+ 型汲

極區域201、 n^- 型半導體區域202(第2導電型之第2半導體區域)、 p 型基極區域205(第1導電型之第1半導體區域)、 n^+ 型源極區域206、源極電極211(第3電極)、閘極電極墊225、絕緣層231、閘極電極241、及閘極絕緣層242。

如圖10所示，於半導體裝置2之上表面設置有源極電極111、第2電極123、閘極電極墊125、及絕緣層131。源極電極111、第2電極123、及閘極電極墊125相互隔開而設置。閘極電極墊125與複數個閘極電極141電性連接。

源極電極111之至少一部分例如於X方向上，設置於第2電極123與閘極電極墊125之間。

源極電極111亦可分離為複數個而設置。該情形時，例如，第2電極123之至少一部分設置於源極電極111彼此之間。

如圖11所示，於半導體裝置2之下表面，設置有源極電極211、閘極電極墊225、及絕緣層231。源極電極211與閘極電極墊225相互隔開而設置。閘極電極墊225與複數個閘極電極241電性連接。源極電極211亦可分離為複數個而設置。同樣地，閘極電極墊225亦可分離為複數個而設置。

如圖12所示，於 n^- 型半導體區域202下選擇性地設置有 p 型基極區域205。 p 型基極區域205例如於X方向上設置有複數個。於 p 型基極區域205下例如選擇性地設置有 n^+ 型源極區域206。源極電極211與 n^+ 型源極區域206電性連接。

閘極電極241隔著閘極絕緣層242而至少與 p 型基極區域205對向。於圖12所示之例中，閘極絕緣層242設置於閘極電極241與 n^- 型半導體區域202之一部分、 p 型基極區域205、及 n^+ 型源極區域206之至少一部分之間。

第1電極10與設置於 n^- 型半導體區域202上之汲極區域201、及設

置於 n^- 型半導體區域102下之 n^+ 型汲極區域101電性連接。第1電極10可作為半導體元件部300及400之汲極電極而發揮功能。

於 n^- 型半導體區域102上選擇性地設置有p型基極區域105。p型基極區域105例如於X方向上設置有複數個。於p型基極區域105上例如選擇性地設置有 n^+ 型源極區域106。源極電極111與 n^+ 型源極區域106電性連接。

閘極電極141隔著閘極絕緣層142而至少與p型基極區域105對向。閘極絕緣層142例如設置於閘極電極141與 n^- 型半導體區域102之一部分、p型基極區域105、及 n^+ 型源極區域106之至少一部分之間。

於相對於源極電極111及211而對第1電極10施加正電壓之狀態下，對閘極電極141及241施加閾值以上之電壓，藉此MOSFET成為導通狀態。此時，於p型基極區域105之閘極絕緣層142附近之區域及p型基極區域205之閘極絕緣層242附近之區域形成通道(反轉層)。

於本實施形態中，亦與第1實施形態同樣地，可實現半導體裝置之小型化，或可降低流過半導體裝置之電流密度。

再者，亦可將本實施形態中說明之半導體元件部300、與第1實施形態中說明之半導體元件部200組合而使用。或，亦可將本實施形態中說明之半導體元件部400、與第1實施形態中說明之半導體元件部100組合而使用。

(第3實施形態)

圖13係第3實施形態之半導體裝置3之剖視圖。

自Z方向觀察半導體裝置3之情形時之構造例如與圖10所示之俯視圖相同。自-Z方向觀察半導體裝置3之情形時之構造例如與圖2所示之仰視圖相同。

半導體裝置3包含半導體元件部500、半導體元件部200、及第1電極10。

半導體元件部500例如為IGBT。半導體元件部500包含 p^+ 型集極區域108(第6半導體區域)、 n 型半導體區域107、 n^- 型半導體區域102(第3半導體區域)、 p 型基極區域105(第4半導體區域)、 n^+ 型源極區域106(第5半導體區域)、 p^+ 型接觸區域109、射極電極111(第4電極)、導電部121、絕緣部122、第2電極123、閘極電極墊125(第5電極)、絕緣層131、閘極電極141、及閘極絕緣層142。

半導體元件部200例如為二極體。

於第1電極10上設置有 p^+ 型集極區域108。 p^+ 型集極區域108與第1電極10電性連接。第1電極10可作為半導體元件部500之集極電極而發揮功能，並且可作為半導體元件部200之陰極電極而發揮功能。於 p^+ 型集極區域108上設置有 n 型半導體區域107。亦可代替 n 型半導體區域107，而於 p^+ 型集極區域108上設置 n^+ 型半導體區域。於 n 型半導體區域107上設置有 n^- 型半導體區域102。

導電部121及絕緣部122例如被 n^- 型半導體區域102、 n 型半導體區域107、及 p^+ 型集極區域108所包圍。

於 n^- 型半導體區域102上選擇性地設置有 p 型基極區域105。於 p 型基極區域105上選擇性地設置有 n^+ 型射極區域106及 p^+ 型接觸區域109。 n^+ 型射極區域106及 p^+ 型接觸區域109與射極電極111電性連接。

於圖13所示之例中，於在X方向上相鄰之閘極絕緣層142之間設置有複數個 n^+ 型射極區域106，且於該等 n^+ 型射極區域106之間設置有 p^+ 型接觸區域109。或，亦可於在X方向上相鄰之閘極絕緣層142之間，於Y方向上交替設置有 n^+ 型射極區域106與 p^+ 型接觸區域109。

半導體元件部200與半導體元件部500例如反並聯連接，且半導體元件部200可作為回流二極體而發揮功能。即，於半導體元件部500為導通狀態時，電流自第1電極10流向射極電極111。於半導體元件部500自導通狀態切換為斷開狀態，且藉由電感成分而對半導體裝置3施

加電壓時，電流自陽極電極211流向第1電極10。

根據本實施形態，具有將具有不同功能之半導體元件部200及500積層之構造。因此，與將2個半導體元件部個別封裝之情形相比，可減小封裝所需之面積。

再者，亦可將本實施形態中說明之半導體元件部500、與第2實施形態中說明之半導體元件部400組合而使用。

(第4實施形態)

圖14係第4實施形態之半導體裝置4之剖視圖。

自Z方向觀察半導體裝置4之情形時之構造例如與圖10所示之俯視圖相同。自-Z方向觀察半導體裝置4之情形時之構造例如與圖11所示之仰視圖相同。

半導體裝置4包含半導體元件部500、半導體元件部600、及第1電極10。

半導體元件部600例如為IGBT。半導體元件部600包含 n^+ 型半導體區域201、 n^- 型半導體區域202、 p 型基極區域205、 n^+ 型源極區域206、射極電極211、閘極電極墊225、絕緣層231、閘極電極241、及閘極絕緣層242。

於第1電極10下，設置有 p^+ 型集極區域208。 p^+ 型集極區域208與第1電極10電性連接。第1電極10可作為半導體元件部500及600之集極電極而發揮功能。於 p^+ 型集極區域208下設置有 n 型半導體區域207。亦可代替 n 型半導體區域207，而於 p^+ 型集極區域208下設置 n^+ 型半導體區域。於 n 型半導體區域207下設置有 n^- 型半導體區域202。

於 n^- 型半導體區域202下選擇性地設置有 p 型基極區域205。於 p 型基極區域205下選擇性地設置有 n^+ 型射極區域206及 p^+ 型接觸區域209。 n^+ 型射極區域206及 p^+ 型接觸區域209與射極電極211電性連接。

於本實施形態中，亦與第1實施形態同樣地，可實現半導體裝置

之小型化、或可降低流過半導體裝置之電流密度。

(第5實施形態)

圖15係第5實施形態之半導體封裝體5之俯視圖。於圖15中，透過絕緣構件30而表示半導體封裝體5之構造。

圖16係圖15之A-A'剖視圖。

本實施形態之半導體封裝體5係將半導體裝置1封裝化所得者。

半導體封裝體5包含半導體裝置1、第1導電部21、第2導電部23、及絕緣構件30。

如圖15所示，第1導電部21與第2導電部23相互隔開而設置。第1導電部21包含第1端子21a及搭載部21b。第2導電部23包含第2端子23a。半導體裝置1設置於搭載部21b上。

第1導電部21與半導體裝置1之陽極電極111經由接合線22而電性連接。第2導電部23與第2電極123經由接合線24而電性連接。接合線22及24之各者例如亦可設置複數個，以便降低各個導電部與各個電極之間之電阻。

作為第1導電部21及第2導電部23之材料，可使用例如銅合金。作為接合線22及24之材料，可使用例如鋁。作為絕緣構件30之材料，可使用例如聚醯亞胺等絕緣性樹脂。

如圖16所示，第1導電部21之搭載部21b與陽極電極211電性連接。即，陽極電極111及211均與第1導電部21電性連接。

半導體裝置1、第1導電部21之一部分、接合線22、第2導電部23之一部分、及接合線24藉由絕緣構件30而覆蓋。第1端子21a及第2端子23a並未被絕緣構件30覆蓋而是露出以用於與外部端子連接。搭載部21b中之未載置半導體裝置1之部分之至少一部分例如亦可露出，以用於半導體封裝體5之散熱。

根據本實施形態，使用半導體裝置1而構成半導體封裝體5，藉

此可實現半導體封裝體之小型化。

(第6實施形態)

圖17係第6實施形態之半導體封裝體6之俯視圖。於圖17中，透過絕緣構件30而表示半導體封裝體6之構造。

圖18係圖17之A-A'剖視圖。

本實施形態之半導體封裝體6係將半導體裝置2封裝化所得者。

半導體封裝體6包含半導體裝置2、第1導電部21、第2導電部23、第3導電部25、及絕緣構件30。

如圖17所示，第1導電部21、第2導電部23、及第3導電部25相互隔開而設置。第1導電部21包含第1端子21a及搭載部21b。第2導電部23包含第2端子23a。第3導電部25包含第3端子25a及搭載部25b。半導體裝置1設置於搭載部21b上及搭載部25b上。

第1導電部21經由接合線22而與陽極電極111電性連接。第2導電部23經由接合線24而與第2電極123電性連接。第3導電部25經由接合線26而與閘極電極墊125電性連接。接合線22、24、及26亦可設置複數個。

如圖18所示，半導體裝置2之源極電極211與第1導電部21電性連接。閘極電極墊225與第3導電部25電性連接。即，源極電極111及211均與第1導電部21電性連接。閘極電極墊125及225均與第3導電部25電性連接。

半導體裝置2、各引線之一部分、及各接合線藉由絕緣構件30而覆蓋。第1端子21a～第3端子25a並未被絕緣構件30覆蓋而是露出，以用於與外部端子連接。

本實施形態中亦同樣地，使用半導體裝置2而構成半導體封裝體6，藉此可實現半導體封裝體之小型化。

再者，半導體封裝體6亦可係將半導體裝置3封裝化所得者。該

情形時，半導體裝置3之射極電極111及陽極電極211與第1導電部21電性連接。又，第2電極123與第2導電部23電性連接，閘極電極墊125與第3導電部25電性連接。

(第7實施形態)

圖19係第7實施形態之半導體封裝體7之俯視圖。於圖19中，透過絕緣構件30而表示半導體封裝體7之構造。

圖20係圖19之A-A' 剖視圖。

本實施形態之半導體封裝體7係將半導體裝置4封裝化所得者。

半導體封裝體7包含半導體裝置1、第1導電部21、第2導電部23、第3導電部25、電極27、及絕緣構件30。

如圖19所示，半導體封裝體7包含自第1導電部21、第2導電部23、及第3導電部25隔開而設置之電極27。半導體裝置4設置於電極27及搭載部21b上。

電極27經由接合線28而與射極電極111電性連接。第2電極123經由接合線24而與第2導電部23電性連接。閘極電極墊125經由接合線26而與第3導電部25電性連接。

如圖20所示，電極27與閘極電極墊225電性連接。即，半導體元件部600之閘極電極225與半導體元件部500之射極電極111電性連接。射極電極211與第1導電部21電性連接。因此，半導體封裝體7包含將半導體元件部500之輸出輸入至半導體元件部600之閘極之達林頓電晶體。

根據本實施形態，將構成達林頓電晶體之2個半導體元件部積層而設置。因此，可實現具有作為達林頓電晶體之功能之半導體封裝體之小型化。

對於以上說明之各實施形態中之各半導體區域之間的雜質濃度之相對性的高低，可使用例如 SCM(Scanning Capacitance

Microscopy，掃描式電容顯微鏡)而確認。再者，各半導體區域中之載子濃度可看作與各半導體區域中活化之雜質濃度相等者。因此，上述各實施形態之說明中之雜質濃度亦可置換為載子濃度。對於各半導體區域之間之載子濃度之相對性的高低，亦可使用SCM而確認。

又，對於各半導體區域中之雜質濃度，可使用例如SIMS(Secondary Ion Mass Spectrometry，二次離子質譜法)而測定。

以上，例示有本發明之若干實施形態，但該等實施形態係作為示例而提出者，並未意欲限定發明之範圍。該等新穎之實施形態能以其他各種形態實施，且可於不脫離發明之主旨之範圍進行各種省略、置換、變更等。該等實施形態及其變化例包含於發明之範圍或主旨，並且包含於申請專利範圍中所記載之發明及其均等之範圍。又，上述各實施形態可相互組合而實施。

【符號說明】

1	半導體裝置
2	半導體裝置
3	半導體裝置
4	半導體裝置
5	半導體封裝體
6	半導體封裝體
7	半導體封裝體
10	第1電極
11	第1層
11a	導電層
11b	導電層
12	第2層
12a	導電層

13	第3層
13a	導電層
14	第4層
14a	導電層
15	第5層
15a	導電層
21	第1導電部
21a	第1端子
21b	搭載部
22	接合線
23	第2導電部
23a	第2端子
24	接合線
25	第3導電部
25a	第3端子
25b	搭載部
26	接合線
27	電極
28	接合線
30	絕緣構件
100	半導體元件部
101	n ⁺ 半導體區域
101a	n ⁺ 型基板
101b	n ⁺ 型半導體區域
102	n ⁻ 型半導體區域
102a	n ⁻ 型半導體層

103	p ⁻ 型半導體區域
104	p ⁺ 型半導體區域
105	p型基極區域
106	n ⁺ 型半導體區域
107	n型半導體區域
108	p ⁺ 型集極區域
109	p ⁺ 型接觸區域
111	陽極電極
121	導電部
122	絕緣部
123	第2電極
125	閘極電極墊
131	絕緣層
131a	絕緣層
141	閘極電極
142	閘極絕緣層
200	半導體元件部
201	n ⁺ 半導體區域
201a	n ⁺ 型基板
201b	n ⁺ 型半導體區域
202	n ⁻ 型半導體區域
202a	n ⁻ 型半導體層
203	p ⁻ 型半導體區域
204	p ⁺ 型半導體區域
205	p型基極區域
206	n ⁺ 型半導體區域

207	n型半導體區域
208	p ⁺ 型集極區域
209	p ⁺ 型接觸區域
211	陽極電極
225	閘極電極墊
231	絕緣層
231a	絕緣層
241	閘極電極
242	閘極絕緣層
300	半導體元件部
400	半導體元件部
500	半導體元件部
600	半導體元件部
OP1	開口
S1	半導體層
S1a	表面
S1b	背面
S2	半導體層
S2a	表面
S2b	背面

申請專利範圍

1. 一種半導體裝置，其包含：
 - 第1導電型之第1半導體區域；
 - 第2導電型之第2半導體區域，其設置於上述第1半導體區域上；
 - 第1電極，其設置於上述第2半導體區域上；
 - 第2導電型之第3半導體區域，其設置於上述第1電極上；
 - 第1導電型之第4半導體區域，其設置於上述第3半導體區域上；及
 - 導電部，其被上述第3半導體區域隔著絕緣部而包圍，且與上述第1電極電性連接。
2. 如請求項1之半導體裝置，其中上述第1電極包含：
 - 第1層，其包含金、錫及銮之至少任一者；
 - 第2層，其設置於上述第1層與上述第2半導體區域之間，且包含氮化鈦或鈦鎢；及
 - 第3層，其設置於上述第1層與上述第3半導體區域之間，且包含氮化鈦或鈦鎢。
3. 如請求項1或2之半導體裝置，其更包含：
 - 第2電極，其設置於上述導電部上，且與上述導電部電性連接；
 - 第3電極，其設置於上述第1半導體區域下，且與上述第1半導體區域電性連接；及
 - 第4電極，其與上述第2電極隔開而設置於上述第4半導體區域上，且與上述第4半導體區域電性連接。
4. 如請求項1或2之半導體裝置，其包含：

第2導電型之第5半導體區域，其選擇性地設置於上述第4半導體區域上；

閘極電極；及

閘極絕緣層，其至少設置於上述閘極電極與上述第4半導體區域之間。

5. 如請求項4之半導體裝置，其更包含：

第2電極，其設置於上述導電部上，且與上述導電部電性連接；

第3電極，其設置於上述第1半導體區域下，且與上述第1半導體區域電性連接；

第4電極，其與上述第2電極隔開而設置於上述第4半導體區域上，且與上述第4半導體區域電性連接；及

第5電極，其設置於上述第4半導體區域上，與上述閘極電極電性連接，且與上述第2電極及上述第4電極隔開而設置。

6. 如請求項5之半導體裝置，其更包含第1導電型之第6半導體區域，其設置於上述第1電極與上述第3半導體區域之間。

7. 一種半導體封裝體，其包含：

如請求項3之半導體裝置；

第1端子，其與上述第2電極電性連接；

第2端子，其與上述第3電極及上述第4電極電性連接；及

絕緣構件，其包圍上述半導體裝置。

8. 一種半導體封裝體，其包含：

如請求項5之半導體裝置；

第1端子，其與上述第2電極電性連接；

第2端子，其與上述第3電極及上述第4電極電性連接；

第3端子，其與上述第5電極電性連接；及

絕緣構件，其包圍上述半導體裝置。

圖式

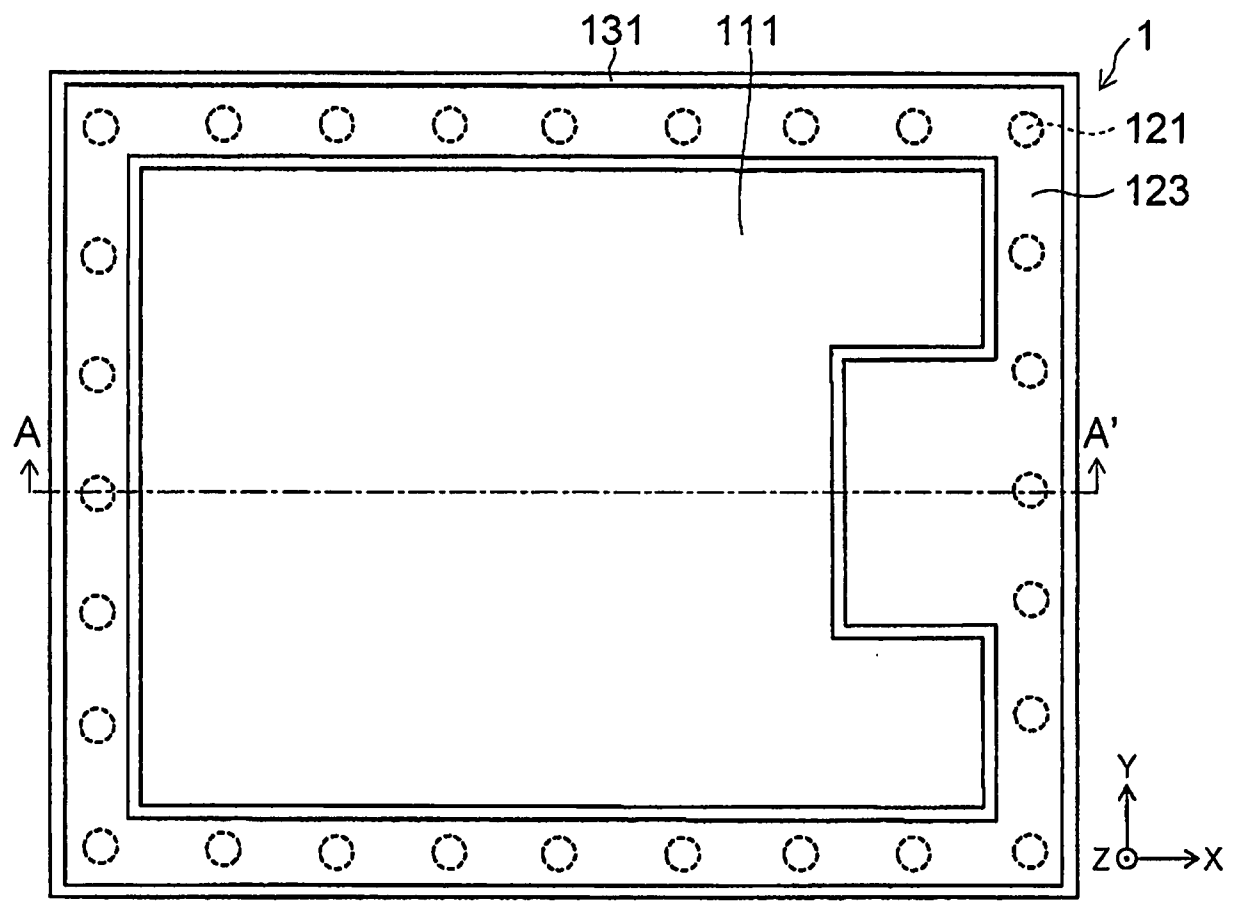


圖1

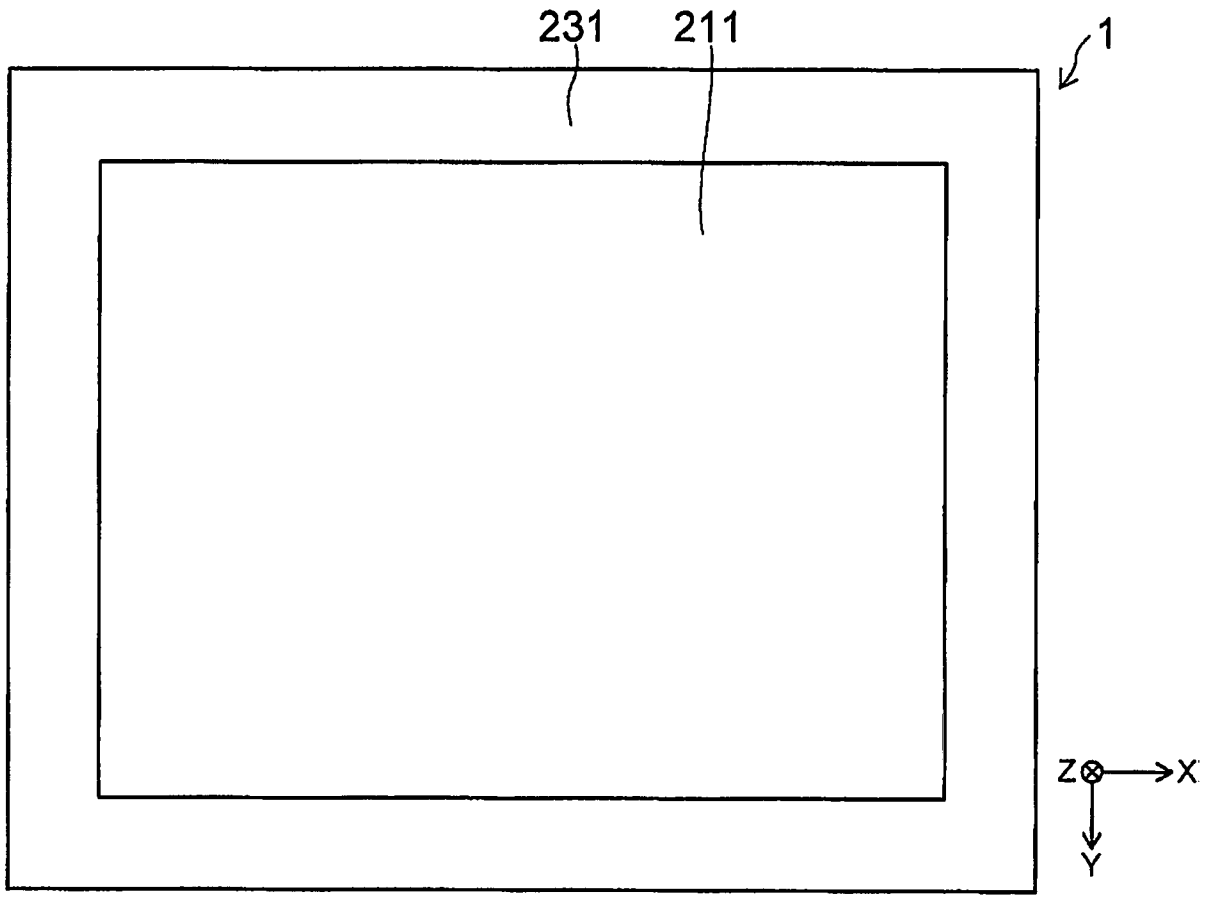


圖2

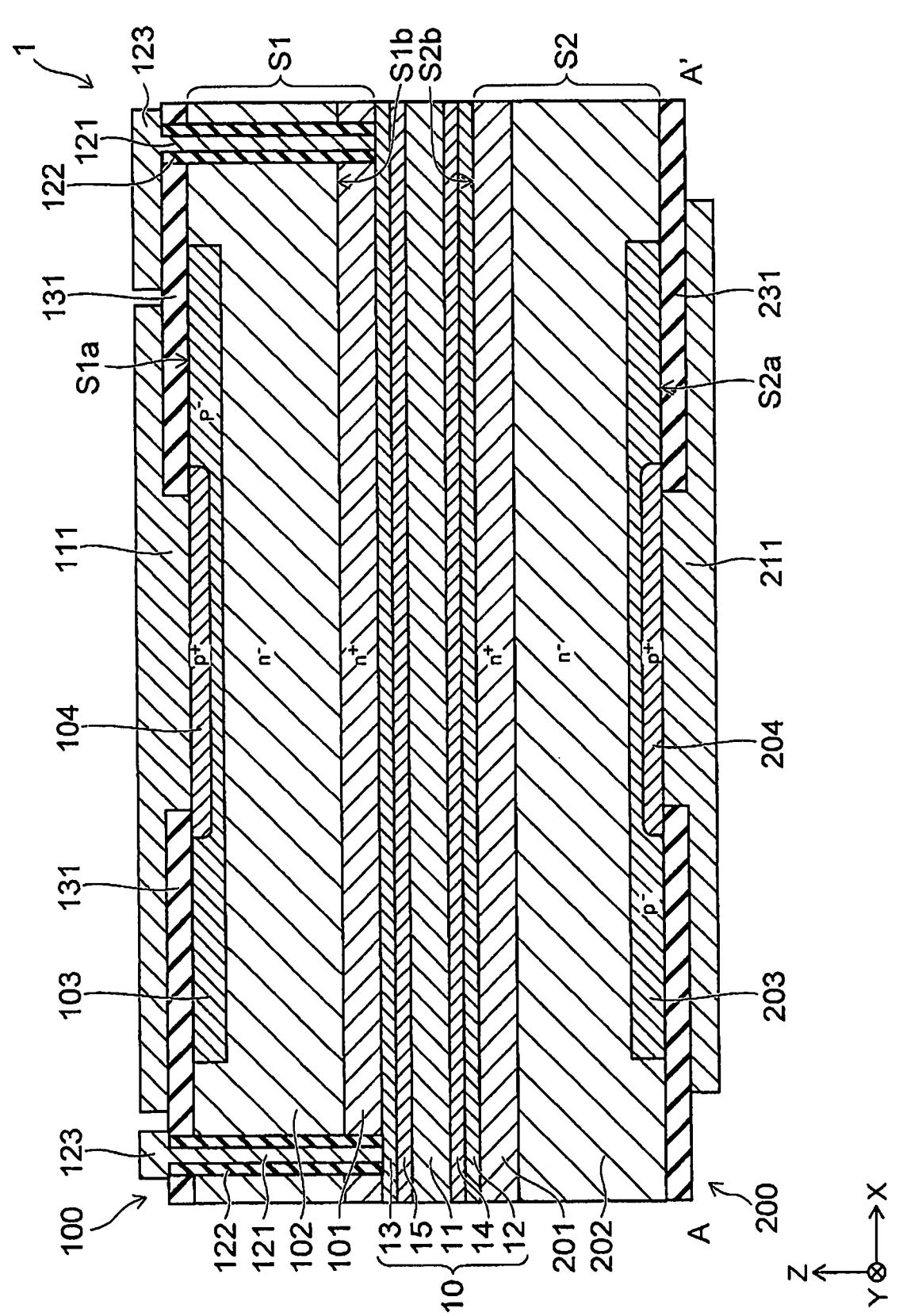
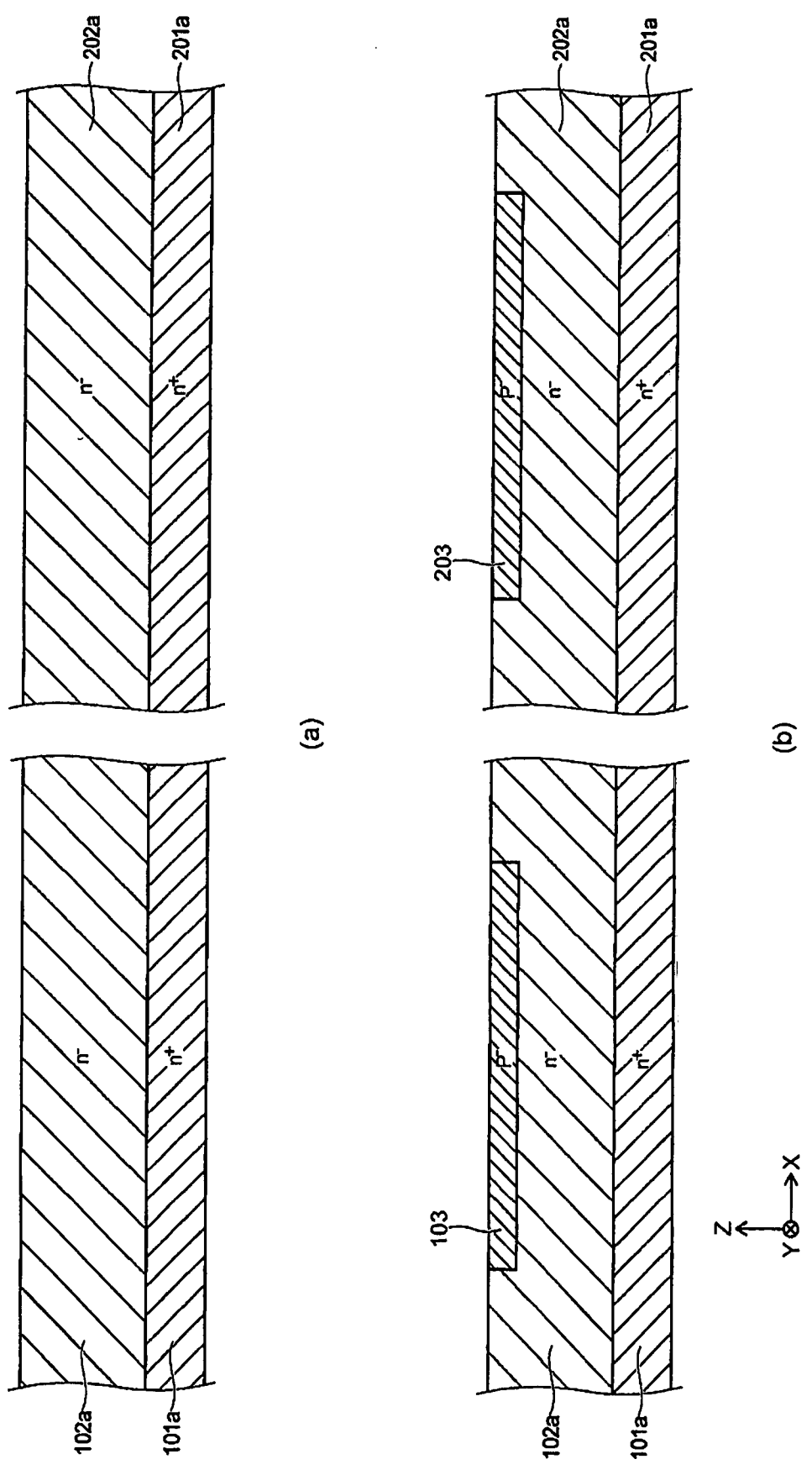


圖3

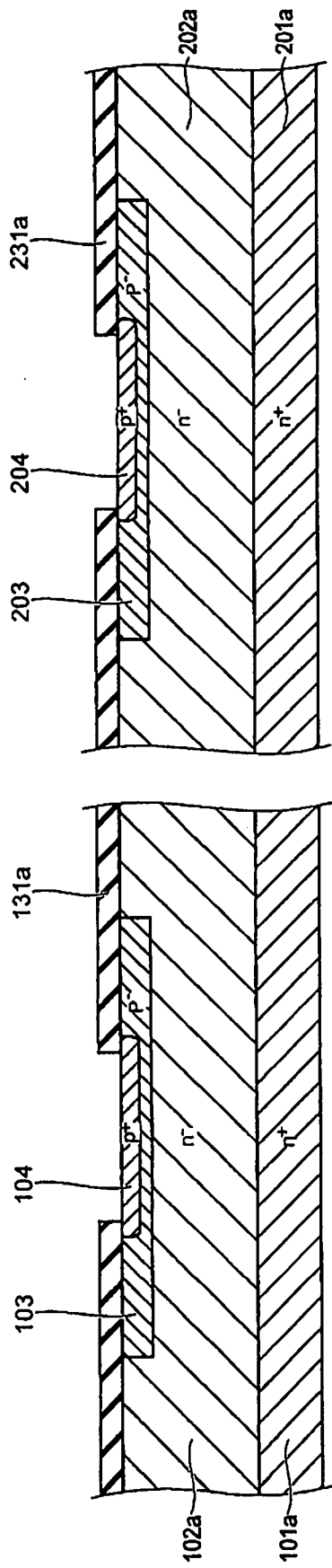


(a)

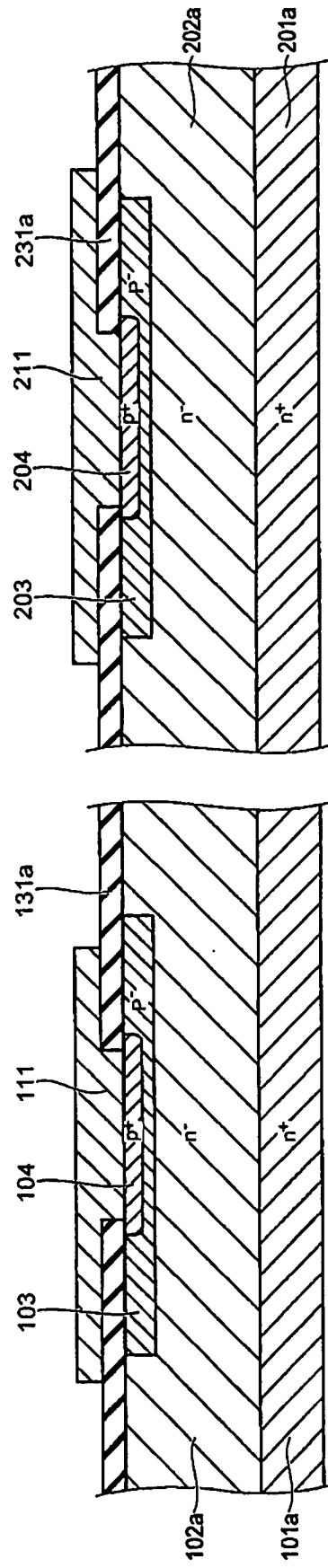
(b)

圖4





(a)



(b)

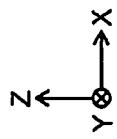


圖5

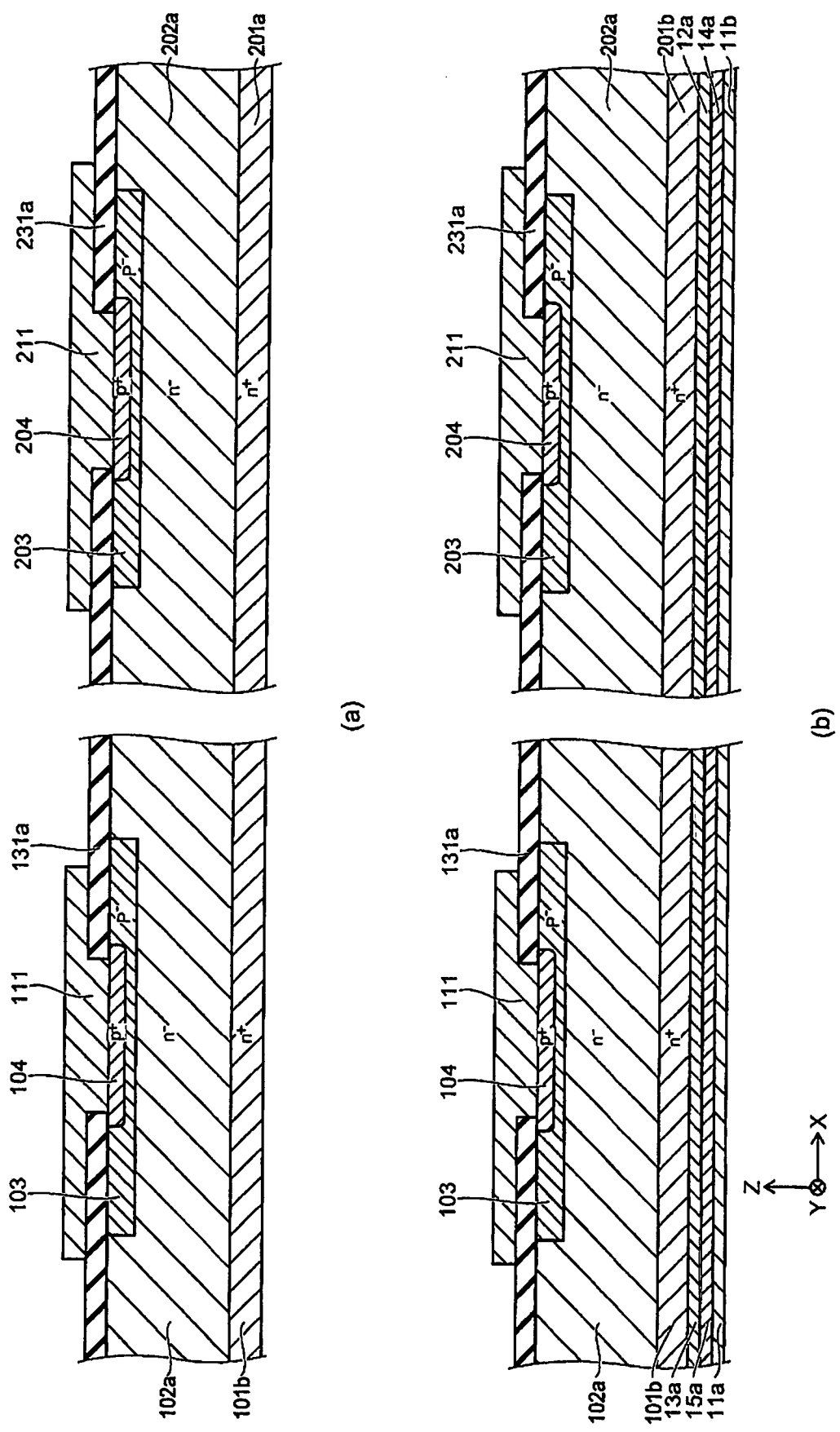
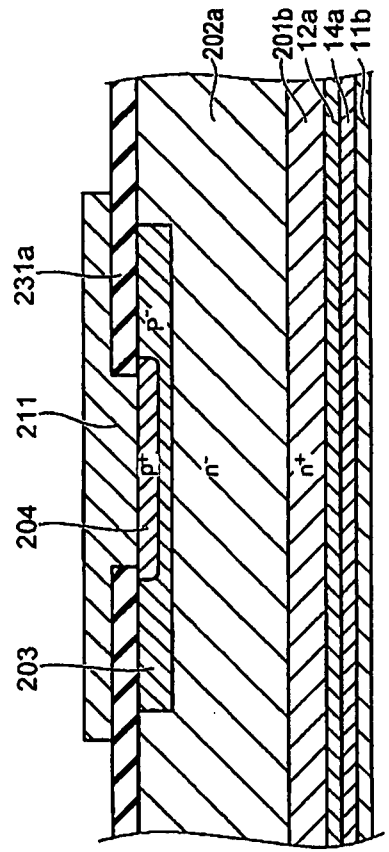
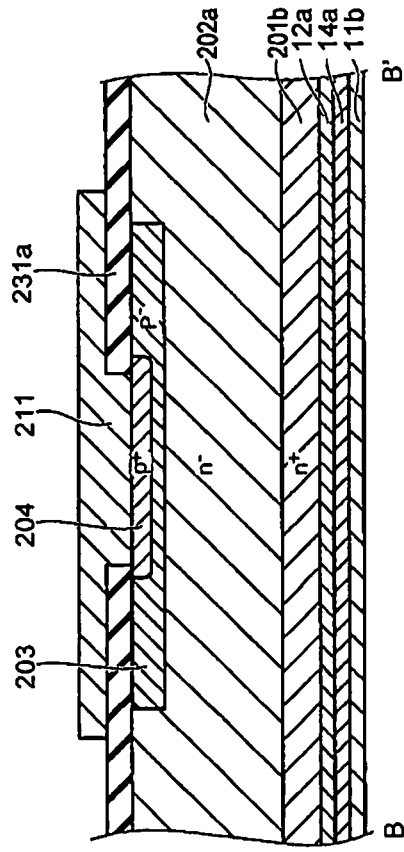


圖6





(a)



(b)

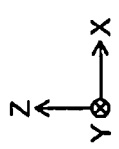


圖7

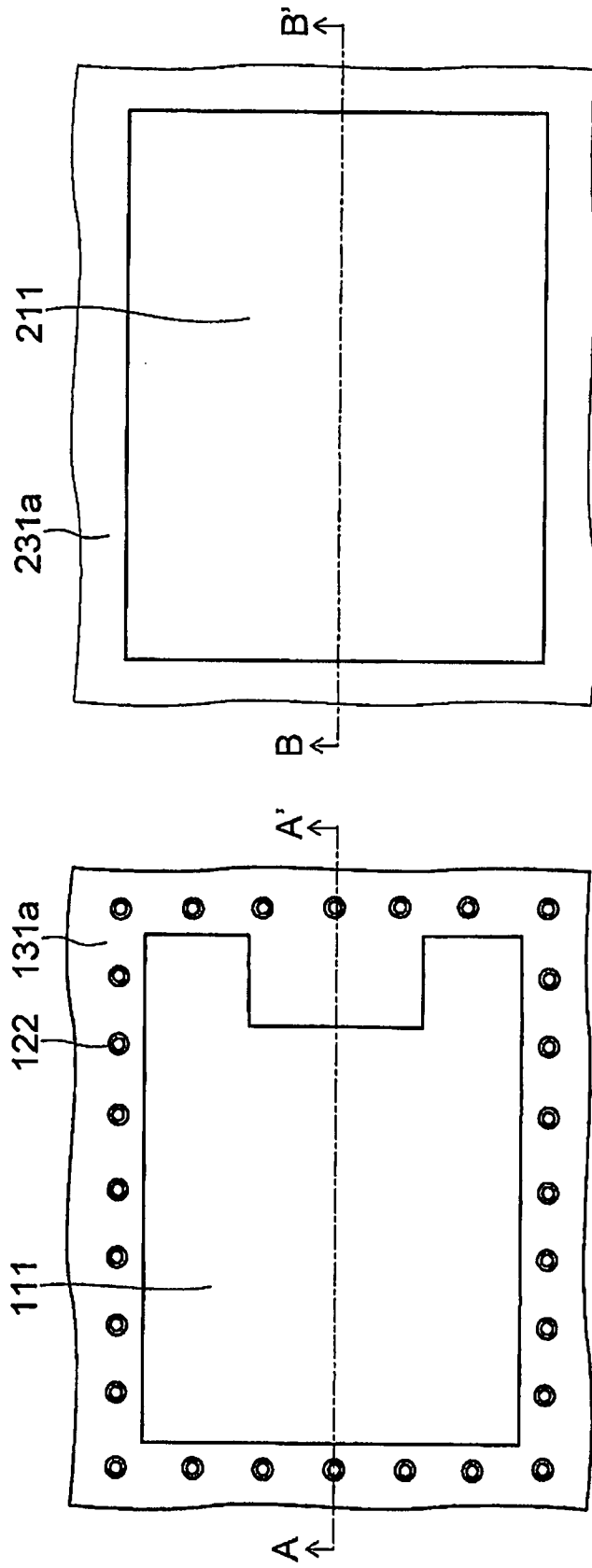


圖8



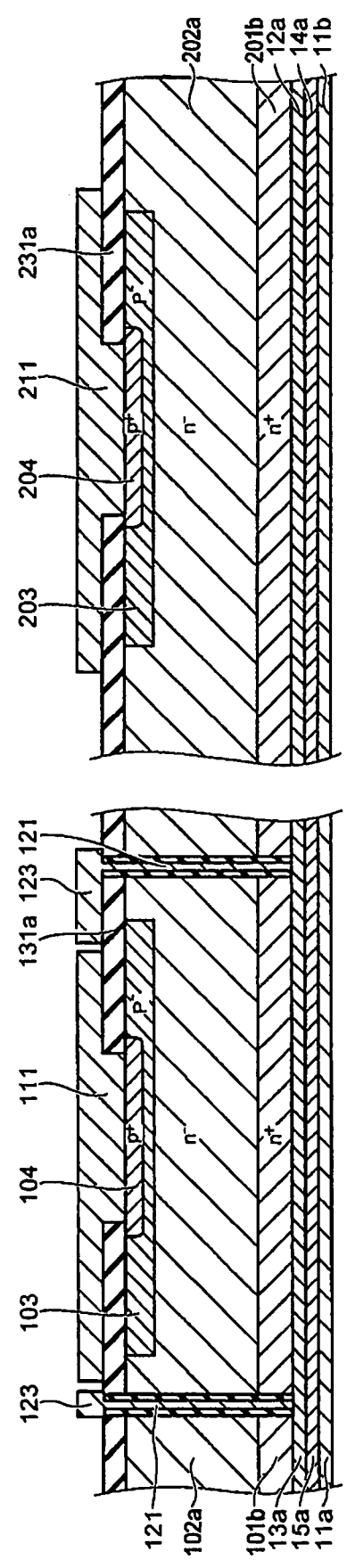


圖9

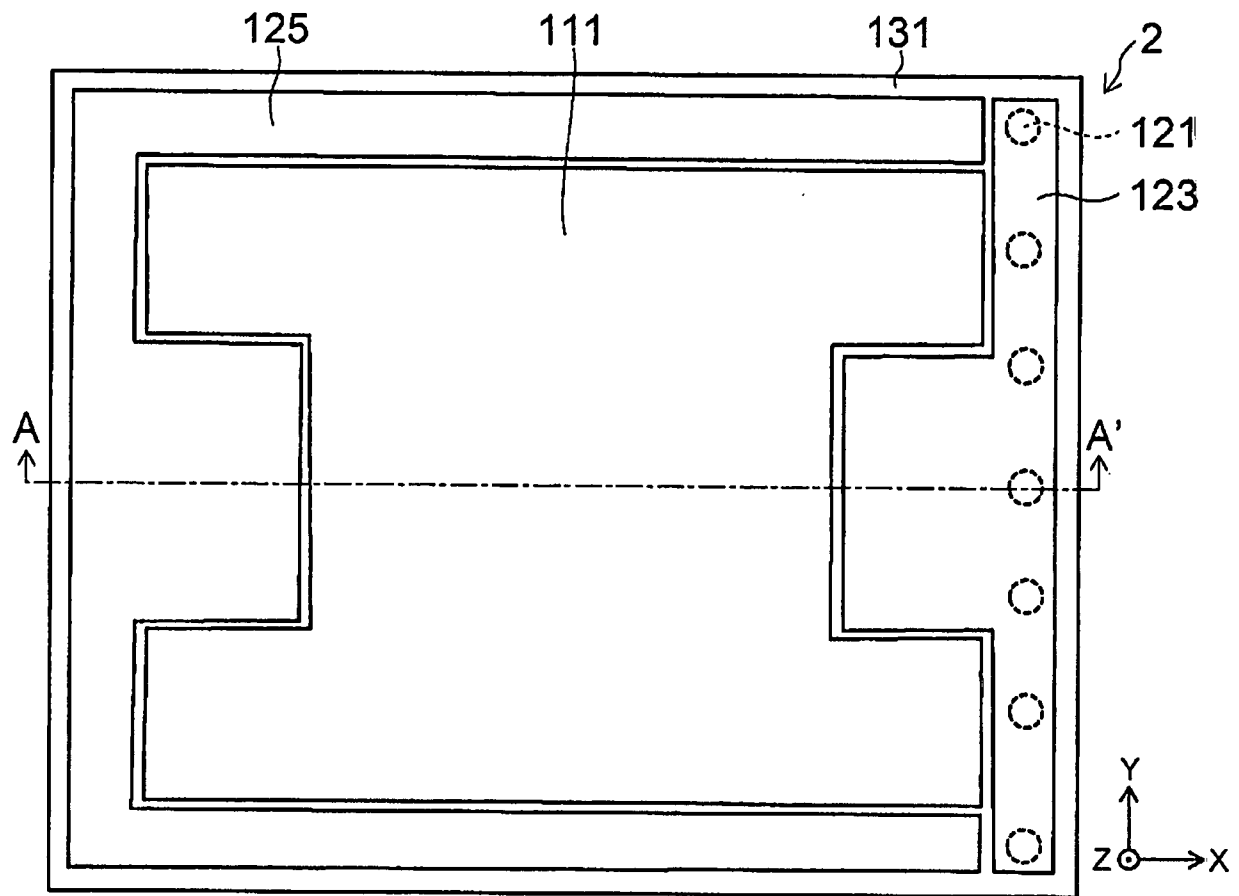


圖10



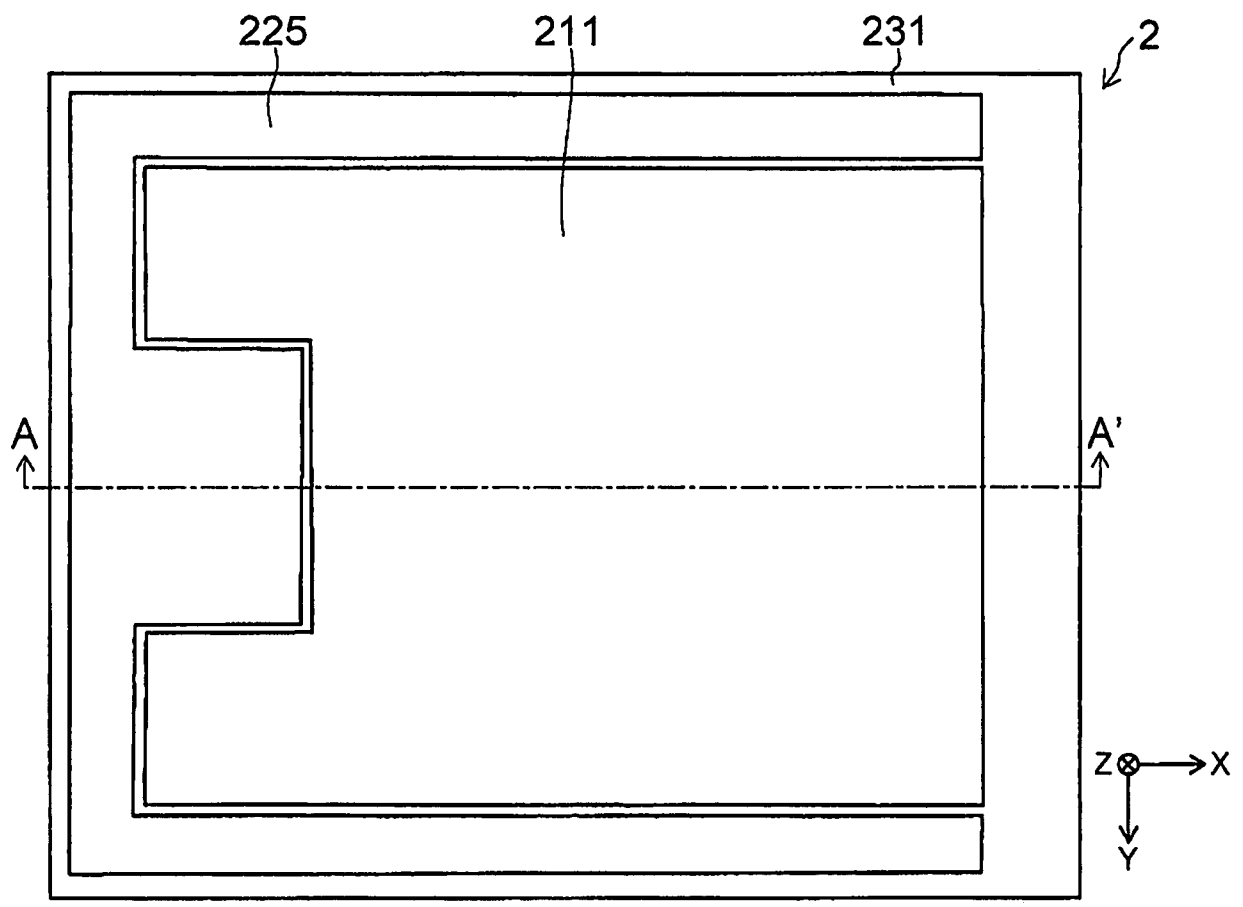


圖 11

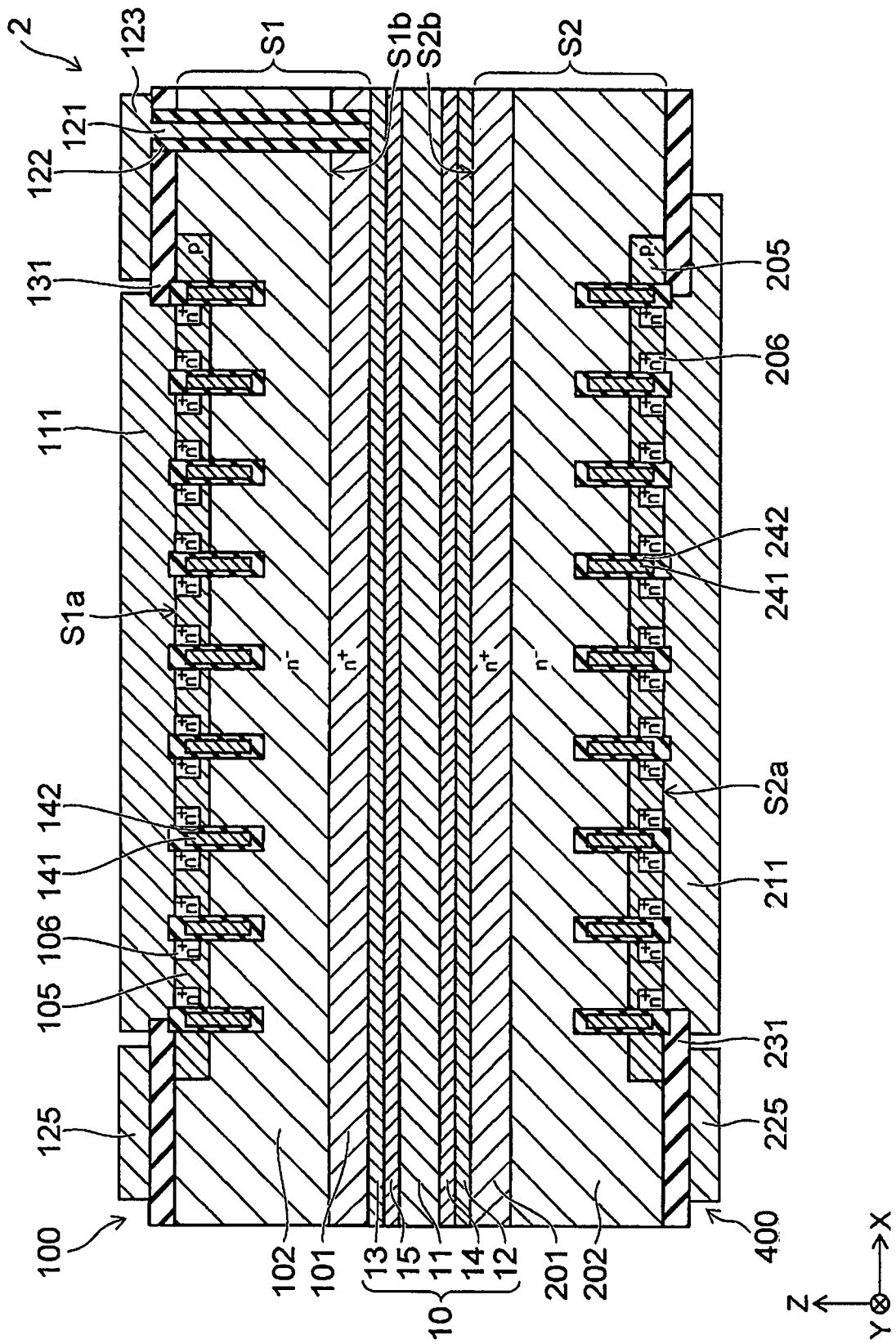


圖12



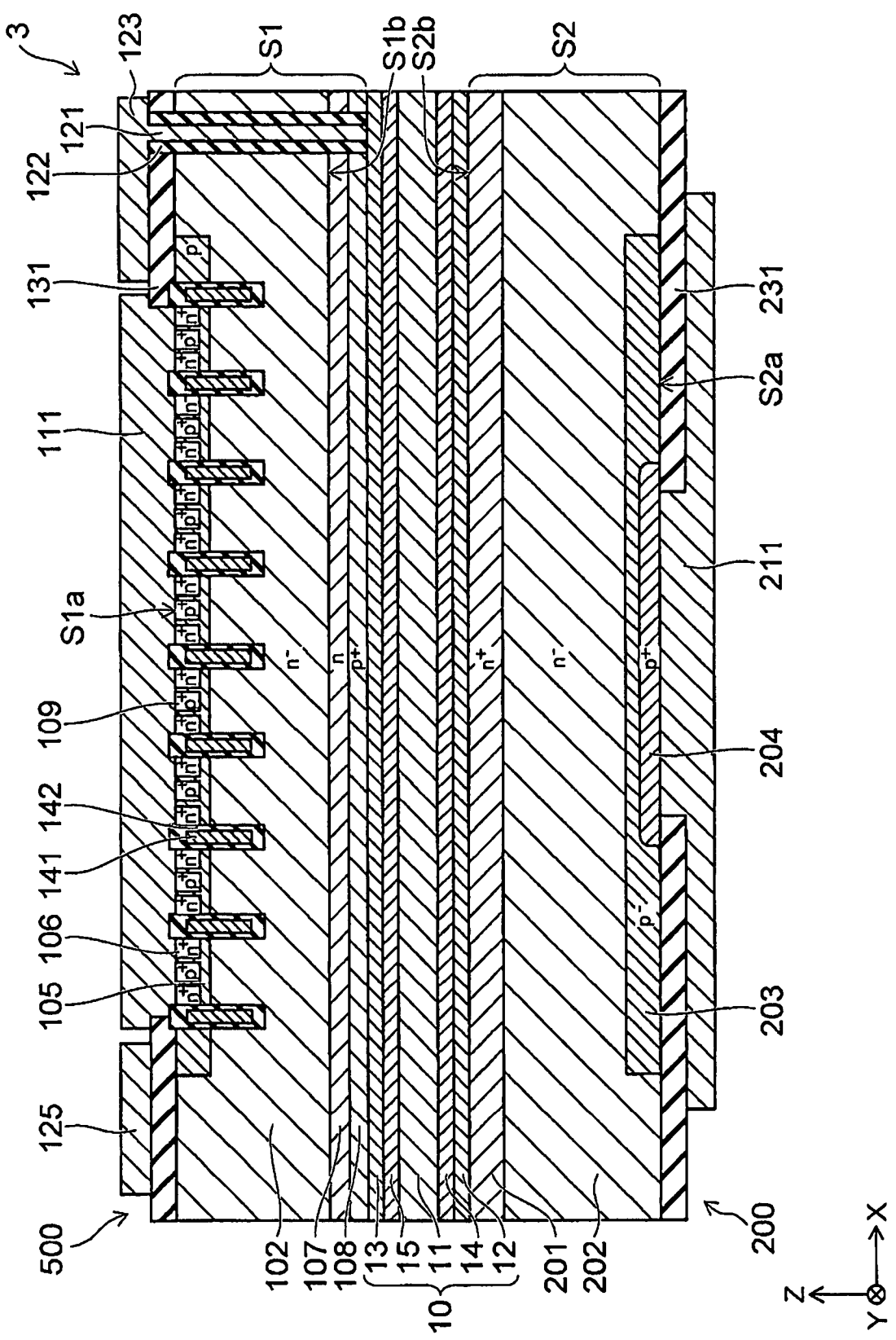


圖13

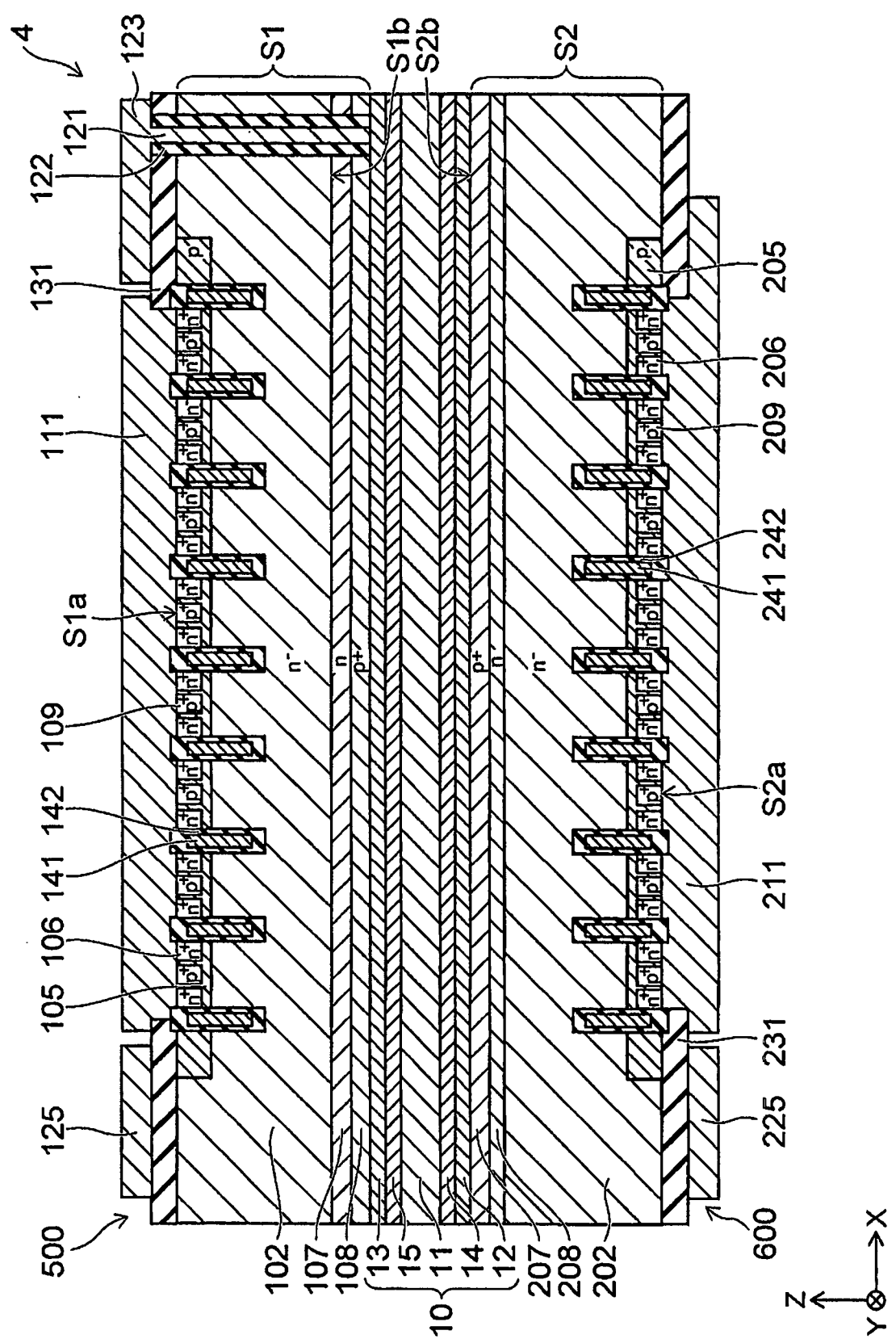


圖14



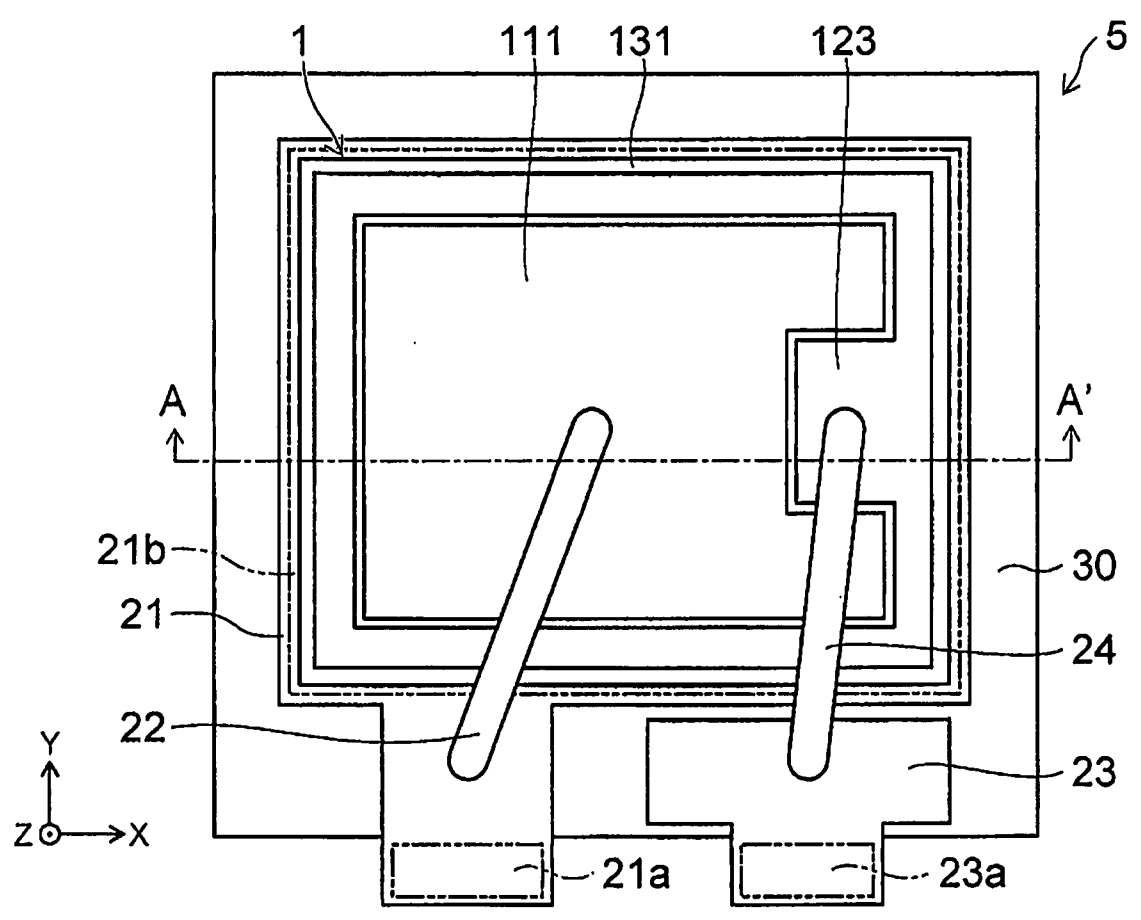


圖 15

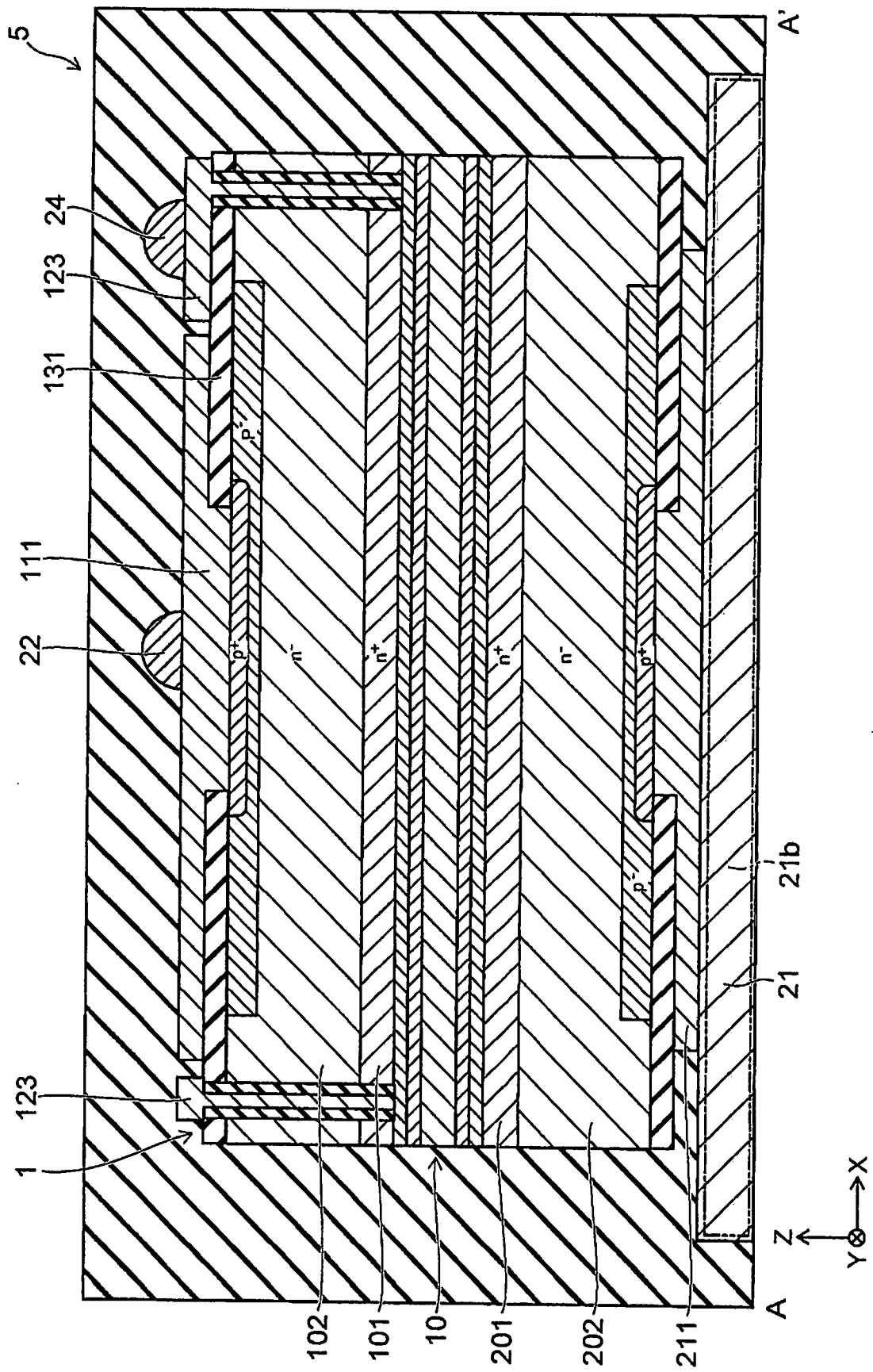


圖16



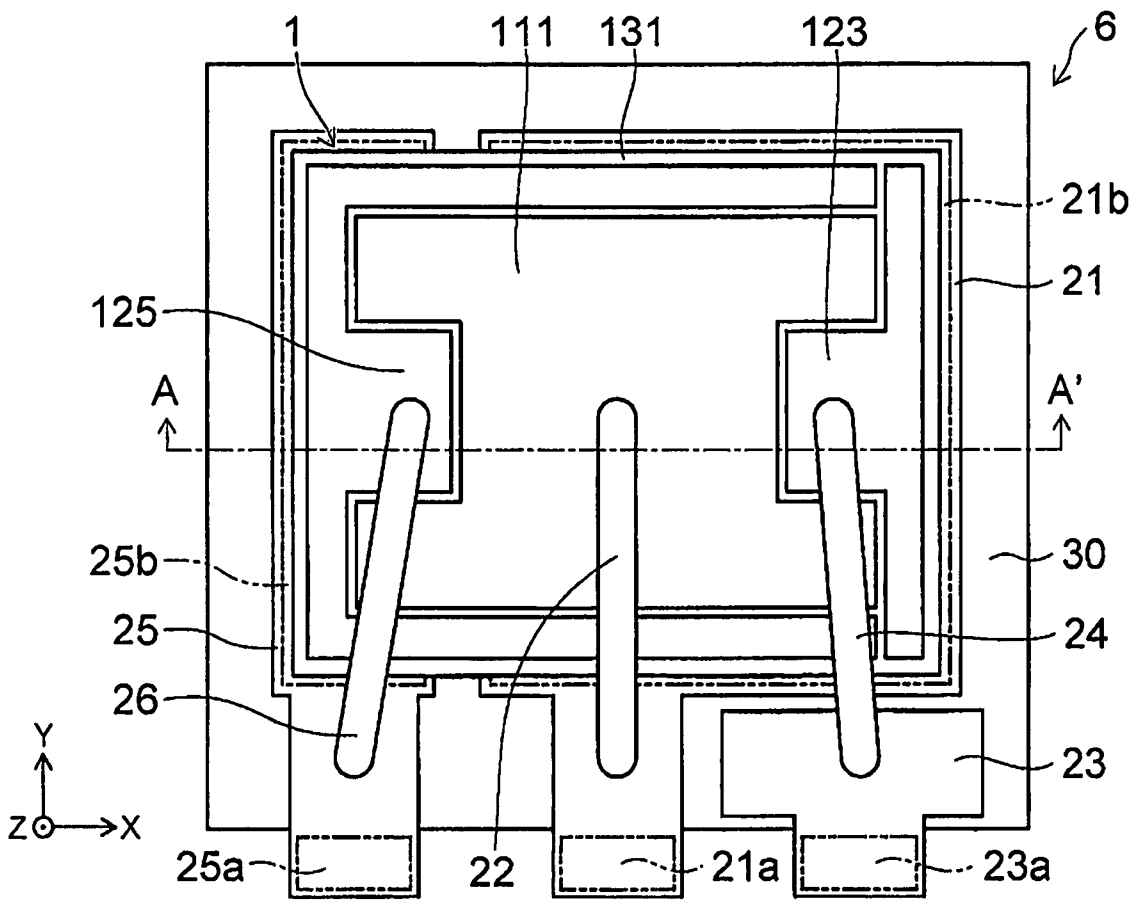


圖17

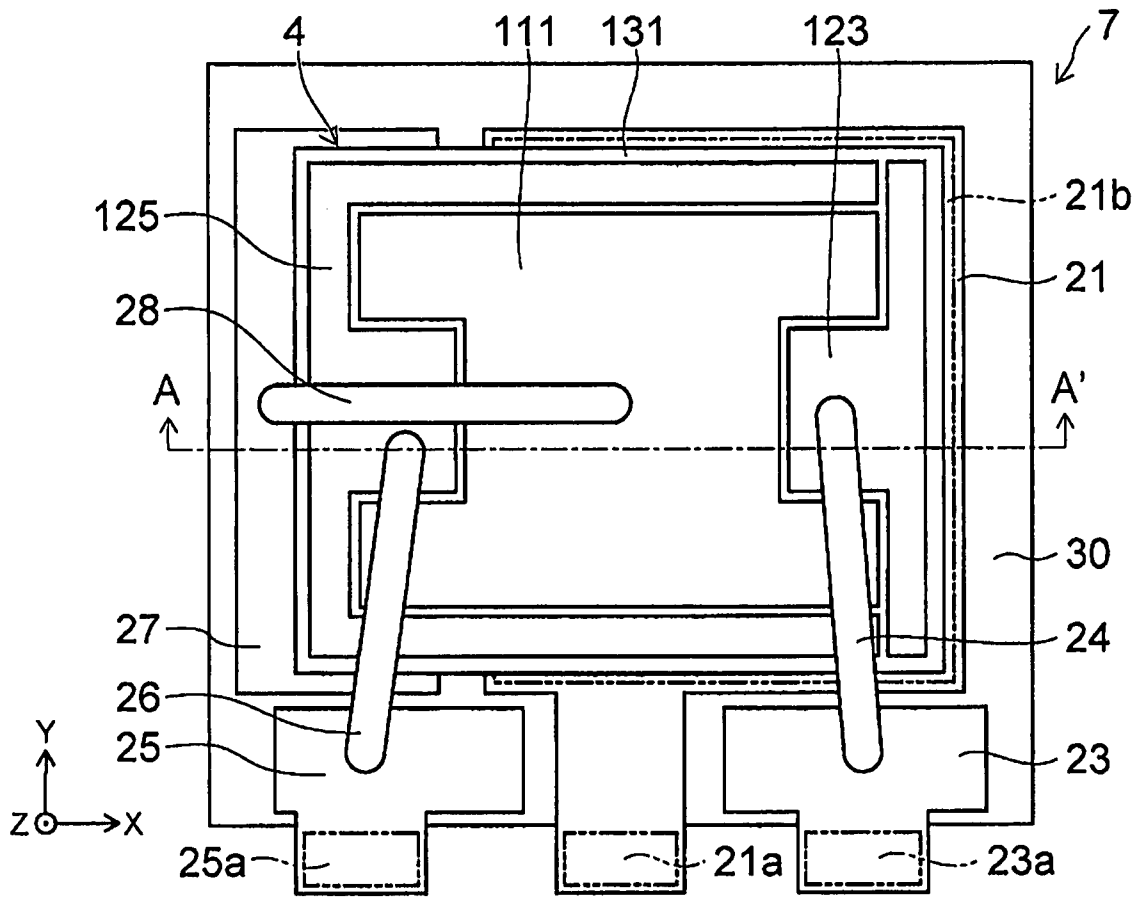


圖19

