



(10) **DE 11 2012 007 290 B3** 2017.06.29

(12)

## Patentschrift

(21) Aktenzeichen: **11 2012 007 290.1**

(22) Anmeldetag: **05.10.2012**

(45) Veröffentlichungstag  
der Patenterteilung: **29.06.2017**

(51) Int Cl.: **H01L 29/786** (2006.01)  
**H01L 27/12** (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:  
**2011227022 14.10.2011 JP**

(62) Teilung aus:  
**11 2012 004 307.3**

(73) Patentinhaber:  
**Semiconductor Energy Laboratory Co., Ltd.,  
Atsugi-shi, Kanagawa-ken, JP**

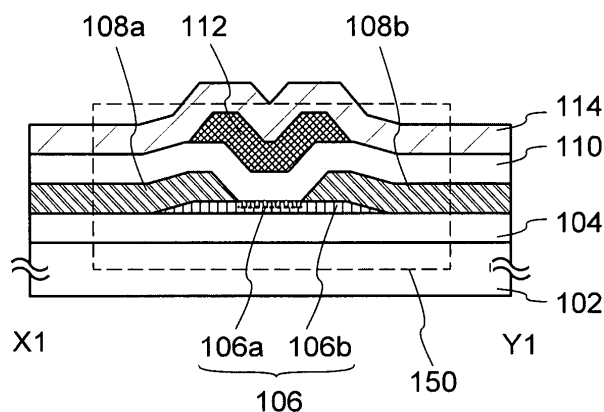
(74) Vertreter:  
**Grünecker Patent- und Rechtsanwälte PartG  
mbB, 80802 München, DE**

(72) Erfinder:  
**Yamazaki, Shunpei, Atsugi-shi, Kanagawa-ken,  
JP; Honda, Tatsuya, Nigata-shi, JP; Shimazu,  
Takashi, Nagoya-shi, Aichi-ken, JP; Nonaka,  
Yusuke, Atsugi-shi, Kanagawa-ken, JP; Tsubuku,  
Masashi, Atsugi-shi, Kanagawa-ken, JP**

(56) Ermittelter Stand der Technik:  
**US 2011 / 0 017 990 A1**

(54) Bezeichnung: **Halbleitervorrichtung**

(57) Hauptanspruch: Halbleitervorrichtung, die umfasst:  
einen Oxidhalbleiterfilm (106) über einem Substrat (102);  
eine Source-Elektrode (108a) und eine Drain-Elektrode  
(108b) über dem Oxidhalbleiterfilm (106);  
einen Gate-Isolierfilm (110) über dem Oxidhalbleiterfilm  
(106), wobei der Gate-Isolierfilm (110) ein Oxid, das Silizium  
enthält, umfasst; und  
eine Gate-Elektrode (112) über dem Gate-Isolierfilm (110),  
wobei der Oxidhalbleiterfilm (106) umfasst:  
einen ersten Bereich (106a), in dem eine Konzentration von  
Silizium niedriger als oder gleich 1,0 Atom-% ist; und  
ein Paar von zweiten Bereichen (106e, 106f), wobei jeder  
von dem Paar von zweiten Bereichen einen Dotierstoff um-  
fasst,  
wobei der erste Bereich (106a) an einer Grenzfläche zwi-  
schen dem Oxidhalbleiterfilm (106) und dem Gate-Isolierfilm  
(110) liegt und in Kontakt mit dem Gate-Isolierfilm (110) ist, und  
wobei der erste Bereich (106a) einen Kristallbereich um-  
fasst.



**Beschreibung**

## Technisches Gebiet

**[0001]** Die vorliegende Erfindung betrifft eine Halbleitervorrichtung und ein Verfahren zum Herstellen der Halbleitervorrichtung.

**[0002]** In dieser Beschreibung bedeutet eine Halbleitervorrichtung im Allgemeinen eine Vorrichtung, die durch Anwenden von Halbleitercharakteristiken arbeiten kann, und eine elektrooptische Vorrichtung, eine Halbleiterschaltung und ein elektronisches Gerät sind alle Halbleitervorrichtungen.

## Stand der Technik

**[0003]** Eine Technik zum Ausbilden von Transistoren unter Verwendung eines Halbleiterdünnsfilms, der über einem Substrat ausgebildet ist, welches eine isolierende Oberfläche aufweist, hat Aufmerksamkeit erregt. Der Transistor wird in einem breiten Bereich von elektronischen Geräten verwendet, wie z. B. einer integrierten Schaltung (integrated circuit: IC) oder einer Bildanzeigevorrichtung (Anzeigevorrichtung). Als Halbleiterdünnsfilm, der für den Transistor verwendbar ist, ist beispielsweise ein Halbleitermaterial auf Silizium-Basis weithin bekannt; des Weiteren hat ein Oxidhalbleiter als weiteres Material Aufmerksamkeit erregt.

**[0004]** Beispielsweise ist ein Transistor offenbart, dessen aktive Schicht ein amorphes Oxid aufweist, welches Indium (In), Gallium (Ga) und Zink (Zn) enthält (siehe Patentdokument 1).

**[0005]** Transistoren, die Oxidhalbleiter aufweisen, haben bessere Eigenschaften im Durchlasszustand (on-state characteristics) (Durchlassstrom (on-state current)) als Transistoren, die amorphes Silizium aufweisen. Um die Transistoren, die Oxidhalbleiter aufweisen, für hochleistungsfähige Vorrichtungen anzuwenden, fordert man, dass derartige Transistoren weiter verbesserte Eigenschaften haben. Somit sind Techniken zur Kristallisierung von Oxidhalbleitern entwickelt worden (siehe Patentdokument 2). In Patentdokument 2 ist eine Technik offenbart, bei der ein Oxidhalbleiter durch eine Wärmebehandlung kristallisiert wird.

## [Referenz]

## [Patentdokument]

**[0006]**

[Patentdokument 1] Japanische Patentoffenlegungsschrift Nr. JP 2006-165528 A

[Patentdokument 2] Japanische Patentoffenlegungsschrift Nr. JP 2008-311342 A

**[0007]** Die US 2011/0017990 A1 beschreibt einen Dünnschicht-Transistor und einen Prozess zu seiner Herstellung. Ein erster Oxidhalbleiterfilm wird auf einem zweiten Oxidhalbleiterfilm gebildet, um einen Kanalfilm zu bilden. Source und Drain werden gebildet, so dass sie Kontakt zu jeweils zwei gegenüberliegenden Seiten des Kanalfilms bilden. Der Gate-Isolierfilm und das Gate werden nacheinander gebildet.

## Offenbarung der Erfindung

**[0008]** In dem Fall, in dem ein Transistor mit obenliegendem Gate (top-gate transistor), der einen Oxidhalbleiterfilm aufweist, ausgebildet wird, wird ein Gate-Isolierfilm über dem Oxidhalbleiterfilm ausgebildet. Wenn der Gate-Isolierfilm ausgebildet wird, kann ein Bestandteil des Gate-Isolierfilms in den Oxidhalbleiterfilm eindringen, über dem der Gate-Isolierfilm ausgebildet wird.

**[0009]** Beispielsweise werden in dem Fall, in dem ein Siliziumoxid-(SiO<sub>x</sub>, x = 2 oder mehr)Film als Gate-Isolierfilm nach dem Ausbilden eines Oxidhalbleiterfilms durch ein Sputterverfahren ausgebildet wird, Silizium, das ein Bestandteil des Siliziumoxides ist, und ein Edelgaselement wie z. B. Argon, das beim Sputtern verwendet wird, zusammen in den Oxidhalbleiterfilm implantiert. Solches Silizium bricht eine Bindung zwischen Bestandteilen des Oxidhalbleiterfilms (einem Indiumatom und einem Sauerstoffatom (In-O-Bindung)) auf und wird als Verunreinigungselement in dem Oxidhalbleiterfilm eingeschlossen. Das Verunreinigungselement kann mit einer hohen Konzentration besonders in der Nähe der Grenzfläche zwischen dem Oxidhalbleiterfilm und dem Gate-Isolierfilm enthalten sein. In der Nähe der Grenzfläche zwischen dem Oxidhalbleiterfilm und dem Gate-Isolierfilm wird ein Kanalbildungsbereich ausgebildet; somit wird dann, wenn ein Verunreinigungselement wie z. B. Silizium enthalten ist, der Widerstand des Oxidhalbleiterfilms erhöht. Als Ergebnis wird der Durchlass-

strom, der eine der elektrischen Eigenschaften eines Transistors ist, verringert. Wie oben beschrieben worden ist, wird das Verunreinigungselement, das in dem Oxidhalbleiterfilm verbleibt, zu einer Ursache, die elektrische Eigenschaften des Transistors beeinflusst.

**[0010]** Ferner wird in dem Fall, in dem der Oxidhalbleiterfilm einen Kristallbereich aufweist, eine Bindung in dem Kristallbereich des Oxidhalbleiterfilms durch das Eindringen des Bestandteils des Gate-Isolierfilms in den Oxidhalbleiterfilm aufgebrochen; somit werden mehr amorphe Bereiche in dem Oxidhalbleiterfilm in der Nähe des Gate-Isolierfilms ausgebildet.

**[0011]** Angesichts der obigen Probleme ist eine Aufgabe, die Konzentration eines Verunreinigungselements, das in einem Oxidhalbleiterfilm in der Nähe eines Gate-Isolierfilms enthalten ist, zu verringern. Eine weitere Aufgabe ist, die Kristallinität des Oxidhalbleiterfilms in der Nähe des Gate-Isolierfilms zu verbessern. Außerdem ist eine weitere Aufgabe, eine Halbleitervorrichtung mit stabilen elektrischen Eigenschaften unter Verwendung des Oxidhalbleiterfilms bereitzustellen.

**[0012]** Die Erfindung stellt eine Halbleitervorrichtung nach einem der Ansprüche 1 oder 2 bereit. Vorteilhafte Weiterbildungen werden in den abhängigen Ansprüchen beschrieben.

**[0013]** Entsprechend einer Ausführungsform der vorliegenden Erfindung, die offenbart wird, kann die Konzentration eines Verunreinigungselements, das in dem Oxidhalbleiterfilm in der Nähe des Gate-Isolierfilms enthalten ist, verringert werden. Des Weiteren kann die Kristallinität des Oxidhalbleiterfilms in der Nähe des Gate-Isolierfilms verbessert werden. Außerdem kann eine Halbleitervorrichtung mit stabilen elektrischen Eigenschaften bereitgestellt werden.

#### Kurze Beschreibung der Zeichnungen

**[0014]** Fig. 1A und Fig. 1B sind eine Draufsicht und eine Querschnittsansicht, die eine Ausführungsform einer Halbleitervorrichtung zeigen.

**[0015]** Fig. 2A bis Fig. 2D sind Querschnittsansichten, die ein Beispiel für einen Herstellungsprozess einer Halbleitervorrichtung zeigen.

**[0016]** Fig. 3A und Fig. 3B sind eine Draufsicht und eine Querschnittsansicht, die eine Ausführungsform einer Halbleitervorrichtung zeigen.

**[0017]** Fig. 4A bis Fig. 4D sind Querschnittsansichten, die ein Beispiel für einen Herstellungsprozess einer Halbleitervorrichtung zeigen.

**[0018]** Fig. 5A und Fig. 5B sind Querschnittsansichten, die ein Beispiel für einen Herstellungsprozess einer Halbleitervorrichtung zeigen.

**[0019]** Fig. 6A bis Fig. 6C zeigen eine Ausführungsform einer Halbleitervorrichtung.

**[0020]** Fig. 7A und Fig. 7B zeigen eine Ausführungsform einer Halbleitervorrichtung.

**[0021]** Fig. 8A und Fig. 8B zeigen eine Ausführungsform einer Halbleitervorrichtung.

**[0022]** Fig. 9 zeigt eine Ausführungsform einer Halbleitervorrichtung.

**[0023]** Fig. 10 zeigt eine Ausführungsform einer Halbleitervorrichtung.

**[0024]** Fig. 11 zeigt eine Ausführungsform einer Halbleitervorrichtung.

**[0025]** Fig. 12A und Fig. 12B sind Modelldiagramme für Berechnung.

**[0026]** Fig. 13A und Fig. 13B sind Modelldiagramme für Berechnung.

**[0027]** Fig. 14 zeigt Berechnungsergebnisse.

**[0028]** Fig. 15A und Fig. 15B sind Modelldiagramme für Berechnung.

**[0029]** Fig. 16 zeigt Berechnungsergebnisse.

**[0030]** Fig. 17 zeigt Messergebnisse entsprechend dem Beispiel der vorliegenden Erfindung.

**[0031]** Fig. 18A und Fig. 18B zeigen Messergebnisse entsprechend dem Beispiel der vorliegenden Erfindung.

#### Beste Art zum Ausführen der Erfindung

**[0032]** Nachstehend werden Ausführungsformen der Erfindung, die in dieser Beschreibung offenbart wird, mit Bezug auf die beiliegenden Zeichnungen beschrieben. Es sei angemerkt, dass die vorliegende Erfindung nicht auf die folgende Beschreibung beschränkt ist und sich einem Fachmann auf dem einschlägigen Gebiet ohne Weiteres erschließt, dass Modi und Details auf verschiedene Weisen modifiziert werden können, ohne vom Wesen und Umfang der vorliegenden Erfindung abzugehen. Daher sollte die Erfindung nicht so verstanden werden, dass sie auf die Beschreibung bei den folgenden Ausführungsformen beschränkt ist.

**[0033]** Es sei angemerkt, dass die Position, die Größe, der Bereich oder dergleichen von jeder Struktur in den Zeichnungen und dergleichen in einigen Fällen für ein leichtes Verständnis nicht genau dargestellt ist. Die offenbarte Erfindung ist daher nicht notwendigerweise auf die Position, die Größe, den Bereich oder dergleichen, die in den Zeichnungen und dergleichen offenbart ist, begrenzt.

**[0034]** In dieser Beschreibung und dergleichen werden Ordnungszahlen wie z. B. „erster“, „zweiter“ und „dritter“ verwendet, um eine Verwechslung von Komponenten zu vermeiden, wobei diese Begriffe die Komponenten numerisch nicht einschränken sollen.

**[0035]** Es sei angemerkt, dass in dieser Beschreibung und dergleichen der Begriff wie z. B. „über“ oder „unter“ nicht notwendig bedeutet, dass eine Komponente „direkt auf“ oder „direkt unter“ einer anderen Komponente angeordnet ist. Zum Beispiel kann der Ausdruck „eine Gate-Elektrode über einer Gate-Isolierschicht“ den Fall bedeuten, in dem zwischen der Gate-Isolierschicht und der Gate-Elektrode eine weitere Komponente angeordnet ist.

**[0036]** Darüber hinaus begrenzt in dieser Beschreibung und dergleichen der Begriff wie z. B. „Elektrode“ oder „Leitung“ keine Funktion einer Komponente. Beispielsweise wird eine „Elektrode“ bisweilen als Teil einer „Leitung“ verwendet, und umgekehrt. Des Weiteren kann der Begriff „Elektrode“ oder „Leitung“ denjenigen Fall beinhalten, in dem eine Vielzahl von „Elektroden“ oder „Leitungen“ auf integrierte Weise gebildet sind.

**[0037]** Funktionen von „Source“ und „Drain“ werden bisweilen gegeneinander ausgetauscht, wenn beispielsweise ein Transistor von entgegengesetzter Polarität verwendet wird oder wenn die Richtung des Stromflusses im Schaltungsbetrieb geändert wird. Somit können die Begriffe „Source“ und „Drain“ in dieser Beschreibung und dergleichen gegeneinander ausgetauscht werden.

**[0038]** Es sei angemerkt, dass in dieser Beschreibung und dergleichen der Begriff „elektrisch verbunden“ denjenigen Fall beinhaltet, in dem Komponenten durch ein Objekt verbunden sind, das eine beliebige elektrische Funktion aufweist. Es ist keine besondere Beschränkung hinsichtlich eines Objekts vorhanden, das eine beliebige elektrische Funktion aufweist, solange elektrische Signale zwischen Komponenten, die durch das Objekt verbunden sind, gesendet und empfangen werden können. Beispiele für ein „Objekt, das eine beliebige elektrische Funktion aufweist“, sind ein Schaltelement wie z. B. ein Transistor, ein Widerstand, eine Spule, ein Kondensator und ein Element mit einer Vielzahl von Funktionen wie auch eine Elektrode und eine Leitung.

#### (Ausführungsform 1)

**[0039]** Bei dieser Ausführungsform werden eine Ausführungsform einer Halbleitervorrichtung und eine Ausführungsform eines Verfahrens zum Herstellen der Halbleitervorrichtung anhand von **Fig. 1A**, **Fig. 1B** und **Fig. 2A** bis **Fig. 2D** beschrieben.

#### <Beispiel für eine Struktur einer Halbleitervorrichtung>

**[0040]** Als Beispiel für eine Halbleitervorrichtung ist ein Transistor mit obenliegendem Gate (top-gate transistor) in **Fig. 1A** und **Fig. 1B** gezeigt. **Fig. 1A** ist eine Draufsicht, und **Fig. 1B** ist eine Querschnittsansicht entlang der gestrichelten Linie X1-Y1 in **Fig. 1A**. Es sei angemerkt, dass einige Komponenten eines Transistors **150** (z. B. ein Gate-Isolierfilm **110**) der Einfachheit halber in **Fig. 1A** weggelassen.

**[0041]** Der Transistor **150** in **Fig. 1A** und **Fig. 1B** beinhaltet über einem Substrat **102** einen Basis-Isolierfilm **104**, einen Oxidhalbleiterfilm **106**, der über dem Basis-Isolierfilm **104** ausgebildet ist und einen Bereich **106a** und einen Bereich **106b** aufweist, eine Source-Elektrode **108a** und eine Drain-Elektrode **108b**, die über dem Basis-Isolierfilm **104** und dem Oxidhalbleiterfilm **106** ausgebildet sind, den Gate-Isolierfilm **110**, der über dem Oxidhalbleiterfilm **106**, der Source-Elektrode **108a** und der Drain-Elektrode **108b** ausgebildet ist, und eine Gate-Elektrode **112**, die in Kontakt mit dem Gate-Isolierfilm **110** steht und zumindest mit dem Oxidhalbleiterfilm **106** überlappt. Außerdem ist ein Zwischenschicht-Isolierfilm **114** über dem Transistor **150** ausgebildet.

**[0042]** Die Dicke des Oxidhalbleiterfilms **106** ist größer als 5 nm und kleiner als oder gleich 200 nm, bevorzugt größer als oder gleich 10 nm und kleiner als oder gleich 30 nm. Außerdem hat der Oxidhalbleiterfilm **106** vorzugsweise eine Struktur mit Kristallinität (z. B. eine Einkristallstruktur, eine mikrokristalline Struktur oder dergleichen).

**[0043]** Wie in **Fig. 1B** gezeigt ist, verjüngt sich vorzugsweise ein Endbereich des Oxidhalbleiterfilms **106** unter einem Winkel von 20° bis 50°. Wenn der Oxidhalbleiterfilm **106** einen senkrechten Endbereich hat, wird Sauerstoff mit höherer Wahrscheinlichkeit von dem Endbereich des Oxidhalbleiterfilms **106** abgegeben; somit werden wahrscheinlich Sauerstofffehlstellen (oxygen vacancies) erzeugt. Wenn der Oxidhalbleiterfilm **106** einen sich verjüngenden Endbereich hat, wird eine Erzeugung von Sauerstofffehlstellen unterdrückt, und daher kann eine Erzeugung von Leckstrom des Transistors **150** verringert werden.

**[0044]** Bei dieser Ausführungsform ist der Oxidhalbleiterfilm **106** vorzugsweise ein Film aus einem kristallinen Oxidhalbleiter mit Ausrichtung bezüglich der c-Achse (c-axis aligned crystalline oxide semiconductor film: CAAC-OS-Film). Es sei angemerkt, dass der CAAC-OS-Film später ausführlich bei einem Herstellungsverfahren des Transistors **150** beschrieben wird.

**[0045]** Für den Gate-Isolierfilm **110** wird vorzugsweise ein Oxid, das Silizium enthält und eine ausreichende Spannungsfestigkeit (withstand voltage) und ausreichende isolierende Eigenschaften aufweist, verwendet. In dem Fall, in dem der Gate-Isolierfilm **110** eine einschichtige Struktur hat, kann beispielsweise ein Isolierfilm wie z. B. ein Siliziumoxidfilm verwendet werden.

**[0046]** Alternativ kann der Gate-Isolierfilm **110** eine gestapelte Struktur aufweisen. In dem Fall, in dem der Gate-Isolierfilm **110** eine gestapelte Struktur aufweist, kann ein Oxid, das Silizium enthält, über einem Galliumoxid, einem Aluminiumoxid, einem Siliziumnitrid, einem Siliziumoxynitrid, einem Aluminiumoxynitrid, einem Yttriumoxid, einem Lanthanoxid, einem Siliziumnitridoxid oder dergleichen gestapelt werden. Alternativ kann ein Oxid, das Silizium enthält, über einem Material mit hohem  $k$ , wie z. B. Hafniumoxid, Hafniumsilikat ( $\text{HfSi}_x\text{O}_y$  ( $x > 0, y > 0$ )), Hafniumsilikat, dem Stickstoff zugesetzt worden ist ( $\text{HfSiO}_x\text{N}_y$  ( $x > 0, y > 0$ )) oder Hafniumaluminat ( $\text{HfAl}_x\text{O}_y$  ( $x > 0, y > 0$ )) gestapelt werden.

**[0047]** Im Fall der Verwendung eines Oxides, das Silizium enthält, als der Gate-Isolierfilm **110** kann ein Teil des enthaltenen Sauerstoffs von dem Isolierfilm abgegeben werden, wenn der Isolierfilm erwärmt wird. Daher kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** können gefüllt werden. Insbesondere enthält vorzugsweise der Gate-Isolierfilm **110** eine große Menge an Sauerstoff, die zumindest seine Stöchiometrie überschreitet. Beispielsweise wird ein Film von Siliziumoxid, das durch die Formel  $\text{SiO}_{2+\alpha}$  ( $\alpha > 0$ ) dargestellt wird, vorzugsweise als der Gate-Isolierfilm **110** verwendet. Wenn ein derartiger Siliziumoxidfilm als der Gate-Isolierfilm **110** verwendet wird, kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, so dass der Transistor **150**, bei dem der Oxidhalbleiterfilm **106** verwendet wird, vorteilhafte Transistoreigenschaften aufweisen kann.

**[0048]** Jedoch könnte im Fall der Verwendung eines Siliziumoxidfilms als der Gate-Isolierfilm **110** Silizium, das ein Bestandteil des Gate-Isolierfilms **110** ist, als Verunreinigung in den Oxidhalbleiterfilm **106** aufgenommen werden. Silizium oder dergleichen, das ein Bestandteil des Gate-Isolierfilms **110** ist, dringt in den Oxidhalbleiterfilm **106** ein und dient als Verunreinigung, die die Eigenschaften des Transistors beeinflusst.

**[0049]** Ferner dringt in dem Fall, in dem der Oxidhalbleiterfilm **106** ein CAAC-OS-Film ist, Silizium oder dergleichen, das ein Bestandteil des Gate-Isolierfilms **110** ist, in den Oxidhalbleiterfilm **106** ein, und eine Bindung in dem Kristallbereich in dem Oxidhalbleiterfilm **106** wird aufgebrochen. Deshalb werden mehr amorphe Bereiche in dem Oxidhalbleiterfilm **106** in der Nähe des Gate-Isolierfilms **110** ausgebildet.

**[0050]** Insbesondere dringen wahrscheinlich Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** in der Nähe des Gate-Isolierfilms **110** ein. Ein Kanalbildungsbereich des Transistors **150** wird in dem Oxidhalb-

leiterfilm **106** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ausgebildet; somit könnten die Eigenschaften des Transistors **150** verändert werden, wenn Verunreinigungen wie z. B. Silizium in die Nähe der Grenzfläche zwischen dem Oxidhalbleiterfilm **106** und dem Gate-Isolierfilm **110** eindringen.

**[0051]** Die Veränderung der Struktur des Oxidhalbleiterfilms **106**, die auftritt, wenn  $\text{SiO}_2$ , ein Oxid, das Silizium enthält, als Verunreinigung zugesetzt wird, wurde durch klassische Moleküldynamikrechnung (classical molecular dynamics calculation) untersucht. Die Ergebnisse werden anhand von **Fig. 12A**, **Fig. 12B**, **Fig. 13A**, **Fig. 13B** und **Fig. 14** beschrieben. Es sei angemerkt, dass eine Simulationssoftware „SCIGRESS ME“, die von Fujitsu Limited hergestellt wird, für die klassische Moleküldynamikrechnung verwendet wurde. Ein empirisches Potential, das die Wechselwirkung zwischen Atomen charakterisiert, wird bei dem klassischen Moleküldynamikverfahren definiert, so dass die Kraft, die auf jedes Atom einwirkt, geschätzt wird. Newtonsches Gesetz der Bewegung wird numerisch gelöst, wodurch Bewegung (zeitabhängige Veränderung (time-dependent change)) jedes Atoms deterministisch verfolgt werden kann.

**[0052]** Nachstehend werden Berechnungsmodelle und Berechnungsbedingungen beschrieben. Es sei angemerkt, dass in dieser Berechnung das Born-Mayer-Huggins-Potential verwendet wurde.

**[0053]** Eine Einkristallstruktur von  $\text{InGaZnO}_4$ , das 1680 Atome hat (siehe **Fig. 12A**) und eine Struktur von  $\text{InGaZnO}_4$ , das 1680 Atome hat, wobei 20 Atome eines jeden von In, Ga und Zn durch Silizium-(Si-)Atome ersetzt werden (Siehe **Fig. 12B**), wurden als Berechnungsmodelle ausgebildet. In dem Modell in **Fig. 12B**, in dem Ersatz durch Silizium (Si) durchgeführt wird, sind Siliziumatome mit 3,57 Atom-% (2,34 Gew.-%) enthalten. Ferner ist die Dichte des Modells des Einkristalls in **Fig. 12A**  $6,36 \text{ g/cm}^3$ , und die Dichte des Modells in **Fig. 12B**, in dem Ersatz durch Si durchgeführt wird, ist  $6,08 \text{ g/cm}^3$ .

**[0054]** Bei  $1727^\circ\text{C}$ , was niedriger als der Schmelzpunkt des  $\text{InGaZnO}_4$ -Einkristalls ist (ca.  $2000^\circ\text{C}$  laut der Schätzung durch die klassische Moleküldynamikrechnung), wurde eine Strukturentspannung 150 ps lang (Zeitschrittbreite  $0,2 \text{ fs} \times 750000 \text{ Schritte}$ ) mit einem konstanten Druck (1 Atom) an den Berechnungsmodellen in **Fig. 12A** und **Fig. 12B** durch die klassische Moleküldynamikrechnung durchgeführt. Die radialen Verteilungsfunktionen  $g(r)$  der zwei Strukturen wurden berechnet. Es sei angemerkt, dass die radiale Verteilungsfunktion  $g(r)$  eine Funktion ist, die die Wahrscheinlichkeitsdichte von Atomen darstellt, die in einer Entfernung von  $r$  von einem Atom existieren. Wenn die Korrelation zwischen Atomen verschwindet, nähert sich  $g(r)$  an 1 an.

**[0055]** **Fig. 13A** und **Fig. 13B** zeigen letzte Strukturen, die durch die klassische Moleküldynamikrechnung an den obigen zwei Berechnungsmodellen für 150 ps erhalten wurden. Zusätzlich zeigt **Fig. 14** die radiale Verteilungsfunktion  $g(r)$  bei jeder Struktur.

**[0056]** Das Modell des Einkristalls in **Fig. 13A** ist stabil und bewahrt die Kristallstruktur auch bei der letzten Struktur, während das Modell in **Fig. 13B**, in dem Ersatz durch Si durchgeführt wird, instabil ist. Es kann beobachtet werden, dass die Kristallstruktur mit der Zeit verzerrt wird und sich in eine amorphe Struktur verändert. Wenn die radialen Verteilungsfunktionen  $g(r)$  der Strukturmodelle in **Fig. 14** miteinander verglichen werden, findet man, dass das Einkristallmodell auch in einer großen Entfernung Peaks aufweist und eine Fernordnung (long-range order) aufweist. Im Gegensatz dazu findet man, dass in dem Modell, in dem Ersatz durch Si durchgeführt wird, der Peak in einer Entfernung von 0,6 nm verschwindet, und das Modell, in dem Ersatz durch Si durchgeführt wird, keine Fernordnung aufweist.

**[0057]** Die obigen Berechnungsergebnisse deuten darauf hin, dass dann, wenn Silizium (Si) in  $\text{InGaZnO}_4$  enthalten ist,  $\text{InGaZnO}_4$  wahrscheinlich amorph wird. Ferner wird derartiges  $\text{InGaZnO}_4$  laut der obigen Ergebnisse nicht kristallisiert, auch wenn  $\text{InGaZnO}_4$ , das Silizium (Si) enthält, bei hoher Temperatur erwärmt wird.

**[0058]** Dann wurde eine Veränderung der Struktur des Oxidhalbleiterfilms **106**, die auftritt, wenn Kohlenstoffatome (C) zugesetzt werden, durch die klassische Moleküldynamikrechnung untersucht. Die Ergebnisse werden anhand von **Fig. 12A**, **Fig. 15A**, **Fig. 15B** und **Fig. 16** beschrieben. Es sei angemerkt, dass die Simulationssoftware „SCIGRESS ME“, die von Fujitsu Limited hergestellt wird, für die klassische Moleküldynamikrechnung verwendet wurde.

**[0059]** Berechnungsmodelle und Berechnungsbedingungen sind wie folgt. Es sei angemerkt, dass in dieser Berechnung das Born-Mayer-Huggins-Potential verwendet wurde. Des Weiteren wurde für die Wechselwirkung zwischen Kohlenstoffatomen (C) ein Lennard-Jones-Potential verwendet.

**[0060]** Eine Einkristallstruktur von  $\text{InGaZnO}_4$ , das 1680 Atome hat (siehe **Fig. 12A**) und eine Struktur von  $\text{InGaZnO}_4$ , das 1680 Atome hat, wobei 20 Atome eines jeden von In, Ga und Zn durch Kohlenstoffatome (C) ersetzt werden und 80 Atome von Sauerstoff (O) durch Kohlenstoffatome (C) ersetzt werden (siehe **Fig. 15A**), wurden als Berechnungsmodelle ausgebildet. In dem Modell in **Fig. 15A**, in dem Ersatz durch C durchgeführt wird, sind Kohlenstoffatome (C) mit 8,33 Atom-% enthalten. Ferner ist die Dichte des Modells des Einkristalls in **Fig. 12A**  $6,36 \text{ g/cm}^3$ , und die Dichte des Modells in **Fig. 15A**, in dem Ersatz durch C durchgeführt wird, ist  $5,89 \text{ g/cm}^3$ .

**[0061]** Bei  $1727^\circ\text{C}$ , was niedriger als der Schmelzpunkt des  $\text{InGaZnO}_4$ -Einkristalls ist (ca.  $2000^\circ\text{C}$  laut der Schätzung durch die klassische Moleküldynamikrechnung), wurde eine Strukturentspannung 150 ps lang (Zeitschrittbreite  $0,2 \text{ fs} \times 750000 \text{ Schritte}$ ) mit einem konstanten Druck (1 Atom) an den Berechnungsmodellen in **Fig. 12A** und **Fig. 15A** durch die klassische Moleküldynamikrechnung durchgeführt. Die radialen Verteilungsfunktionen  $g(r)$  der zwei Strukturen wurden gerechnet. Es sei angemerkt, dass die radiale Verteilungsfunktion  $g(r)$  eine Funktion ist, die die Wahrscheinlichkeitsdichte von Atomen darstellt, die in einer Entfernung von  $r$  von einem Atom existieren. Wenn die Korrelation zwischen Atomen verschwindet, nähert sich  $g(r)$  an 1 an.

**[0062]** **Fig. 13A** und **Fig. 15B** zeigen letzte Strukturen, die durch die klassische Moleküldynamikrechnung an den obigen zwei Berechnungsmodellen für 150 ps erhalten wurden. Die radiale Verteilungsfunktion  $g(r)$  bei jeder Struktur ist in **Fig. 16** gezeigt.

**[0063]** Das Modell des Einkristalls in **Fig. 13A** ist stabil und bewahrt die Kristallstruktur auch bei der letzten Struktur, während das Modell in **Fig. 15B**, in dem Ersatz durch C durchgeführt wird, instabil ist. Es kann beobachtet werden, dass die Kristallstruktur mit der Zeit verzerrt wird und sich in eine amorphe Struktur verändert. Durch Vergleichen der radialen Verteilungsfunktionen  $g(r)$  der Strukturmodelle miteinander wie in **Fig. 16** findet man, dass das Einkristallmodell auch in einer großen Entfernung Peaks aufweist und die Fernordnung aufweist. Im Gegensatz dazu findet man, dass in dem Modell, in dem Ersatz durch C durchgeführt wird, der Peak in einer Entfernung von 0,7 nm verschwindet, und das Modell, in dem Ersatz durch C durchgeführt wird, keine Fernordnung aufweist.

**[0064]** Die obigen Berechnungsergebnisse deuten darauf hin, dass dann, wenn Kohlenstoff (C) in  $\text{InGaZnO}_4$  enthalten ist,  $\text{InGaZnO}_4$  wahrscheinlich amorph wird. Ferner wird derartige  $\text{InGaZnO}_4$  laut der obigen Ergebnisse nicht kristallisiert, auch wenn  $\text{InGaZnO}_4$ , das Kohlenstoff (C) enthält, bei hoher Temperatur erwärmt wird.

**[0065]** Daher wird in der Halbleitervorrichtung, die bei dieser Ausführungsform beschrieben wird, das Eindringen von Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** unterdrückt. Folglich wird in dem Oxidhalbleiterfilm **106** ein Bereich ausgebildet, in dem die Konzentration von Silizium, das von einer Grenzfläche zu dem Gate-Isolierfilm **110** zum Inneren des Oxidhalbleiterfilms **106** hin verteilt ist, niedriger als oder gleich 1,0 Atom-% ist. Ein derartiger Bereich wird wie in **Fig. 1B** ein Bereich **106a** genannt. Die Siliziumkonzentration in dem Bereich **106a** ist stärker bevorzugt niedriger als oder gleich 0,1 Atom-%. Außerdem wird der Bereich **106a** in Kontakt mit dem Gate-Isolierfilm **110** bereitgestellt und hat eine Dicke von kleiner als oder gleich 5 nm.

**[0066]** Es sei angemerkt, dass, wie in **Fig. 1B**, ein Bereich in dem Oxidhalbleiterfilm **106**, der verschieden von dem Bereich **106a** ist, ein Bereich **106b** genannt wird.

**[0067]** In dem Fall, in dem ferner Verunreinigungen wie z. B. Kohlenstoff in dem Gate-Isolierfilm **110** enthalten sind, könnten solche Verunreinigungen auch in den Oxidhalbleiterfilm **106** eindringen und dienen als Verunreinigungen, wie beim Fall von Silizium. In diesem Fall ist die Konzentration von Kohlenstoff in dem Bereich **106a** niedriger als oder gleich  $1,0 \times 10^{20} \text{ Atome/cm}^3$ , bevorzugt niedriger als oder gleich  $1,0 \times 10^{19} \text{ Atome/cm}^3$ .

**[0068]** Um zu verhindern, dass Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** eindringen, kann der Gate-Isolierfilm derart ausgebildet werden, dass der Oxidhalbleiterfilm **106** nicht beschädigt wird. In dem Fall, in dem beispielsweise ein Siliziumoxidfilm als der Gate-Isolierfilm **110** durch ein Sputterverfahren ausgebildet wird, kann die Auswirkung von Silizium (das ein Bestandteil des Gate-Isolierfilms **110** ist), das mit dem Oxidhalbleiterfilm **106** kollidiert, verringert werden. Damit man den obigen Effekt erzielen kann, kann man beispielsweise das Folgende verwenden: ein Verfahren, bei dem die Leistung zur Abscheidung des Gate-Isolierfilms **110** niedrig ist, ein Verfahren, bei dem der Druck zur Abscheidung des Gate-Isolierfilms **110** hoch ist, ein Verfahren, bei dem eine Distanz zwischen einem Target und einem Substrat (T-S-Distanz) bei der Abscheidung des Gate-Isolierfilms **110** verlängert wird, oder dergleichen. Jedoch ist ein Verfahren zum Ausbilden des Gate-Isolierfilms **110** nicht auf die obigen Verfahren beschränkt. Beispielsweise kann ein Siliziumoxidfilm, ein

Siliziumoxynitridfilm, ein Siliziumnitridoxidfilm oder dergleichen, der durch ein PE-CVD-Verfahren ausgebildet wird, verwendet werden. Ein PE-CVD-Verfahren wird gegenüber einem Sputterverfahren bevorzugt, weil unter Verwendung des PE-CVD-Verfahrens der Oxidhalbleiterfilm **106**, der als Basisfilm dient, weniger beschädigt wird.

**[0069]** Wie oben beschrieben worden ist, wird die Konzentration von Verunreinigungen wie z. B. Silizium und Kohlenstoff, die in den Bereich **106a** in dem Oxidhalbleiterfilm **106** eindringen, verringert, wodurch eine Veränderung der Eigenschaften des Transistors **150** unterdrückt werden kann. Ferner kann in dem Fall, in dem der Oxidhalbleiterfilm **106** ein CAAC-OS-Film ist, ein Kristallbereich auch in der Nähe des Gate-Isolierfilms **110** ausgebildet werden. Wenn der Transistor **150** unter Verwendung eines derartigen Oxidhalbleiterfilms **106** ausgebildet wird, kann eine Halbleitervorrichtung mit stabilen elektrischen Eigenschaften bereitgestellt werden.

**[0070]** Es sei angemerkt, dass die Details der anderen Komponenten des Transistors anhand von **Fig. 2A** bis **Fig. 2D** beim Beschreiben eines Verfahrens zum Herstellen des Transistors **150** nachstehend beschrieben werden.

#### <Herstellungsverfahren des Transistors **150**>

**[0071]** Nachstehend wird ein Beispiel für ein Verfahren zum Herstellen des Transistors **150** in **Fig. 1A** und **Fig. 1B** dieser Ausführungsform anhand von **Fig. 2A** bis **Fig. 2D** beschrieben.

**[0072]** Zuerst wird das Substrat **102** vorbereitet. Es gibt zwar keine bestimmte Begrenzung auf ein Substrat, das als das Substrat **102** verwendet werden kann, es ist jedoch nötig, dass das Substrat Wärmebeständigkeit aufweist, mit der es später zumindest eine Wärmebehandlung aushalten kann. Beispielsweise kann ein Glassubstrat wie z. B. ein Bariumborosilikatglassubstrat oder ein Alumoborosilikatglassubstrat, ein Keramiksubstrat, ein Quarzsubstrat, ein Saphirsubstrat oder dergleichen verwendet werden. Alternativ kann ein einkristallines Halbleitersubstrat oder ein polykristallines Halbleitersubstrat aus Silizium oder Siliziumkarbid, ein Verbund-Halbleitersubstrat aus Siliziumgermanium oder dergleichen, ein SOI-Substrat oder dergleichen verwendet werden.

**[0073]** Ein flexibles Substrat kann als das Substrat **102** verwendet werden. Im Fall der Verwendung eines flexiblen Substrats kann ein Transistor, der den Oxidhalbleiterfilm **106** beinhaltet, direkt über dem flexiblen Substrat ausgebildet werden. Alternativ kann ein Transistor, der den Oxidhalbleiterfilm **106** beinhaltet, über einem anderen Substrat ausgebildet werden und dann kann der Transistor abgetrennt und zu einem flexiblen Substrat versetzt werden. Damit man den Transistor von dem Substrat abtrennen und zu dem flexiblen Substrat versetzen kann, kann eine Trennschicht zwischen dem Substrat und dem Transistor, der den Oxidhalbleiterfilm **106** beinhaltet, angeordnet werden.

**[0074]** Als Nächstes wird der Basis-Isolierfilm **104** über dem Substrat **102** ausgebildet (siehe **Fig. 2A**). Der Basis-Isolierfilm **104** hat einen Effekt, dass er die Diffusion eines Verunreinigungselements wie z. B. Wasserstoff oder Feuchtigkeit aus dem Substrat **102** verhindert, und kann mit einer einschichtigen Struktur oder einer gestapelten Struktur, die einen oder mehrere von einem Siliziumnitridfilm, einem Siliziumoxidfilm, einem Siliziumnitridoxidfilm und einem Siliziumoxynitridfilm verwendet, ausgebildet werden.

**[0075]** Darüber hinaus kann als anderer Effekt des Basis-Isolierfilms **104** Sauerstoff zu dem später ausgebildeten Oxidhalbleiterfilm **106** zugeführt werden. Beispielsweise kann in dem Fall, in dem ein Isolierfilm, der ein Oxid enthält, als der Basis-Isolierfilm **104** ausgebildet wird, ein Teil enthaltenen Sauerstoffs durch Erwärmung des Basis-Isolierfilms **104** abgegeben werden. Daher kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** können somit gefüllt werden. Insbesondere enthält vorzugsweise der Basis-Isolierfilm **104** eine große Menge an Sauerstoff, die zumindest seine Stöchiometrie überschreitet. Beispielsweise wird ein Film von Siliziumoxid, das durch die Formel  $\text{SiO}_{2+\alpha}$  ( $\alpha > 0$ ) dargestellt wird, vorzugsweise als der Basis-Isolierfilm **104** verwendet. Wenn ein derartiger Siliziumoxidfilm als der Basis-Isolierfilm **104** verwendet wird, kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, so dass der Transistor **150**, bei dem der Oxidhalbleiterfilm **106** verwendet wird, vorteilhafte Transistoreigenschaften aufweisen kann.

**[0076]** Bevor der Basis-Isolierfilm **104** ausgebildet wird, kann eine Plasmabehandlung oder dergleichen an dem Substrat **102** durchgeführt werden. Als Plasmabehandlung kann ein umgekehrtes Sputtern, bei dem ein Argongas eingeführt wird und Plasma erzeugt wird, durchgeführt werden. Das umgekehrte Sputtern ist ein Verfahren, bei dem eine HF-Leistungsquelle zum Anlegen einer Spannung an die Substrat **102**-Seite in einer

Argon-Atmosphäre verwendet wird, so dass Plasma in der Nähe des Substrats **102** erzeugt wird, um eine Oberfläche des Substrats zu modifizieren. Es sei angemerkt, dass statt einer Argon-Atmosphäre eine Stickstoff-Atmosphäre, eine Helium-Atmosphäre, eine Sauerstoff-Atmosphäre oder dergleichen verwendet werden kann. Das umgekehrte Sputtern kann teilchenförmige Substanzen (auch als Partikel oder Staub bezeichnet), die an der Oberfläche des Substrats **102** haften, entfernen.

**[0077]** Als Nächstes wird der Oxidhalbleiterfilm **106** über dem Basis-Isolierfilm **104** ausgebildet (siehe **Fig. 2A**). Der Oxidhalbleiterfilm **106** ist vorzugsweise ein CAAC-OS-Film. Es sei angemerkt, dass der Basis-Isolierfilm **104** und der Oxidhalbleiterfilm **106** vorzugsweise sukzessiv ausgebildet werden, ohne der Luft ausgesetzt zu werden.

**[0078]** Der CAAC-OS-Film, der für den Oxidhalbleiterfilm **106** verwendet werden kann, wird nachstehend detailliert beschrieben.

**[0079]** Der CAAC-OS-Film ist weder vollständig einkristallin noch vollständig amorph. Der CAAC-OS-Film ist ein Oxidhalbleiterfilm mit einer kristallinen/amorphen Mischphasenstruktur, bei der Kristallbereiche in einer amorphen Phase eingeschlossen sind. Es sei angemerkt, dass in den meisten Fällen der Kristallbereich in einen Würfel mit einer Kantenlänge von weniger als 100 nm passt. Aus einem mit einem Transmissionselektronenmikroskop (TEM) erhaltenen Beobachtungsbild wird in dem CAAC-OS-Film eine Grenze zwischen einem amorphen Bereich und einem Kristallbereich nicht deutlich. Außerdem wird mittels TEM in dem CAAC-OS-Film keine Korngrenze erkannt. Folglich ist in dem CAAC-OS-Film eine Verringerung der Elektronenbeweglichkeit, die der Korngrenze zugeschrieben wird, unterdrückt.

**[0080]** Bei jedem der in dem CAAC-OS-Film eingeschlossenen Kristallbereiche ist eine c-Achse in einer Richtung ausgerichtet, die parallel zu einem Normalenvektor einer Oberfläche ist, auf der der CAAC-OS-Film ausgebildet ist, oder parallel zu einem Normalenvektor einer Oberfläche des CAAC-OS-Films ist, eine dreieckige oder hexagonale Atomanordnung, gesehen aus der Richtung, die senkrecht zur a-b-Fläche ist, ist ausgebildet und Metallatome sind in einer geschichteten Weise angeordnet oder Metallatome und Sauerstoffatome sind in einer geschichteten Weise angeordnet, gesehen aus der Richtung, die senkrecht zur c-Achse ist. Es sei angemerkt, dass bei den Kristallbereichen die Richtungen einer a-Achse und einer b-Achse eines Kristallbereichs unterschiedlich von denjenigen eines anderen Kristallbereichs sein können. In dieser Beschreibung und dergleichen umfasst der einfache Ausdruck „senkrecht“ einen Bereich von 85° bis 95°. Außerdem umfasst der einfache Ausdruck „parallel“ einen Bereich von -5° bis 5°.

**[0081]** In dem CAAC-OS-Film ist die Verteilung der Kristallbereiche nicht unbedingt gleichmäßig. Beispielsweise ist in dem Fall, in dem beim Ausbildungsprozess des CAAC-OS-Films das Kristallwachstum von einer Oberflächenseite des Oxidhalbleiterfilms aus stattfindet, der Anteil der Kristallbereiche in der Nähe der Oberfläche des Oxidhalbleiterfilms in einigen Fällen höher als derjenige in der Nähe einer Oberfläche, auf der der Oxidhalbleiterfilm ausgebildet ist.

**[0082]** Da die c-Achsen der in dem CAAC-OS-Film enthaltenen Kristallbereiche in der Richtung ausgerichtet sind, die parallel zu einem Normalenvektor einer Oberfläche, auf der der CAAC-OS-Film ausgebildet ist, oder parallel zu einem Normalenvektor einer Oberfläche des CAAC-OS-Films ist, können sich in Abhängigkeit von der Form des CAAC-OS-Films (der Querschnittsform der Oberfläche, auf der der CAAC-OS-Film ausgebildet ist, oder der Querschnittsform der Oberfläche des CAAC-OS-Films) die Richtungen der c-Achsen voneinander unterscheiden. Es sei angemerkt, dass dann, wenn der CAAC-OS-Film ausgebildet wird, die Richtung der c-Achse des Kristallbereichs eine Richtung ist, die parallel zu einem Normalenvektor der Oberfläche, auf der der CAAC-OS-Film ausgebildet ist, oder parallel zu einem Normalenvektor der Oberfläche des CAAC-OS-Films ist. Der Kristallbereich wird durch die Filmbildung oder durch eine Behandlung zur Kristallbildung, wie z. B. eine Wärmebehandlung nach der Filmbildung, gebildet.

**[0083]** Unter Verwendung des CAAC-OS Films in einem Transistor kann eine Veränderung der elektrischen Eigenschaften des Transistors aufgrund von Bestrahlung mit sichtbarem Licht oder UV-Licht verringert werden. Eine Veränderung und Schwankungen der Schwellenspannung können unterdrückt werden. Somit hat der Transistor eine hohe Zuverlässigkeit.

**[0084]** In einem Oxidhalbleiter, der eine Kristallinität besitzt (einem kristallinen Oxidhalbleiter), können Defekte in dem Bulk weiter reduziert werden. Ferner kann dann, wenn die Oberflächenglattheit des kristallinen Oxidhalbleiterfilms erhöht wird, ein Transistor mit obenliegendem Gate (top-gate transistor), der einen derartigen Oxidhalbleiter aufweist, höhere Feld-Effekt-Beweglichkeit erzielen, als ein Transistor, der einen amorphen

Oxidhalbleiter aufweist. Um die Oberflächenglattheit des Oxidhalbleiterfilms zu erhöhen, wird der Oxidhalbleiter vorzugsweise über einer glatten Oberfläche ausgebildet. Insbesondere wird der Oxidhalbleiter vorzugsweise über einer Oberfläche mit einer durchschnittlichen Oberflächenrauheit ( $R_a$ ) von weniger als oder gleich 0,15 nm, bevorzugt weniger als oder gleich 0,1 nm ausgebildet.

**[0085]** Es sei angemerkt, dass die durchschnittliche Oberflächenrauheit ( $R_a$ ) durch eine dreidimensionale Erweiterung einer arithmetischen mittleren Oberflächenrauheit derart, dass sie auf eine gekrümmte Oberfläche angewendet werden kann, erhalten wird. Die  $R_a$  kann als ein "Mittelwert der Absolutwerte der Abweichungen von einer Referenzoberfläche zu einer bestimmten Oberfläche" ausgedrückt werden und ist durch die folgende Formel definiert.

[FORMEL 1]

$$Ra = \frac{1}{S_0} \int_{y_1}^{y_2} \int_{x_1}^{x_2} |f(x, y) - Z_0| dx dy$$

**[0086]** Die bestimmte Oberfläche ist hier eine Oberfläche, die ein Gegenstand der Rauheitsmessung ist, wobei sie ein viereckiges Gebiet ist, das von vier durch die Koordinaten  $(x_1, y_1, f(x_1, y_1))$ ,  $(x_1, y_2, f(x_1, y_2))$ ,  $(x_2, y_1, f(x_2, y_1))$  und  $(x_2, y_2, f(x_2, y_2))$  bezeichneten Punkten dargestellt ist. Darüber hinaus stellt  $S_0$  die Fläche eines Rechtecks, das durch Projizieren der bestimmten Oberfläche auf die x-y Fläche erhalten ist, dar und  $Z_0$  stellt die Höhe der Bezugsoberfläche (die durchschnittliche Höhe der bestimmten Oberfläche) dar. Die  $R_a$  kann unter Verwendung eines Rasterkraftmikroskops (atomic force microscope: AFM) gemessen werden.

**[0087]** Ein Oxidhalbleiter, der für den Oxidhalbleiterfilm **106** verwendet wird, enthält vorzugsweise zumindest Indium (In) oder Zink (Zn). Insbesondere sind vorzugsweise In und Zn enthalten. Als Stabilisator zur Verringerung von Schwankungen der elektrischen Eigenschaften eines Transistors, der den Oxidhalbleiterfilm aufweist, ist vorzugsweise zusätzlich Gallium (Ga) enthalten. Zinn (Sn) ist vorzugsweise als Stabilisator enthalten. Zudem ist vorzugsweise als Stabilisator ein oder mehrere Elemente enthalten, die aus Hafnium (Hf), Zirkonium (Zr), Titan (Ti), Scandium (Sc), Yttrium (Y) und einem Lanthanoiden (wie z. B. Cer (Ce), Neodym (Nd) oder Gadolinium (Gd)) ausgewählt werden.

**[0088]** Als Oxidhalbleiter kann beispielsweise eines der Folgenden verwendet werden: Indiumoxid, Zinnoxid, Zinkoxid, ein Oxid auf In-Zn-Basis, ein Oxid auf Sn-Zn-Basis, ein Oxid auf Al-Zn-Basis, ein Oxid auf Zn-Mg-Basis, ein Oxid auf Sn-Mg-Basis, ein Oxid auf In-Mg-Basis, ein Oxid auf In-Ga-Basis, ein Oxid auf In-Ga-Zn-Basis (auch als IGZO bezeichnet), ein Oxid auf In-Al-Zn-Basis, ein Oxid auf In-Sn-Zn-Basis, ein Oxid auf Sn-Ga-Zn-Basis, ein Oxid auf Al-Ga-Zn-Basis, ein Oxid auf Sn-Al-Zn-Basis, ein Oxid auf In-Hf-Zn-Basis, ein Oxid auf In-Zr-Zn-Basis, ein Oxid auf In-Ti-Zn-Basis, ein Oxid auf In-Sc-Zn-Basis, ein Oxid auf In-Y-Zn-Basis, ein Oxid auf In-La-Zn-Basis, ein Oxid auf In-Ce-Zn-Basis, ein Oxid auf In-Pr-Zn-Basis, ein Oxid auf In-Nd-Zn-Basis, ein Oxid auf In-Sm-Zn-Basis, ein Oxid auf In-Eu-Zn-Basis, ein Oxid auf In-Gd-Zn-Basis, ein Oxid auf In-Tb-Zn-Basis, ein Oxid auf In-Dy-Zn-Basis, ein Oxid auf In-Ho-Zn-Basis, ein Oxid auf In-Er-Zn-Basis, ein Oxid auf In-Tm-Zn-Basis, ein Oxid auf In-Yb-Zn-Basis, ein Oxid auf In-Lu-Zn-Basis, ein Oxid auf In-Sn-Ga-Zn-Basis, ein Oxid auf In-Hf-Ga-Zn-Basis, ein Oxid auf In-Al-Ga-Zn-Basis, ein Oxid auf In-Sn-Al-Zn-Basis, ein Oxid auf In-Sn-Hf-Zn-Basis und ein Oxid auf In-Hf-Al-Zn-Basis.

**[0089]** Hier hat ein „Oxid auf In-Ga-Zn-Basis“ die Bedeutung eines In, Ga und Zn als Hauptkomponenten enthaltenden Oxides, wobei es keine besondere Einschränkung bezüglich des Verhältnisses von In:Ga:Zn gibt. Das Oxid auf In-Ga-Zn-Basis kann ein Metallelement zusätzlich zu In, Ga und Zn enthalten.

**[0090]** Alternativ kann ein Material, das durch  $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ , wobei  $m$  keine ganze Zahl ist) dargestellt wird, als Oxidhalbleiter verwendet werden. Es sei angemerkt, dass  $M$  ein oder mehrere Metallelemente bezeichnet, die aus Ga, Fe, Mn und Co ausgewählt werden, oder das oben als Stabilisator beschriebene Element bezeichnet. Als Alternative dazu kann ein Material als Oxidhalbleiter verwendet werden, das durch eine chemische Formel,  $\text{In}_2\text{SnO}_5(\text{ZnO})_n$  ( $n > 0$ , wobei  $n$  eine natürliche Zahl ist), dargestellt wird.

**[0091]** Beispielsweise kann ein Oxid auf In-Ga-Zn-Basis mit einem Atomverhältnis in dem In:Ga:Zn = 1:1:1, In:Ga:Zn = 3:1:2 oder In:Ga:Zn = 2:1:3 oder eines der Oxide, deren Zusammensetzung den obigen Zusammensetzungen nahe ist, verwendet werden.

**[0092]** In einem Herstellungsschritt des Oxidhalbleiterfilms **106** ist bevorzugt, dass möglichst wenig Wasserstoff oder Wasser in dem Oxidhalbleiterfilm **106** enthalten ist. Beispielsweise ist bevorzugt, dass das Substrat **102**, auf dem der Basis-Isolierfilm **104** schon ausgebildet worden ist, in einer Vorheizkammer einer Sputtereinrichtung als Vorbehandlung zum Ausbilden des Oxidhalbleiterfilms **106** vorgeheizt wird, so dass Verunreinigungen wie z. B. Wasser und Feuchtigkeit, die an dem Substrat **102** und dem Basis-Isolierfilm **104** adsorbiert sind, entfernt und beseitigt werden. Dann wird der Oxidhalbleiterfilm **106** vorzugsweise in einer Abscheidungskammer, von der verbleibende Feuchtigkeit entfernt wird, ausgebildet.

**[0093]** Zum Entfernen der Feuchtigkeit in der Vorheizkammer und der Abscheidungskammer wird vorzugsweise eine Einfang-Vakuumpumpe, wie z. B. eine Kryopumpe, eine Ionenpumpe oder eine Titan-Sublimationspumpe verwendet. Eine Evakuierungseinrichtung kann ferner eine Turbopumpe, die mit einer Kühlfalle versehen ist, sein. Von der Vorheizkammer und der Abscheidungskammer, die mit der Kryopumpe entleert werden, werden ein Wasserstoffatom, eine Verbindung, die ein Wasserstoffatom enthält, wie z. B. Wasser ( $H_2O$ ) (stärker bevorzugt auch eine Verbindung, die ein Kohlenstoffatom enthält) und dergleichen entfernt, wodurch die Konzentration der Verunreinigungen wie z. B. Wasserstoff oder Feuchtigkeit in dem Oxidhalbleiterfilm **106**, der ausgebildet wird, verringert werden kann.

**[0094]** Es sei angemerkt, dass bei dieser Ausführungsform ein Oxid auf In-Ga-Zn-Basis als der Oxidhalbleiterfilm **106** durch ein Sputterverfahren abgeschieden wird. Der Oxidhalbleiterfilm **106** kann durch ein Sputterverfahren in einer Edelgasatmosphäre (typischerweise Argonatmosphäre), einer Sauerstoffatmosphäre oder einer gemischten Atmosphäre von einem Edelgas und Sauerstoff ausgebildet werden.

**[0095]** Als Target zum Ausbilden eines Oxidfilms auf In-Ga-Zn-Basis als der Oxidhalbleiterfilm **106** durch ein Sputterverfahren kann beispielsweise ein Metalloxidtarget mit einem Atomverhältnis, in dem In:Ga:Zn = 1:1:1, ein Metalloxidtarget mit einem Atomverhältnis, in dem In:Ga:Zn = 3:1:2, oder ein Metalloxidtarget mit einem Atomverhältnis, in dem In:Ga:Zn = 2:1:3, verwendet werden. Jedoch sind ein Material und eine Zusammensetzung eines Targets zum Ausbilden des Oxidhalbleiterfilms **106** nicht auf die Obigen beschränkt.

**[0096]** Wenn ferner der Oxidhalbleiterfilm **106** unter Verwendung des obigen Metalloxidtargets ausgebildet wird, ist die Zusammensetzung des Targets in einigen Fällen unterschiedlich von der Zusammensetzung eines Films, der über dem Substrat ausgebildet wird. Beispielsweise wird dann, wenn das Metalloxidtarget mit einem Molverhältnis, in dem  $In_2O_3:Ga_2O_3:ZnO = 1:1:1$ , verwendet wird, in einigen Fällen das Zusammensetzungsverhältnis des dünnen Oxidhalbleiterfilms **106** zu  $In_2O_3:Ga_2O_3:ZnO = 1:1:0,6$  bis  $1:1:0,8$  [Molverhältnis], was von den Bedingungen zum Ausbilden des Films abhängt. Das liegt daran, dass beim Ausbilden des Oxidhalbleiterfilms **106** ZnO sublimiert wird, oder dass die Sputter-Rate zwischen den Komponenten,  $In_2O_3$ ,  $Ga_2O_3$  und ZnO, variiert.

**[0097]** Folglich muss dann, wenn ein dünner Film mit einem vorteilhaften Zusammensetzungsverhältnis ausgebildet wird, ein Zusammensetzungsverhältnis des Metalloxidtargets im Voraus reguliert werden. Damit beispielsweise das Zusammensetzungsverhältnis des dünnen Oxidhalbleiterfilms **106**  $In_2O_3:Ga_2O_3:ZnO = 1:1:1$  [Molverhältnis] sein soll, wird das Zusammensetzungsverhältnis des Metalloxidtargets auf  $In_2O_3:Ga_2O_3:ZnO = 1:1:1,5$  [Molverhältnis] eingestellt. Mit anderen Worten: der ZnO-Gehalt in dem Metalloxidtarget wird im Voraus erhöht. Das Zusammensetzungsverhältnis des Targets ist nicht auf den obigen Wert beschränkt und kann angemessen in Abhängigkeit von den Bedingungen zum Ausbilden des Films oder der Zusammensetzung des auszubildenden dünnen Films reguliert werden. Zudem ist bevorzugt, den ZnO-Gehalt in dem Metalloxidtarget zu erhöhen, weil in diesem Fall die Kristallinität des erhaltenen dünnen Films verbessert wird.

**[0098]** Die relative Dichte des Metalloxidtargets ist 90% bis einschließlich 100%, bevorzugt 95% bis einschließlich 99,9%. Durch Verwendung des Metalloxidtargets mit hoher relativer Dichte kann ein dichter Oxidhalbleiterfilm **106** ausgebildet werden.

**[0099]** Als Sputtergas zum Ausbilden des Oxidhalbleiterfilms **106** ist zu bevorzugen, ein hochreines Gas, von dem eine Verunreinigung wie z. B. Wasserstoff, Wasser, eine Hydroxylgruppe oder ein Hydrid entfernt worden ist, zu verwenden.

**[0100]** Es gibt drei Verfahren zum Ausbilden eines CAAC-OS-Films, wenn der CAAC-OS-Film als der Oxidhalbleiterfilm **106** verwendet wird. Bei einem der Verfahren (einem ersten Verfahren) wird ein Oxidhalbleiterfilm bei einer Temperatur von höher als oder gleich  $100^\circ C$  und niedriger als oder gleich  $450^\circ C$  ausgebildet, wodurch Kristallbereiche, in denen die c-Achsen in der Richtung ausgerichtet sind, die parallel zu einem Normalenvektor einer Oberfläche ist, auf der der Oxidhalbleiterfilm ausgebildet ist, oder parallel zu einem Norma-

lenvektor einer Oberfläche des Oxidhalbleiterfilms ist, in dem Oxidhalbleiterfilm gebildet werden. Beim einem weiteren Verfahren (einem zweiten Verfahren) wird ein Oxidhalbleiterfilm mit einer kleinen Dicke ausgebildet, und dann wird er bei einer Temperatur von höher als oder gleich 200°C und niedriger als oder gleich 700°C erwärmt, wodurch Kristallbereiche, in denen die c-Achsen in der Richtung ausgerichtet sind, die parallel zu einem Normalenvektor einer Oberfläche ist, auf der der Oxidhalbleiterfilm ausgebildet ist, oder parallel zu einem Normalenvektor einer Oberfläche des Oxidhalbleiterfilms ist, in dem Oxidhalbleiterfilm gebildet werden. Bei einem weiteren Verfahren (einem dritten Verfahren) wird ein erster Oxidhalbleiterfilm mit einer kleinen Dicke ausgebildet, dann wird er bei einer Temperatur von höher als oder gleich 200°C und niedriger als oder gleich 700°C erwärmt, und ein zweiter Oxidhalbleiterfilm wird ausgebildet, wodurch Kristallbereiche, in denen die c-Achsen in der Richtung ausgerichtet sind, die parallel zu einem Normalenvektor einer Oberfläche ist, auf der der Oxidhalbleiterfilm ausgebildet ist, oder parallel zu einem Normalenvektor einer Oberfläche des Oxidhalbleiterfilms ist, in dem Oxidhalbleiterfilm gebildet werden.

**[0101]** Beispielsweise wird der CAAC-OS-Film durch ein Sputterverfahren mit einem polykristallinen Oxidhalbleiter-Sputtertarget ausgebildet. Wenn Ionen mit dem Sputtertarget zusammenstoßen, kann ein in dem Sputtertarget enthaltener Kristallbereich entlang einer a-b-Fläche von dem Target abgetrennt werden. Mit anderen Worten: ein gesputtertes Teilchen mit einer Fläche, die parallel zu der a-b-Fläche ist (flachplatteähnliches gesputtertes Teilchen oder pelletähnliches gesputtertes Teilchen) kann von dem Sputtertarget abplatzen. In diesem Fall erreicht das flachplatteähnliche gesputterte Teilchen unter Bewahrung seines Kristallzustandes ein Substrat, wodurch der CAAC-OS-Film ausgebildet werden kann.

**[0102]** Für die Herstellung des CAAC-OS-Films finden vorzugsweise die folgenden Bedingungen Anwendung.

**[0103]** Durch Verringern der Menge an Verunreinigungen, die in den CAAC-OS-Film während der Abscheidung eindringen, kann verhindert werden, dass der Kristallzustand durch die Verunreinigungen aufgebrochen wird. Beispielsweise kann die Konzentration der in der Abscheidungskammer vorhandenen Verunreinigungen (z. B. Wasserstoff, Wasser, Kohlenstoffdioxid oder Stickstoff) verringert werden. Außerdem kann die Konzentration der Verunreinigungen in einem Abscheidungsgas verringert werden. Insbesondere wird ein Abscheidungsgas verwendet, dessen Taupunkt bei -80°C oder niedriger, vorzugsweise bei -100°C oder niedriger liegt.

**[0104]** Durch Erhöhen der Erwärmungstemperatur des Substrats während der Abscheidung tritt wahrscheinlich eine Wanderung eines gesputterten Teilchens auf, nachdem das gesputterte Teilchen eine Oberfläche eines Substrats erreicht hat. Im Besonderen ist die Erwärmungstemperatur des Substrats während der Abscheidung höher als oder gleich 100°C und niedriger als oder gleich 740°C, bevorzugt höher als oder gleich 150°C und niedriger als oder gleich 500°C. Durch Erhöhen der Erwärmungstemperatur des Substrats während der Abscheidung findet dann, wenn das flachplattenähnliche gesputterte Teilchen das Substrat erreicht, auf der Oberfläche des Substrats eine Wanderung statt, derart, dass eine ebene Fläche des flachplattenähnlichen gesputterten Teilchens an dem Substrat haftet.

**[0105]** Außerdem ist bevorzugt, dass der Sauerstoffanteil am Abscheidungsgas erhöht wird und die Leistung optimiert wird, um Plasmaschäden bei der Abscheidung zu verringern. Der Sauerstoffanteil am Abscheidungsgas beträgt 30 Vol.-% oder höher, vorzugsweise 100 Vol.-%.

**[0106]** Es sei angemerkt, dass dann, wenn ein kristalliner (einkristalliner oder mikrokristalliner) Oxidhalbleiterfilm außer einem CAAC-OS-Film als der Oxidhalbleiterfilm **106** ausgebildet wird, es keine besondere Beschränkung bezüglich der Abscheidungstemperatur gibt.

**[0107]** Als Nächstes wird ein leitender Film, der für eine Source-Elektrode und eine Drain-Elektrode (einschließlich einer Leitung, die in derselben Schicht wie die Gate-Elektrode ausgebildet ist) verwendet wird, über dem Basis-Isolierfilm **104** und dem Oxidhalbleiterfilm **106** ausgebildet. Als der leitende Film, der für die Source-Elektrode und die Drain-Elektrode verwendet wird, kann beispielsweise ein Metallfilm, der ein Element enthält, das aus Aluminium, Chrom, Kupfer, Tantal, Titan, Molybdän und Wolfram ausgewählt wird, oder ein Metallnitridfilm, der irgendeines der oben genannten Elemente als seine Komponente enthält (z. B. ein Titanitridfilm, ein Molybdänitridfilm oder ein Wolframnitridfilm), verwendet werden. Alternativ kann der leitende Film eine Struktur aufweisen, bei der ein Film aus einem hohen Schmelzpunkt aufweisenden Metall, wie z. B. Titan, Molybdän oder Wolfram, oder ein Nitridfilm aus irgendeinem dieser Elemente (z. B. ein Titanitridfilm, ein Molybdänitridfilm oder ein Wolframnitridfilm) auf der Bodenfläche und/oder der nach oben weisenden Fläche eines Metallfilms aus Aluminium, Kupfer oder dergleichen gestapelt ist. Ferner kann der leitende Film, der für die Source-Elektrode und die Drain-Elektrode verwendet wird, aus einem leitenden Metalloxid ausgebildet werden. Als das leitende Metalloxid kann Indiumoxid ( $\text{In}_2\text{O}_3$ ), Zinnoxid ( $\text{SnO}_2$ ), Zinkoxid ( $\text{ZnO}$ ),

Indiumzinnoxid ( $\text{In}_2\text{O}_3\text{-SnO}_2$ ; welches in einigen Fällen zu ITO abgekürzt wird) oder Indiumzinkoxid ( $\text{In}_2\text{O}_3\text{-ZnO}$ ) verwendet werden. Der leitende Film, der für die Source-Elektrode und die Drain-Elektrode verwendet wird, kann unter Verwendung eines der obigen Materialien ausgebildet werden, um eine einschichtige Struktur oder eine gestapelte Struktur aufzuweisen. Bezüglich des Verfahrens zum Ausbilden des leitenden Films gibt es keine besondere Beschränkung, und verschiedene Verfahren zum Ausbilden des Films, wie z. B. ein Verdampfungsverfahren, ein CVD-Verfahren, ein Sputterverfahren und ein Rotationsbeschichtungsverfahren, können verwendet werden.

**[0108]** Als Nächstes wird eine Fotolackmaske über dem leitenden Film durch einen Fotolithografieschritt ausgebildet, und selektives Ätzen wird durchgeführt, so dass die Source-Elektrode **108a** und die Drain-Elektrode **108b** ausgebildet werden. Dann wird die Fotolackmaske entfernt (siehe **Fig. 2B**). Für die Belichtung zum Ausbilden der Fotolackmaske bei dem Fotolithografieschritt kann Ultraviolett, ein KrF-Laser oder ein ArF-Laser verwendet werden.

**[0109]** In diesem Schritt wird eine Kanallänge  $L$  des später fertiggestellten Transistors **150** durch eine Distanz zwischen einem unteren Ende der Source-Elektrode **108a** und einem unteren Ende der Drain-Elektrode **108b** bestimmt, die einander über dem Oxidhalbleiterfilm **106** benachbart sind. Wenn eine Belichtung für eine Kanallänge  $L$  von weniger als 25 nm durchgeführt wird, kann die Belichtung zum Ausbilden der Fotolackmaske in dem Fotolithografieschritt beispielsweise unter Verwendung von extremem ultraviolettem Licht mit einer extrem kurzen Wellenlänge von mehreren Nanometern bis mehreren zehn Nanometern durchgeführt werden. Bei der Belichtung durch ein extremes ultraviolettes Licht ist die Auflösung hoch und die Fokustiefe ist groß. Die Kanallänge  $L$  des später fertiggestellten Transistors **150** kann also verringert werden, wodurch die Betriebsgeschwindigkeit einer Schaltung erhöht werden kann.

**[0110]** Um die Anzahl der Fotomasken in einem Fotolithografieschritt und die Anzahl der Fotolithografieschritte zu reduzieren, kann ein Ätzschritt unter Verwendung einer Mehrtonmaske durchgeführt werden, die eine Belichtungsmaske ist und durch die Licht durchgelassen wird, um eine Vielzahl von Intensitäten aufzuweisen. Eine Fotolackmaske, die unter Verwendung einer Mehrtonmaske ausgebildet wird, weist eine Vielzahl von Dicken auf und kann ferner durch Ätzen in der Form verändert werden; somit kann die Fotolackmaske in einer Vielzahl von Ätzschritten zum Verarbeiten in verschiedene Muster verwendet werden. Daher kann eine Fotolackmaske für mindestens zwei oder mehr Arten unterschiedlicher Muster unter Verwendung einer Mehrtonmaske ausgebildet werden. Infolgedessen kann die Anzahl der Belichtungsmasken reduziert werden, und damit kann auch die Anzahl entsprechender Fotolithografieschritte reduziert werden, wodurch ein Prozess vereinfacht werden kann.

**[0111]** Es sei angemerkt, dass es bevorzugt ist, dass die Ätzbedingungen optimiert werden, um nicht den Oxidhalbleiterfilm **106** beim Ätzen des leitenden Films zu ätzen und teilen. Jedoch ist es schwer, solche Ätzbedingungen zu erreichen, unter denen nur der leitende Film geätzt wird und der Oxidhalbleiterfilm **106** gar nicht geätzt wird. In einigen Fällen wird nur ein Teil des Oxidhalbleiterfilms **106**, z. B. 5% bis 50% der Dicke des Oxidhalbleiterfilms **106** geätzt, so dass der Oxidhalbleiterfilm **106** eine Rille (einen niedrigen Teil) aufweist, wenn der leitende Film geätzt wird.

**[0112]** Als Nächstes wird der Gate-Isolierfilm **110** ausgebildet, um den Oxidhalbleiterfilm **106**, die Source-Elektrode **108a** und die Drain-Elektrode **108b** zu bedecken. Der Gate-Isolierfilm **110** kann eine Dicke von größer als oder gleich 1 nm und kleiner als oder gleich 500 nm aufweisen. Es gibt keine besondere Beschränkung bezüglich des Verfahrens zum Ausbilden des Gate-Isolierfilms **110**. Beispielsweise kann ein Sputterverfahren, ein MBE-Verfahren, ein CVD-Verfahren, ein Laserstrahlverdampfungsverfahren, ein ALD-Verfahren oder dergleichen angemessen zum Ausbilden des Gate-Isolierfilms **110** verwendet werden.

**[0113]** Für den Gate-Isolierfilm **110** wird vorzugsweise ein Oxidisolierfilm mit einer ausreichenden Spannungsfestigkeit und ausreichenden isolierenden Eigenschaften verwendet. In dem Fall, in dem der Gate-Isolierfilm **110** eine einschichtige Struktur hat, kann ein Oxid, das Silizium enthält, wie z. B. ein Siliziumoxidfilm, verwendet werden.

**[0114]** Des Weiteren werden dann, wenn der Gate-Isolierfilm **110** ausgebildet wird, Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** aufgenommen. Als Ergebnis wird in dem Oxidhalbleiterfilm **106** der Bereich **106a** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ausgebildet, wobei ein Bereich in dem Oxidhalbleiterfilm **106** außer dem Bereich **106a** der Bereich **106b** ist.

**[0115]** Es sei angemerkt, dass die Siliziumkonzentration in dem Bereich **106a** niedriger als oder gleich 1,0 Atom-%, bevorzugt niedriger als oder gleich 0,1 Atom-% beträgt. Der Bereich **106a** ist in Kontakt mit dem Gate-Isolierfilm **110** vorgesehen, um eine Dicke von kleiner als oder gleich 5 nm aufzuweisen.

**[0116]** Weiterhin dringen in dem Fall, in dem Verunreinigungen wie z. B. Kohlenstoff in dem Gate-Isolierfilm **110** enthalten sind, solche Verunreinigungen auch in den Bereich **106a** in dem Oxidhalbleiterfilm **106** ein und dienen als Verunreinigungen, wie beim Fall von Silizium. In diesem Fall ist die Konzentration von Kohlenstoff in dem Bereich **106a** niedriger als oder gleich  $1,0 \times 10^{20}$  Atome/cm<sup>3</sup>, bevorzugt niedriger als oder gleich  $1,0 \times 10^{19}$  Atome/cm<sup>3</sup>.

**[0117]** Alternativ kann der Gate-Isolierfilm **110** eine gestapelte Struktur aufweisen. In dem Fall, in dem der Gate-Isolierfilm **110** eine gestapelte Struktur aufweist, kann beispielsweise Galliumoxid, Aluminiumoxid, Siliziumnitrid, Siliziumoxynitrid, Aluminiumoxynitrid, Yttriumoxid, Lanthanoxid, Siliziumnitridoxid oder dergleichen über einem Oxid, das Silizium enthält, gestapelt werden. Alternativ kann ein Material mit hohem  $k$  wie z. B. Hafniumoxid, Hafniumsilikat ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ )), Hafniumsilikat, zu dem Stickstoff zugesetzt worden ist ( $\text{HfSiO}_x\text{N}_y$  ( $x > 0$ ,  $y > 0$ )) oder Hafniumaluminat ( $\text{HfAl}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ )) über einem Oxid, das Silizium enthält, gestapelt werden.

**[0118]** Wenn ein Oxid, das Silizium enthält, als der Gate-Isolierfilm **110** verwendet wird, kann ein Teil von Sauerstoff, der in dem Isolierfilm enthalten ist, durch eine später erwähnte Wärmebehandlung abgegeben werden. Daher kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** können gefüllt werden. Insbesondere enthält vorzugsweise der Gate-Isolierfilm **110** eine große Menge an Sauerstoff, die zumindest seine Stöchiometrie überschreitet. Beispielsweise wird ein Film von Siliziumoxid, das durch die Formel  $\text{SiO}_{2+\alpha}$  ( $\alpha > 0$ ) dargestellt wird, vorzugsweise als der Gate-Isolierfilm **110** verwendet. Wenn ein derartiger Siliziumoxidfilm als der Gate-Isolierfilm **110** verwendet wird, kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, so dass der Transistor **150**, bei dem der Oxidhalbleiterfilm **106** verwendet wird, bevorzugte Transistoreigenschaften aufweisen kann.

**[0119]** Um zu verhindern, dass Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** eindringen, wird der Gate-Isolierfilm **110** derart ausgebildet, dass der Oxidhalbleiterfilm **106** nicht beschädigt wird. In dem Fall, in dem beispielsweise ein Siliziumoxidfilm als der Gate-Isolierfilm **110** durch ein Sputterverfahren ausgebildet wird, kann die Auswirkung von Silizium (das ein Bestandteil des Gate-Isolierfilms **110** ist), das mit dem Oxidhalbleiterfilm **106** kollidiert, verringert werden. Damit man den obigen Effekt erzielen kann, kann man beispielsweise das Folgende verwenden: ein Verfahren, bei dem die Leistung zur Abscheidung des Gate-Isolierfilms **110** niedrig ist, ein Verfahren, bei dem der Druck zur Abscheidung des Gate-Isolierfilms **110** hoch ist, ein Verfahren, bei dem eine Distanz zwischen einem Target und einem Substrat (T-S-Distanz) bei der Abscheidung des Gate-Isolierfilms **110** verlängert wird, oder dergleichen. Jedoch ist ein Verfahren zum Ausbilden des Gate-Isolierfilms **110** nicht auf die obigen Verfahren beschränkt. Beispielsweise kann ein Siliziumoxidfilm, ein Siliziumoxynitridfilm, ein Siliziumnitridoxidfilm oder dergleichen, der durch ein PE-CVD-Verfahren ausgebildet wird, verwendet werden. Ein PE-CVD-Verfahren wird gegenüber einem Sputterverfahren bevorzugt, weil unter Verwendung des PE-CVD-Verfahrens der Oxidhalbleiterfilm **106**, der als Basisfilm dient, weniger beschädigt wird.

**[0120]** Als Nächstes wird ein leitender Film zum Ausbilden einer Gate-Elektrode (sowie eine Leitung, die in derselben Schicht wie die Gate-Elektrode ausgebildet wird) über dem Gate-Isolierfilm **110** ausgebildet. Der leitende Film für die Gate-Elektrode kann beispielsweise unter Verwendung eines Metallmaterials ausgebildet werden, wie z. B. Molybdän, Titan, Tantal, Wolfram, Aluminium, Kupfer, Neodym oder Scandium oder eines Legierungsmaterials, das eines dieser Materialien als seine Hauptkomponente enthält. Alternativ kann der leitende Film für die Gate-Elektrode unter Verwendung eines leitenden Metalloxides ausgebildet werden. Als das leitende Metalloxid kann Indiumoxid ( $\text{In}_2\text{O}_3$ ), Zinnoxid ( $\text{SnO}_2$ ), Zinkoxid ( $\text{ZnO}$ ), Indiumzinnoxid ( $\text{In}_2\text{O}_3\text{-SnO}_2$ ; welches in einigen Fällen zu ITO abgekürzt wird) oder Indiumzinkoxid ( $\text{In}_2\text{O}_3\text{-ZnO}$ ) oder eines dieser Metalloxidmaterialien, das Silizium oder Siliziumoxid enthält, verwendet werden. Die Gate-Elektrode kann unter Verwendung eines der obigen Materialien ausgebildet werden, um eine einschichtige Struktur oder gestapelte Struktur aufzuweisen. Bezüglich des Verfahrens zum Ausbilden des leitenden Films gibt es keine besondere Beschränkung, und verschiedene Verfahren zum Ausbilden des Films wie z. B. ein Verdampfungsverfahren, ein CVD-Verfahren, ein Sputterverfahren und ein Rotationsbeschichtungsverfahren können verwendet werden.

**[0121]** Als Nächstes wird eine Fotolackmaske über dem leitenden Film durch einen Fotolithografieschritt ausgebildet, und selektives Ätzen wird durchgeführt, so dass die Gate-Elektrode **112** ausgebildet wird. Dann wird die Fotolackmaske entfernt (siehe Fig. 2C). Die Fotolackmaske zum Ausbilden der Gate-Elektrode **112** kann

durch ein Tintenstrahlverfahren ausgebildet werden. Das Ausbilden der Fotolackmaske durch ein Tintenstrahlverfahren braucht keine Fotomaske, und somit können sich die Herstellungskosten ermäßigen. Zum Ätzen der Gate-Elektrode **112** kann Nassätzen und/oder Trockenätzen verwendet werden. Es sei angemerkt, dass dann, wenn die Gate-Elektrode **112** ausgebildet wird, der Transistors **150** fertiggestellt wird.

**[0122]** Anschließend wird der Zwischenschicht-Isolierfilm **114** über dem Gate-Isolierfilm **110** und der Gate-Elektrode **112** ausgebildet (siehe Fig. 2D).

**[0123]** Der Zwischenschicht-Isolierfilm **114** wird vorzugsweise unter Verwendung eines anorganischen Isolierfilms ausgebildet, um eine einschichtige Struktur oder eine gestapelte Struktur eines Oxidisolierfilms, wie z. B. eines Siliziumoxidfilms, eines Siliziumoxynitridfilms, eines Aluminiumoxidfilms, eines Aluminiumoxynitridfilms, eines Galliumoxidfilms oder eines Hafniumoxidfilms, aufzuweisen. Außerdem kann über dem obigen Oxidisolierfilm eine Einzelschicht oder eine gestapelte Schicht eines Nitridisolierfilms wie z. B. eines Siliziumnitridfilms, eines Siliziumnitridoxidfilms, eines Aluminiumnitridfilms oder eines Aluminiumnitridoxidfilms, ausgebildet werden. Beispielsweise werden als gestapelte Schicht ein Siliziumoxidfilm und ein Aluminiumoxidfilm in dieser Reihenfolge über der Gate-Elektrode **112** abgeschieden.

**[0124]** Nach dem Ausbilden des Zwischenschicht-Isolierfilms **114** wird vorzugsweise eine Wärmebehandlung an dem Oxidhalbleiterfilm **106** durchgeführt. Die Temperatur der Wärmebehandlung ist höher als oder gleich 300°C und niedriger als oder gleich 700°C, oder niedriger als die untere Entspannungsgrenze (strain point) eines Substrats.

**[0125]** Die Wärmebehandlung kann in einer Atmosphäre von Stickstoff, Sauerstoff, ultratrockener Luft (Luft, in der der Wassergehalt weniger als oder gleich 20 ppm, bevorzugt weniger als oder gleich 1 ppm, stärker bevorzugt weniger als oder gleich 10 ppb beträgt) oder einem Edelgas (wie z. B. Argon oder Helium) durchgeführt werden. Es sei angemerkt, dass es bevorzugt ist, dass in der Atmosphäre von Stickstoff, Sauerstoff, ultratrockener Luft, einem Edelgas oder dergleichen kein Wasser, Wasserstoff und dergleichen enthalten sind. Es ist auch möglich, dass die Reinheit von Stickstoff, Sauerstoff oder dem Edelgas, der/das in eine Wärmebehandlungseinrichtung eingeleitet wird, auf mehr als oder gleich 6 N (99,9999%), bevorzugt mehr als oder gleich 7 N (99,99999%) (d. h. die Verunreinigungskonzentration beträgt weniger als oder gleich 1 ppm, bevorzugt weniger als oder gleich 0,1 ppm) eingestellt wird.

**[0126]** In dem Fall, in dem eine Wärmebehandlung nach dem Ausbilden des Oxidhalbleiterfilms durchgeführt wird, könnte Sauerstoff, der eine der Hauptkomponentenmaterialien in dem Oxidhalbleiter ist, verringert werden. Jedoch kann während der Wärmebehandlung in diesem Schritt Sauerstoff zu dem Oxidhalbleiterfilm **106** von dem Basis-Isolierfilm **104** oder dem Gate-Isolierfilm **110**, der unter Verwendung eines Silizium enthaltenden Oxides ausgebildet wird, zugeführt werden; somit können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** gefüllt werden.

**[0127]** Indem wie oben beschrieben die Wärmebehandlung durchgeführt wird, kann der Oxidhalbleiterfilm **106** hochgereinigt werden, so dass er möglichst wenige Verunreinigungen, die nicht Hauptkomponenten sind, enthält. Der hochgereinigte Oxidhalbleiterfilm **106** enthält äußerst wenig (nahezu null) Ladungsträger, die von einem Donator abgeleitet sind, und seine Ladungsträgerkonzentration beträgt niedriger als  $1 \times 10^{14}/\text{cm}^3$ , bevorzugt niedriger als  $1 \times 10^{12}/\text{cm}^3$ , stärker bevorzugt niedriger als  $1 \times 10^{11}/\text{cm}^3$ . Auf diese Weise kann der Oxidhalbleiterfilm **106**, der zu einem i-Typ-(intrinsischen)Oxidhalbleiter wird, ausgebildet werden.

**[0128]** Durch die obigen Schritte wird der Transistor **150** ausgebildet. Bei dem Transistor **150** ist die Konzentration von Verunreinigungen wie z. B. Silizium, die in den Bereich **106a** des Oxidhalbleiterfilms **106** aufgenommen werden, niedrig. Ferner kann in dem Fall, in dem der Oxidhalbleiterfilm ein CAAC-OS-Film ist, ein Kristallbereich auch in der Nähe der Grenzfläche zwischen dem Oxidhalbleiterfilm und dem Gate-Isolierfilm **110** ausgebildet werden. Deshalb kann der Transistor **150** stabile elektrische Eigenschaften aufweisen.

**[0129]** Über dem Zwischenschicht-Isolierfilm **114** kann ein Planarisierungsisolierfilm weiterhin ausgebildet werden. Der Planarisierungsisolierfilm kann unter Verwendung eines organischen Materials mit Wärmebeständigkeit ausgebildet werden, und z. B. kann ein Acrylharz, ein Polyimidharz, ein Harz auf Benzocyclobuten-Basis, ein Polyamidharz oder ein Epoxidharz verwendet werden. Zusätzlich zu solchen organischen Materialien kann ein Material mit niedriger Dielektrizitätskonstante (Material mit niedrigem k) oder ein Harz auf Siloxan-Basis verwendet werden. Es sei angemerkt, dass der Planarisierungsisolierfilm durch Stapeln einer Vielzahl von Isolierfilmen, die aus einem dieser Materialien ausgebildet werden, ausgebildet werden kann.

**[0130]** Die Verfahren und Strukturen dieser Ausführungsform können angemessen mit einem/einer der Verfahren und Strukturen der anderen Ausführungsformen kombiniert werden.

(Ausführungsform 2)

**[0131]** Bei dieser Ausführungsform werden Modifikationsbeispiele für die Halbleitervorrichtung und das Verfahren zum Herstellen der Halbleitervorrichtung der Ausführungsform 1, welche in **Fig. 1A**, **Fig. 1B** und **Fig. 2A** bis **Fig. 2D** gezeigt sind, anhand von **Fig. 3A**, **Fig. 3B**, **Fig. 4A** bis **Fig. 4D**, **Fig. 5A** und **Fig. 5B** beschrieben. Es sei angemerkt, dass Teile ähnlich wie diejenige in **Fig. 1A**, **Fig. 1B** und **Fig. 2A** bis **Fig. 2D** durch die gleichen Bezugszeichen bezeichnet werden, und eine Beschreibung davon wird weggelassen.

<Beispiel für eine Struktur einer Halbleitervorrichtung (Modifikationsbeispiel)>

**[0132]** In **Fig. 3A** und **Fig. 3B** ist ein Transistor mit obenliegendem Gate (top-gate transistor) als Beispiel für eine Halbleitervorrichtung gezeigt. **Fig. 3A** ist eine Draufsicht, und **Fig. 3B** ist eine Querschnittsansicht entlang der gestrichelten Linie X2-Y2 in **Fig. 3A**. Es sei angemerkt, dass einige Komponenten eines Transistors **160** (z. B. ein Gate-Isolierfilm **110**) der Einfachheit halber in **Fig. 3A** weggelassen sind.

**[0133]** Der Transistor **160** in **Fig. 3A** und **Fig. 3B** beinhaltet über einem Substrat **102** einen Basis-Isolierfilm **104**, einen Oxidhalbleiterfilm **106**, der über dem Basis-Isolierfilm **104** ausgebildet ist und einen Bereich **106c**, einen Bereich **106d**, einen Bereich **106e** und einen Bereich **106f** aufweist, den Gate-Isolierfilm **110**, der über dem Oxidhalbleiterfilm **106** ausgebildet ist, eine Gate-Elektrode **112**, die in Kontakt mit dem Gate-Isolierfilm **110** steht und zumindest mit dem Oxidhalbleiterfilm **106** überlappt, einen Zwischenschicht-Isolierfilm **114**, der über dem Gate-Isolierfilm **110** und der Gate-Elektrode **112** ausgebildet ist, und eine Source-Elektrode **108a** und eine Drain-Elektrode **108b**, die über dem Zwischenschicht-Isolierfilm **114** ausgebildet sind und elektrisch mit dem Oxidhalbleiterfilm **106** verbunden sind.

**[0134]** Der Oxidhalbleiterfilm **106** beinhaltet den Bereich **106c** und den Bereich **106d**, die als Kanalbildungsbereich dienen, und den Bereich **106e** und den Bereich **106f**, die als Paar von niederohmigen Bereichen dienen, welche derart bereitgestellt sind, dass der Kanalbildungsbereich dazwischen liegt.

**[0135]** Wie in **Fig. 3B** gezeigt ist, verjüngt sich ferner ein Endbereich des Oxidhalbleiterfilms **106** vorzugsweise unter einem Winkel von 20° bis 50°. Wenn der Oxidhalbleiterfilm **106** einen senkrechten Endbereich hat, wird Sauerstoff mit höherer Wahrscheinlichkeit von dem Endbereich des Oxidhalbleiterfilms **106** abgegeben; somit werden Sauerstofffehlstellen (oxygen vacancies) wahrscheinlich erzeugt. Wenn der Oxidhalbleiterfilm **106** einen sich verjüngenden Endbereich hat, wird eine Erzeugung von Sauerstofffehlstellen unterdrückt, und daher kann eine Erzeugung von Leckstrom des Transistors **160** verringert werden.

**[0136]** Für den Gate-Isolierfilm **110** wird vorzugsweise ein Oxidisolierfilm, der eine ausreichende Spannungsfestigkeit und ausreichende isolierende Eigenschaften aufweist, verwendet. In dem Fall, in dem der Gate-Isolierfilm **110** eine einschichtige Struktur hat, kann beispielsweise ein Oxid, das Silizium enthält, wie z. B. ein Siliziumoxidfilm verwendet werden.

**[0137]** Wenn ein Oxid, das Silizium enthält, als der Gate-Isolierfilm **110** verwendet wird, kann ein Teil des Sauerstoffs, der in dem Isolierfilm enthalten ist, durch eine Wärmebehandlung abgegeben werden. Daher kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** können gefüllt werden. Insbesondere enthält vorzugsweise der Gate-Isolierfilm **110** eine große Menge an Sauerstoff, die zumindest seine Stöchiometrie überschreitet. Beispielsweise wird ein Film von Siliziumoxid, das durch die Formel  $\text{SiO}_{2+\alpha}$  ( $\alpha > 0$ ) dargestellt wird, vorzugsweise als der Gate-Isolierfilm **110** verwendet. Wenn ein derartiger Siliziumoxidfilm als der Gate-Isolierfilm **110** verwendet wird, kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, so dass der Transistor **160**, bei dem der Oxidhalbleiterfilm **106** verwendet wird, vorteilhafte Transistoreigenschaften aufweisen kann.

**[0138]** Jedoch könnte im Fall der Verwendung eines Siliziumoxidfilms als der Gate-Isolierfilm **110** Silizium, das ein Bestandteil des Gate-Isolierfilms **110** ist, als Verunreinigung in den Oxidhalbleiterfilm **106** aufgenommen werden. Silizium, das ein Bestandteil des Gate-Isolierfilms **110** oder dergleichen ist, dringt in den Oxidhalbleiterfilm **106** ein, und dient als Verunreinigung, die die Eigenschaften des Transistors beeinflusst. Ferner dringt in dem Fall, in dem der Oxidhalbleiterfilm **106** ein CAAC-OS-Film ist, ein Bestandteil des Gate-Isolierfilms **110** in den Oxidhalbleiterfilm **106** ein, und eine Bindung in dem Kristallbereich in dem Oxidhalbleiterfilm **106** wird

aufgebrochen. Deshalb werden mehr amorphe Bereiche in dem Oxidhalbleiterfilm **106** in der Nähe des Gate-Isolierfilms **110** ausgebildet.

**[0139]** Insbesondere dringen wahrscheinlich Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** in der Nähe des Gate-Isolierfilms **110** ein. Ein Kanalbildungsbereich des Transistors **160** wird in dem Oxidhalbleiterfilm **106** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ausgebildet; somit könnten die Eigenschaften des Transistors **150** verändert werden, wenn Verunreinigungen wie z. B. Silizium in die Nähe der Grenzfläche zwischen dem Oxidhalbleiterfilm **106** und dem Gate-Isolierfilm **110** eindringen.

**[0140]** Somit wird in der Halbleitervorrichtung, die bei dieser Ausführungsform beschrieben wird, das Eindringen von Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** unterdrückt. Folglich wird in dem Oxidhalbleiterfilm **106** ein Bereich ausgebildet, in dem die Konzentration von Silizium, das von einer Grenzfläche zu dem Gate-Isolierfilm **110** zum Inneren des Oxidhalbleiterfilms **106** hin verteilt wird, niedriger als oder gleich 1,0 Atom-% ist. Ein derartiger Bereich wird in **Fig. 3B** der Bereich **106c** und der Bereich **106e** genannt. Die Konzentrationen von Silizium in dem Bereich **106c** und dem Bereich **106e** sind stärker bevorzugt niedriger als oder gleich 0,1 Atom-%. Außerdem sind der Bereich **106c** und der Bereich **106e** in Kontakt mit dem Gate-Isolierfilm **110** bereitgestellt und haben eine Dicke von kleiner als oder gleich 5 nm.

**[0141]** Es sei angemerkt, dass in **Fig. 3B** in dem Oxidhalbleiterfilm **106** Bereiche an der Seite des Basis-Isolierfilms **104** der Bereich **106d** und der Bereich **106f** sind, und dass Bereiche an der Seite des Gate-Isolierfilms **110** der Bereich **106c** und der Bereich **106e** sind.

**[0142]** In dem Fall, in dem ferner Verunreinigungen wie z. B. Kohlenstoff in dem Gate-Isolierfilm **110** enthalten sind, könnten solche Verunreinigungen auch in den Oxidhalbleiterfilm **106** eindringen und dienen als Verunreinigungen, wie beim Fall von Silizium. In diesem Fall sind die Konzentrationen von Kohlenstoff in dem Bereich **106c** und dem Bereich **106e** niedriger als oder gleich  $1,0 \times 10^{20}$  Atome/cm<sup>3</sup>, bevorzugt niedriger als oder gleich  $1,0 \times 10^{19}$  Atome/cm<sup>3</sup>.

**[0143]** Um zu verhindern, dass Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** eindringen, kann der Gate-Isolierfilm **110** derart ausgebildet werden, dass der Oxidhalbleiterfilm **106** nicht beschädigt wird. In dem Fall, in dem beispielsweise ein Siliziumoxidfilm als der Gate-Isolierfilm **110** durch ein Sputterverfahren ausgebildet wird, kann die Auswirkung von Silizium (das ein Bestandteil des Gate-Isolierfilms **110** ist), das mit dem Oxidhalbleiterfilm **106** kollidiert, verringert werden. Damit man den obigen Effekt erzielen kann, kann man beispielsweise das Folgende verwenden: ein Verfahren, bei dem die Leistung zur Abscheidung des Gate-Isolierfilms **110** niedrig ist, ein Verfahren, bei dem der Druck zur Abscheidung des Gate-Isolierfilms **110** hoch ist, ein Verfahren, bei dem eine Distanz zwischen einem Target und einem Substrat (T-S-Distanz) bei der Abscheidung des Gate-Isolierfilms **110** verlängert wird, oder dergleichen. Jedoch ist ein Verfahren zum Ausbilden des Gate-Isolierfilms **110** nicht auf die obigen Verfahren beschränkt. Beispielsweise kann ein Siliziumoxynitridfilm, ein Siliziumnitridoxidfilm oder dergleichen, der durch ein PE-CVD-Verfahren ausgebildet wird, verwendet werden. Ein PE-CVD-Verfahren wird gegenüber einem Sputterverfahren bevorzugt, weil unter Verwendung des PE-CVD-Verfahrens der Oxidhalbleiterfilm **106**, der als Basisfilm dient, weniger beschädigt wird.

**[0144]** Wie oben beschrieben worden ist, werden die Konzentrationen von Verunreinigungen wie z. B. Silizium und Kohlenstoff, die in den Bereich **106c** und den Bereich **106e** in dem Oxidhalbleiterfilm **106** eindringen, verringert, wodurch eine Veränderung der Eigenschaften des Transistors **160** unterdrückt werden kann. Ferner kann in dem Fall, in dem der Oxidhalbleiterfilm **106** ein CAAC-OS-Film ist, ein Kristallbereich auch in der Nähe des Gate-Isolierfilms **110** ausgebildet werden. Wenn der Transistor **160** unter Verwendung eines derartigen Oxidhalbleiterfilms **106** ausgebildet wird, kann eine Halbleitervorrichtung mit stabilen elektrischen Eigenschaften bereitgestellt werden.

**[0145]** Es sei angemerkt, dass die Details der anderen Komponenten des Transistors anhand von **Fig. 4A** bis **Fig. 4D** und **Fig. 5A** und **Fig. 5B** beim Beschreiben eines Verfahrens zum Herstellen des Transistors **160** nachstehend beschrieben werden.

#### <Herstellungsverfahren des Transistors **160**>

**[0146]** Nachstehend wird ein Beispiel für ein Verfahren zum Herstellen des Transistors **160** in **Fig. 3A** und **Fig. 3B** dieser Ausführungsform anhand von **Fig. 4A** bis **Fig. 4D** und **Fig. 5A** und **Fig. 5B** beschrieben.

[0147] Zuerst wird das Substrat **102** vorbereitet. Ein Substrat mit einer Struktur, die derjenigen der Ausführungsform 1 ähnlich ist, kann als das Substrat **102** verwendet werden.

[0148] Als Nächstes wird der Basis-Isolierfilm **104** über dem Substrat **102** ausgebildet (siehe **Fig. 4A**). Der Basis-Isolierfilm **104** hat eine Funktion zum Verhindern der Diffusion eines Verunreinigungselements wie z. B. Wasserstoff oder Feuchtigkeit aus dem Substrat **102** und kann mit einer einschichtigen Struktur oder einer gestapelten Struktur, die einen oder mehrere von einem Siliziumnitridfilm, einem Siliziumoxidfilm, einem Siliziumnitridoxidfilm und einem Siliziumoxynitridfilm verwendet, ausgebildet werden.

[0149] Darüber hinaus hat der Basis-Isolierfilm **104** eine weitere Funktion, Sauerstoff zu dem später ausgebildeten Oxidhalbleiterfilm **106** zuzuführen. Beispielsweise kann in dem Fall, in dem ein Isolierfilm, der ein Oxid enthält, als der Basis-Isolierfilm **104** ausgebildet wird, ein Teil enthaltenden Sauerstoffs durch Erwärmung des Basis-Isolierfilms **104** abgegeben werden. Daher kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** können gefüllt werden. Insbesondere enthält vorzugsweise der Basis-Isolierfilm **104** eine große Menge an Sauerstoff, die zumindest seine Stöchiometrie überschreitet. Beispielsweise wird ein Film von Siliziumoxid, das durch die Formel  $\text{SiO}_{2+\alpha}$  ( $\alpha > 0$ ) dargestellt wird, vorzugsweise als der Basis-Isolierfilm **104** verwendet. Wenn ein derartiger Siliziumoxidfilm als der Basis-Isolierfilm **104** verwendet wird, kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, so dass der Transistor **160**, bei dem der Oxidhalbleiterfilm **106** verwendet wird, bevorzugte Transistoreigenschaften aufweisen kann.

[0150] Bevor der Basis-Isolierfilm **104** ausgebildet wird, kann eine Plasmabehandlung oder dergleichen an dem Substrat **102** durchgeführt werden. Als Plasmabehandlung kann ein umgekehrtes Sputtern, bei dem ein Argongas eingeführt wird und Plasma erzeugt wird, durchgeführt werden. Als Plasmabehandlung kann ein umgekehrtes Sputtern, bei dem ein Argongas eingeführt wird und Plasma erzeugt wird, durchgeführt werden. Das umgekehrte Sputtern ist ein Verfahren, bei dem eine HF-Leistungsquelle zum Anlegen einer Spannung an das Substrat **102** in einer Argon-Atmosphäre verwendet wird, so dass Plasma in der Nähe des Substrats **102** erzeugt wird, um eine Oberfläche des Substrats zu modifizieren. Es sei angemerkt, dass statt einer Argon-Atmosphäre eine Stickstoff-Atmosphäre, eine Helium-Atmosphäre, eine Sauerstoff-Atmosphäre oder dergleichen verwendet werden kann. Das umgekehrte Sputtern kann teilchenförmige Substanzen (auch als Partikel oder Staub bezeichnet), die an der Oberfläche des Substrats **102** haften, entfernen.

[0151] Als Nächstes wird der Oxidhalbleiterfilm **106** über dem Basis-Isolierfilm **104** ausgebildet (siehe **Fig. 4A**). Der Oxidhalbleiterfilm **106** ist vorzugsweise ein CAAC-OS-Film. Es sei angemerkt, dass der Basis-Isolierfilm **104** und der Oxidhalbleiterfilm **106** vorzugsweise sukzessiv ausgebildet werden, ohne der Luft ausgesetzt zu werden.

[0152] Der Oxidhalbleiterfilm **106** kann eine Struktur, die derjenigen der Ausführungsform 1 ähnlich ist, aufweisen.

[0153] Als Nächstes wird der Gate-Isolierfilm **110** ausgebildet, um den Oxidhalbleiterfilm **106** zu bedecken (siehe **Fig. 4B**). Die Dicke des Gate-Isolierfilms **110** kann größer als oder gleich 1 nm und kleiner als oder gleich 500 nm sein. Es gibt keine besondere Beschränkung bezüglich des Verfahrens zum Ausbilden des Gate-Isolierfilms **110**. Beispielsweise kann ein Sputterverfahren, ein MBE-Verfahren, ein CVD-Verfahren, ein Laserstrahlverdampfungsverfahren, ein ALD-Verfahren oder dergleichen angemessen zum Ausbilden des Gate-Isolierfilms **110** verwendet werden.

[0154] Für den Gate-Isolierfilm **110** wird vorzugsweise ein Oxidisolierfilm mit einer ausreichenden Spannungsfestigkeit und ausreichenden isolierenden Eigenschaften verwendet. In dem Fall, in dem der Gate-Isolierfilm **110** eine einschichtige Struktur hat, kann beispielsweise ein Oxid, das ein Siliziumfilm enthält, wie z. B. ein Siliziumoxidfilm, verwendet werden.

[0155] Des Weiteren dringen dann, wenn der Gate-Isolierfilm **110** ausgebildet wird, Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ein. Als Ergebnis wird in dem Oxidhalbleiterfilm **106** ein Bereich **106g** in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ausgebildet, und ein Bereich in dem Oxidhalbleiterfilm **106** außer dem Bereich **106g** ist ein Bereich **106h**. Es sei angemerkt, dass der Bereich **106g** später zu dem Bereich **106c** und dem Bereich **106e** wird, und der Bereich **106h** später zu dem Bereich **106d** und dem Bereich **106f** wird.

**[0156]** Die Siliziumkonzentration in dem Bereich **106g** ist niedriger als oder gleich 1,0 Atom-%, bevorzugt niedriger als oder gleich 0,1 Atom-%. Der Bereich **106g** ist ferner in Kontakt mit dem Gate-Isolierfilm **110** bereitgestellt, um eine Dicke von kleiner als oder gleich 5 nm aufzuweisen.

**[0157]** In dem Fall, in dem ferner Verunreinigungen wie z. B. Kohlenstoff in dem Gate-Isolierfilm **110** enthalten sind, dringen solche Verunreinigungen auch in den Bereich **106g** in dem Oxidhalbleiterfilm **106** ein und dienen als Verunreinigungen, wie beim Fall von Silizium. In diesem Fall ist die Kohlenstoffkonzentration in dem Bereich **106g** niedriger als oder gleich  $1,0 \times 10^{20}$  Atome/cm<sup>3</sup>, bevorzugt niedriger als oder gleich  $1,0 \times 10^{19}$  Atome/cm<sup>3</sup>.

**[0158]** Der Gate-Isolierfilm **110** kann eine gestapelte Struktur aufweisen. In dem Fall, in dem der Gate-Isolierfilm **110** eine gestapelte Struktur aufweist, kann beispielsweise Galliumoxid, Aluminiumoxid, Siliziumnitrid, Siliziumoxynitrid, Aluminiumoxynitrid, Yttriumoxid, Lanthanoxid, Siliziumnitridoxid oder dergleichen über einem Oxid, das Silizium enthält, gestapelt werden. Alternativ kann ein Material mit hohem  $k$  wie z. B. Hafniumoxid, Hafniumsilikat ( $\text{HfSi}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ )), Hafniumsilikat, zu dem Stickstoff zugesetzt worden ist ( $\text{HfSiO}_x\text{N}_y$  ( $x > 0$ ,  $y > 0$ )) oder Hafniumaluminat ( $\text{HfAl}_x\text{O}_y$  ( $x > 0$ ,  $y > 0$ )) über einem Oxid, das Silizium enthält, gestapelt werden.

**[0159]** Wenn ein Oxid, das Silizium enthält, als der Gate-Isolierfilm **110** verwendet wird, kann ein Teil von Sauerstoff, der in dem Isolierfilm enthalten ist, durch eine Wärmebehandlung abgegeben werden. Daher kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, und Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** können gefüllt werden. Insbesondere enthält vorzugsweise der Gate-Isolierfilm **110** eine große Menge an Sauerstoff, die zumindest seine Stöchiometrie überschreitet. Beispielsweise wird ein Film von Siliziumoxid, das durch die Formel  $\text{SiO}_{2+\alpha}$  ( $\alpha > 0$ ) dargestellt wird, vorzugsweise als der Gate-Isolierfilm **110** verwendet. Wenn ein derartiger Siliziumoxidfilm als der Gate-Isolierfilm **110** verwendet wird, kann Sauerstoff zu dem Oxidhalbleiterfilm **106** zugeführt werden, so dass der Transistor **160**, bei dem der Oxidhalbleiterfilm **106** verwendet wird, bevorzugte Transistoreigenschaften aufweisen kann.

**[0160]** Um zu verhindern, dass Verunreinigungen wie z. B. Silizium in den Oxidhalbleiterfilm **106** eindringen, kann der Gate-Isolierfilm **110** derart ausgebildet werden, dass der Oxidhalbleiterfilm **106** nicht beschädigt wird. In dem Fall, in dem beispielsweise ein Siliziumoxidfilm als der Gate-Isolierfilm **110** durch ein Sputterverfahren ausgebildet wird, kann die Auswirkung von Silizium (das ein Bestandteil des Gate-Isolierfilms **110** ist), das mit dem Oxidhalbleiterfilm **106** kollidiert, verringert werden. Damit man den obigen Effekt erzielen kann, kann beispielsweise ein Verfahren, bei dem die Leistung zur Abscheidung des Gate-Isolierfilms **110** niedrig ist, ein Verfahren, bei dem der Druck zur Abscheidung des Gate-Isolierfilms **110** hoch ist, ein Verfahren, bei dem eine Distanz zwischen einem Target und einem Substrat (T-S-Distanz) bei der Abscheidung des Gate-Isolierfilms **110** verlängert wird, oder dergleichen verwendet werden. Jedoch ist ein Verfahren zum Ausbilden des Gate-Isolierfilms **110** nicht auf die obigen Verfahren beschränkt. Beispielsweise kann ein Siliziumoxidfilm, ein Siliziumoxynitridfilm, ein Siliziumnitridoxidfilm oder dergleichen, der durch ein PE-CVD-Verfahren ausgebildet wird, verwendet werden. Ein PE-CVD-Verfahren wird vor einem Sputterverfahren bevorzugt, weil unter Verwendung des PE-CVD-Verfahrens der Oxidhalbleiterfilm **106**, der als Basisfilm dient, weniger beschädigt wird.

**[0161]** Als Nächstes wird ein leitender Film zum Ausbilden einer Gate-Elektrode (sowie einer Leitung, die in derselben Schicht wie die Gate-Elektrode ausgebildet wird) über dem Gate-Isolierfilm **110** ausgebildet. Der leitende Film zum Ausbilden der Gate-Elektrode kann eine Struktur, die derjenigen eines Materials und dergleichen der Ausführungsform 1 ähnlich ist, aufweisen.

**[0162]** Als Nächstes wird eine Fotolackmaske über dem leitenden Film durch einen Fotolithografieschritt ausgebildet, und selektives Ätzen wird durchgeführt, so dass die Gate-Elektrode **112** ausgebildet wird. Dann wird die Fotolackmaske entfernt (siehe Fig. 4C). Die Fotolackmaske zum Ausbilden der Gate-Elektrode **112** kann durch ein Tintenstrahlverfahren ausgebildet werden. Das Ausbilden der Fotolackmaske durch ein Tintenstrahlverfahren braucht keine Fotomaske, und somit können sich die Herstellungskosten ermäßigen. Zum Ätzen der Gate-Elektrode **112** kann Nassätzen und/oder Trockenätzen verwendet werden.

**[0163]** Als Nächstes wird ein Dotierstoff **181** in den Oxidhalbleiterfilm **106** unter Verwendung der Gate-Elektrode **112** als Maske eingeführt, so dass ein Paar von niederohmigen Bereichen **106e** und ein Paar von niederohmigen Bereichen **106f** ausgebildet wird (siehe Fig. 4D).

**[0164]** Der Dotierstoff **181** ist eine Verunreinigung, mit der die elektrische Leitfähigkeit des Oxidhalbleiterfilms **106** verändert wird. Eines oder mehrere, die aus dem Folgenden ausgewählt werden, können als der Dotierstoff **181** verwendet werden: Elemente der Gruppe **15** (typische Beispiele dafür sind Phosphor (P), Arsen (As) und

Antimon (Sb), Bor (B), Aluminium (Al), Stickstoff (N), Argon (Ar), Helium (He), Neon (Ne), Indium (In), Fluor (F), Chlor (Cl), Titan (Ti) und Zink (Zn).

**[0165]** Der Dotierstoff **181** kann in den Oxidhalbleiterfilm **106** durch einen anderen Film (z. B. den Gate-Isolierfilm **110**) durch ein Implantationsverfahren eingeführt werden. Als Verfahren zum Einführen des Dotierstoffs **181** kann ein Ionenimplantationsverfahren, ein Ionendotierungsverfahren, ein Plasma-Immersions-Ionenimplantationsverfahren oder dergleichen verwendet werden. In dem Fall, in dem das obige Verfahren verwendet wird, ist bevorzugt, ein Ion des Dotierstoffs **181**, ein Fluoridion oder ein Chloridion zu verwenden.

**[0166]** Das Einführen des Dotierstoffs **181** kann dadurch gesteuert werden, dass die Implantationsbedingungen wie z. B. die Beschleunigungsspannung und die Dosierung oder die Dicke der Filme, durch die der Dotierstoff durchgeht, angemessen eingestellt werden. Bei dieser Ausführungsform wird Phosphor als der Dotierstoff **181** verwendet, dessen Ion durch ein Ionenimplantationsverfahren zugesetzt wird. Die Dosierung des Dotierstoffs **181** kann größer als oder gleich  $1 \times 10^{13}$  Ionen/cm<sup>2</sup> und kleiner als oder gleich  $5 \times 10^{16}$  Ionen/cm<sup>2</sup> sein.

**[0167]** Die Konzentration des Dotierstoffs **181** in den niederohmigen Bereichen ist vorzugsweise höher als oder gleich  $5 \times 10^{18}$ /cm<sup>3</sup> und niedriger als oder gleich  $1 \times 10^{22}$ /cm<sup>3</sup>.

**[0168]** Das Substrat **102** kann erwärmt werden, während der Dotierstoff **181** eingeführt wird.

**[0169]** Das Einführen des Dotierstoffs **181** in den Oxidhalbleiterfilm **106** kann mehrmals durchgeführt werden, und die Anzahl der Arten des Dotierstoffs kann eine Mehrzahl sein.

**[0170]** Nachdem der Dotierstoff **181** eingeführt worden ist, kann eine Wärmebehandlung durchgeführt werden. Die Wärmebehandlung wird vorzugsweise bei einer Temperatur von höher als oder gleich 300°C und niedriger als oder gleich 700°C, bevorzugt höher als oder gleich 300°C und niedriger als oder gleich 450°C für 1 Stunde in einer Sauerstoffatmosphäre durchgeführt. Die Wärmebehandlung kann auch in einer Stickstoffatmosphäre, unter einem reduzierten Druck, oder in der Luft (ultratrockener Luft) durchgeführt werden.

**[0171]** Falls der Oxidhalbleiterfilm **106** ein kristalliner Oxidhalbleiterfilm oder ein CAAC-OS-Film ist, kann ein Teil des Oxidhalbleiterfilms durch Einführen des Dotierstoffs **181** amorph werden. In diesem Fall kann die Kristallinität des Oxidhalbleiterfilms **106** durch eine Wärmebehandlung nach dem Einführen des Dotierstoffs **181** wieder erhöht werden.

**[0172]** Durch die obigen Schritte werden der Bereich **106e** und der Bereich **106f**, zwischen denen der Bereich **106c** und der Bereich **106d** liegen, die als Kanalbildungsbereich dienen, in dem Oxidhalbleiterfilm **106** ausgebildet.

**[0173]** Anschließend wird der Zwischenschicht-Isolierfilm **114** über dem Gate-Isolierfilm **110** und der Gate-Elektrode **112** ausgebildet (siehe Fig. 5A).

**[0174]** Als der Zwischenschicht-Isolierfilm **114** ist ein anorganischer Isolierfilm bevorzugt; eine einschichtige Struktur oder eine gestapelte Struktur eines der Oxidisolierfilme, wie z. B. eines Siliziumoxidfilms, eines Siliziumoxynitridfilms, eines Aluminiumoxidfilms, eines Aluminiumoxynitridfilms, eines Galliumoxidfilms, eines Hafniumoxidfilms und dergleichen. Außerdem kann über dem obigen Oxidisolierfilm eine Einzelschicht oder eine gestapelte Schicht eines der Nitridisolierfilme wie z. B. eines Siliziumnitridfilms, eines Siliziumnitridoxidfilms, eines Aluminiumnitridfilms, eines Aluminiumnitridoxidfilms und dergleichen ausgebildet werden. Beispielsweise werden ein Siliziumoxidfilm und ein Aluminiumoxidfilm in dieser Reihenfolge an der Seite der Gate-Elektrode **112** durch ein Sputterverfahren ausgebildet.

**[0175]** In dem Fall, in dem ein Aluminiumoxidfilm als der Zwischenschicht-Isolierfilm verwendet wird, kann der Aluminiumoxidfilm während oder nach dem Herstellungsprozess verhindern, dass Verunreinigungen wie z. B. Wasserstoff oder Feuchtigkeit, die die elektrischen Eigenschaften des Transistors **160** verändern, in den Oxidhalbleiterfilm **106** eindringen. Zudem kann der Aluminiumoxidfilm während oder nach dem Herstellungsprozess verhindern, dass Sauerstoff, der eine Hauptkomponente eines Oxidhalbleiters ist, von dem Oxidhalbleiterfilm **106** abgegeben wird.

**[0176]** Nach dem Ausbilden des Zwischenschicht-Isolierfilms **114** wird vorzugsweise eine Wärmebehandlung an dem Oxidhalbleiterfilm **106** durchgeführt. Die Temperatur der Wärmebehandlung ist höher als oder gleich

300°C und niedriger als oder gleich 700°C, oder niedriger als die untere Entspannungsgrenze (strain point) eines Substrats.

**[0177]** Die Wärmebehandlung kann in einer Atmosphäre von Stickstoff, Sauerstoff, ultratrockener Luft (Luft, in der der Wassergehalt weniger als oder gleich 20 ppm, bevorzugt weniger als oder gleich 1 ppm, stärker bevorzugt weniger als oder gleich 10 ppb beträgt) oder einem Edelgas (wie z. B. Argon oder Helium) durchgeführt werden. Es sei angemerkt, dass es bevorzugt ist, dass in der Atmosphäre von Stickstoff, Sauerstoff, ultratrockener Luft, einem Edelgas oder dergleichen kein Wasser, Wasserstoff und dergleichen enthalten sind. Es ist auch möglich, dass die Reinheit von Stickstoff, Sauerstoff oder dem Edelgas, der/das in eine Wärmebehandlungsvorrichtung eingeleitet wird, auf mehr als oder gleich 6 N (99,9999%), bevorzugt mehr als oder gleich 7 N (99,99999%) (d. h. die Verunreinigungskonzentration beträgt weniger als oder gleich 1 ppm, bevorzugt weniger als oder gleich 0,1 ppm) eingestellt wird.

**[0178]** In dem Fall, in dem eine Wärmebehandlung nach dem Ausbilden des Oxidhalbleiterfilms durchgeführt wird, könnte Sauerstoff, der eine der Hauptkomponenten des Oxidhalbleiters ist, verringert werden. Jedoch kann während der Wärmebehandlung in diesem Schritt Sauerstoff zu dem Oxidhalbleiterfilm **106** von dem Basis-Isolierfilm **104** oder dem Gate-Isolierfilm **110**, der unter Verwendung eines Oxides, das Silizium enthält, ausgebildet wird, zugeführt werden; somit können Sauerstofffehlstellen in dem Oxidhalbleiterfilm **106** gefüllt werden.

**[0179]** Indem wie oben beschrieben die Wärmebehandlung durchgeführt wird, kann der Oxidhalbleiterfilm **106** hochgereinigt werden, so dass er Verunreinigungen, die nicht Hauptkomponente sind, möglichst wenig enthält. Der hochgereinigte Oxidhalbleiterfilm **106** enthält äußerst wenig (nahezu null) Ladungsträger, die von einem Donator abgeleitet sind, und seine Ladungsträgerkonzentration ist niedriger als  $1 \times 10^{14}/\text{cm}^3$ , bevorzugt niedriger als  $1 \times 10^{12}/\text{cm}^3$ , stärker bevorzugt niedriger als  $1 \times 10^{11}/\text{cm}^3$ . Auf diese Weise kann der Oxidhalbleiterfilm **106**, der zu einem i-Typ-(intrinsischen)Oxidhalbleiter wird, ausgebildet werden.

**[0180]** Als Nächstes wird ein Öffnungsteil, der den Oxidhalbleiterfilm **106** (den Bereich **106e** oder den Bereich **106f**) erreicht, in dem Gate-Isolierfilm **110** und dem Zwischenschicht-Isolierfilm **114** ausgebildet, und ein leitender Film zum Ausbilden der Source-Elektrode und der Drain-Elektrode (sowie eine Leitung, die in derselben Schicht wie die Gate-Elektrode ausgebildet wird) wird in dem Öffnungsteil ausgebildet. Der leitende Film zum Ausbilden der Source-Elektrode und der Drain-Elektrode kann unter Verwendung eines Materials und einer Struktur, die denjenigen der Ausführungsform 1 ähnlich ist, ausgebildet werden.

**[0181]** Als Nächstes wird eine Fotolackmaske über dem leitenden Film durch einen Fotolithografieschritt ausgebildet, und selektives Ätzen wird durchgeführt, so dass die Source-Elektrode **108a** und die Drain-Elektrode **108b** ausgebildet werden. Dann wird die Fotolackmaske entfernt (siehe **Fig. 5B**).

**[0182]** Durch den obigen Prozess wird der Transistor **160** ausgebildet (siehe **Fig. 5B**). Bei dem Transistor **160** wird die Konzentration von Silizium, das in den Bereich **106c** und den Bereich **106e** in dem Oxidhalbleiterfilm **106** eindringt, verringert. Ferner kann in dem Fall, in dem der Oxidhalbleiterfilm **106** ein CAAC-OS-Film ist, ein Kristallbereich auch in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ausgebildet werden. Deshalb kann der Transistor **160** stabile elektrische Eigenschaften aufweisen.

**[0183]** Über dem Transistor **160** kann ein Planarisierungsisolierfilm weiterhin ausgebildet werden. Der Planarisierungsisolierfilm kann unter Verwendung eines organischen Materials mit Wärmebeständigkeit ausgebildet werden, und z. B. kann ein Acrylharz, ein Polyimidharz, ein Harz auf Benzocyclobuten-Basis, ein Harz auf Polyamid-Basis, oder ein Harz auf Epoxid-Basis verwendet werden. Zusätzlich zu solchen organischen Materialien kann ein Material mit niedriger Dielektrizitätskonstante (Material mit niedrigem k-Wert) oder ein Harz auf Siloxan-Basis verwendet werden. Es sei angemerkt, dass der Planarisierungsisolierfilm durch Stapeln einer Vielzahl von Isolierfilmen, die aus einem dieser Materialien ausgebildet werden, ausgebildet werden kann.

**[0184]** Die Verfahren und Strukturen dieser Ausführungsform können angemessen mit einem/einer der Verfahren und Strukturen der anderen Ausführungsformen kombiniert werden.

(Ausführungsform 3)

**[0185]** Bei dieser Ausführungsform wird ein Beispiel für eine Halbleitervorrichtung, die den in dieser Beschreibung beschriebenen Transistor beinhaltet, der gespeicherte Daten auch ohne Versorgung mit Elektrizität hal-

ten kann, und keine Beschränkung bezüglich der Anzahl der Schreiboperationen hat, anhand der Zeichnungen beschrieben.

**[0186]** Fig. 6A bis Fig. 6C zeigen ein Beispiel für eine Struktur der Halbleitervorrichtung. Fig. 6A ist eine Querschnittsansicht der Halbleitervorrichtung, Fig. 6B ist eine Draufsicht der Halbleitervorrichtung, und Fig. 6C ist ein Schaltplan der Halbleitervorrichtung. Fig. 6A ist eine Querschnittsansicht entlang der Linie C1-C2 und der Linie D1-D2 in Fig. 6B.

**[0187]** Die Halbleitervorrichtung in Fig. 6A und Fig. 6B beinhaltet in einem unteren Teil einen Transistor **260**, der ein erstes Halbleitermaterial enthält, und in einem oberen Teil einen Transistor **150**, der ein zweites Halbleitermaterial enthält. Ein Transistor mit der Struktur der Ausführungsform 1 kann für den Transistor **150** verwendet werden. Der Transistor **150** hat eine Struktur, bei der eine Source-Elektrode **108a** und eine Drain-Elektrode **108b** in Kontakt mit einem Oxidhalbleiterfilm **106** bereitgestellt sind. Es sei angemerkt, dass, obwohl es keine Beschreibung gibt, der Transistor der Ausführungsform 2 auch bei dieser Ausführungsform verwendet werden kann.

**[0188]** Hier sind das erste Halbleitermaterial und das zweite Halbleitermaterial vorzugsweise Materialien mit verschiedenen Bandlücken. Zum Beispiel kann das erste Halbleitermaterial ein Halbleitermaterial außer einem Oxidhalbleiter (z. B. Einkristallsilizium) sein und das zweite Halbleitermaterial kann ein Oxidhalbleiter sein. Ein Transistor, der Einkristallsilizium als Material außer einem Oxidhalbleiter enthält, kann mit hoher Geschwindigkeit arbeiten. Im Gegensatz dazu kann ein Transistor, der einen Oxidhalbleiter enthält, eine Ladung für lange Zeit dank seiner Eigenschaften halten.

**[0189]** Obwohl alle Transistoren hier n-Kanal-Transistoren sind, ist es unnötig zu erwähnen, dass p-Kanal-Transistoren verwendet werden können. Obwohl ein Oxidhalbleiter in dem Transistor **150** der Ausführungsform 1 verwendet wird, so dass Daten gehalten werden können, ist es nicht nötig, eine konkrete Struktur der Halbleitervorrichtung, wie z. B. ein Material der Halbleitervorrichtung oder eine Struktur der Halbleitervorrichtung, auf die hier beschriebene Struktur zu beschränken.

**[0190]** Der Transistor **260** in Fig. 6A beinhaltet einen Kanalbildungsbereich **216**, der in einem Substrat **200** vorgesehen ist, das ein Halbleitermaterial (z. B. Silizium) enthält, Bereiche **220** mit Verunreinigungen, zwischen denen der Kanalbildungsbereich **216** vorgesehen ist, Bereiche **224** mit Metallverbindungen, die in Kontakt mit den Bereichen **220** mit Verunreinigungen stehen, einen Gate-Isolierfilm **208**, der über dem Kanalbildungsbereich **216** vorgesehen ist, und die Gate-Elektrode **210**, die über dem Gate-Isolierfilm **208** vorgesehen ist. Es sei angemerkt, dass ein Transistor, dessen Source-Elektrode und Drain-Elektrode in einer Zeichnung nicht dargestellt sind, der Klarheit halber als Transistor bezeichnet werden kann. Ferner werden in diesem Fall bei der Beschreibung einer Verbindung eines Transistors ein Source-Bereich und eine Source-Elektrode gemeinsam als „Source-Elektrode“ bezeichnet, und ein Drain-Bereich und eine Drain-Elektrode werden gemeinsam als „Drain-Elektrode“ bezeichnet. Das heißt, dass in dieser Beschreibung der Begriff „Source-Elektrode“ einen Source-Bereich enthalten kann.

**[0191]** Ein Elementtrennungs-Isolierfilm **206** ist so über dem Substrat **200** vorgesehen, dass er den Transistor **260** umgibt, und ein Isolierfilm **228** und ein Isolierfilm **230** sind dazu vorgesehen, den Transistor **260** zu bedecken. Es sei angemerkt, dass es im Hinblick auf eine hohe Integration bevorzugt ist, dass, wie in Fig. 6A der Transistor **260** keinen Seitenwand-Isolierfilm aufweist. Andererseits kann in dem Fall, in dem die Eigenschaften des Transistors **260** Priorität haben, der Seitenwand-Isolierfilm an einer Seitenfläche der Gate-Elektrode **210** ausgebildet sein, und die Bereiche **220** mit Verunreinigungen können jeweils einen Bereich mit einer unterschiedlichen Verunreinigungskonzentration aufweisen.

**[0192]** Der Transistor **260**, der unter Verwendung eines einkristallinen Halbleitersubstrats ausgebildet wird, kann mit hoher Geschwindigkeit arbeiten. Somit können dann, wenn der Transistor als Lesetransistor verwendet wird, Daten mit hoher Geschwindigkeit gelesen werden. Zwei Isolierfilme werden derart ausgebildet, dass sie den Transistor **260** bedecken. Als Behandlung vor dem Ausbilden des Transistors **150** und eines Kondensators **264** wird eine CMP-Behandlung an den zwei Isolierfilmen durchgeführt, wodurch ein Isolierfilm **228** und ein Isolierfilm **230**, die planarisiert sind, ausgebildet werden, und gleichzeitig eine nach oben weisende Oberfläche der Gate-Elektrode **210** freigelegt wird.

**[0193]** Als jeder des Isolierfilms **228** und des Isolierfilms **230** ist typischerweise möglich, einen anorganischen Isolierfilm wie z. B. einen Siliziumoxidfilm, einen Siliziumoxynitridfilm, einen Aluminiumoxidfilm, einen Aluminiumoxynitridfilm, einen Siliziumnitridfilm, einen Aluminiumnitridfilm, einen Siliziumnitridoxidfilm oder einen Alu-

miniumnitridoxidfilm zu verwenden. Der Isolierfilm **228** und der Isolierfilm **230** können durch ein Plasma-CVD-Verfahren, ein Sputterverfahren oder dergleichen ausgebildet werden.

**[0194]** Als Planarisierungsisolierfilm kann ein organisches Material wie z. B. ein Harz auf Polyimid-Basis, ein Harz auf Acryl-Basis oder ein Harz auf Benzocyclobuten-Basis verwendet werden. Abgesehen von solchen organischen Materialien ist es auch möglich, ein Material mit niedriger Dielektrizitätskonstante (ein Material mit niedrigem  $k$ ) oder dergleichen zu verwenden. Im Fall der Verwendung eines organischen Materials können der Isolierfilm **228** und der Isolierfilm **230** durch einen Nassprozess wie z. B. ein Rotationsbeschichtungsverfahren oder ein Druckverfahren ausgebildet werden.

**[0195]** Es sei angemerkt, dass bei dieser Ausführungsform ein Siliziumnitridfilm als der Isolierfilm **228** ausgebildet wird, und ein Siliziumoxidfilm als der Isolierfilm **230** ausgebildet wird.

**[0196]** Ein Oxidhalbleiterfilm **106** wird über dem Isolierfilm **230**, der durch eine Polierbehandlung (wie z. B. eine CMP-Behandlung) ausreichend planarisiert wird, ausgebildet. Es sei angemerkt, dass die durchschnittliche Oberflächenrauheit einer Oberfläche des Isolierfilms **230** vorzugsweise kleiner als oder gleich  $0,15 \text{ nm}$  ist.

**[0197]** Bei dem Transistor **150** in **Fig. 6A** wird ein Oxidhalbleiter in dem Kanalbildungsbereich verwendet. Hier ist der Oxidhalbleiterfilm **106** in dem Transistor **150** vorzugsweise hochgereinigt. Unter Verwendung eines hochgereinigten Oxidhalbleiters kann der Transistor **150**, der sehr vorteilhafte Eigenschaften im Sperrzustand (off-state characteristics) hat, erhalten werden.

**[0198]** Da der Sperrstrom des Transistors **150** klein ist, können unter Verwendung eines solchen Transistors gespeicherte Daten für lange Zeit gehalten werden. Das heißt, dass der Leistungsverbrauch ausreichend verringert werden kann, da eine Halbleiterspeichervorrichtung bereitgestellt werden kann, bei der eine Aktualisierungsoperation (refresh operation) unnötig ist oder die Häufigkeit der Aktualisierungsoperationen äußerst gering ist.

**[0199]** Ein Isolierfilm **180** mit einer einschichtigen Struktur oder einer gestapelten Struktur wird über dem Transistor **150** bereitgestellt. Bei dieser Ausführungsform hat der Isolierfilm **180** eine gestapelte Struktur, bei der ein Aluminiumoxidfilm und ein Siliziumoxidfilm in dieser Reihenfolge an einer Seite der Gate-Elektrode **112** gestapelt sind. Es sei angemerkt, dass dann, wenn der Aluminiumoxidfilm hohe Dichte (z. B. eine Filmdichte von höher als oder gleich  $3,2 \text{ g/cm}^3$ , bevorzugt höher als oder gleich  $3,6 \text{ g/cm}^3$ ) aufweist, der Transistor **150** stabile elektrische Eigenschaften aufweisen kann.

**[0200]** Ferner wird ein leitender Film **182** in einem Bereich bereitgestellt, der mit der Source-Elektrode **108a** des Transistors **150** überlappt, wobei der Gate-Isolierfilm **110** und der Isolierfilm **180** dazwischen liegen. Ein Kondensator **264** wird mittels der Source-Elektrode **108a**, des Gate-Isolierfilms **110**, des Isolierfilms **180** und des leitenden Films **182** ausgebildet. Das heißt, dass die Source-Elektrode **108a** des Transistors **150** als eine Elektrode des Kondensators **264** dient, und der leitende Film **182** als die andere Elektrode des Kondensators **264** dient. Es sei angemerkt, dass in dem Fall, in dem ein Kondensator nicht benötigt wird, der Kondensator **264** ausgelassen werden kann. Alternativ kann der Kondensator **264** getrennt über dem Transistor **150** vorgesehen sein.

**[0201]** Ein Isolierfilm **184** wird über dem Transistor **150** und dem Kondensator **264** bereitgestellt. Zudem wird eine Leitung **186** zum Verbinden des Transistors **150** mit einem anderen Transistor über dem Isolierfilm **184** bereitgestellt. Obwohl in **Fig. 6A** nicht gezeigt ist, ist die Leitung **186** elektrisch mit der Drain-Elektrode **108b** durch eine Elektrode in einer Öffnung, die in dem Isolierfilm **180**, dem Gate-Isolierfilm **110** und dergleichen ausgebildet ist, verbunden. Hier ist die Elektrode vorzugsweise derart bereitgestellt, dass sie teilweise zumindest mit dem Oxidhalbleiterfilm **106** des Transistors **150** überlappt.

**[0202]** In **Fig. 6A** und **Fig. 6B** sind die Transistoren **260** und **150** derart bereitgestellt, dass sie zumindest teilweise miteinander überlappen, und der Source-Bereich oder der Drain-Bereich des Transistors **260** ist vorzugsweise derart bereitgestellt, dass er teilweise mit dem Oxidhalbleiterfilm **106** überlappt. Ferner sind der Transistor **150** und der Kondensator **264** derart bereitgestellt, dass er zumindest mit einem Teil des Transistors **260** überlappt. Beispielsweise ist der leitende Film **182** des Kondensators **264** derart bereitgestellt, dass er zumindest teilweise mit der Gate-Elektrode **210** des Transistors **260** überlappt. Mit einer derartigen flächigen Anordnung kann die Fläche der Halbleitervorrichtung reduziert werden; somit kann eine höhere Integration erzielt werden.

**[0203]** Es sei angemerkt, dass die elektrische Verbindung zwischen der Drain-Elektrode **108b** und der Leitung **186** durch direkte Verbindung zwischen der Drain-Elektrode **108b** und der Leitung **186** oder durch eine Elektrode in einer Isolierschicht dazwischen gebildet werden kann. Alternativ kann die elektrische Verbindung durch eine Vielzahl von Elektroden gebildet werden.

**[0204]** Als Nächstes ist ein Beispiel für eine Schaltungskonfiguration, die **Fig. 6A** und **Fig. 6B** entspricht, in **Fig. 6C** gezeigt.

**[0205]** In **Fig. 6C** ist eine erste Leitung (eine 1. Leitung) elektrisch mit einer von Source-Elektrode und Drain-Elektrode des Transistors **260** verbunden, und eine zweite Leitung (eine 2. Leitung) ist elektrisch mit der anderen von Source-Elektrode und Drain-Elektrode des Transistors **260** verbunden. Eine dritte Leitung (eine 3. Leitung) und eine von Source-Elektrode und Drain-Elektrode des Transistors **150** sind elektrisch miteinander verbunden, und eine vierte Leitung (eine 4. Leitung) und die Gate-Elektrode des Transistors **150** sind elektrisch miteinander verbunden. Eine Gate-Elektrode des Transistors **260** und die andere von Source-Elektrode und Drain-Elektrode des Transistors **150** sind elektrisch mit einer Elektrode des Kondensators **264** verbunden. Eine fünfte Leitung (eine 5. Leitung) und die andere Elektrode des Kondensators **264** sind elektrisch miteinander verbunden.

**[0206]** Die Halbleitervorrichtung in **Fig. 6C** kann, wie nachstehend beschrieben, Daten schreiben, halten und lesen, indem eine Eigenschaft, in der das Potential der Gate-Elektrode des Transistors **260** gehalten werden kann, genutzt wird.

**[0207]** Das Schreiben und das Halten von Daten werden beschrieben. Zunächst wird das Potential der vierten Leitung auf ein Potential eingestellt, bei dem der Transistor **150** in den Durchlasszustand geschaltet wird, so dass der Transistor **150** in den Durchlasszustand geschaltet wird. Dementsprechend wird das Potential der dritten Leitung an die Gate-Elektrode des Transistors **260** und den Kondensator **264** angelegt. Das heißt, dass der Gate-Elektrode des Transistors **260** eine vorgegebene Ladung zugeführt wird (d. h. Schreiben von Daten). Hier wird eine Ladung zum Bereitstellen eines Potentialpegels oder eine Ladung zum Bereitstellen eines anderen Potentialpegels (nachstehend als Ladung auf einem niedrigen Pegel und Ladung auf einem hohen Pegel bezeichnet) zugeführt. Danach wird das Potential der vierten Leitung auf ein Potential eingestellt, bei dem der Transistor **150** in den Sperrzustand geschaltet wird, so dass der Transistor **150** in den Sperrzustand geschaltet wird. Somit wird die der Gate-Elektrode des Transistors **260** zugeführte Ladung gehalten (Halten).

**[0208]** Da die Menge an Sperrstrom des Transistors **150** äußerst klein ist, wird die Ladung der Gate-Elektrode des Transistors **260** für lange Zeit gehalten.

**[0209]** Als Nächstes wird das Lesen von Daten beschrieben. Dadurch, dass der fünften Leitung ein geeignetes Potential (Lesepotential) zugeführt wird, während der ersten Leitung ein vorgegebenes Potential (ein konstantes Potential) zugeführt wird, variiert das Potential der zweiten Leitung je nach Menge der bei der Gate-Elektrode des Transistors **260** gehaltenen Ladung. Das liegt daran, dass im Allgemeinen eine scheinbare Schwellenspannung  $V_{th,H}$  in dem Fall, in dem der Gate-Elektrode des Transistors **260** die Ladung auf einem hohen Pegel zugeführt wird, niedriger ist als eine scheinbare Schwellenspannung  $V_{th,L}$  in dem Fall, in dem der Gate-Elektrode des Transistors **260** die Ladung auf einem niedrigen Pegel zugeführt wird, wenn der Transistor **260** ein n-Kanal-Transistor ist. Eine scheinbare Schwellenspannung bezieht sich hier auf das Potential der fünften Leitung, das zum Schalten des Transistors **260** in den Durchlasszustand notwendig ist. Somit wird das Potential der fünften Leitung auf ein Potential  $V_0$  zwischen  $V_{th,H}$  und  $V_{th,L}$  eingestellt, wodurch eine der Gate-Elektrode des Transistors **260** zugeführte Ladung bestimmt werden kann. Zum Beispiel wird der Transistor **260** in den Durchlasszustand geschaltet, falls beim Schreiben das Potential auf einem hohen Pegel zugeführt wird, wenn das Potential der fünften Leitung auf  $V_0 (> V_{th,H})$  eingestellt wird. Falls beim Schreiben ein Potential auf einem niedrigen Pegel zugeführt wird, bleibt der Transistor **260** im Sperrzustand geschaltet, selbst wenn das Potential der fünften Leitung auf  $V_0 (< V_{th,L})$  eingestellt wird. Somit können die gehaltenen Daten durch das Potential der zweiten Leitung gelesen werden.

**[0210]** Es sei angemerkt, dass es notwendig ist, dass nur Daten von gewünschten Speicherzellen gelesen werden, wenn Speicherzellen dafür als Array angeordnet (arrayed) sind, um verwendet zu werden. In dem Fall, in dem Daten nicht gelesen werden, kann der fünften Leitung ein Potential, bei dem der Transistor **260** unabhängig vom Zustand der Gate-Elektrode in den Sperrzustand geschaltet wird, d. h. ein Potential niedriger als  $V_{th,H}$ , zugeführt werden. Alternativ kann der fünften Leitung ein Potential, bei dem der Transistor **260** in den Durchlasszustand geschaltet wird, d. h. ein Potential höher als  $V_{th,L}$ , unabhängig vom Zustand der Gate-Elektrode des Transistors **260** zugeführt werden.

**[0211]** Wenn ein Transistor, der einen Kanalbildungsbereich aus einem Oxidhalbleiter aufweist und eine äußerst kleine Menge an Sperrstrom hat, als die Halbleitervorrichtung bei dieser Ausführungsform verwendet wird, kann die Halbleitervorrichtung sehr lange Zeit Daten speichern. Das heißt, dass der Leistungsverbrauch ausreichend verringert werden kann, da eine Aktualisierungsoperation (refresh operation) unnötig wird oder die Häufigkeit der Aktualisierungsoperationen äußerst niedrig sein kann. Ferner können gespeicherte Daten für lange Zeit gehalten werden, auch wenn keine Leistung zugeführt wird (es sei angemerkt, dass ein Potential vorzugsweise fest ist).

**[0212]** Außerdem wird in der Halbleitervorrichtung bei dieser Ausführungsform keine hohe Spannung zum Schreiben der Daten benötigt, und es gibt kein Problem von Verschlechterung von Elementen. Beispielsweise ist es im Unterschied zu einem herkömmlichen nichtflüchtigen Speicher nicht notwendig, Elektronen in ein Schwebegate (Floating-Gate) zu injizieren und aus ihm zu extrahieren, und daher gibt es gar kein Problem der Verschlechterung einer Gate-Isolierschicht. Das heißt, dass die Halbleitervorrichtung nach einer Ausführungsform der vorliegenden Erfindung keine Beschränkung hinsichtlich der Häufigkeit des Schreibens hat, die bei einem herkömmlichen nichtflüchtigen Speicher ein Problem darstellt, und ihre Zuverlässigkeit wird erheblich verbessert. Des Weiteren werden Daten in Abhängigkeit vom Durchlasszustand und Sperrzustand des Transistors geschrieben, wodurch ein Hochgeschwindigkeitsbetrieb leicht realisiert werden kann.

**[0213]** In dem Transistor **150** wird ferner die Konzentration von Verunreinigungen wie z. B. Silizium, die in den Bereich **106a** des Oxidhalbleiterfilms **106** eindringen, verringert. In dem Fall, in dem der Oxidhalbleiterfilm **106** ein CAAC-OS-Film ist, kann ein Kristallbereich auch in der Nähe der Grenzfläche zu dem Gate-Isolierfilm **110** ausgebildet werden. Deshalb kann der Transistor **150** stabile elektrische Eigenschaften aufweisen.

**[0214]** Folglich kann eine Halbleitervorrichtung, bei der eine Miniaturisierung und eine hohe Integration erzielt werden und die ausgezeichnete elektrische Eigenschaften aufweist, bereitgestellt werden.

**[0215]** Die Verfahren und Strukturen dieser Ausführungsform können angemessen mit einem/einer der Verfahren und Strukturen der anderen Ausführungsformen kombiniert werden.

(Ausführungsform 4)

**[0216]** Bei dieser Ausführungsform wird eine Halbleitervorrichtung, die den bei der Ausführungsform 1 oder 2 beschriebenen Transistor beinhaltet, gespeicherte Daten auch ohne Versorgung mit Elektrizität halten kann, keine Beschränkung bezüglich der Anzahl der Schreiboperationen hat, und eine von der Struktur bei der Ausführungsform 3 unterschiedliche Struktur hat, anhand von **Fig. 7A** und **Fig. 7B** beschrieben.

**[0217]** **Fig. 7A** ist ein Beispiel für eine Schaltungskonfiguration einer Halbleitervorrichtung, und **Fig. 7B** ist eine Prinzipdarstellung, die ein Beispiel für eine Halbleitervorrichtung zeigt. Zuerst wird die Halbleitervorrichtung in **Fig. 7A** beschrieben, und dann wird die Halbleitervorrichtung in **Fig. 7B** beschrieben.

**[0218]** In der in **Fig. 7A** dargestellten Halbleitervorrichtung ist eine Bit-Leitung BL elektrisch mit einer Source-Elektrode oder einer Drain-Elektrode des Transistors **150** verbunden, eine Wort-Leitung WL ist elektrisch mit einer Gate-Elektrode des Transistors **150** verbunden, und die Source-Elektrode oder die Drain-Elektrode des Transistors **150** ist elektrisch mit einem ersten Anschluss eines Kondensators **354** verbunden.

**[0219]** Hier ist der Sperrstrom des Transistors **150**, der einen Oxidhalbleiter aufweist, äußerst klein. Aus diesem Grund kann ein Potenzial des ersten Anschlusses des Kondensators **354** (oder eine Ladung, die in dem Kondensator **354** angesammelt ist) in dem Zustand, in dem sich der Transistor **150** im Sperrzustand befindet, für sehr lange Zeit gehalten werden.

**[0220]** Als Nächstes werden das Schreiben und das Halten von Daten in der Halbleitervorrichtung (einer Speicherzelle **350**) in **Fig. 7A** beschrieben.

**[0221]** Zunächst wird das Potenzial der Wort-Leitung WL auf ein Potential eingestellt, bei dem der Transistor **150** in den Durchlasszustand geschaltet wird, so dass der Transistor **150** in den Durchlasszustand geschaltet wird. Dementsprechend wird dem ersten Anschluss des Kondensators **354** das Potential der Bit-Leitung BL zugeführt (Schreiben). Danach wird das Potential der Wort-Leitung WL auf ein Potential eingestellt, bei dem der Transistor **150** in den Sperrzustand geschaltet wird, so dass der Transistor **150** in den Sperrzustand geschaltet wird. Somit wird das Potential des ersten Anschlusses des Kondensators **354** gehalten (Halten).

**[0222]** Da der Sperrstrom des Transistors **150** äußerst klein ist, kann das Potential des ersten Anschlusses des Kondensators **354** (bzw. in dem Kondensator angesammelte Ladung) für lange Zeit gehalten werden.

**[0223]** Nachfolgend wird das Lesen von Daten beschrieben. Wenn der Transistor **150** in den Durchlasszustand geschaltet wird, werden die Bit-Leitung BL, die sich in einem Schwebezustand (floating state) befindet, und der Kondensator **354** elektrisch miteinander verbunden, und die Ladung wird zwischen der Bit-Leitung BL und dem Kondensator **354** neu verteilt. Folglich wird das Potenzial der Bit-Leitung BL geändert. Die Menge an Änderung des Potentials der Bit-Leitung BL variiert je nach dem Potential des ersten Anschlusses des Kondensators **354** (oder je nach der Ladung, die in dem Kondensator **354** angesammelt ist).

**[0224]** Beispielsweise ist das Potential der Bit-Leitung BL nach der Neuverteilung der Ladung  $(C_B \times V_{B0} + C \times V)/(C_B + C)$ , wobei V das Potential des ersten Anschlusses des Kondensators **354** ist, C die Kapazität des Kondensators **354** ist,  $C_B$  die Kapazität der Bit-Leitung BL (nachstehend auch als die Bit-Leitungs-Kapazität bezeichnet) ist, und  $V_{B0}$  das Potenzial der Bit-Leitung BL vor der Neuverteilung der Ladung ist. Daraus kann man finden, dass unter der Annahme, dass sich die Speicherzelle **350** in einem der zwei Zustände befindet, in denen die Potenziale des ersten Anschlusses des Kondensators **354**  $V_1$  und  $V_0$  ( $V_1 > V_0$ ) sind, das Potential der Bit-Leitung BL in dem Fall, in dem das Potential  $V_1 (= (C_B \times V_{B0} + C \times V_1)/(C_B + C))$  gehalten wird, höher als das Potential der Bit-Leitung BL in dem Fall ist, in dem das Potenzial  $V_0 (= (C_B \times V_{B0} + C \times V_0)/(C_B + C))$  gehalten wird.

**[0225]** Durch Vergleichen des Potentials der Bit-Leitung BL mit einem vorbestimmten Potential können dann Daten gelesen werden.

**[0226]** Wie oben beschrieben worden ist, kann die Halbleitervorrichtung in **Fig. 7A**, da die Menge an Sperrstrom des Transistors **150** äußerst klein ist, die Ladung, die bei dem Kondensator **354** angesammelt ist, für lange Zeit halten. Das heißt, dass, da eine Aktualisierungsoperation (refresh operation) unnötig wird oder die Häufigkeit der Aktualisierungsoperationen äußerst niedrig sein kann, der Leistungsverbrauch ausreichend verringert werden kann. Ferner können gespeicherte Daten für lange Zeit gehalten werden, auch wenn keine Leistung zugeführt wird.

**[0227]** Als Nächstes wird die Halbleitervorrichtung in **Fig. 7B** beschrieben.

**[0228]** Die Halbleitervorrichtung in **Fig. 7B** beinhaltet Speicherzellenarrays **351a** und **351b**, die eine Vielzahl von Speicherzellen **350** beinhalten, wie sie in **Fig. 7A** gezeigt sind, als Speicherschaltung in einem Oberteil, und beinhaltet in einem Unterteil eine periphere Schaltung **353**, die erforderlich ist, um das Speicherzellenarray **351** (die Speicherzellenarrays **351a** und **351b**) zu betreiben. Es sei angemerkt, dass die periphere Schaltung **353** elektrisch mit dem Speicherzellenarray **351** verbunden ist.

**[0229]** Bei der in **Fig. 7B** gezeigten Struktur kann die periphere Schaltung **353** direkt unter dem Speicherzellenarray **351** (den Speicherzellenarrays **351a** und **351b**) vorgesehen sein. Daher kann die Größe der Halbleitervorrichtung verkleinert werden.

**[0230]** Es ist bevorzugt, dass ein Halbleitermaterial eines Transistors in der peripheren Schaltung **353** anders als dasjenige des Transistors **150** ist. Beispielsweise kann Silizium, Germanium, Silizium-Germanium, Siliziumkarbid, Galliumarsenid oder dergleichen verwendet werden, und vorzugsweise wird ein einkristalliner Halbleiter verwendet. Alternativ kann ein organisches Halbleitermaterial oder dergleichen verwendet werden. Ein Transistor, der ein solches Halbleitermaterial aufweist, kann mit einer ausreichend hohen Geschwindigkeit betrieben werden. Daher können unter Verwendung des Transistors verschiedene Schaltungen (wie z. B. eine Logikschaltung und eine Treiberschaltung), die mit einer hohen Geschwindigkeit betrieben werden sollen, vorteilhaft hergestellt werden.

**[0231]** Es sei angemerkt, dass **Fig. 7B** als Beispiel die Halbleitervorrichtung zeigt, in der zwei Speicherzellenarrays **351** (die Speicherzellenarrays **351a** und **351b**) gestapelt sind; aber die Anzahl der gestapelten Speicherzellenarrays ist nicht darauf beschränkt. Drei oder mehr Speicherzellenarrays können gestapelt sein.

**[0232]** Eine Halbleitervorrichtung mit einem neuartigen Merkmal kann erhalten werden, indem sie sowohl mit einer peripheren Schaltung mit dem Transistor, der ein Material anders als einen Oxidhalbleiter enthält (d. h., einem Transistor, der mit einer ausreichend hohen Geschwindigkeit arbeiten kann), als auch mit einer Speicherschaltung mit dem Transistor, der einen Oxidhalbleiter enthält (im weiteren Sinne, einem Transistor, dessen Sperrstrom ausreichend klein ist), versehen wird. Außerdem kann mit einer Struktur, bei der die periphere

Schaltung und die Speicherschaltung gestapelt sind, der Grad der Integration der Halbleitervorrichtung erhöht werden.

**[0233]** Diese Ausführungsform kann in angemessener Kombination mit den Strukturen bei den anderen Ausführungsformen implementiert werden.

(Ausführungsform 5)

**[0234]** Bei dieser Ausführungsform werden Beispiele, in denen die bei einer der vorstehenden Ausführungsformen beschriebene Halbleitervorrichtung für tragbare Geräte wie z. B. Mobiltelefone, Smartphones oder E-Book-Lesegeräte verwendet wird, anhand von **Fig. 8A**, **Fig. 8B**, **Fig. 9**, **Fig. 10** und **Fig. 11** beschrieben.

**[0235]** In tragbaren elektronischen Geräten wie z. B. einem Mobiltelefon, einem Smartphone und einem E-Book-Lesegerät wird ein SRAM oder ein DRAM verwendet, um Bilddaten zeitweilig zu speichern. Das liegt daran, dass die Ansprechgeschwindigkeit eines Flash-Speichers gering ist und somit ein Flash-Speicher nicht zur Bildverarbeitung geeignet ist. Andererseits hat ein SRAM oder ein DRAM die folgenden Eigenschaften, wenn er zum zeitweiligen Speichern der Bilddaten verwendet wird.

**[0236]** In einem gewöhnlichen SRAM beinhaltet wie in **Fig. 8A** eine Speicherzelle sechs Transistoren, d. h. Transistoren **801** bis **806**, die mit einem X-Decoder **807** und einem Y-Decoder **808** betrieben werden. Die Transistoren **803** und **805** sowie die Transistoren **804** und **806** dienen jeweils als Wechselrichter, und damit kann ein Hochgeschwindigkeitsbetrieb durchgeführt werden. Jedoch hat ein SRAM einen Nachteil, d. h. eine große Zellenfläche, da eine Speicherzelle sechs Transistoren beinhaltet. Unter der Annahme, dass die minimale Merkmalsgröße nach einer Designregel  $F$  ist, ist die Fläche einer Speicherzelle in einem SRAM allgemein  $100 F^2$  bis  $150 F^2$ . Dadurch ist der Preis pro Bit eines SRAM unter verschiedenen Speichervorrichtungen am höchsten.

**[0237]** In einem DRAM beinhaltet wie in **Fig. 8B** eine Speicherzelle einen Transistor **811** und einen Speicherkondensator **812**, die mit einem X-Decoder **813** und einem Y-Decoder **814** getrieben werden. Eine Zelle beinhaltet einen Transistor und einen Kondensator und somit ist die Fläche einer Speicherzelle klein. Die Fläche einer Speicherzelle eines DRAM ist allgemein kleiner als oder gleich  $10 F^2$ . Es sei angemerkt, dass im Fall eines DRAM eine Aktualisierungsoperation (refresh operation) ständig nötig ist und Leistung verbraucht wird, auch wenn eine Überschreiboperation nicht durchgeführt wird.

**[0238]** Jedoch ist die Fläche der Speicherzelle der Halbleitervorrichtung bei den vorstehenden Ausführungsformen etwa  $10 F^2$  und häufige Aktualisierung wird nicht benötigt. Somit wird die Fläche der Speicherzelle verringert, und der Leistungsverbrauch kann reduziert werden.

**[0239]** Als nächstes ist **Fig. 9** ein Blockdiagramm eines tragbaren Geräts. Das tragbare Gerät in **Fig. 9** beinhaltet eine HF-Schaltung **901**, eine analoge Basisbandschaltung **902**, eine digitale Basisbandschaltung **903**, eine Batterie **904**, eine Leistungsversorgungsschaltung **905**, einen Anwendungsprozessor **906**, einen Flash-Speicher **910**, einen Displayregler **911**, eine Speicherschaltung **912**, ein Display **913**, einen Berührungssensor **919**, eine Audioschaltung **917**, eine Tastatur **918** und dergleichen. Das Display **913** beinhaltet einen Anzeigebereich **914**, einen Source-Treiber **915** und einen Gate-Treiber **916**. Der Anwendungsprozessor **906** beinhaltet eine CPU **907**, einen DSP **908** und eine Schnittstelle (interface: IF) **909**. Im Allgemeinen beinhaltet die Speicherschaltung **912** einen SRAM oder einen DRAM; durch Verwenden der Halbleitervorrichtung bei einer der vorstehenden Ausführungsformen für die Speicherschaltung **912** können das Schreiben und das Lesen von Daten mit hoher Geschwindigkeit durchgeführt werden, Daten können für lange Zeit gehalten werden, und der Leistungsverbrauch kann ausreichend reduziert werden.

**[0240]** **Fig. 10** zeigt ein Beispiel, in dem die Halbleitervorrichtung bei einer der vorstehenden Ausführungsformen in einer Speicherschaltung **950** für ein Display verwendet wird. Die Speicherschaltung **950** in **Fig. 10** beinhaltet einen Speicher **952**, einen Speicher **953**, einen Schalter **954**, einen Schalter **955** und einen Speicherregler **951**. Ferner ist die Speicherschaltung mit einem Displayregler **956** verbunden, der durch eine Signalleitung eingegebene Bilddaten (eingegebene Bilddaten) und in den Speichern **952** und **953** gespeicherte Daten (gespeicherte Bilddaten) liest und steuert, und ist auch mit einem Display **957** verbunden, das ein Bild aufgrund eines Signals von dem Displayregler **956** anzeigt.

**[0241]** Zunächst werden Bilddaten (eingegebene Bilddaten A) von einem Anwendungsprozessor (nicht gezeigt) gebildet. Die eingegebenen Bilddaten A werden in dem Speicher **952** über den Schalter **954** gespeichert.

Die Bilddaten (gespeicherte Bilddaten A), die in dem Speicher **952** gespeichert sind, werden auf das Display **957** über den Schalter **955** und den Displayregler **956** übertragen und angezeigt.

**[0242]** In dem Fall, in dem die eingegebenen Bilddaten A nicht verändert werden, werden die gespeicherten Bilddaten A aus dem Speicher **952** über den Schalter **955** von dem Displayregler **956** normalerweise mit einer Frequenz von 30 Hz bis 60 Hz gelesen.

**[0243]** Anschließend werden dann, wenn z. B. auf dem Bildschirm angezeigte Daten von einem Benutzer überschrieben werden (d. h. in dem Fall, in dem die eingegebenen Bilddaten A verändert werden), neue Bilddaten (eingegebene Bilddaten B) durch den Anwendungsprozessor gebildet. Die eingegebenen Bilddaten B werden in dem Speicher **953** über den Schalter **954** gehalten. Während dieses Zeitraums werden auch die gespeicherten Bilddaten A regelmäßig von dem Speicher **952** über den Schalter **955** gelesen. Nachdem das Speichern der neuen Bilddaten (gespeicherten Bilddaten B) in dem Speicher **953** abgeschlossen worden ist, beginnen ab dem nächsten Rahmen für das Display **957** die gespeicherten Bilddaten B, gelesen zu werden, werden auf das Display **957** über den Schalter **955** und den Displayregler **956** übertragen und auf dem Display **957** angezeigt. Diese Leseoperation wird fortgesetzt bis weitere neue Bilddaten in dem Speicher **952** gehalten werden.

**[0244]** Indem Bilddaten abwechselnd in und von dem Speicher **952** und dem Speicher **953** geschrieben und gelesen werden, werden Bilder auf dem Display **957** angezeigt. Die Speicher **952** und **953** sind nicht notwendigerweise getrennte Speicher, und ein Speicherbereich in einem einzigen Speicher kann aufgeteilt und verwendet werden. Unter Verwendung der Halbleitervorrichtungen einer der vorstehenden Ausführungsformen für den Speicher **952** und den Speicher **953** können Daten mit hoher Geschwindigkeit geschrieben und gelesen werden und für lange Zeit gehalten werden, und der Leistungsverbrauch kann ausreichend reduziert werden.

**[0245]** Fig. 11 ist ein Blockdiagramm eines E-Book-Lesegeräts. Fig. 11 beinhaltet eine Batterie **1001**, eine Leistungsversorgungsschaltung **1002**, einen Mikroprozessor **1003**, einen Flash-Speicher **1004**, eine Audio-schaltung **1005**, eine Tastatur **1006**, eine Speicherschaltung **1007**, einen Touchscreen **1008**, ein Display **1009** und einen Displayregler **1010**.

**[0246]** Hier kann die Halbleitervorrichtung, die bei einer der vorstehenden Ausführungsformen beschrieben worden ist, für die Speicherschaltung **1007** in Fig. 11 verwendet werden. Die Speicherschaltung **1007** hat eine Funktion zum zeitweiligen Speichern des Inhalts eines Buchs. Beispielsweise verwenden Benutzer in einigen Fällen eine Hervorhebungsfunktion (highlight function). Wenn Benutzer ein E-Book-Lesegerät lesen, möchten sie in einigen Fällen einen bestimmten Abschnitt markieren. Diese Markierung bezeichnet eine Hervorhebungsfunktion, und Benutzer können sie von den anderen Abschnitten unterscheiden, indem sie z. B. die Farbe einer angezeigten Schrift ändern, ein Wort unterstreichen, die Buchstaben fett tippen oder die Schriftart ändern. Das heißt, dass dies eine Funktion zum Speichern und Halten der Daten eines Abschnitts ist, der von Benutzern bestimmt wird. Um die Daten für lange Zeit zu speichern, können die Daten auf den Flash-Speicher **1004** kopiert werden. Auch in diesem Fall können unter Verwendung der Halbleitervorrichtung bei einer der vorstehenden Ausführungsformen Daten mit hoher Geschwindigkeit geschrieben und gelesen werden und für lange Zeit gehalten werden, und der Leistungsverbrauch kann ausreichend reduziert werden.

**[0247]** Wie oben beschrieben worden ist, wird die Halbleitervorrichtung bei einer der vorstehenden Ausführungsformen auf jedem der tragbaren Geräte, die bei dieser Ausführungsform beschrieben werden, montiert. Deshalb kann ein tragbares Gerät erhalten werden, bei dem das Schreiben und das Lesen der Daten mit hoher Geschwindigkeit durchgeführt werden, Daten für lange Zeit gehalten werden und der Leistungsverbrauch ausreichend reduziert wird.

**[0248]** Die Strukturen, Verfahren und dergleichen bei dieser Ausführungsform können angemessen mit einer der anderen Strukturen, Verfahren und dergleichen bei den anderen Ausführungsformen kombiniert werden.

[Beispiel]

**[0249]** In diesem Beispiel wurden die Eigenschaften eines Oxidhalbleiterfilms, zu dem Silizium (Si) absichtlich zugesetzt wurde, ausgewertet. Das Auswertungsverfahren wird nachstehend ausführlich beschrieben.

**[0250]** Zuerst wurde der Oxidhalbleiterfilm mit einer Sputtereinrichtung ausgebildet. Daher wurde Si absichtlich zu einem Metalloxidtarget, das zum Sputtern verwendet wurde, zugesetzt. Als Metalloxidtarget wurde ein Target ausgebildet, in dem SiO<sub>2</sub> zu einem Oxid auf In-Ga-Zn-Basis (nachstehend IGZO) zugesetzt wurde. Mit anderen Worten: ein Target aus einem Oxid auf In-Ga-Zn-Si-Basis wurde ausgebildet.

**[0251]** In diesem Beispiel wurden drei IGZO-Targets ausgebildet: Target A, in dem  $\text{SiO}_2$  mit 2 Gew.-% zu einem Target mit einem Zusammensetzungsverhältnis von  $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$  [Atomverhältnis] zugesetzt wurde; Target B, in dem  $\text{SiO}_2$  mit 5 Gew.-% zu einem Target mit einem Zusammensetzungsverhältnis von  $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$  [Atomverhältnis] zugesetzt wurde; und Target C ( $\text{In}:\text{Ga}:\text{Zn} = 1:1:1$  [Atomverhältnis]), zu dem  $\text{SiO}_2$  nicht zugesetzt wurde.

**[0252]** Es sei angemerkt, dass in einigen Fällen ein dünner Film, der unter Verwendung des Targets A ausgebildet wurde, als IGZO- $\text{SiO}_x$  (2 Gew.-%) bezeichnet wird, ein dünner Film, der aus dem Target B ausgebildet wurde, als IGZO- $\text{SiO}_x$  (5 Gew.-%) bezeichnet wird, und ein dünner Film, der aus dem Target C ausgebildet wurde, als IGZO bezeichnet wird.

**[0253]** Anschließend wurden dünne Oxidhalbleiterfilme aus dem Target A, dem Target B und dem Target C ausgebildet, und ihre Eigenschaften wurden ausgewertet. Zur Auswertung wurden der Flächenwiderstand, die Zusammensetzung und die Kristallinität der erhaltenen dünnen Filme gemessen und analysiert.

(Messung des Flächenwiderstandes)

**[0254]** Proben 1 bis 6 wurden hergestellt. Die Probe 1 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets C durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und  $\text{Ar}/\text{O}_2 = 10/5$  sccm ( $\text{O}_2 = 33\%$ ); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 2 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets C durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und  $\text{Ar}/\text{O}_2 = 0/15$  sccm ( $\text{O}_2 = 100\%$ ); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 3 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets A durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und  $\text{Ar}/\text{O}_2 = 10/5$  sccm ( $\text{O}_2 = 33\%$ ); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 4 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets A durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und  $\text{Ar}/\text{O}_2 = 0/15$  sccm ( $\text{O}_2 = 100\%$ ); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 5 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets B durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und  $\text{Ar}/\text{O}_2 = 10/5$  sccm ( $\text{O}_2 = 33\%$ ); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 6 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets B durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und  $\text{Ar}/\text{O}_2 = 0/15$  sccm ( $\text{O}_2 = 100\%$ ); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt.

**[0255]** Die Dicke jedes Oxidhalbleiterfilms der Proben 1 bis 6 war 100 nm. Die Abscheidungsbedingungen der hergestellten Proben, Strukturen der Proben und dergleichen sind in Tabelle 1 gezeigt.

[Tabelle 1]

	Target	Abscheidungsbedingung	Struktur der Probe	Wärmebehandlung
Probe 1	Target C	$\text{Ar}/\text{O}_2 = 10/5$ sccm ( $\text{O}_2 = 33\%$ )	Glas\IGZO = 100 nm	450°C

Probe 2	Target C	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO = 100 nm	450°C
Probe 3	Target A	Ar/O <sub>2</sub> = 10/5 sccm (O <sub>2</sub> = 33%)	Glas\IGZO-SiO <sub>x</sub> (2 Gew.-%) = 100 nm	450°C
Probe 4	Target A	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (2 Gew.-%) = 100 nm	450°C
Probe 5	Target B	Ar/O <sub>2</sub> = 10/5 sccm (O <sub>2</sub> = 33%)	Glas\IGZO-SiO <sub>x</sub> (5 Gew.-%) = 100 nm	450°C
Probe 6	Target B	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (5 Gew.-%) = 100 nm	450°C

**[0256]** Dann wurde der Flächenwiderstand der Proben 1 bis 6 gemessen. Es sei angemerkt, dass zum Messen des Flächenwiderstandes ein Messsystem des Flächenwiderstandes verwendet wurde. **Fig. 17** zeigt Messergebnisse des Flächenwiderstandes der Proben 1 bis 6. In **Fig. 17** stellt die horizontale Achse Gegenstände (ausgebildete dünne Filme) dar, und die vertikale Achse stellt den Flächenwiderstand dar.

**[0257]** Wie aus **Fig. 17** verstanden werden kann, wird der Flächenwiderstand der dünnen Filme durch Zusetzen von Si zu IGZO erhöht. Insbesondere überschreitet der Flächenwiderstand der Probe 5 die Messobergrenze ( $5 \times 10^5 \Omega/\text{cm}^2$ ) des Messsystems und somit war es unmöglich, den Wert des Flächenwiderstandes zu messen. Es sei angemerkt, dass, obwohl der Flächenwiderstand der Probe 6 auch die Messobergrenze des Messsystems überschreitet, der Wert um die Obergrenze des Messsystems im Prinzip berechnet wurde. Jedoch wird der Wert der Obergrenze des Messsystems nicht immer präzise gemessen.

#### Zusammensetzungsanalyse)

**[0258]** Proben 7 und 8 wurden hergestellt. Die Probe 7 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets A durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%). Die Probe 8 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets B durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%).

**[0259]** Jede Dicke der Oxidhalbleiterfilme der Proben 7 und 8 war 100 nm.

**[0260]** Als Nächstes wurde eine Zusammensetzungsanalyse an den Proben 7 und 8 durchgeführt. Für die Zusammensetzungsanalyse wurde Röntgenphotoelektronenspektroskopie (X-ray photoelectron spectroscopy: XPS) verwendet. XPS ist ein Messverfahren, bei dem Photoelektronenenergie, die durch Bestrahlung einer Oberfläche einer Probe mit Röntgenstrahlen erzeugt wird, gemessen wird, so dass ein Bestandteil der Probe und der Elektronenzustand davon analysiert werden. Tabelle 2 zeigt Abscheidungsbedingungen, Strukturen und Zusammensetzungsanalyse der Proben 7 und 8.

[Tabelle 2]

	Tar- get	Abschei- dungsbedin- gung	Struktur der Probe	Ergebnis der Zusammensetzungsanalyse [Einheit: Atom-%]				
				In	Ga	Zn	O	Si
Pro- be 7	Tar- get A	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (2 Gew.-%) = 100 nm	18,0	15,3	4,6	61,0	1,1
Pro- be 8	Tar- get B	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (5 Gew.-%) = 100 nm	16,7	14,4	4,3	62,0	2,6

**[0261]** Aus der Tabelle 2 hat die Probe 7, die unter Verwendung des Targets A ausgebildet wurde, die folgende Zusammensetzung: In = 18,0 (Atom-%), Ga = 15,3 (Atom-%), Zn = 4,6 (Atom-%), O = 61,0 (Atom-%) und Si = 1,1 (Atom-%); und die Probe 8, die unter Verwendung des Targets B ausgebildet wurde, hat die folgende

Zusammensetzung: In = 16,7 (Atom-%), Ga = 14,4 (Atom-%), Zn = 4,3 (Atom-%), O = 62,0 (Atom-%) und Si = 2,6 (Atom-%).

(Kristallinitätsanalyse)

**[0262]** Proben 9 bis 14 wurden hergestellt. Die Probe 9 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets A durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%). Die Probe 10 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets A durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 11 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets A durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%); eine Wärmebehandlung wurde eine Stunde lang bei 650°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 650°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 12 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets B durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%). Die Probe 13 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets B durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%); eine Wärmebehandlung wurde eine Stunde lang bei 450°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 450°C in einer Sauerstoffatmosphäre durchgeführt. Die Probe 14 wurde wie folgt ausgebildet: ein Oxidhalbleiterfilm wurde über einem Glassubstrat unter Verwendung des Targets B durch ein Sputterverfahren unter den Bedingungen ausgebildet, wobei Leistung = 100 W, Druck = 0,4 Pa, Substrattemperatur = 200°C und Ar/O<sub>2</sub> = 0/15 sccm (O<sub>2</sub> = 100%); eine Wärmebehandlung wurde eine Stunde lang bei 650°C in einer Stickstoffatmosphäre an dem Oxidhalbleiterfilm durchgeführt; und dann wurde eine Wärmebehandlung eine Stunde lang bei 650°C in einer Sauerstoffatmosphäre durchgeführt.

**[0263]** Die Dicke jedes Oxidhalbleiterfilms der Proben 9 bis 14 war 100 nm. Tabelle 3 zeigt Abscheidungsbedingungen der hergestellten Proben, Strukturen der Proben und dergleichen. Es sei angemerkt, dass die Proben 9 bis 11 Oxidhalbleiterfilme sind, die jeweils eine derjenigen der Probe 7 ähnliche Zusammensetzung haben, und die Proben 12 bis 14 Oxidhalbleiterfilme sind, die jeweils eine derjenigen der Probe 8 ähnliche Zusammensetzung haben.

[Tabelle 3]

	Target	Abscheidungsbedingung	Struktur der Probe	Wärmebehandlung
Probe 9	Target A	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (2 Gew.-%) = 100 nm	keine
Probe 10	Target A	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (2 Gew.-%) = 100 nm	450°C
Probe 11	Target A	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (2 Gew.-%) = 100 nm	650°C
Probe 12	Target B	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (5 Gew.-%) = 100 nm	keine
Probe 13	Target B	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (5 Gew.-%) = 100 nm	450°C
Probe 14	Target B	Ar/O <sub>2</sub> = 0/15 sccm (O <sub>2</sub> = 100%)	Glas\IGZO-SiO <sub>x</sub> (5 Gew.-%) = 100 nm	650°C

**[0264]** Dann wurde die Kristallinität der Proben 9 bis 14 analysiert. Zur Analyse der Kristallinität wurde Röntgenbeugung (X-ray diffraction: XRD) verwendet. XRD ist ein Phänomen, in dem ein Röntgenstrahl bei einem

Kristallgitter gebeugt wird, so dass die Kristallinität der Messproben gemessen werden kann. **Fig. 18A** zeigt Ergebnisse der Kristallinitätsanalyse der Proben 9 bis 11, und **Fig. 18B** zeigt Ergebnisse der Kristallinitätsanalyse der Proben 12 bis 14.

**[0265]** Wie aus **Fig. 18A** verstanden werden kann, welche Analyseergebnisse der aus dem Target A ausgebildeten Proben 9 bis 11 zeigt, haben die Probe 9, an der eine Wärmebehandlung nicht durchgeführt wurde, und die Probe 10, an der eine Wärmebehandlung bei 450°C durchgeführt wurde, keinen Beugungspeak, der deutliche Kristallinität zeigt. Im Gegensatz dazu wird im Fall der Probe 11, an der eine Wärmebehandlung bei 650°C durchgeführt wurde, ein Beugungspeak, der Kristallinität zeigt, bei  $2\theta = 31^\circ$  beobachtet.

**[0266]** Wie aus **Fig. 18B** verstanden werden kann, welche Analyseergebnisse der aus dem Target B ausgebildeten Proben 12 bis 14 zeigt, wird ferner kein Beugungspeak, der deutliche Kristallinität zeigt, in der Probe 12, an der eine Wärmebehandlung nicht durchgeführt wurde, der Probe 13, an der eine Wärmebehandlung bei 450°C durchgeführt wurde, und der Probe 14, an der eine Wärmebehandlung bei 650°C durchgeführt wurde, beobachtet.

**[0267]** Entsprechend den obigen Ergebnissen ist in jeder der aus dem Target A ausgebildeten Proben 9 bis 12 die Konzentration von Silizium (Si) in dem Oxidhalbleiterfilm 1,1 Atom-%; in jeder der aus dem Target B ausgebildeten Proben 12 bis 14 ist die Konzentration von Silizium (Si) in dem Oxidhalbleiterfilm 2,6 Atom-%. Folglich findet man, dass die Kristallinität des Oxidhalbleiterfilms vermindert wird, wenn die Konzentration von Si in dem Oxidhalbleiterfilm hoch ist.

#### Erläuterung der Bezugszeichen

**102:** Substrat, **104:** Basis-Isolierfilm, **106:** Oxidhalbleiterfilm, **106a:** Bereich, **106b:** Bereich, **106c:** Bereich, **106d:** Bereich, **106e:** Bereich, **106f:** Bereich, **106g:** Bereich, **106h:** Bereich, **108a:** Source-Elektrode, **108b:** Drain-Elektrode, **110:** Gate-Isolierfilm, **112:** Gate-Elektrode, **113:** Oxidhalbleiterfilm, **114:** Zwischenschicht-Isolierfilm, **150:** Transistor, **160:** Transistor, **180:** Isolierfilm, **181:** Dotierstoff, **182:** leitender Film, **184:** Isolierfilm, **186:** Leitung, **200:** Substrat, **206:** Elementtrennungs-Isolierfilm, **208:** Gate-Isolierfilm, **210:** Gate-Elektrode, **216:** Kanalbildungsbereich, **220:** Bereich mit Verunreinigungen, **224:** Bereich mit Metallverbindungen, **228:** Isolierfilm, **230:** Isolierfilm, **254:** Kondensator, **260:** Transistor, **264:** Kondensator, **350:** Speicherzelle, **351:** Speicherzellenarray, **351a:** Speicherzellenarray, **351b:** Speicherzellenarray, **353:** periphere Schaltung, **354:** Kondensator, **801:** Transistor, **803:** Transistor, **804:** Transistor, **805:** Transistor, **806:** Transistor, **807:** X-Decoder, **808:** Y-Decoder, **811:** Transistor, **812:** Speicherkondensator, **813:** X-Decoder, **814:** Y-Decoder, **901:** HF-Schaltung, **902:** analoge Basisbandschaltung, **903:** digitale Basisbandschaltung, **904:** Batterie, **905:** Leistungsversorgungsschaltung, **906:** Anwendungsprozessor, **907:** CPU, **908:** DSP, **909:** Schnittstelle, **910:** Flash-Speicher, **911:** Displayregler, **912:** Speicherschaltung, **913:** Display, **914:** Anzeigeabschnitt, **915:** Source-Treiber, **916:** Gate-Treiber, **917:** Audioschaltung, **918:** Tastatur, **919:** Berührungssensor, **950:** Speicherschaltung, **951:** Speicherregler, **952:** Speicher, **953:** Speicher, **954:** Schalter, **955:** Schalter, **956:** Displayregler, **957:** Display, **1001:** Batterie, **1002:** Leistungsversorgungsschaltung, **1003:** Mikroprozessor, **1004:** Flash-Speicher, **1005:** Audioschaltung, **1006:** Tastatur, **1007:** Speicherschaltung, **1008:** Touchscreen, **1009:** Display, **1010:** Displayregler

**[0268]** Die Erfindung stellt weiterhin die folgenden Ausführungsformen bereit:

1. Halbleitervorrichtung, die umfasst:  
einen Oxidhalbleiterfilm über einem Substrat;  
eine Source-Elektrode und eine Drain-Elektrode über dem Oxidhalbleiterfilm;  
einen Gate-Isolierfilm über dem Oxidhalbleiterfilm, wobei der Gate-Isolierfilm ein Oxid, das Silizium enthält, umfasst; und  
eine Gate-Elektrode über dem Gate-Isolierfilm,  
wobei der Oxidhalbleiterfilm einen Bereich umfasst, in dem eine Konzentration von Silizium niedriger als oder gleich 1,0 Atom-% ist,  
wobei der Bereich an einer Grenzfläche zwischen dem Oxidhalbleiterfilm und dem Gate-Isolierfilm liegt und in Kontakt mit dem Gate-Isolierfilm steht, und  
wobei der Bereich einen Kristallbereich umfasst.
2. Halbleitervorrichtung nach Ausführungsform 1, wobei sich ein Endbereich des Oxidhalbleiterfilms unter einem Winkel von 20° bis 50° verjüngt.
3. Halbleitervorrichtung nach Ausführungsform 1, wobei der Oxidhalbleiterfilm außer dem Bereich einen zweiten Kristallbereich umfasst.

4. Halbleitervorrichtung nach Ausführungsform 1, die ferner einen Basis-Isolierfilm zwischen dem Substrat und dem Oxidhalbleiterfilm umfasst,  
wobei in dem Kristallbereich eine c-Achse in einer Richtung ausgerichtet ist, die zu einer Grenzfläche zwischen dem Basis-Isolierfilm und dem Oxidhalbleiterfilm senkrecht ist.
5. Halbleitervorrichtung nach Ausführungsform 1, wobei die Konzentration von Silizium in dem Bereich niedriger als oder gleich 0,1 Atom-% ist.
6. Halbleitervorrichtung nach Ausführungsform 1, die ferner einen Zwischenschicht-Isolierfilm über dem Gate-Isolierfilm und der Gate-Elektrode umfasst.
7. Halbleitervorrichtung, die umfasst:  
einen Oxidhalbleiterfilm über einem Substrat;  
eine Source-Elektrode und eine Drain-Elektrode über dem Oxidhalbleiterfilm;  
einen Gate-Isolierfilm über dem Oxidhalbleiterfilm, wobei der Gate-Isolierfilm ein Oxid, das Silizium enthält, umfasst; und  
eine Gate-Elektrode über dem Gate-Isolierfilm,  
wobei der Oxidhalbleiterfilm einen Bereich umfasst, in dem eine Konzentration von Silizium niedriger als oder gleich 1,0 Atom-% ist und eine Konzentration von Kohlenstoff niedriger als oder gleich  $1,0 \times 10^{20}$  Atome/cm<sup>3</sup> ist,  
wobei der Bereich an einer Grenzfläche zwischen dem Oxidhalbleiterfilm und dem Gate-Isolierfilm liegt und in Kontakt mit dem Gate-Isolierfilm steht, und  
wobei der Bereich einen Kristallbereich umfasst.
8. Halbleitervorrichtung nach Ausführungsform 7, wobei sich ein Endbereich des Oxidhalbleiterfilms unter einem Winkel von 20° bis 50° verjüngt.
9. Halbleitervorrichtung nach Ausführungsform 7, wobei der Oxidhalbleiterfilm außer dem Bereich einen zweiten Kristallbereich umfasst.
10. Halbleitervorrichtung nach Ausführungsform 7, die ferner einen Basis-Isolierfilm zwischen dem Substrat und dem Oxidhalbleiterfilm umfasst,  
wobei in dem Kristallbereich eine c-Achse in einer Richtung ausgerichtet ist, die zu einer Grenzfläche zwischen dem Basis-Isolierfilm und dem Oxidhalbleiterfilm senkrecht ist.
11. Halbleitervorrichtung nach Ausführungsform 7, wobei die Konzentration von Silizium in dem Bereich niedriger als oder gleich 0,1 Atom-% ist.
12. Halbleitervorrichtung nach Ausführungsform 7, die ferner einen Zwischenschicht-Isolierfilm über dem Gate-Isolierfilm und der Gate-Elektrode umfasst.
13. Halbleitervorrichtung, die umfasst:  
einen Oxidhalbleiterfilm über einem Substrat;  
eine Source-Elektrode und eine Drain-Elektrode über dem Oxidhalbleiterfilm;  
einen Gate-Isolierfilm über dem Oxidhalbleiterfilm, wobei der Gate-Isolierfilm ein Oxid, das Silizium enthält, umfasst; und  
eine Gate-Elektrode über dem Gate-Isolierfilm,  
wobei der Oxidhalbleiterfilm einen Bereich umfasst, in dem eine Konzentration von Silizium niedriger als oder gleich 1,0 Atom-% ist und eine Konzentration von Kohlenstoff niedriger als oder gleich  $1,0 \times 10^{20}$  Atome/cm<sup>3</sup> ist,  
wobei der Bereich an einer Grenzfläche zwischen dem Oxidhalbleiterfilm und dem Gate-Isolierfilm liegt und in Kontakt mit dem Gate-Isolierfilm steht,  
wobei der Bereich einen Kristallbereich umfasst, und  
wobei der Bereich eine Dicke von kleiner als oder gleich 5 nm hat.
14. Halbleitervorrichtung nach Ausführungsform 13, wobei sich ein Endbereich des Oxidhalbleiterfilms unter einem Winkel von 20° bis 50° verjüngt.
15. Halbleitervorrichtung nach Ausführungsform 13, wobei der Oxidhalbleiterfilm außer dem Bereich einen zweiten Kristallbereich umfasst.
16. Halbleitervorrichtung nach Ausführungsform 13, die ferner einen Basis-Isolierfilm zwischen dem Substrat und dem Oxidhalbleiterfilm umfasst,  
wobei in dem Kristallbereich eine c-Achse in einer Richtung ausgerichtet ist, die zu einer Grenzfläche zwischen dem Basis-Isolierfilm und dem Oxidhalbleiterfilm senkrecht ist.
17. Halbleitervorrichtung nach Ausführungsform 13, wobei die Konzentration von Silizium in dem Bereich niedriger als oder gleich 0,1 Atom-% ist.
18. Halbleitervorrichtung nach Ausführungsform 13, die ferner einen Zwischenschicht-Isolierfilm über dem Gate-Isolierfilm und der Gate-Elektrode umfasst.

## Patentansprüche

1. Halbleitervorrichtung, die umfasst:

einen Oxidhalbleiterfilm (**106**) über einem Substrat (**102**);  
 eine Source-Elektrode (**108a**) und eine Drain-Elektrode (**108b**) über dem Oxidhalbleiterfilm (**106**);  
 einen Gate-Isolierfilm (**110**) über dem Oxidhalbleiterfilm (**106**), wobei der Gate-Isolierfilm (**110**) ein Oxid, das Silizium enthält, umfasst; und  
 eine Gate-Elektrode (**112**) über dem Gate-Isolierfilm (**110**),  
 wobei der Oxidhalbleiterfilm (**106**) umfasst:  
 einen ersten Bereich (**106a**), in dem eine Konzentration von Silizium niedriger als oder gleich 1,0 Atom-% ist;  
 und  
 ein Paar von zweiten Bereichen (**106e**, **106f**), wobei jeder von dem Paar von zweiten Bereichen einen Dotierstoff umfasst,  
 wobei der erste Bereich (**106a**) an einer Grenzfläche zwischen dem Oxidhalbleiterfilm (**106**) und dem Gate-Isolierfilm (**110**) liegt und in Kontakt mit dem Gate-Isolierfilm (**110**) ist, und  
 wobei der erste Bereich (**106a**) einen Kristallbereich umfasst.

2. Halbleitervorrichtung, die umfasst:

einen Oxidhalbleiterfilm (**106**) über einem Substrat (**102**);  
 eine Source-Elektrode (**108a**) und eine Drain-Elektrode (**108b**) über dem Oxidhalbleiterfilm (**106**);  
 einen Gate-Isolierfilm (**110**) über dem Oxidhalbleiterfilm (**106**), wobei der Gate-Isolierfilm (**110**) ein Oxid, das Silizium enthält, umfasst; und  
 eine Gate-Elektrode (**112**) über dem Gate-Isolierfilm (**110**),  
 wobei der Oxidhalbleiterfilm (**106**) umfasst:  
 einen ersten Bereich (**106a**), in dem eine Konzentration von Silizium niedriger als oder gleich 1,0 Atom-% ist;  
 und  
 ein Paar von zweiten Bereichen (**106e**, **106f**), wobei jeder von dem Paar von zweiten Bereichen einen Dotierstoff umfasst,  
 wobei der erste Bereich (**106a**) an einer Grenzfläche zwischen dem Oxidhalbleiterfilm (**106**) und dem Gate-Isolierfilm (**110**) liegt und in Kontakt mit dem Gate-Isolierfilm (**110**) ist,  
 wobei der erste Bereich (**106a**) einen Kristallbereich umfasst, und  
 wobei der Dotierstoff Argon umfasst.

3. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei sich ein Endbereich des Oxidhalbleiterfilms (**106**) unter einem Winkel von 20° bis 50° verjüngt.

4. Halbleitervorrichtung nach Anspruch 1 oder 2, die ferner einen Basis-Isolierfilm (**104**) zwischen dem Substrat (**102**) und dem Oxidhalbleiterfilm (**106**) umfasst, wobei in dem Kristallbereich eine c-Achse in einer Richtung, die senkrecht zu einer Grenzfläche zwischen dem Basis-Isolierfilm (**104**) und dem Oxidhalbleiterfilm (**106**) ist, ausgerichtet ist.

5. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei die Konzentration von Silizium in dem ersten Bereich niedriger als oder gleich 0,1 Atom-% ist.

6. Halbleitervorrichtung nach Anspruch 1 oder 2, die ferner einen Zwischenschicht-Isolierfilm (**114**) über dem Gate-Isolierfilm (**110**) und der Gate-Elektrode (**112**) umfasst.

7. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei eine Konzentration von Kohlenstoff in dem ersten Bereich (**106a**) niedriger als oder gleich  $1,0 \times 10^{20}$  Atome/cm<sup>3</sup> ist.

8. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei der erste Bereich (**106a**) eine Dicke von kleiner als oder gleich 5 nm hat.

9. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei der Dotierstoff eines oder mehrere Elemente umfasst, die aus der Gruppe ausgewählt werden, die aus Phosphor, Arsen, Antimon, Bor, Aluminium, Stickstoff, Argon, Helium, Neon, Indium, Fluor, Chlor, Titan und Zink besteht.

10. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei eine Konzentration von Dotierstoff in jedem von dem Paar von zweiten Bereichen höher als oder gleich  $5 \times 10^{18}$  Atome/cm<sup>3</sup> und niedriger als oder gleich  $1 \times 10^{22}$  Atome/cm<sup>3</sup> ist.

11. Halbleitervorrichtung nach Anspruch 1 oder 2, wobei das Paar von zweiten Bereichen und die Gate-Elektrode (**112**) nicht miteinander überlappen.

Es folgen 18 Seiten Zeichnungen

Anhängende Zeichnungen

FIG. 1A

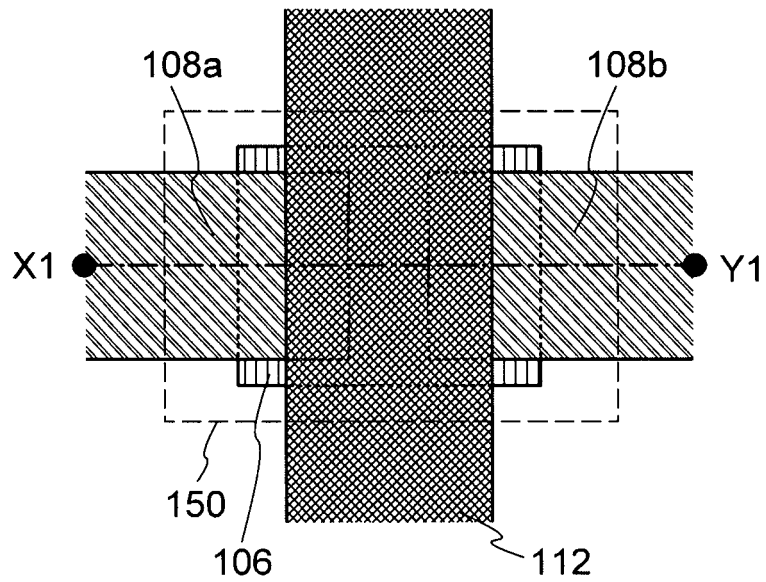


FIG. 1B

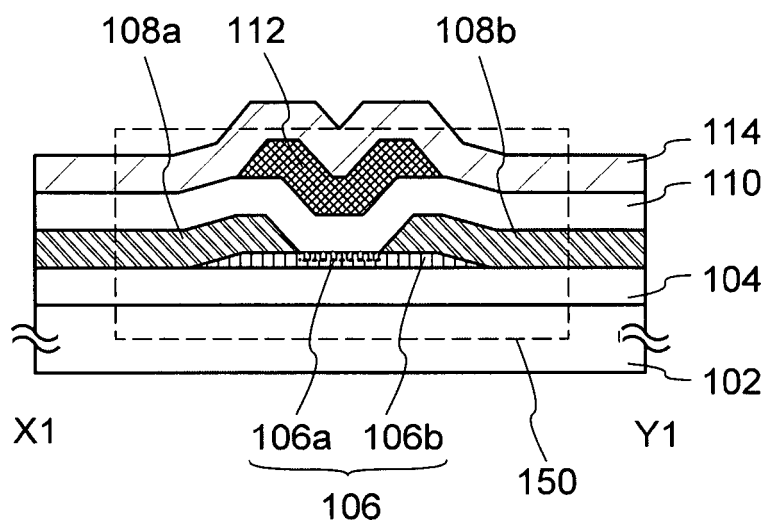


FIG. 2A

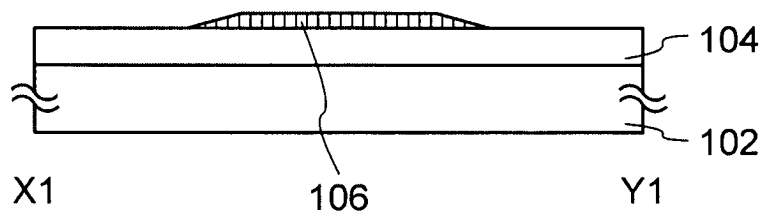


FIG. 2B

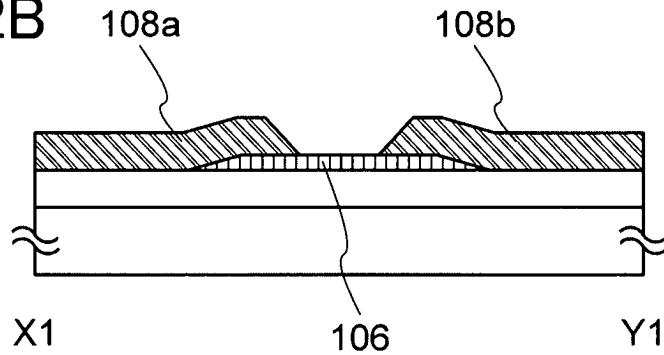


FIG. 2C

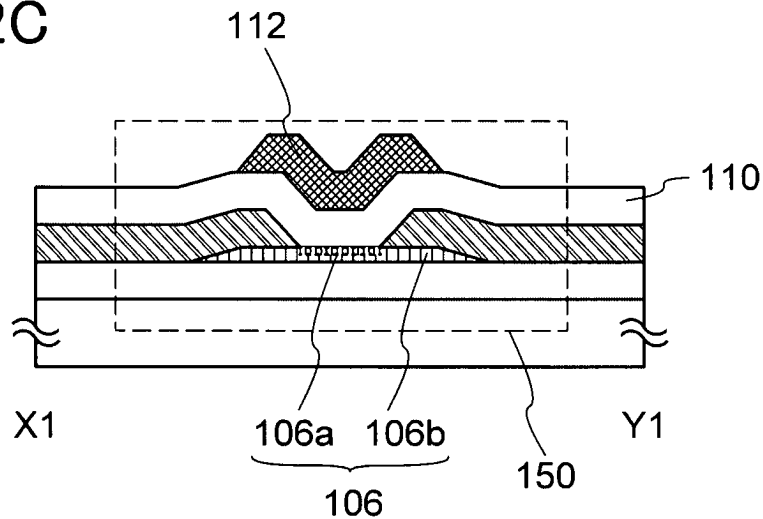


FIG. 2D

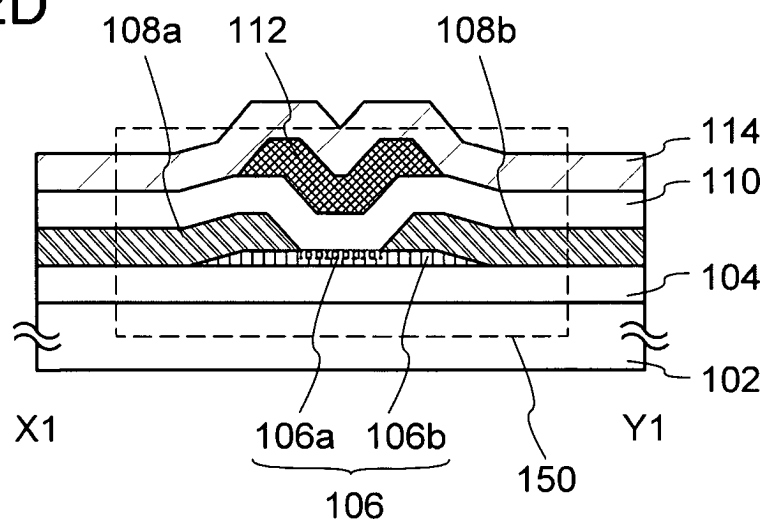


FIG. 3A

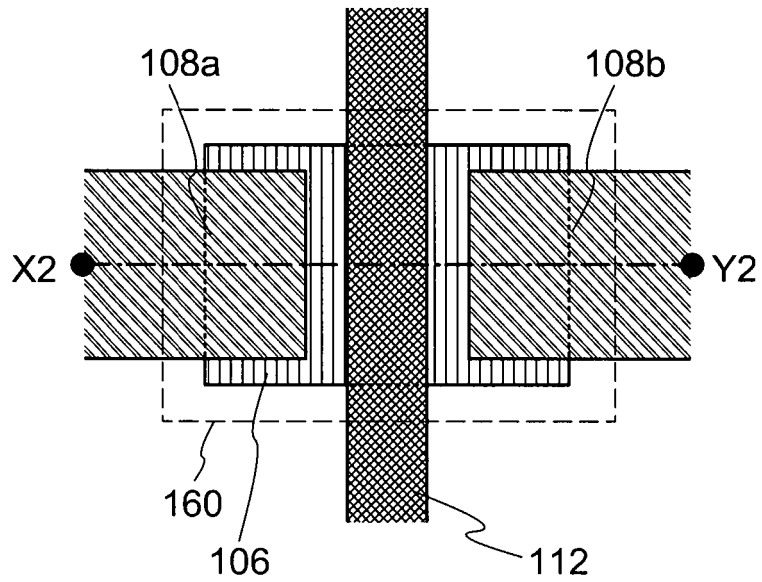


FIG. 3B

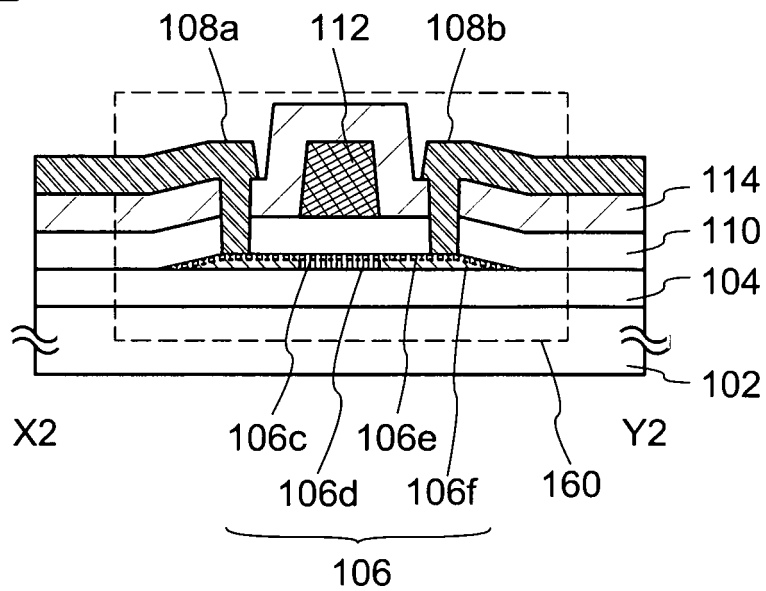


FIG. 4A

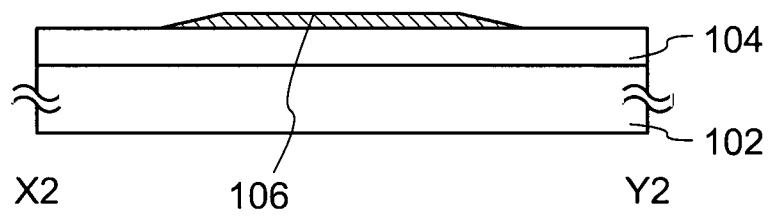


FIG. 4B

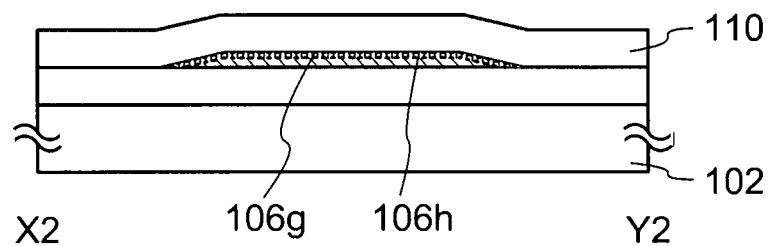


FIG. 4C

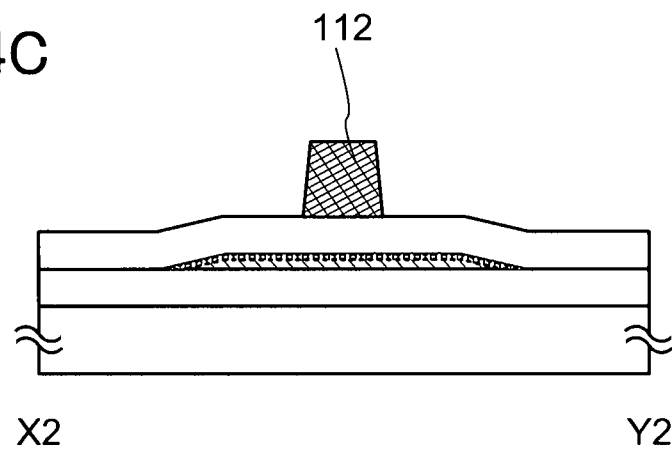
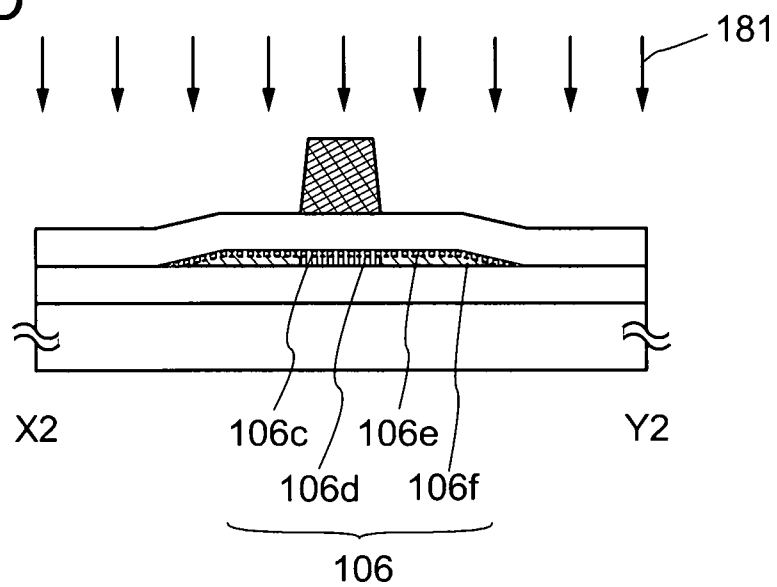


FIG. 4D



**FIG. 5A**

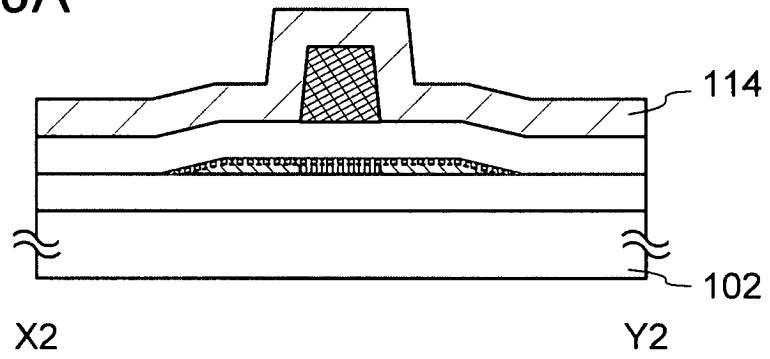


FIG. 5B

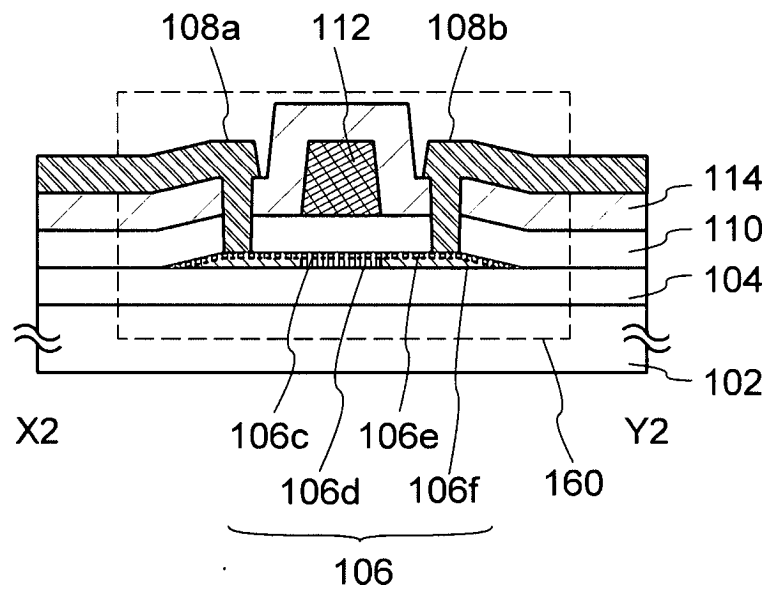


FIG. 6A

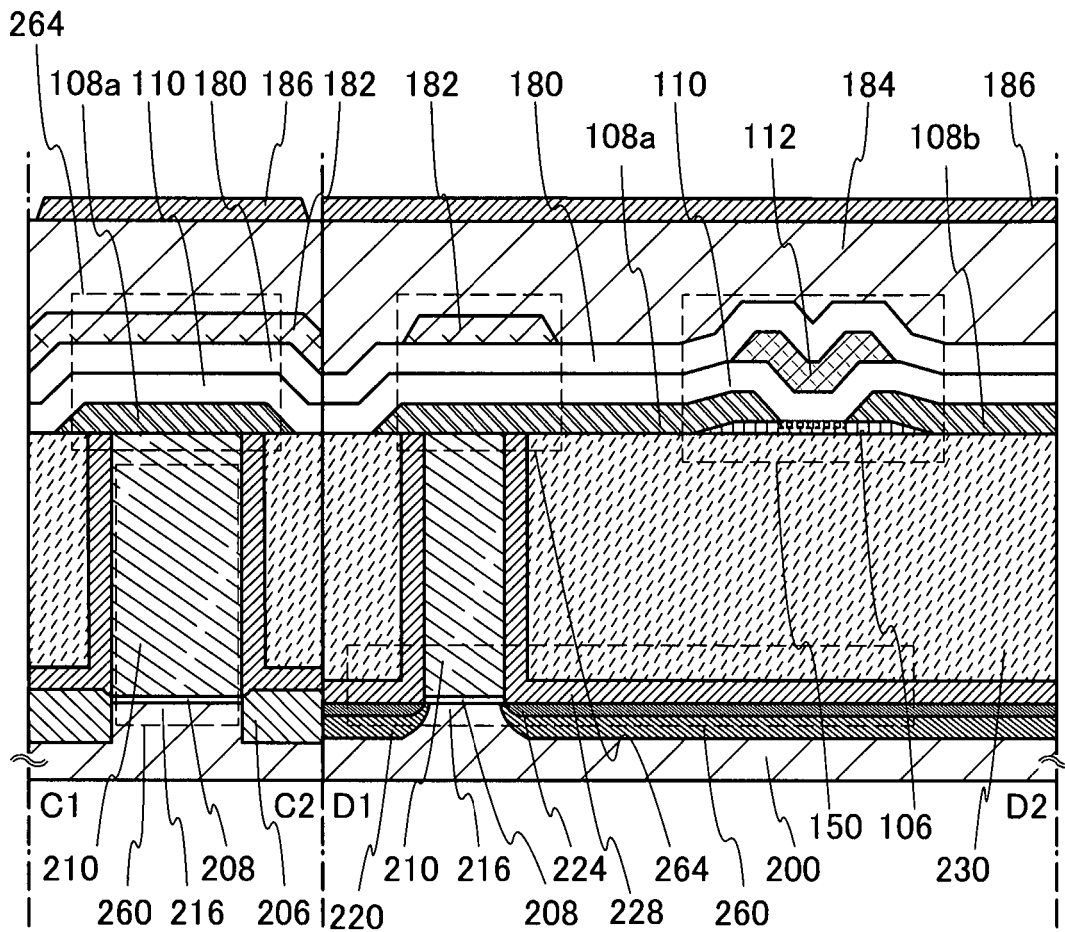


FIG. 6B

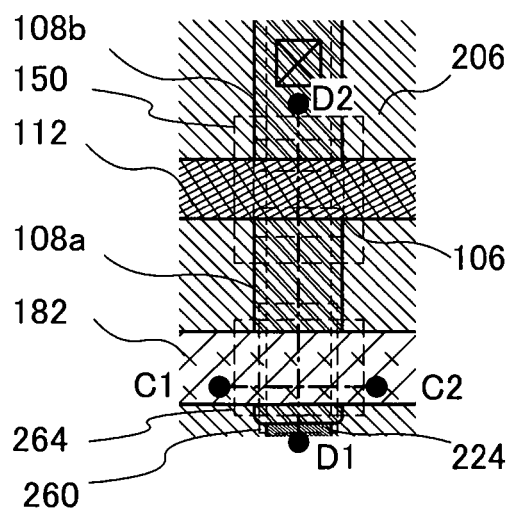


FIG. 6C

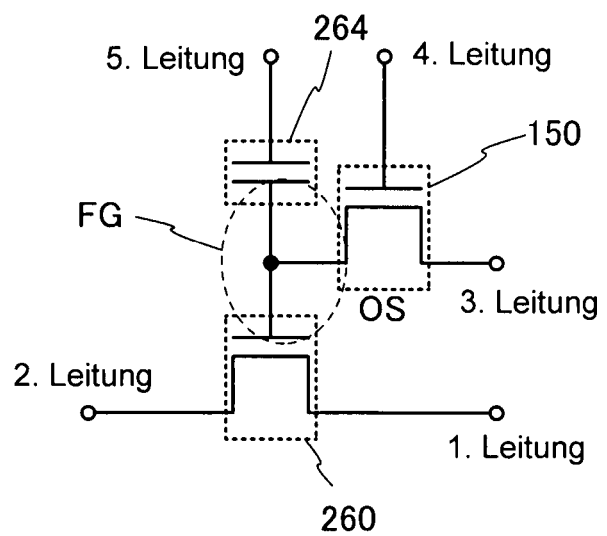


FIG. 7A

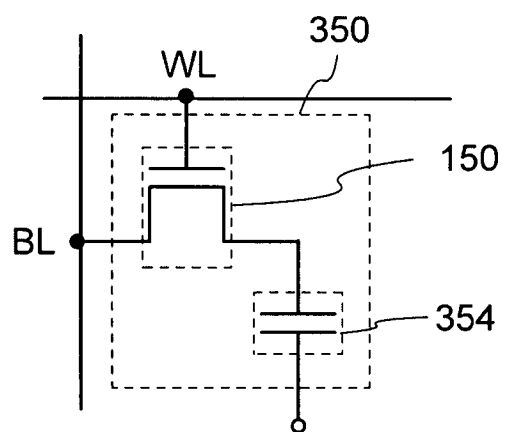


FIG. 7B

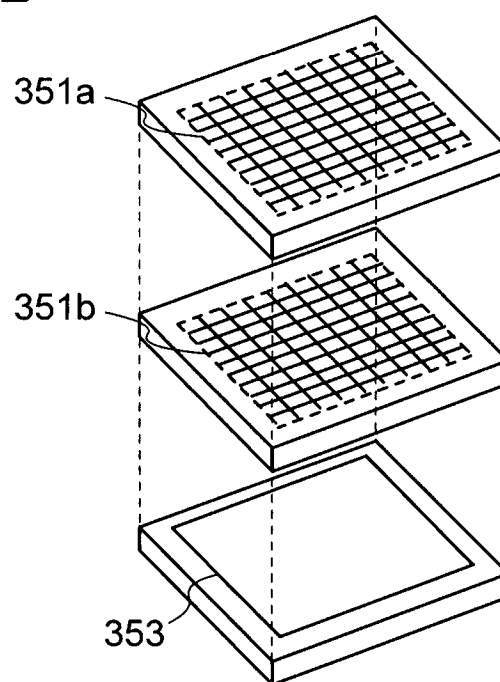


FIG. 8A

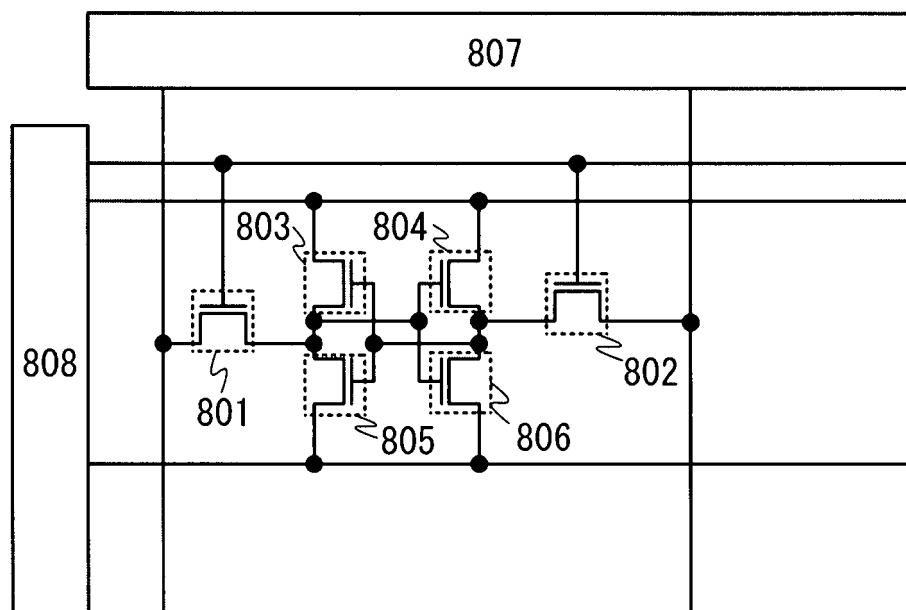


FIG. 8B

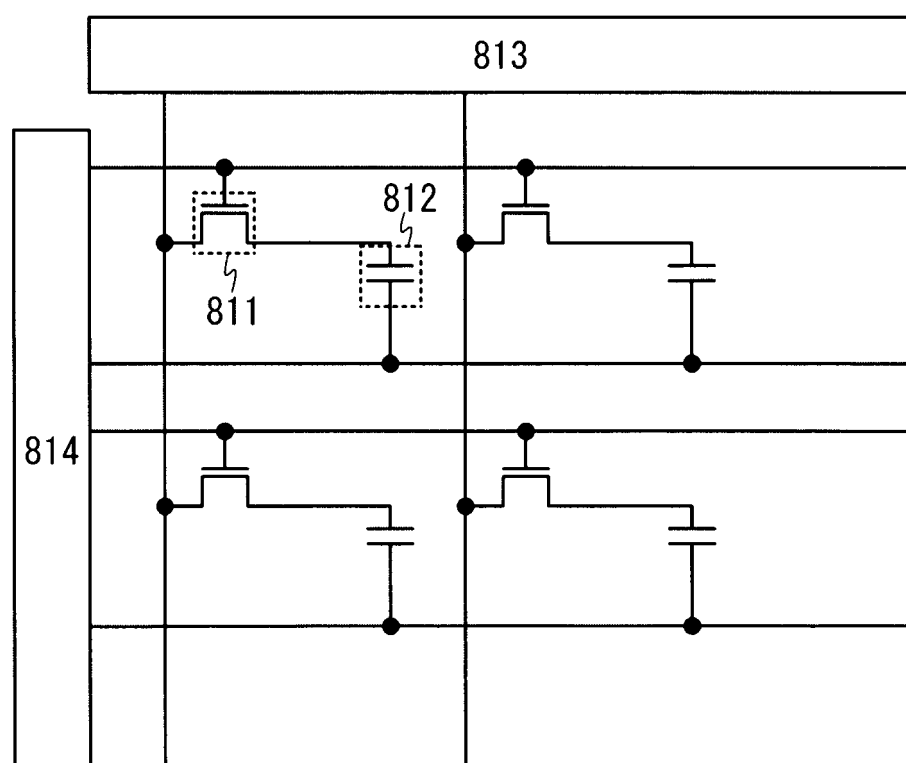


FIG. 9

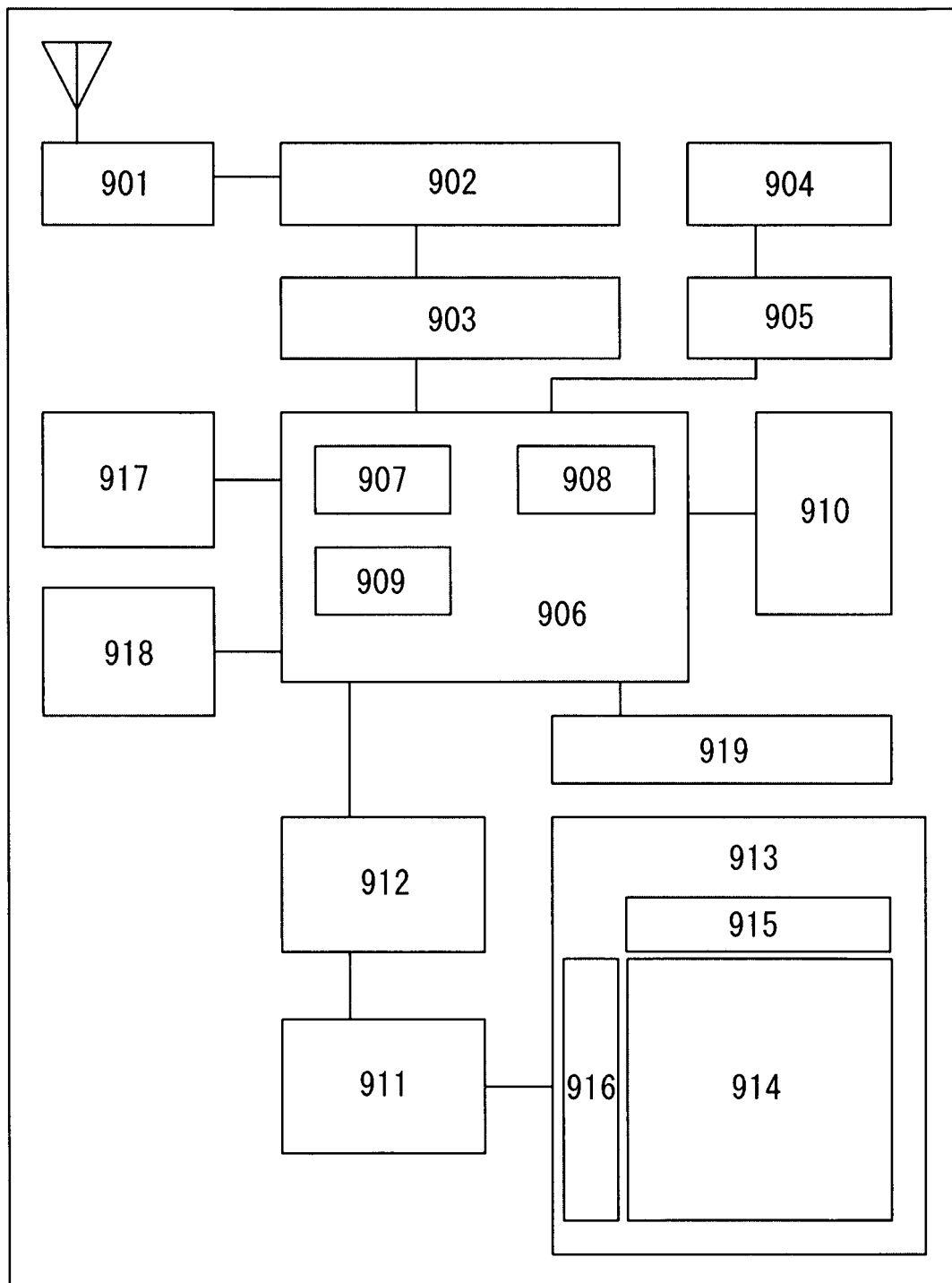


FIG. 10

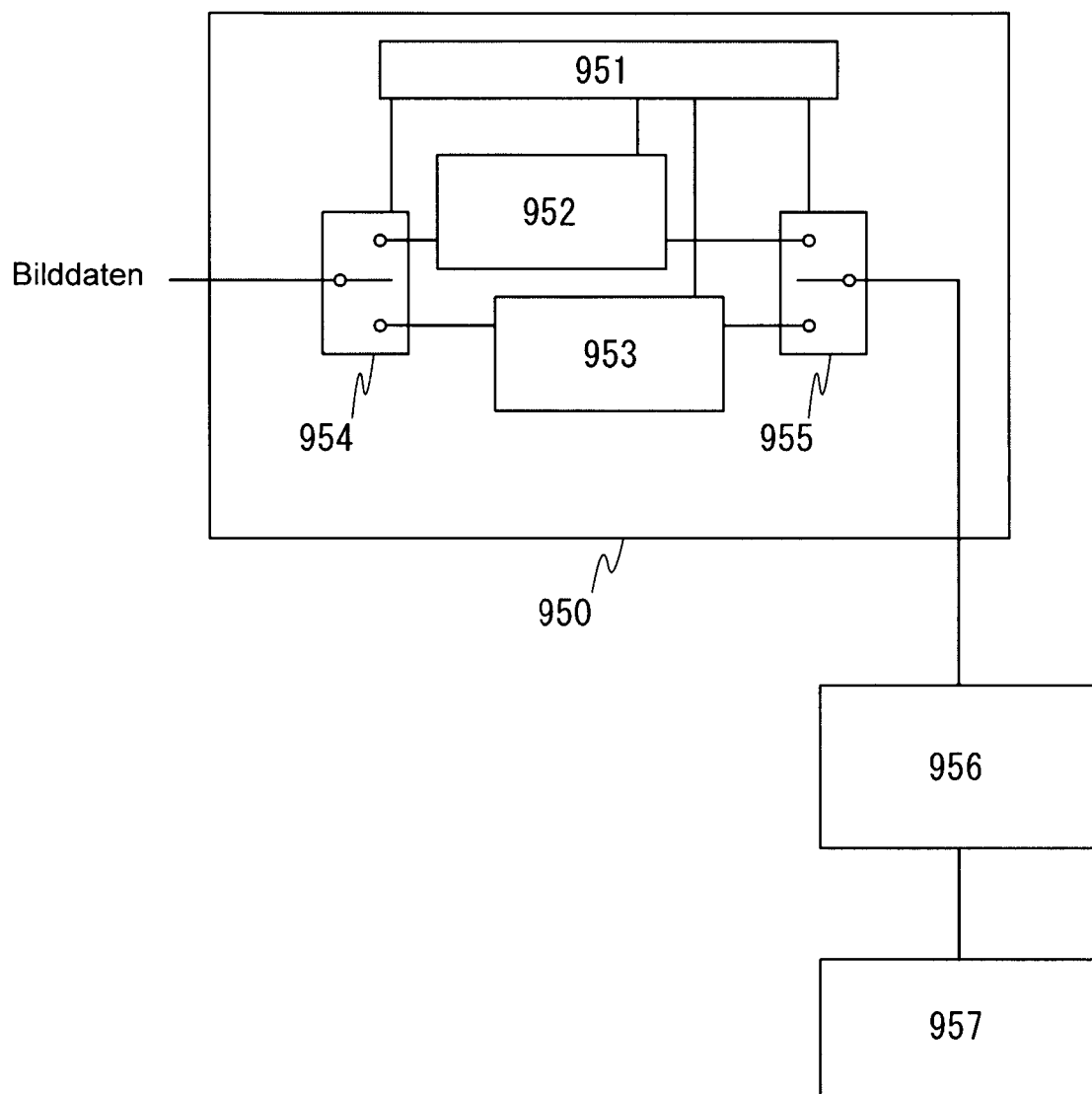


FIG. 11

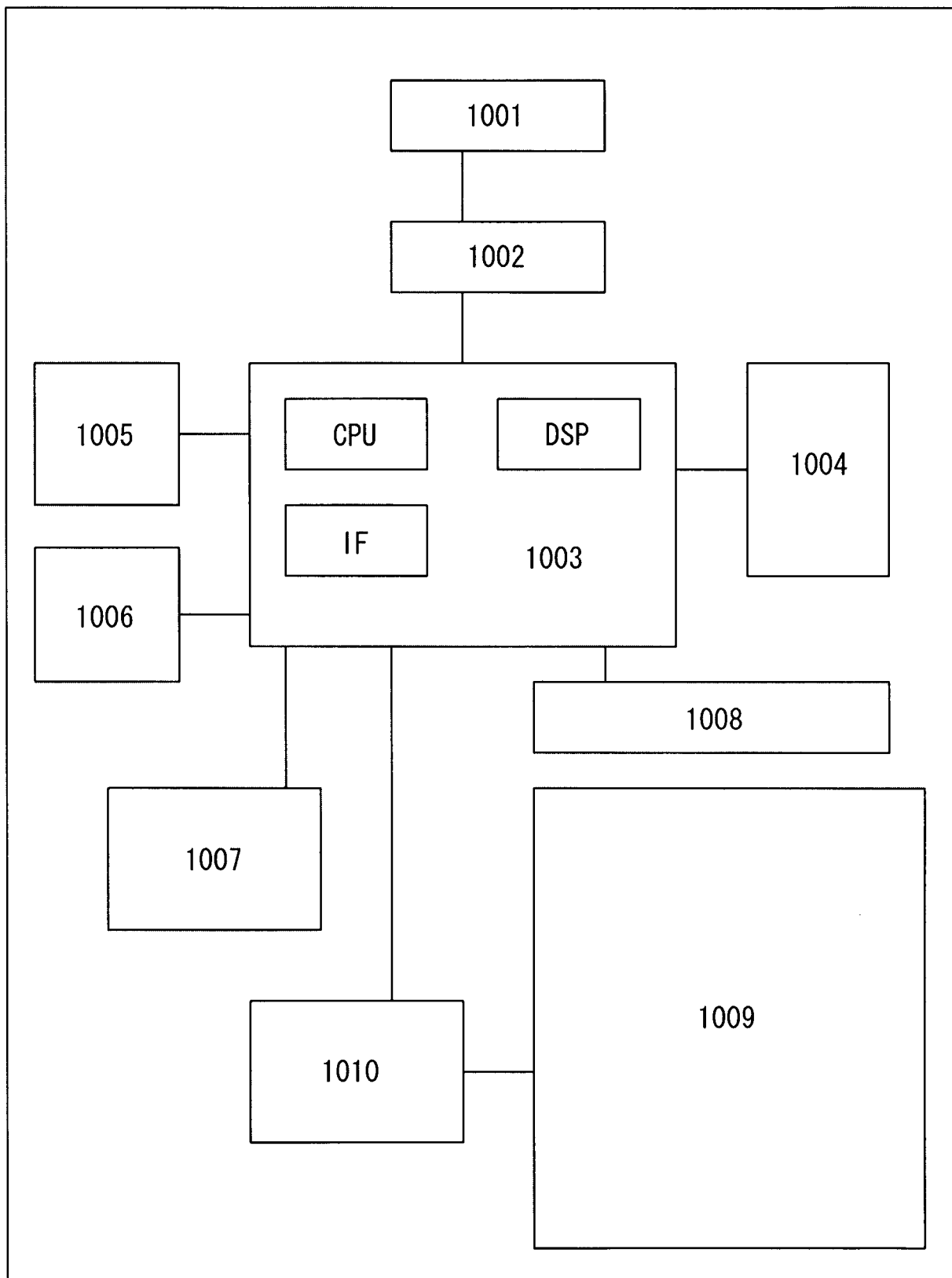


FIG. 12A

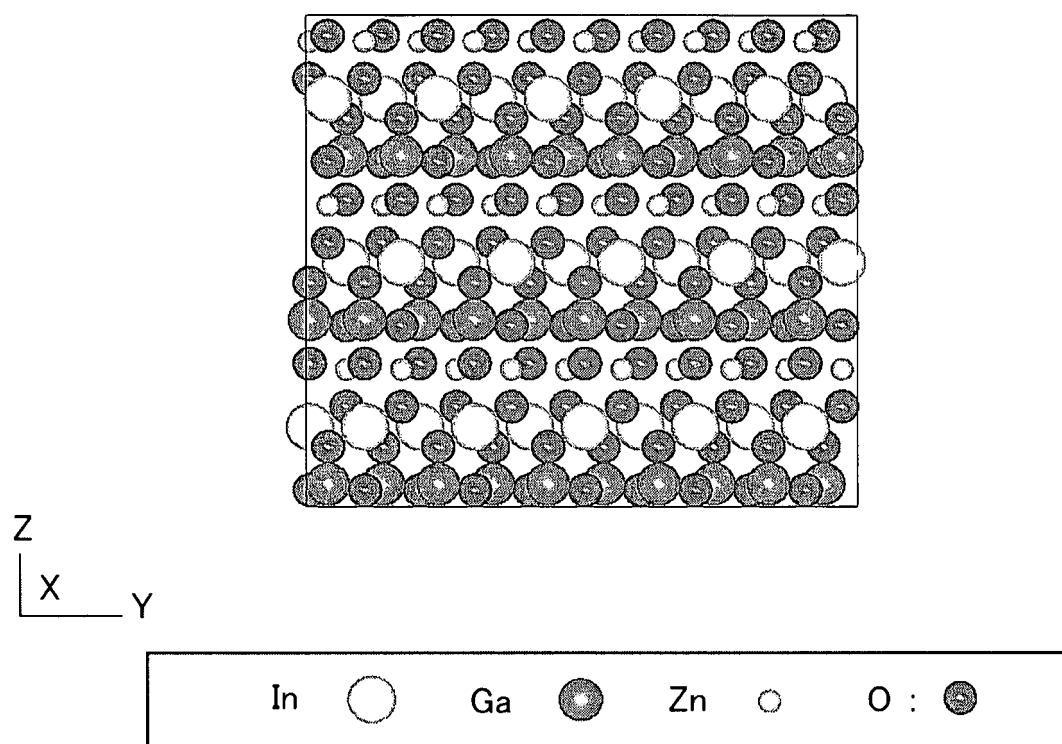


FIG. 12B

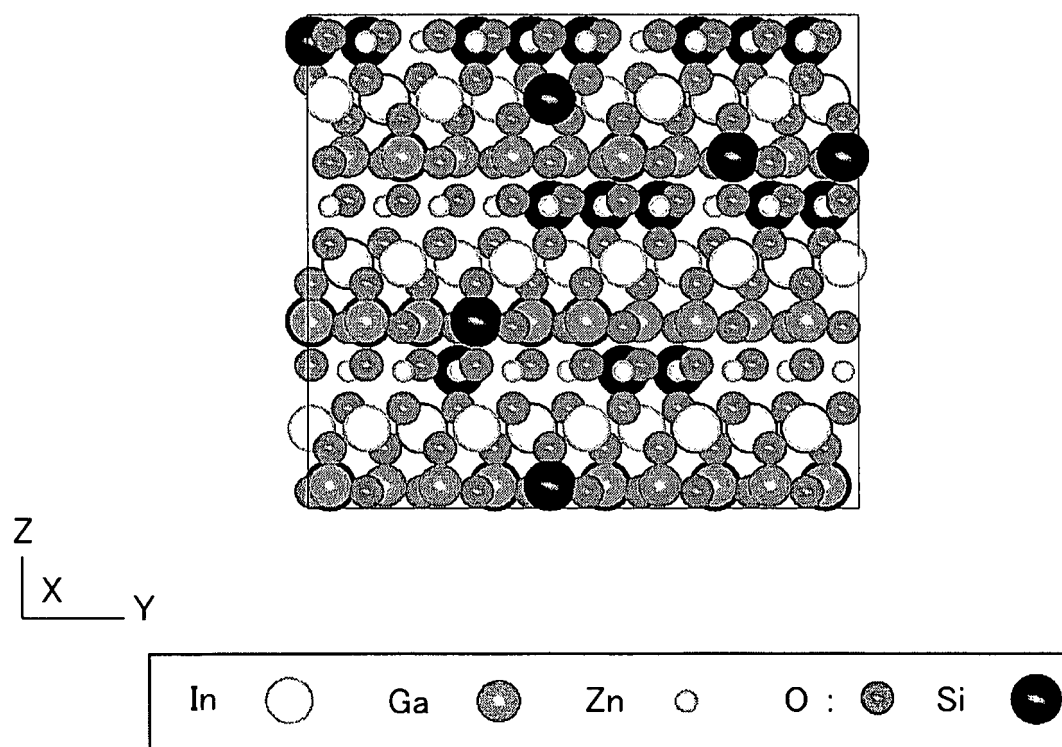


FIG. 13A

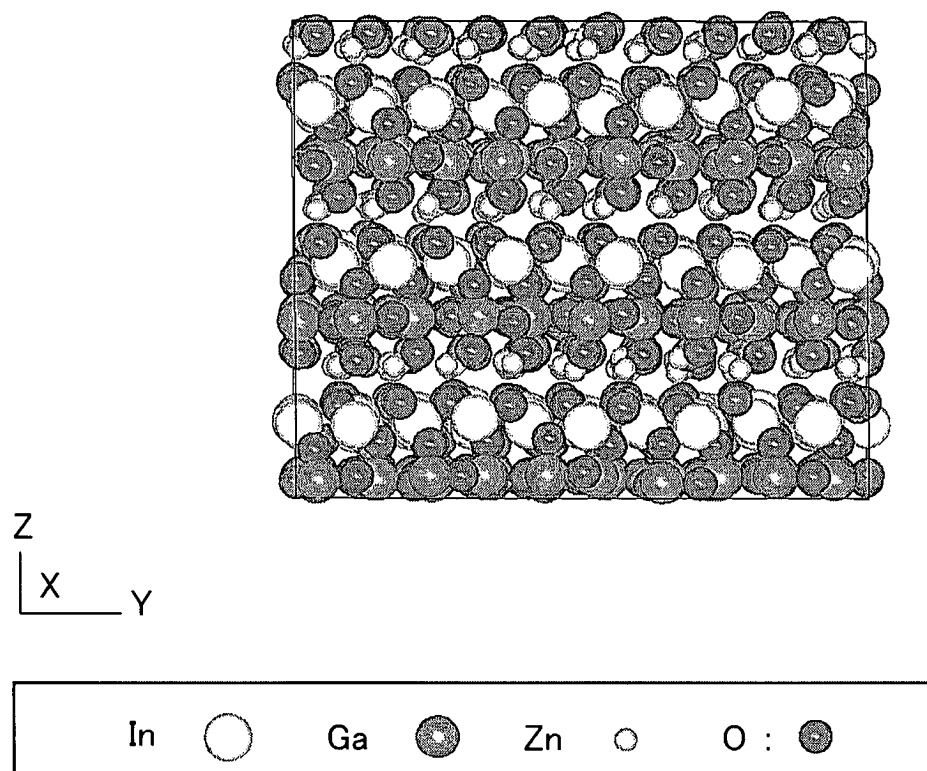


FIG. 13B

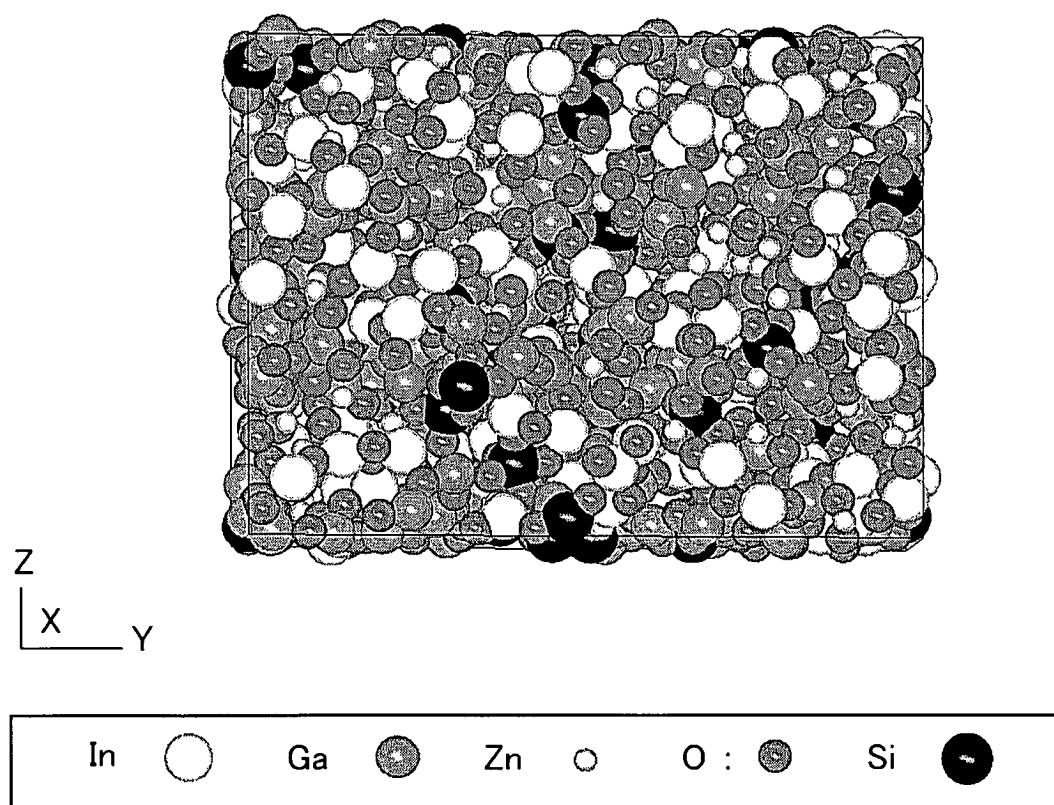


FIG. 14

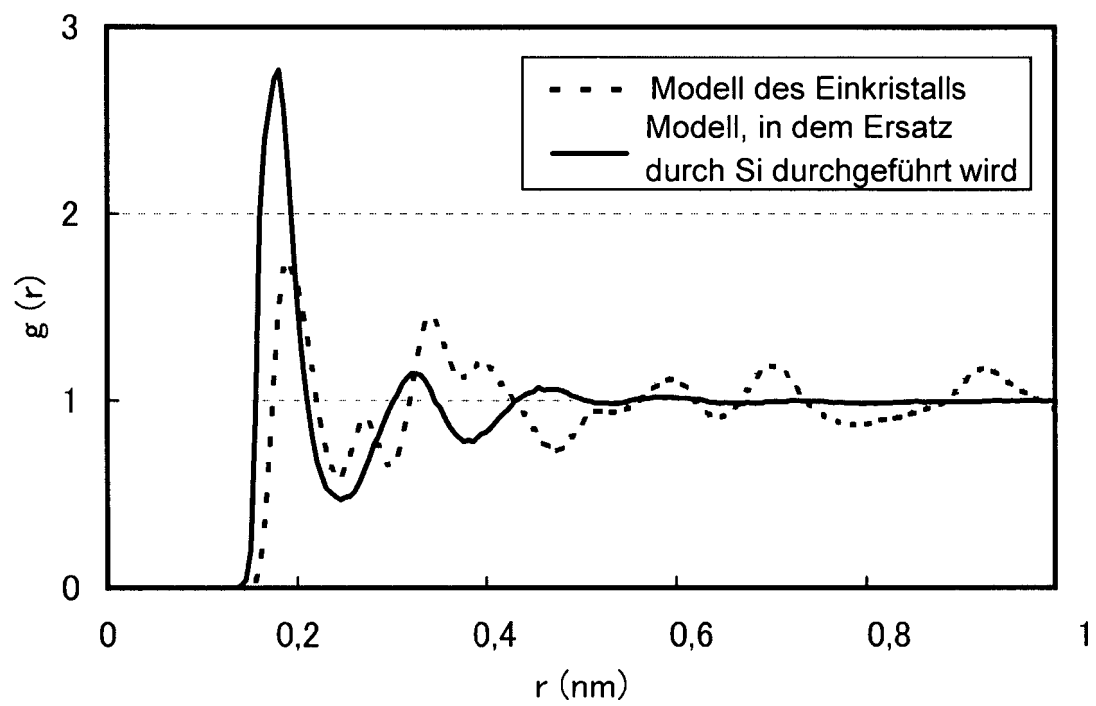


FIG. 15A

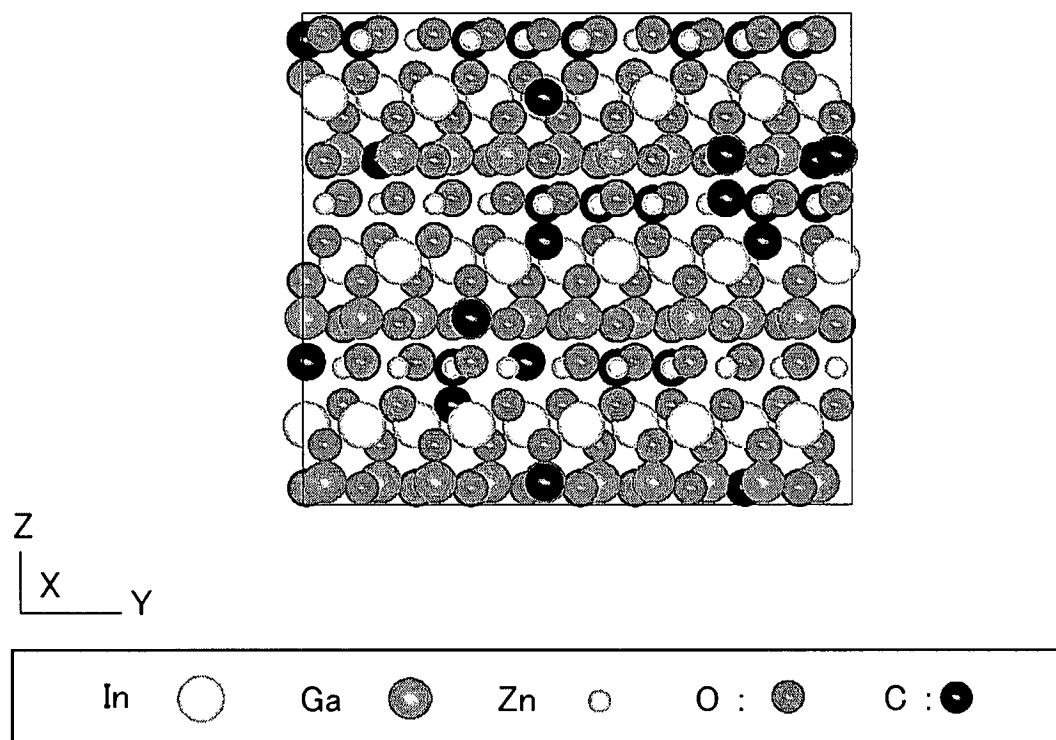


FIG. 15B

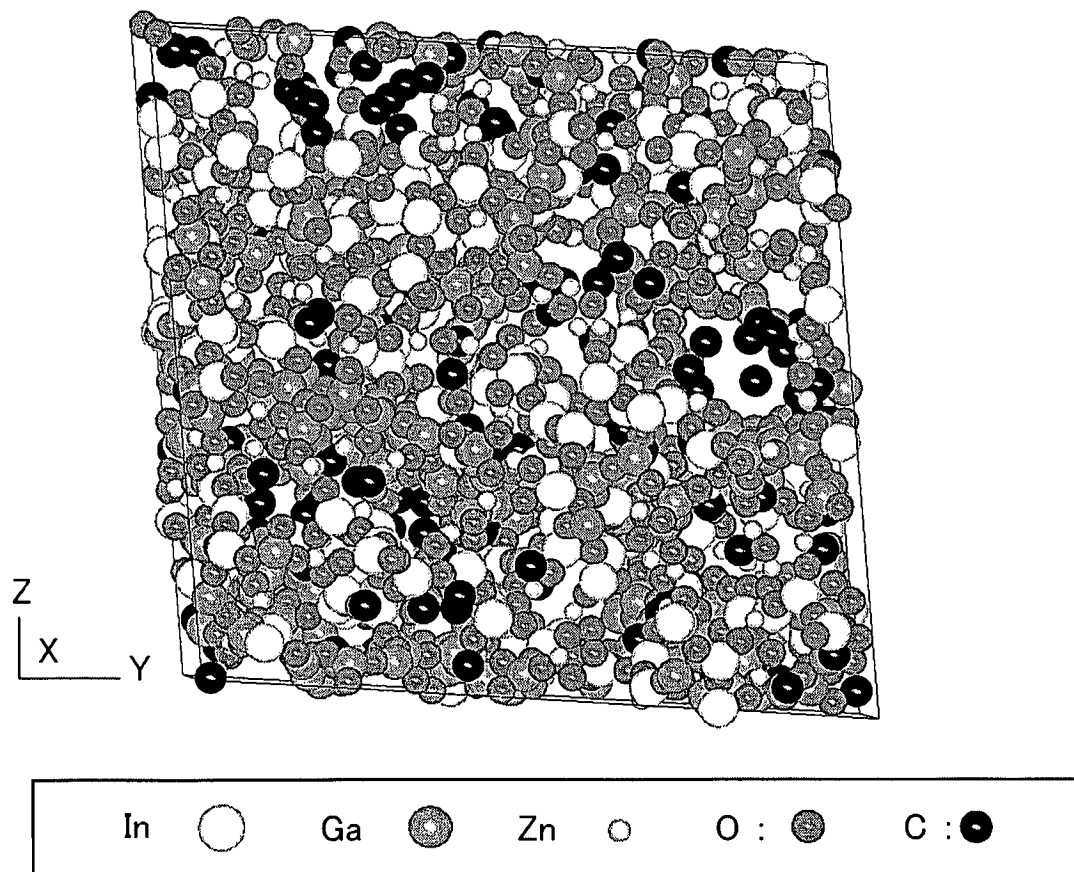


FIG. 16

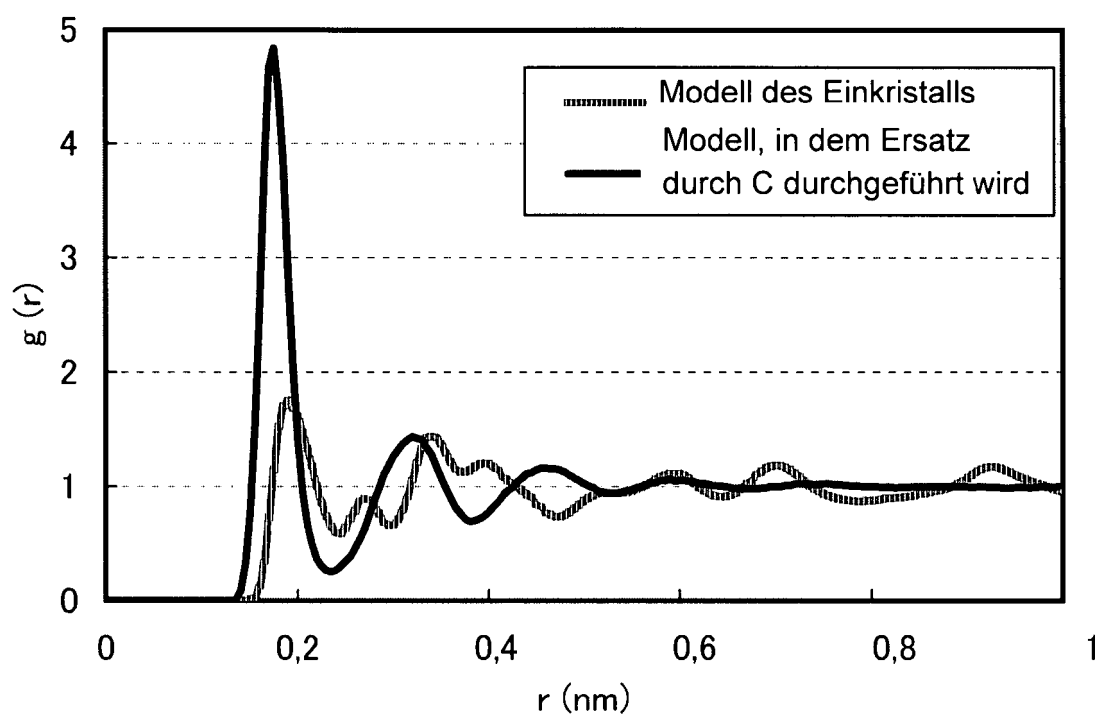


FIG. 17

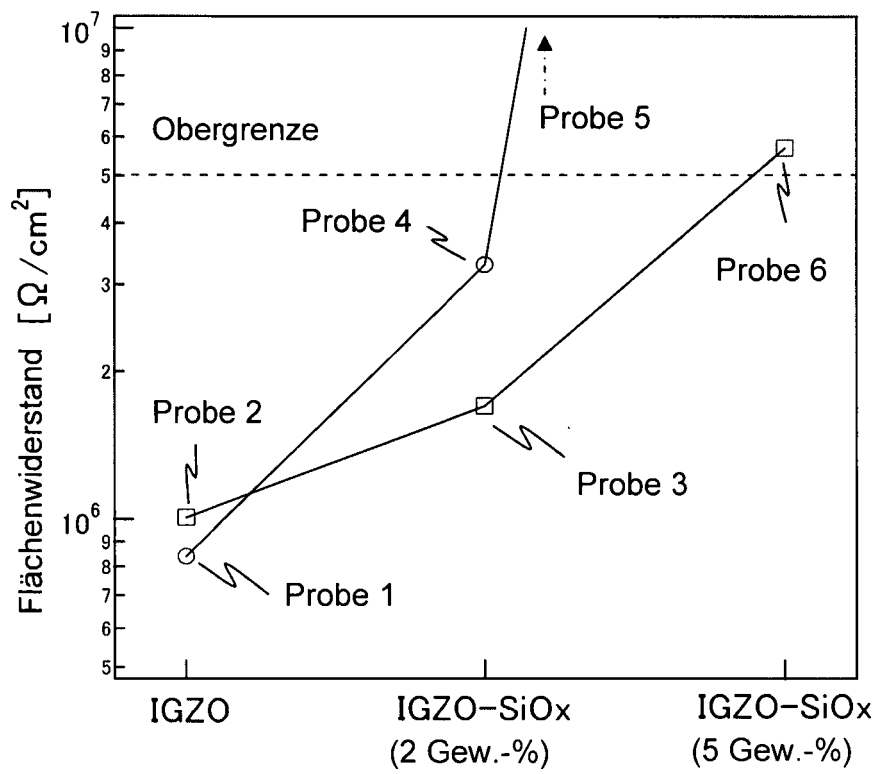


FIG. 18A

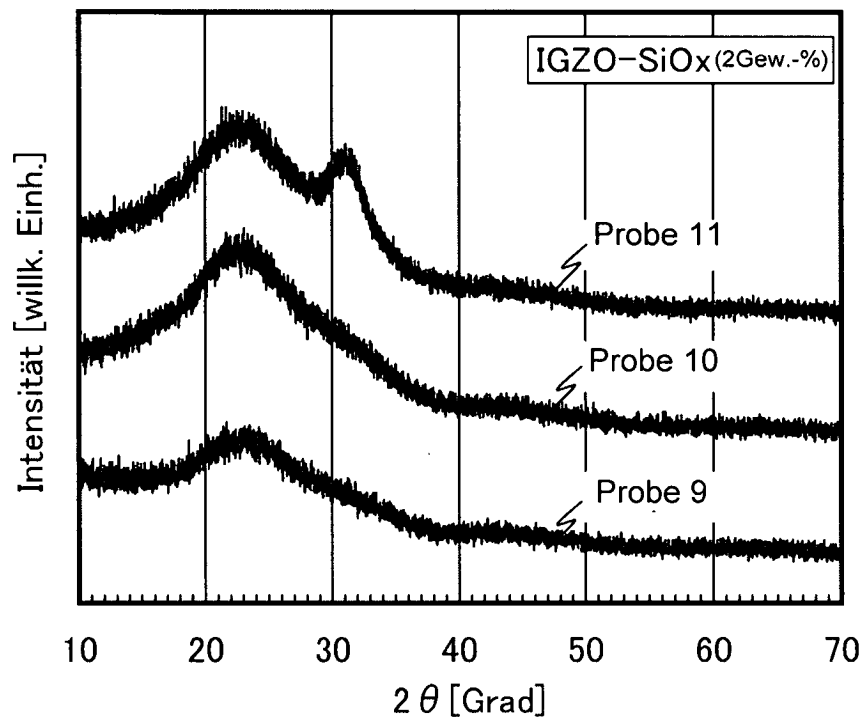


FIG. 18B

