

(19)日本国特許庁(JP)

## (12)特許公報(B2)

(11)特許番号

特許第7003003号

(P7003003)

(45)発行日 令和4年1月20日(2022.1.20)

(24)登録日 令和4年1月5日(2022.1.5)

(51)国際特許分類

H 0 2 M 3/07 (2006.01)

F I

H 0 2 M 3/07

請求項の数 6 (全20頁)

(21)出願番号	特願2018-117743(P2018-117743)	(73)特許権者	302062931 ルネサスエレクトロニクス株式会社 東京都江東区豊洲三丁目2番24号
(22)出願日	平成30年6月21日(2018.6.21)	(74)代理人	100103894 弁理士 家入 健
(65)公開番号	特開2019-221087(P2019-221087 A)	(72)発明者	永松 健一 東京都江東区豊洲三丁目2番24号 ル ネサスエレクトロニクス株式会社内
(43)公開日	令和1年12月26日(2019.12.26)	審査官	佐藤 匡
審査請求日	令和2年11月11日(2020.11.11)		

最終頁に続く

(54)【発明の名称】 電源回路

## (57)【特許請求の範囲】

## 【請求項1】

外部出力電圧に応じた分圧電圧と、第1基準電圧及び第2基準電圧のそれぞれと、を比較して、比較結果を出力する比較部と、  
前記比較部による比較結果に基づいてクロック信号の出力の可否を制御する第1イネーブル回路と、  
前記クロック信号が前記第1イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、  
を備え、  
前記比較部は、  
前記分圧電圧と、前記第1及び第2基準電圧のうち選択された何れかの基準電圧と、を比較して、前記比較部による比較結果として出力するコンパレータと、  
前記コンパレータによる比較結果に基づいて、前記第1基準電圧及び前記第2基準電圧の何れかを選択し、前記選択された基準電圧として出力する選択回路と、  
を有し、  
前記選択回路は、前記分圧電圧が前記選択された基準電圧以上であることを示す比較結果が前記コンパレータから出力された場合に、前記第2基準電圧から前記第2基準電圧よりも高い前記第1基準電圧に選択を切り替えて、前記選択された基準電圧として出力し、かつ、前記分圧電圧が前記選択された基準電圧未満であることを示す比較結果が前記コンパレータから出力された場合に、前記第1基準電圧から前記第2基準電圧に選択を切り替

えて、前記選択された基準電圧として出力する、  
電源回路。

【請求項 2】

外部出力電圧に応じた分圧電圧と、第 1 基準電圧及び第 2 基準電圧のそれぞれと、を比較して、比較結果を出力する比較部と、

前記比較部による比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、

前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、

前記外部出力電圧の変動幅を測定する測定回路と、

10

前記測定回路による測定結果に基づいて、前記第 1 基準電圧及び前記第 2 基準電圧の値を調整する調整回路と、

を備え、

前記比較部は、

前記分圧電圧と、前記第 1 及び第 2 基準電圧のうち選択された何れかの基準電圧と、を比較して、前記比較部による比較結果として出力するコンパレータと、

前記コンパレータによる比較結果に基づいて、前記第 1 基準電圧及び前記第 2 基準電圧の何れかを選択し、前記選択された基準電圧として出力する選択回路と、

を有する、

電源回路。

20

【請求項 3】

外部出力電圧に応じた分圧電圧と、第 1 基準電圧及び第 2 基準電圧のそれぞれと、を比較して、比較結果を出力する比較部と、

前記比較部による比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、

前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、

を備え、

前記比較部は、

前記分圧電圧と、前記第 1 基準電圧と、を比較する第 1 コンパレータと、

30

前記分圧電圧と、前記第 2 基準電圧と、を比較する第 2 コンパレータと、

前記第 1 コンパレータ及び前記第 2 コンパレータのそれぞれの比較結果に応じた電圧を、前記比較部による比較結果として出力する制御回路と、

を有し、

前記制御回路は、

前記第 1 コンパレータによる比較結果と、前記第 2 コンパレータによる比較結果と、の排他的論理和を出力する排他的論理和回路と、

前記排他的論理和回路の出力電圧の立ち上がりに同期して、前記制御回路の出力電圧を反転させるフリップフロップ回路と、

を有する、

40

電源回路。

【請求項 4】

外部出力電圧に応じた分圧電圧と、第 1 基準電圧及び第 2 基準電圧のそれぞれと、を比較して、比較結果を出力する比較部と、

前記比較部による比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、

前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、

前記外部出力電圧の変動幅を測定する測定回路と、

前記測定回路による測定結果に基づいて、前記第 1 基準電圧及び前記第 2 基準電圧の値

50

を調整する調整回路と、

を備え、

前記比較部は、

前記分圧電圧と、前記第 1 基準電圧と、を比較する第 1 コンパレータと、

前記分圧電圧と、前記第 2 基準電圧と、を比較する第 2 コンパレータと、

前記第 1 コンパレータ及び前記第 2 コンパレータのそれぞれの比較結果に応じた電圧を、

前記比較部による比較結果として出力する制御回路と、

を有する、

電源回路。

【請求項 5】

外部出力電圧に応じた第 1 分圧電圧及び第 2 分圧電圧のうち選択された何れかの分圧電圧と、基準電圧と、を比較するコンパレータと、

前記コンパレータによる比較結果に基づいて、前記第 1 分圧電圧及び前記第 2 分圧電圧の何れかを選択し、前記選択された分圧電圧として出力する選択回路と、

前記コンパレータによる比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、

前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、

を備え、

前記選択回路は、前記選択された分圧電圧が前記基準電圧以上であることを示す比較結

果が前記コンパレータから出力された場合に、第 1 分圧電圧から前記第 1 分圧電圧よりも

低い前記第 2 分圧電圧に選択を切り替えて、前記選択された分圧電圧として出力し、かつ

、前記選択された分圧電圧が前記基準電圧未満であることを示す比較結果が前記コンパレ

ータから出力された場合に、前記第 2 分圧電圧から前記第 1 分圧電圧に選択を切り替えて

、前記選択された分圧電圧として出力する、

電源回路。

【請求項 6】

外部出力電圧に応じた第 1 分圧電圧及び第 2 分圧電圧のうち選択された何れかの分圧電圧と、基準電圧と、を比較するコンパレータと、

前記コンパレータによる比較結果に基づいて、前記第 1 分圧電圧及び前記第 2 分圧電圧の何れかを選択し、前記選択された分圧電圧として出力する選択回路と、

前記コンパレータによる比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、

前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、

前記外部出力電圧の変動幅を測定する測定回路と、

前記測定回路による測定結果に基づいて、前記第 1 分圧電圧及び前記第 2 分圧電圧の値

を調整する調整回路と、

を備えた電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は電源回路に関し、例えば安定した出力電圧を生成するのに適した電源回路に関する。

【背景技術】

【0002】

半導体装置では、プロセスの微細化に伴って、各トランジスタの耐圧が低下している。そのため、半導体装置を駆動するための電圧を生成する電源回路は、トランジスタが破壊しないように、リップル成分（変動幅、ゆらぎ）の少ない安定した電圧を生成することが求められている。

10

20

30

40

50

## 【 0 0 0 3 】

リップル成分を抑制する技術が特許文献 1 に開示されている。特許文献 1 に開示された電源回路は、クロック信号により昇圧動作するチャージポンプと、チャージポンプの出力電圧の分圧電圧と基準電圧とを比較するコンパレータと、コンパレータによる比較結果に基づいてチャージポンプへのクロック信号の供給の可否を制御する N A N D 回路と、を備える。ここで、この電源回路では、コンパレータの速度が、チャージポンプの出力電圧の分圧電圧が基準電圧を上回った時点からコンパレータの出力電圧が反転するまでは速く、かつ、チャージポンプの出力電圧の分圧電圧が基準電圧を下回った時点からコンパレータの出力電圧が反転するまでは遅くなるように制御される。それにより、この電源回路は、負荷への出力電流が小さい場合に、チャージポンプの出力電圧のリップル成分を抑制することができる。

10

## 【先行技術文献】

## 【特許文献】

## 【 0 0 0 4 】

【文献】特開 2 0 0 5 - 2 7 8 3 8 3 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【 0 0 0 5 】

しかしながら、特許文献 1 に開示された構成では、コンパレータの速度が、チャージポンプの出力電圧の分圧電圧が基準電圧を下回った時点からコンパレータの出力電圧が反転するまでは遅くなるように制御されるため、負荷への出力電流が大きくなるほど、チャージポンプの出力電圧のリップル成分が大きくなってしまいうという問題があった。その他の課題と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

20

## 【課題を解決するための手段】

## 【 0 0 0 6 】

一実施の形態によれば、電源回路は、外部出力電圧に応じた分圧電圧と、第 1 基準電圧及び第 2 基準電圧のそれぞれと、を比較して、比較結果を出力する比較部と、前記比較部による比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、を備える。

30

## 【 0 0 0 7 】

また、他の実施の形態によれば、電源回路は、外部出力電圧に応じた第 1 分圧電圧及び第 2 分圧電圧のうち選択された何れかの分圧電圧と、基準電圧と、を比較するコンパレータと、前記コンパレータによる比較結果に基づいて、前記第 1 分圧電圧及び前記第 2 分圧電圧の何れかを選択し、前記選択された分圧電圧として出力する選択回路と、前記コンパレータによる比較結果に基づいてクロック信号の出力の可否を制御する第 1 イネーブル回路と、前記クロック信号が前記第 1 イネーブル回路を介して供給された場合に、前記外部出力電圧を昇圧する昇圧回路と、を備える。

## 【発明の効果】

## 【 0 0 0 8 】

前記一実施の形態によれば、負荷への出力電流の大きさに関係なく、安定した出力電圧を生成することが可能な電源回路を提供することができる。

40

## 【図面の簡単な説明】

## 【 0 0 0 9 】

【図 1】実施の形態 1 にかかる電源回路の構成例を示す図である。

【図 2】図 1 に示す電源回路に設けられた選択回路の具体的な構成例を示す図である。

【図 3】図 1 に示す電源回路の動作を示すタイミングチャートである。

【図 4】基準電圧  $V_{ref}$  に使用される 2 種類の基準電圧  $V_{ref1}$  ,  $V_{ref2}$  の設定値と、出力電圧  $V_{out}$  と、の関係を示す図である。【図 5】出力端子 O U T に付加される安定化容量の容量値と、出力電圧  $V_{out}$  と、の関

50

係を示す図である。

【図 6】実施の形態 1 にかかる電源回路の変形例を示す図である。

【図 7】実施の形態 2 にかかる電源回路の構成例を示す図である。

【図 8】図 7 に示す電源回路の動作を示すタイミングチャートである。

【図 9】実施の形態 2 にかかる電源回路の変形例を示す図である。

【図 10】実施の形態 3 にかかる電源回路の構成例を示す図である。

【図 11】図 10 に示す電源回路に設けられた制御回路の具合的な構成例を示す図である。

【図 12】図 11 に示す制御回路の動作を示すタイミングチャートである。

【図 13】実施の形態 2 にかかる電源回路の変形例を示す図である。

【発明を実施するための形態】

【0010】

説明の明確化のため、以下の記載及び図面は、適宜、省略、及び簡略化がなされている。また、様々な処理を行う機能ブロックとして図面に記載される各要素は、ハードウェア的には、CPU (Central Processing Unit)、メモリ、その他の回路で構成することができ、ソフトウェア的には、メモリにロードされたプログラムなどによって実現される。したがって、これらの機能ブロックがハードウェアのみ、ソフトウェアのみ、またはそれらの組合せによっていろいろな形で実現できることは当業者には理解されるところであり、いずれかに限定されるものではない。なお、各図面において、同一の要素には同一の符号が付されており、必要に応じて重複説明は省略されている。

【0011】

また、上述したプログラムは、様々なタイプの非一時的なコンピュータ可読媒体を用いて格納され、コンピュータに供給することができる。非一時的なコンピュータ可読媒体は、様々なタイプの実体のある記録媒体を含む。非一時的なコンピュータ可読媒体の例は、磁気記録媒体 (例えばフレキシブルディスク、磁気テープ、ハードディスクドライブ)、光磁気記録媒体 (例えば光磁気ディスク)、CD-ROM (Read Only Memory)、CD-R、CD-R/W、半導体メモリ (例えば、マスクROM、PROM (Programmable ROM)、EPROM (Erasable PROM)、フラッシュROM、RAM (Random Access Memory)) を含む。また、プログラムは、様々なタイプの一時的なコンピュータ可読媒体によってコンピュータに供給されてもよい。一時的なコンピュータ可読媒体の例は、電気信号、光信号、及び電磁波を含む。一時的なコンピュータ可読媒体は、電線及び光ファイバ等の有線通信路、又は無線通信路を介して、プログラムをコンピュータに供給できる。

【0012】

<実施の形態 1>

図 1 は、実施の形態 1 にかかる電源回路 1 の構成例を示す図である。

図 1 に示すように、電源回路 1 は、昇圧回路 11 と、選択回路 12 と、コンパレータ 13 と、否定論理積回路 (以下、NAND 回路と称す) 14 と、抵抗素子 R1 と、を備える。選択回路 12 及びコンパレータ 13 によって比較部 10 が構成されている。

【0013】

昇圧回路 11 は、所謂チャージポンプであって、クロック信号 CLK が供給されることによって電圧 Vout を昇圧させる。なお、昇圧回路 11 は、クロック信号 CLK が供給されない場合には、電圧 Vout の昇圧を行わない。この場合、電圧 Vout は下降する。昇圧回路 11 の出力電圧 Vout は、電源回路 1 の出力端子 OUT を介して外部に出力される。

【0014】

抵抗素子 R1 は、抵抗素子 R1a、R1b によって構成され、電源回路 1 の出力端子 OUT と、接地電圧端子 GND と、の間に直列に設けられている。抵抗素子 R1 は、抵抗素子 R1a、R1b 間のノード N0 の電圧 Vd を出力する。換言すると、抵抗素子 R1 は、電源回路 1 の出力端子 OUT の電圧 Vout を、抵抗素子 R1a、R1b の抵抗比で分圧して、分圧電圧 Vd として出力する。

10

20

30

40

50

## 【 0 0 1 5 】

選択回路 1 2 は、コンパレータ 1 3 から出力される電圧  $V_c$  に基づいて、基準電圧  $V_{ref1}$  及び基準電圧  $V_{ref2}$  の何れかを選択して基準電圧  $V_{ref}$  として出力する。なお、本実施の形態では、基準電圧  $V_{ref1}$  が基準電圧  $V_{ref2}$  よりも大きい場合を例に説明する。

## 【 0 0 1 6 】

例えば、コンパレータ 1 3 から L レベルの電圧  $V_c$  が出力されている場合、選択回路 1 2 は、基準電圧  $V_{ref1}$  を選択して基準電圧  $V_{ref}$  として出力する。それに対し、コンパレータ 1 3 から H レベルの電圧  $V_c$  が出力されている場合、選択回路 1 2 は、基準電圧  $V_{ref2}$  を選択して基準電圧  $V_{ref}$  として出力する。

10

## 【 0 0 1 7 】

( 選択回路 1 2 の具体的な構成例 )

図 2 は、選択回路 1 2 の具体的な構成例を示す回路図である。

図 2 に示すように、選択回路 1 2 は、インバータ  $INV1$  と、トランスファゲート  $TG1$  と、トランスファゲート  $TG2$  と、を有する。トランスファゲート  $TG1$  は、P チャネル MOS トランジスタ  $MP1$  及び N チャネル MOS トランジスタ  $MN1$  からなる。トランスファゲート  $TG2$  は、P チャネル MOS トランジスタ  $MP2$  及び N チャネル MOS トランジスタ  $MN2$  からなる。

## 【 0 0 1 8 】

トランスファゲート  $TG1$  は、外部から基準電圧  $V_{ref1}$  が供給される選択回路 1 2 の入力端子  $i1$  と、選択回路 1 2 の出力端子  $o1$  と、の間に設けられ、コンパレータ 1 3 から選択回路 1 2 の入力端子  $s1$  を介して供給された電圧  $V_c$ 、及び、当該電圧  $V_c$  をインバータ  $INV1$  によって論理反転させた電圧  $V_{cb}$  に基づいて、オンオフを切り替える。トランスファゲート  $TG1$  は、外部から基準電圧  $V_{ref2}$  が供給される選択回路 1 2 の入力端子  $i2$  と、選択回路 1 2 の出力端子  $o1$  と、の間に設けられ、コンパレータ 1 3 から選択回路 1 2 の入力端子  $s1$  を介して供給された電圧  $V_c$ 、及び、当該電圧  $V_c$  をインバータ  $INV1$  によって論理反転させた電圧  $V_{cb}$  に基づいて、トランスファゲート  $TG1$  と相補的にオンオフを切り替える。

20

## 【 0 0 1 9 】

具体的には、トランスファゲート  $TG1$  において、トランジスタ  $MP1$ 、 $MN1$  は、選択回路 1 2 の入力端子  $i1$  と、選択回路 1 2 の出力端子  $o1$  と、の間に並列に設けられ、それぞれゲートに供給された電圧  $V_c$ 、 $V_{cb}$  に基づいてオンオフを切り替える。トランスファゲート  $TG2$  において、トランジスタ  $MP2$ 、 $MN2$  は、選択回路 1 2 の入力端子  $i2$  と、選択回路 1 2 の出力端子  $o1$  と、の間に並列に設けられ、それぞれゲートに供給された電圧  $V_{cb}$ 、 $V_c$  に基づいて、トランジスタ  $MP1$ 、 $MN1$  と相補的にオンオフを切り替える。

30

## 【 0 0 2 0 】

例えば、コンパレータ 1 3 から L レベルの電圧  $V_c$  が出力された場合、トランスファゲート  $TG1$  はオンし、かつ、トランスファゲート  $TG2$  はオフする。そのため、選択回路 1 2 は、基準電圧  $V_{ref1}$  を基準電圧  $V_{ref}$  として出力端子  $o1$  から出力する。それに対し、コンパレータ 1 3 から H レベルの電圧  $V_c$  が出力された場合、トランスファゲート  $TG1$  はオフし、かつ、トランスファゲート  $TG2$  はオンする。そのため、選択回路 1 2 は、基準電圧  $V_{ref2}$  を基準電圧  $V_{ref}$  として出力端子  $o1$  から出力する。

40

## 【 0 0 2 1 】

なお、選択回路 1 2 の構成は、図 2 に示す構成に限られず、図 2 に示す構成と同等の機能を実現可能な他の構成に適宜変更可能である。

## 【 0 0 2 2 】

図 1 に戻り、説明を続ける。

コンパレータ 1 3 は、分圧電圧  $V_d$  と基準電圧  $V_{ref}$  とを比較して、比較結果である電圧  $V_c$  を出力する。理想的には、コンパレータ 1 3 は、電圧  $V_d$  が基準電圧  $V_{ref}$  以上

50

の場合に L レベルの電圧  $V_c$  を出力し、電圧  $V_d$  が基準電圧  $V_{ref}$  未満の場合に H レベルの電圧  $V_c$  を出力する。

#### 【0023】

NAND 回路 14 は、所謂イネーブル回路であって、コンパレータ 13 の出力電圧  $V_c$  に基づいて、昇圧回路 11 に対してクロック信号 CLK を出力するか否かを制御する。例えば、コンパレータ 13 から L レベルの信号が出力されている場合、NAND 回路 14 は、クロック信号 CLK に関わらず H レベルの信号を出力する。つまり、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を停止させる。このとき、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を行わない。それに対し、コンパレータ 13 から H レベルの信号が出力されている場合、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK (厳密に言えば、本例ではクロック信号 CLK の反転信号) の供給を行う。このとき、昇圧回路 11 は、出力電圧  $V_{out}$  を昇圧させる。なお、NAND 回路 14 は、例えば論理積回路 (AND 回路) など、コンパレータ 13 の出力電圧  $V_c$  に基づいて昇圧回路 11 へのクロック信号 CLK の供給の可否を制御可能な他の回路に適宜変更可能である。

10

#### 【0024】

(電源回路 1 の動作)

続いて、図 3 を用いて、電源回路 1 の動作について説明する。

図 3 は、電源回路 1 の動作を示すタイミングチャートである。なお、以下では、昇圧回路 11 を駆動する電源電圧  $V_{DD}$  が 2 V、昇圧回路 11 の出力電圧  $V_{out}$  のターゲット電圧が 10 V、抵抗素子  $R_{1a}$ 、 $R_{1b}$  の抵抗比  $R_{1a} : R_{1b}$  が 9 : 1、基準電圧  $V_{ref1}$  が 1.05 V、基準電圧  $V_{ref2}$  が 0.95 V である場合を例に説明する。

20

#### 【0025】

図 3 に示すように、昇圧回路 11 による出力電圧  $V_{out}$  の昇圧開始直後は、出力電圧  $V_{out}$  は、電源電圧  $V_{DD}$  (= 2 V) 以上、かつ、ターゲット電圧 (= 10 V) 以下を示している (時刻  $t_{10}$ )。例えば、出力電圧  $V_{out}$  が 5 V を示す場合、出力電圧  $V_{out}$  の分圧電圧  $V_d$  は 0.5 V を示す。このとき、分圧電圧  $V_d$  は、選択回路 12 によって基準電圧  $V_{ref1}$ 、 $V_{ref2}$  の何れが基準電圧  $V_{ref}$  として選択されているかに関わらず、基準電圧  $V_{ref}$  よりも小さくなる。そのため、コンパレータ 13 は、H レベルの電圧  $V_c$  を出力する。

#### 【0026】

コンパレータ 13 から H レベルの電圧  $V_c$  が出力されている場合、選択回路 12 は、基準電圧  $V_{ref2}$  (= 0.95 V) を選択して基準電圧  $V_{ref}$  として出力する。また、このとき、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を行う。それにより、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を継続する。

30

#### 【0027】

出力電圧  $V_{out}$  が上昇すると、それに伴って、出力電圧  $V_{out}$  の分圧電圧  $V_d$  も上昇する。したがって、しばらくすると、分圧電圧  $V_d$  は、基準電圧  $V_{ref}$  (= 0.95 V) に達する (時刻  $t_{11}$ )。しかしながら、コンパレータ 13 は、コンパレータ 13 のオフセット電圧、コンパレータ 13 の反応速度、及び、昇圧回路 11 によって決まる出力電圧  $V_{out}$  の昇圧速度などの影響を受けて、出力電圧  $V_c$  を H レベルに維持する。

40

#### 【0028】

その後、出力電圧  $V_{out}$  がさらに上昇し、それに伴って、分圧電圧  $V_d$  が上昇すると、コンパレータ 13 は、出力電圧  $V_c$  を H レベルから L レベルに切り替える (時刻  $t_{12}$ )。例えば、出力電圧  $V_{out}$  がターゲット電圧 (= 10 V) を超えて 11 V を示す場合、出力電圧  $V_{out}$  の分圧電圧  $V_d$  は 1.1 V を示す。このとき、分圧電圧  $V_d$  は、基準電圧  $V_{ref}$  (= 1.05 V) よりも大きくなるため、コンパレータ 13 は、L レベルの電圧  $V_c$  を出力する。

#### 【0029】

それにより、選択回路 12 は、基準電圧  $V_{ref2}$  から基準電圧  $V_{ref1}$  (= 1.05 V) に選択を切り替えて基準電圧  $V_{ref}$  として出力する。また、このとき、NAND 回

50

路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を停止させる。それにより、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を停止させる。それにより、出力電圧  $V_{out}$  は、下降し始める。

【0030】

出力電圧  $V_{out}$  が下降すると、それに伴って、出力電圧  $V_{out}$  の分圧電圧  $V_d$  も下降する。したがって、しばらくすると、分圧電圧  $V_d$  は、基準電圧  $V_{ref}$  ( $= 1.05V$ ) に達する (時刻  $t_{13}$ )。しかしながら、コンパレータ 13 は、コンパレータ 13 のオフセット電圧、コンパレータ 13 の反応速度、及び、昇圧回路 11 の出力電流負荷によって決まる出力電圧  $V_{out}$  の下降速度などの影響を受けて、出力電圧  $V_c$  を L レベルに維持する。

10

【0031】

その後、出力電圧  $V_{out}$  がさらに下降し、それに伴って、分圧電圧  $V_d$  が下降すると、コンパレータ 13 は、出力電圧  $V_c$  を L レベルから H レベルに切り替える (時刻  $t_{14}$ )。それにより、選択回路 12 は、基準電圧  $V_{ref1}$  から基準電圧  $V_{ref2}$  ( $= 0.95V$ ) に選択を切り替えて基準電圧  $V_{ref}$  として出力する。また、このとき、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を再開させる。それにより、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を再開させる。

【0032】

その後、時刻  $t_{15}$  以降では、時刻  $t_{11} \sim t_{15}$  の動作が繰り返される。

【0033】

20

ここで、昇圧回路 11 のリップル上昇成分は、時刻  $t_{11}$  から時刻  $t_{12}$  にかけて上昇した分圧電圧  $V_d$  の上昇分  $V_{dup}$  に比例する正の値を示す。また、昇圧回路 11 のリップル下降成分は、時刻  $t_{13}$  から時刻  $t_{14}$  にかけて下降した分圧電圧  $V_d$  の下降分  $V_{ddwn}$  に比例する負の値を示す。したがって、昇圧回路 11 のリップル成分は、リップル上昇成分とリップル下降成分との和、即ち、電圧  $V_{dup}$  と電圧  $V_{ddwn}$  との和に比例する値を示す。しかしながら、電圧  $V_{dup}$  と電圧  $V_{ddwn}$  とは、基準電圧  $V_{ref1}$  ,  $V_{ref2}$  間の電位差の分だけ重複している。そのため、昇圧回路 11 のリップル成分は、その基準電圧  $V_{ref1}$  ,  $V_{ref2}$  間の電位差に比例する値の分だけ抑制される。

【0034】

このように、本実施の形態にかかる電源回路 1 は、出力電圧  $V_{out}$  の分圧電圧  $V_d$  と、選択的に用いられる基準電圧  $V_{ref1}$  ,  $V_{ref2}$  の何れかと、の比較結果に基づいて、昇圧回路 11 による出力電圧  $V_{out}$  の昇圧の可否を制御している。それにより、本実施の形態にかかる電源回路 1 は、昇圧回路 11 のリップル上昇成分及びリップル下降成分を部分的に重複させることができるため、昇圧回路 11 の全体的なリップル成分を抑制することができる。換言すると、本実施の形態にかかる電源回路 1 は、負荷への出力電流の大きさに関係なく、安定した出力電圧  $V_{out}$  を生成することができる。

30

【0035】

なお、例えば、特許文献 1 のように、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合、昇圧回路 11 のリップル上昇成分とリップル下降成分との重複部分がないため、昇圧回路 11 の全体的なリップル成分を抑制することはできない。

40

【0036】

図 4 は、本実施の形態にかかる電源回路 1 における、基準電圧  $V_{ref}$  に使用される 2 種類の基準電圧  $V_{ref1}$  ,  $V_{ref2}$  の設定値と、出力電圧  $V_{out}$  と、の関係を示す図である。なお、図 4 には、比較のため、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合における出力電圧  $V_{out}$  も示されている。

【0037】

なお、図 4 の例では、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合、基準電圧  $V_{ref}$  は  $0.80V$  を示すものとする。また、基準電圧  $V_{ref}$  に使用される電圧が基準電圧  $V_{ref1}$  ,  $V_{ref2}$  の 2 種類の場合、基準電圧  $V_{ref1}$  ,  $V_{ref2}$  の平均電圧が  $0.80V$  を示すものとする。

50

## 【 0 0 3 8 】

図 4 を参照すると、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合、出力電圧  $V_{out}$  の最小値は 6.93 V、最大値は 7.84 V、平均値は 7.43 V、最大値と最小値の差（即ち、リップル成分）は 0.91 V を示している。

## 【 0 0 3 9 】

それに対し、基準電圧  $V_{ref}$  に使用される電圧が、0.79 V の基準電圧  $V_{ref1}$ 、及び、0.82 V の基準電圧  $V_{ref2}$  の 2 種類の場合、出力電圧  $V_{out}$  の最小値は 7.16 V、最大値は 7.75 V、平均値は 7.47 V、最大値と最小値の差（即ち、リップル成分）は 0.59 V を示している。この場合、リップル成分は、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合と比較して、約 35 % 抑制されている。

10

## 【 0 0 4 0 】

また、基準電圧  $V_{ref}$  に使用される電圧が、0.78 V の基準電圧  $V_{ref1}$ 、及び、0.82 V の基準電圧  $V_{ref2}$  の 2 種類の場合、出力電圧  $V_{out}$  の最小値は 7.26 V、最大値は 7.80 V、平均値は 7.57 V、最大値と最小値の差（即ち、リップル成分）は 0.54 V を示している。この場合、リップル成分は、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合と比較して、約 41 % 抑制されている。

## 【 0 0 4 1 】

図 5 は、本実施の形態にかかる電源回路における、出力端子 OUT に付加される安定化容量の容量値と、出力電圧  $V_{out}$  と、の関係を示す図である。なお、図 5 には、比較のため、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合における出力電圧  $V_{out}$  も示されている。

20

## 【 0 0 4 2 】

なお、図 5 の例では、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合、基準電圧  $V_{ref}$  が 0.80 V を示し、かつ、安定化容量が 16 pF を示すものとする。また、基準電圧  $V_{ref}$  に使用される電圧が基準電圧  $V_{ref1}$ 、 $V_{ref2}$  の 2 種類の場合、基準電圧  $V_{ref1}$  が 0.78 V、基準電圧  $V_{ref2}$  が 0.82 V を示すものとする。

## 【 0 0 4 3 】

図 5 を参照すると、基準電圧  $V_{ref}$  に使用される電圧が 1 種類、かつ、安定化容量が 16 pF の場合、出力電圧  $V_{out}$  の最小値は 6.93 V、最大値は 7.84 V、平均値は 7.43 V、最大値と最小値の差（即ち、リップル成分）は 0.91 V を示している。

30

## 【 0 0 4 4 】

それに対し、基準電圧  $V_{ref}$  に使用される電圧が 2 種類、かつ、安定化容量が 16 pF の場合、出力電圧  $V_{out}$  の最小値は 7.26 V、最大値は 7.80 V、平均値は 7.57 V、最大値と最小値の差（即ち、リップル成分）は 0.54 V を示している。この場合、リップル成分は、既に説明したように、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合と比較して、約 41 % 抑制されている。

## 【 0 0 4 5 】

ここで、安定化容量の容量値を 8 pF まで小さくすると、出力電圧  $V_{out}$  の最小値は 7.01 V、最大値は 7.83 V、平均値は 7.52 V、最大値と最小値の差（即ち、リップル成分）は 0.82 V を示す。さらに、安定化容量の容量値を 6 pF まで小さくすると、出力電圧  $V_{out}$  の最小値は 6.88 V、最大値は 7.95 V、平均値は 7.50 V、最大値と最小値の差（即ち、リップル成分）は 1.07 V を示す。したがって、安定化容量の容量値が 7 pF 程度の場合に、出力電圧  $V_{out}$  のリップル成分が 0.9 V 程度になるものと考えられる。

40

## 【 0 0 4 6 】

つまり、基準電圧  $V_{ref}$  に使用される電圧が 2 種類の場合には、安定化容量の容量値を 7 pF 程度にまで小さくしても、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合、かつ、安定化容量が 16 pF の場合と同等程度のリップル成分に抑えることができる。換言すると、本実施の形態にかかる電源回路 11 は、基準電圧  $V_{ref}$  に使用される電圧が 1 種類の場合と比較して、より小さな回路規模で同等のリップル成分の抑制を実現すること

50

ができる。

【 0 0 4 7 】

( 電源回路 1 の変形例 )

図 6 は、電源回路 1 の変形例を電源回路 1 a として示す図である。

電源回路 1 a は、電源回路 1 と比較して、論理和回路 ( 以下、O R 回路と称す ) 1 5 をさらに備える。

【 0 0 4 8 】

O R 回路 1 5 は、所謂イネーブル回路であって、外部から供給されたイネーブル信号 E N と、コンパレータ 1 3 から出力された電圧 V c と、の論理和を、電圧 V s e l として出力する。なお、イネーブル信号 E N は、例えば、昇圧回路 1 1 又はその周辺回路の動作の可否を制御するために用いられているイネーブル信号と共用されても良い。

10

【 0 0 4 9 】

O R 回路 1 5 は、イネーブル信号 E N が H レベルの場合、コンパレータ 1 3 の出力電圧 V c に関わらず H レベルの電圧 V s e l を出力し、イネーブル信号 E N が L レベルの場合、コンパレータ 1 3 の出力電圧 V c をそのまま電圧 V s e l として出力する。この電圧 V s e l は、電圧 V c の代わりに、選択回路 1 2 及び N A N D 回路 1 4 に入力される。

【 0 0 5 0 】

例えば、電源起動直後の所定期間、イネーブル信号 E N は H レベルに設定される。それにより、コンパレータ 1 3 の出力電圧 V c が不安定な場合でも、選択回路 1 2 及び N A N D 回路 1 4 に入力される電圧 V s e l を安定したレベル ( H レベル ) に固定することができる。そして、所定期間経過後、コンパレータ 1 3 の出力電圧 V c が安定すると、イネーブル信号 E N は H レベルから L レベルに切り替わる。それにより、安定したコンパレータ 1 3 の出力電圧 V c を、電圧 V s e l として、選択回路 1 2 及び N A N D 回路 1 4 に入力することができる。

20

【 0 0 5 1 】

なお、O R 回路 1 5 は、イネーブル信号 E N に基づいてコンパレータ 1 3 の出力電圧 V c 及び固定電圧の何れかを電圧 V s e l として出力することが可能な他の回路に適宜変更可能である。

【 0 0 5 2 】

< 実施の形態 2 >

30

図 7 は、実施の形態 2 にかかる電源回路 2 の構成例を示す図である。電源回路 2 は、電源回路 1 と比較して、選択回路 1 2 の代わりに選択回路 2 1 を備える。また、電源回路 2 には、基準電圧 V r e f 1 , V r e f 2 が供給される代わりに基準電圧 V r e f のみが供給されている。さらに、抵抗素子 R 1 は、抵抗素子 R 1 a , R 1 b の代わりに、抵抗素子 R 1 c , R 1 d , R 1 e によって構成されている。以下、具体的に説明する。

【 0 0 5 3 】

図 7 に示すように、電源回路 2 は、昇圧回路 1 1 と、選択回路 2 1 と、コンパレータ 1 3 と、N A N D 回路 1 4 と、抵抗素子 R 1 と、を備える。

【 0 0 5 4 】

抵抗素子 R 1 は、抵抗素子 R 1 c , R 1 d , R 1 e によって構成され、電源回路 2 の出力端子 O U T と、接地電圧端子 G N D と、の間に直列に設けられている。抵抗素子 R 1 は、抵抗素子 R 1 c , R 1 d 間のノード N 1 の電圧 V d 1 を出力するとともに、抵抗素子 R 1 d , R 1 e 間のノード N 2 の電圧 V d 2 を出力する。換言すると、抵抗素子 R 1 は、電源回路 2 の出力端子 O U T の電圧 V o u t を、抵抗素子 R 1 c と抵抗素子 R 1 d , R 1 e との抵抗比で分圧して電圧 V d 1 として出力するとともに、抵抗素子 R 1 c , R 1 d と抵抗素子 R 1 e との抵抗比で分圧して電圧 V d 2 として出力する。

40

【 0 0 5 5 】

選択回路 2 1 は、コンパレータ 1 3 から出力される電圧 V c に基づいて、分圧電圧 V d 1 及び分圧電圧 V d 2 の何れかを選択して分圧電圧 V d として出力する。なお、本実施の形態では、分圧電圧 V d 1 が分圧電圧 V d 2 よりも大きい場合を例に説明する。

50

## 【 0 0 5 6 】

例えば、コンパレータ 1 3 から L レベルの電圧  $V_c$  が出力されている場合、選択回路 2 1 は、分圧電圧  $V_{d2}$  を選択して分圧電圧  $V_d$  として出力する。それに対し、コンパレータ 1 3 から H レベルの電圧  $V_c$  が出力されている場合、選択回路 2 1 は、分圧電圧  $V_{d1}$  を選択して分圧電圧  $V_d$  として出力する。

## 【 0 0 5 7 】

電源回路 2 のその他の構成については、電源回路 1 の場合と同様であるため、その説明を省略する。

## 【 0 0 5 8 】

( 電源回路 2 の動作 )

続いて、図 8 を用いて、電源回路 2 の動作について説明する。

図 8 は、電源回路 2 の動作を示すタイミングチャートである。なお、以下では、昇圧回路 1 1 を駆動する電源電圧  $V_{DD}$  が 2 V、昇圧回路 1 1 の出力電圧  $V_{out}$  のターゲット電圧が 1 0 V、抵抗素子  $R_{1c}$ 、 $R_{1d}$ 、 $R_{1e}$  の抵抗比  $R_{1c} : R_{1d} : R_{1e}$  が 8 . 9 5 : 0 . 1 : 0 . 9 5、基準電圧  $V_{ref}$  が 1 V である場合を例に説明する。

## 【 0 0 5 9 】

図 8 に示すように、昇圧回路 1 1 による出力電圧  $V_{out}$  の昇圧開始直後は、出力電圧  $V_{out}$  は、電源電圧  $V_{DD}$  ( = 2 V ) 以上、かつ、ターゲット電圧 ( = 1 0 V ) 以下を示している ( 時刻  $t_{20}$  )。例えば、出力電圧  $V_{out}$  が 5 V を示す場合、分圧電圧  $V_{d1}$  は 0 . 5 2 5 V を示し、分圧電圧  $V_{d2}$  は 0 . 4 7 5 V を示す。このとき、基準電圧  $V_{ref}$  ( = 1 V ) は、選択回路 2 1 によって分圧電圧  $V_{d1}$ 、 $V_{d2}$  のうち何れが分圧電圧  $V_d$  として選択されているかに関わらず、分圧電圧  $V_d$  よりも大きくなる。そのため、コンパレータ 1 3 は、H レベルの電圧  $V_c$  を出力する。

## 【 0 0 6 0 】

コンパレータ 1 3 から H レベルの電圧  $V_c$  が出力されている場合、選択回路 2 1 は、分圧電圧  $V_{d1}$  ( = 0 . 5 2 5 V ) を選択して分圧電圧  $V_d$  として出力する。また、このとき、NAND 回路 1 4 は、昇圧回路 1 1 へのクロック信号  $CLK$  の供給を行う。それにより、昇圧回路 1 1 は、出力電圧  $V_{out}$  の昇圧を継続する。

## 【 0 0 6 1 】

出力電圧  $V_{out}$  が上昇すると、それに伴って、出力電圧  $V_{out}$  の分圧電圧  $V_d$  ( ここでは、 $V_d = V_{d1}$  ) も上昇する。したがって、しばらくすると、分圧電圧  $V_d$  は、基準電圧  $V_{ref}$  ( = 1 V ) に達する ( 時刻  $t_{21}$  )。しかしながら、コンパレータ 1 3 は、コンパレータ 1 3 のオフセット電圧、コンパレータ 1 3 の反応速度、及び、昇圧回路 1 1 によって決まる出力電圧  $V_{out}$  の昇圧速度などの影響を受けて、出力電圧  $V_c$  を H レベルに維持する。

## 【 0 0 6 2 】

その後、出力電圧  $V_{out}$  がさらに上昇し、それに伴って、分圧電圧  $V_d$  が上昇すると、コンパレータ 1 3 は、出力電圧  $V_c$  を H レベルから L レベルに切り替える ( 時刻  $t_{22}$  )。例えば、出力電圧  $V_{out}$  がターゲット電圧 ( = 1 0 V ) を超えて 1 1 V を示す場合、分圧電圧  $V_{d1}$  は 1 . 1 5 5 V を示し、分圧電圧  $V_{d2}$  は 1 . 0 4 5 V を示す。このとき、分圧電圧  $V_d$  ( = 1 . 1 5 5 V ) は、基準電圧  $V_{ref}$  ( = 1 V ) よりも大きくなるため、コンパレータ 1 3 は、L レベルの電圧  $V_c$  を出力する。

## 【 0 0 6 3 】

それにより、選択回路 2 1 は、分圧電圧  $V_{d1}$  から分圧電圧  $V_{d2}$  に選択を切り替えて分圧電圧  $V_d$  として出力する。また、このとき、NAND 回路 1 4 は、昇圧回路 1 1 へのクロック信号  $CLK$  の供給を停止させる。それにより、昇圧回路 1 1 は、出力電圧  $V_{out}$  の昇圧を停止させる。それにより、出力電圧  $V_{out}$  は、下降し始める。

## 【 0 0 6 4 】

出力電圧  $V_{out}$  が下降すると、それに伴って、出力電圧  $V_{out}$  の分圧電圧  $V_d$  ( ここでは、 $V_d = V_{d2}$  ) も下降する。したがって、しばらくすると、分圧電圧  $V_d$  は、基準

10

20

30

40

50

電圧  $V_{ref}$  ( $= 1V$ ) に達する (時刻  $t_{23}$ )。しかしながら、コンパレータ 13 は、コンパレータ 13 のオフセット電圧、コンパレータ 13 の反応速度、及び、昇圧回路 11 の出力電流負荷によって決まる出力電圧  $V_{out}$  の下降速度などの影響を受けて、出力電圧  $V_c$  を L レベルに維持する。

【0065】

その後、出力電圧  $V_{out}$  がさらに下降し、それに伴って、分圧電圧  $V_d$  が下降すると、コンパレータ 13 は、出力電圧  $V_c$  を L レベルから H レベルに切り替える (時刻  $t_{24}$ )。それにより、選択回路 21 は、分圧電圧  $V_{d2}$  から分圧電圧  $V_{d1}$  に選択を切り替えて分圧電圧  $V_d$  として出力する。また、このとき、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を再開させる。それにより、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を再開させる。

10

【0066】

その後、時刻  $t_{25}$  以降では、時刻  $t_{21} \sim t_{25}$  の動作が繰り返される。

【0067】

このように、本実施の形態にかかる電源回路 2 は、基準電圧  $V_{ref}$  と、選択的に用いられる分圧電圧  $V_{d1}$ 、 $V_{d2}$  の何れかと、の比較結果に基づいて、昇圧回路 11 による出力電圧  $V_{out}$  の昇圧の可否を制御している。それにより、本実施の形態にかかる電源回路 2 は、昇圧回路 11 のリップル上昇成分及びリップル下降成分を部分的に重複させることができるため、昇圧回路 11 の全体的なリップル成分を抑制することができる。換言すると、本実施の形態にかかる電源回路 1 は、負荷への出力電流の大きさに関係なく、安定した出力電圧  $V_{out}$  を生成することができる。

20

【0068】

(電源回路 2 の変形例)

図 9 は、電源回路 2 の変形例を電源回路 2a として示す図である。

電源回路 2a は、電源回路 2 と比較して、論理和回路 (以下、OR 回路と称す) 22 をさらに備える。

【0069】

OR 回路 22 は、所謂イネーブル回路であって、外部から供給されたイネーブル信号  $E_N$  と、コンパレータ 13 から出力された電圧  $V_c$  と、の論理和を、電圧  $V_{se1}$  として出力する。なお、イネーブル信号  $E_N$  は、例えば、昇圧回路 11 又はその周辺回路の動作の可否を制御するために用いられているイネーブル信号と共用されても良い。

30

【0070】

OR 回路 22 は、イネーブル信号  $E_N$  が H レベルの場合、コンパレータ 13 の出力電圧  $V_c$  に関わらず H レベルの電圧  $V_{se1}$  を出力し、イネーブル信号  $E_N$  が L レベルの場合、コンパレータ 13 の出力電圧  $V_c$  をそのまま電圧  $V_{se1}$  として出力する。この電圧  $V_{se1}$  は、電圧  $V_c$  の代わりに、選択回路 21 及び NAND 回路 14 に入力される。

【0071】

例えば、電源起動直後の所定期間、イネーブル信号  $E_N$  は H レベルに設定される。それにより、コンパレータ 13 の出力電圧  $V_c$  が不安定な場合でも、選択回路 21 及び NAND 回路 14 に入力される電圧  $V_{se1}$  のレベルを安定させることができる。そして、所定期間経過後、コンパレータ 13 の出力電圧  $V_c$  が安定すると、イネーブル信号  $E_N$  は H レベルから L レベルに切り替わる。それにより、安定したコンパレータ 13 の出力電圧  $V_c$  を、電圧  $V_{se1}$  として、選択回路 21 及び NAND 回路 14 に入力することができる。

40

【0072】

なお、OR 回路 22 は、イネーブル信号  $E_N$  に基づいてコンパレータ 13 の出力電圧  $V_c$  及び固定電圧の何れかを電圧  $V_{se1}$  として出力することが可能な他の回路に適宜変更可能である。

【0073】

< 実施の形態 3 >

図 10 は、実施の形態 3 にかかる電源回路 3 の構成例を示す図である。電源回路 3 は、電

50

源回路 1 と比較して、比較部 10 の代わりに比較部 30 を備える。比較部 30 は、コンパレータ 31 と、コンパレータ 32 と、制御回路 33 と、を有する。

【0074】

コンパレータ 31 は、分圧電圧  $V_d$  と基準電圧  $V_{ref1}$  とを比較して、比較結果である電圧  $V_{c1}$  を出力する。理想的には、コンパレータ 31 は、分圧電圧  $V_d$  が基準電圧  $V_{ref1}$  以上の場合に H レベルの電圧  $V_{c1}$  を出力し、分圧電圧  $V_d$  が基準電圧  $V_{ref1}$  未満の場合に L レベルの電圧  $V_{c1}$  を出力する。

【0075】

コンパレータ 32 は、分圧電圧  $V_d$  と基準電圧  $V_{ref2}$  とを比較して、比較結果である電圧  $V_{c2}$  を出力する。理想的には、コンパレータ 32 は、分圧電圧  $V_d$  が基準電圧  $V_{ref2}$  以上の場合に H レベルの電圧  $V_{c2}$  を出力し、分圧電圧  $V_d$  が基準電圧  $V_{ref2}$  未満の場合に L レベルの電圧  $V_{c2}$  を出力する。

【0076】

制御回路 33 は、コンパレータ 31, 32 のそれぞれから出力された電圧  $V_{c1}$ ,  $V_{c2}$  に応じた電圧  $V_{out}$  を出力する。

【0077】

(制御回路 33 の具体的な構成例)

図 11 は、制御回路 33 の具体的な構成例を示す図である。

図 11 に示すように、制御回路 33 は、排他的論理和回路 (XOR 回路) 331 と、D フリップフロップ 332 と、を備える。

【0078】

XOR 回路 331 は、電圧  $V_{c1}$ ,  $V_{c2}$  の排他的論理和を、電圧  $V_{cint}$  として出力する。D フリップフロップ 332 は、電圧  $V_{cint}$  の立ち上がりに同期して電圧  $V_{out}$  を取り込み、論理反転させて電圧  $V_{out}$  として出力する。

【0079】

なお、制御回路 33 の構成は、図 11 に示す構成に限られず、図 11 に示す構成と同等の機能を実現可能な他の構成に適宜変更可能である。

【0080】

図 10 に戻り、説明を続ける。

NAND 回路 14 は、制御回路 33 の出力電圧  $V_{out}$  に基づいて、昇圧回路 11 に対してクロック信号 CLK を出力するか否かを制御する。例えば、制御回路 33 から L レベルの信号が出力されている場合、NAND 回路 14 は、クロック信号 CLK に関わらず H レベルの信号を出力する。つまり、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を停止させる。それに対し、コンパレータ 13 から H レベルの信号が出力されている場合、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK (厳密に言えば、本例ではクロック信号 CLK の反転信号) の供給を行う。このとき、昇圧回路 11 は、出力  $V_{out}$  を昇圧させる。

【0081】

電源回路 3 のその他の構成については、電源回路 1 の場合と同様であるため、その説明を省略する。

【0082】

(電源回路 3 の動作)

続いて、図 12 を用いて、電源回路 3 の動作について説明する。

図 12 は、電源回路 3 の動作を示すタイミングチャートである。なお、以下では、昇圧回路 11 を駆動する電源電圧 VDD が 2 V、昇圧回路 11 の出力電圧  $V_{out}$  のターゲット電圧が 10 V、抵抗素子 R1a, R1b の抵抗比 R1a : R1b が 9 : 1、基準電圧  $V_{ref1}$  が 1.05 V、基準電圧  $V_{ref2}$  が 0.95 V である場合を例に説明する。

【0083】

図 12 に示すように、昇圧回路 11 による出力電圧  $V_{out}$  の昇圧開始直後は、出力電圧  $V_{out}$  は、ターゲット電圧 (= 10 V) に満たない状態である (時刻 t30)。そのた

10

20

30

40

50

め、コンパレータ 31, 32 は何れも L レベルの電圧  $V_{c1}$ ,  $V_{c2}$  を出力する。このとき、制御回路 33 では、XOR 回路 331 が L レベルの電圧  $V_{cin}$  を出力するため、D フリップフロップ 332 は、初期値である H レベルの電圧  $V_{out}$  を出力する。

【0084】

制御回路 33 から H レベルの電圧  $V_{out}$  が出力されるため、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を行う。それにより、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を継続する。

【0085】

その後、出力電圧  $V_{out}$  が上昇してターゲット電圧を超えると、まず、コンパレータ 32 の出力電圧  $V_{c2}$  が L レベルから H レベルに切り替わり（時刻  $t_{31}$ ）、その後、コンパレータ 31 の出力電圧  $V_{c1}$  が L レベルから H レベルに切り替わる（時刻  $t_{32}$ ）。それにより、制御回路 33 では、XOR 回路 331 の出力電圧  $V_{cin}$  が L レベルから H レベルに切り替わり（時刻  $t_{31}$ ）、その後、H レベルから L レベルに切り替わる（時刻  $t_{32}$ ）。このとき、D フリップフロップ 332 は、XOR 回路 331 の出力電圧  $V_{cin}$  の立ち上がり同期して出力電圧  $V_{out}$  を H レベルから L レベルに反転させる（時刻  $t_{31}$ ）。

10

【0086】

制御回路 33 から L レベルの電圧  $V_{out}$  が出力されるため、NAND 回路 14 は、昇圧回路 11 へのクロック信号 CLK の供給を停止させる。それにより、昇圧回路 11 は、出力電圧  $V_{out}$  の昇圧を停止させる。それにより、出力電圧  $V_{out}$  は、下降し始める。

20

【0087】

その後、出力電圧  $V_{out}$  が下降してターゲット電圧を下回ると、まず、コンパレータ 31 の出力電圧  $V_{c1}$  が H レベルから L レベルに切り替わり（時刻  $t_{33}$ ）、その後、コンパレータ 32 の出力電圧  $V_{c2}$  が H レベルから L レベルに切り替わる（時刻  $t_{34}$ ）。それにより、制御回路 33 では、XOR 回路 331 の出力電圧  $V_{cin}$  が L レベルから H レベルに切り替わり（時刻  $t_{33}$ ）、その後、H レベルから L レベルに切り替わる（時刻  $t_{34}$ ）。このとき、D フリップフロップ 332 は、XOR 回路 331 の出力電圧  $V_{cin}$  の立ち上がり同期して出力電圧  $V_{out}$  を L レベルから H レベルに反転させる（時刻  $t_{34}$ ）。

【0088】

30

その後は、時刻  $t_{31} \sim t_{34}$  の動作が繰り返される。

【0089】

このように、本実施の形態にかかる電源回路 3 は、出力電圧  $V_{out}$  の分圧電圧  $V_d$  と、基準電圧  $V_{ref1}$ ,  $V_{ref2}$  のそれぞれと、の比較結果に基づいて、昇圧回路 11 による出力電圧  $V_{out}$  の昇圧の可否を制御している。それにより、本実施の形態にかかる電源回路 3 は、昇圧回路 11 のリップル上昇成分及びリップル下降成分を部分的に重複させることができるため、昇圧回路 11 の全体的なリップル成分を抑制することができる。換言すると、本実施の形態にかかる電源回路 1 は、負荷への出力電流の大きさに関係なく、安定した出力電圧  $V_{out}$  を生成することができる。

【0090】

40

（電源回路 3 の変形例）

図 13 は、電源回路 3 の変形例を電源回路 3a として示す図である。電源回路 3a は、電源回路 3 と比較して、論理和回路（以下、OR 回路と称す）34 をさらに備える。

【0091】

OR 回路 34 は、所謂イネーブル回路であって、外部から供給されたイネーブル信号 EN と、制御回路 33 から出力された電圧  $V_{out}$  と、の論理和を、電圧  $V_{sel}$  として出力する。なお、イネーブル信号 EN は、例えば、昇圧回路 11 又はその周辺回路の動作の可否を制御するために用いられているイネーブル信号と共用されても良い。

【0092】

OR 回路 34 は、イネーブル信号 EN が H レベルの場合、制御回路 33 の出力電圧  $V_{co}$

50

utに関わらずHレベルの電圧Vse1を出力し、イネーブル信号ENがLレベルの場合、制御回路33の出力電圧Vcoutをそのまま電圧Vse1として出力する。この電圧Vse1は、電圧Vcoutの代わりに、NAND回路14に入力される。

【0093】

例えば、電源起動直後の所定期間、イネーブル信号ENはHレベルに設定される。それにより、制御回路33の出力電圧Vcoutが不安定な場合でも、NAND回路14に入力される電圧Vse1のレベルを安定させることができる。そして、所定期間経過後、制御回路33の出力電圧Vcoutが安定すると、イネーブル信号ENはHレベルからLレベルに切り替わる。それにより、安定した制御回路33の出力電圧Vcoutを、電圧Vse1として、NAND回路14に入力することができる。

10

【0094】

なお、OR回路34は、イネーブル信号ENに基づいて制御回路33の出力電圧Vcout及び固定電圧の何れかを電圧Vse1として出力することが可能な他の回路に適宜変更可能である。

【0095】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は既に述べた実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々の変更が可能であることはいうまでもない。

【0096】

上記実施の形態1～3では、基準電圧Vref1, Vref2の値が固定されているか、または、分圧電圧Vd1, Vd2の値が固定されている場合について説明したが、これに限られない。上記実施の形態1～3に係る電源回路1～3は、例えば、出力電圧Voutのリプル成分(変動幅)を測定する測定回路と、測定回路による測定結果に基づいて基準電圧Vref1, Vref2又は分圧電圧Vd1, Vd2の値を調整する調整回路と、を備えていても良い。それにより、出力電圧Voutのリプル成分をさらに抑制することが可能となる。

20

【0097】

例えば、上記の実施の形態に係る電源回路では、半導体基板、半導体層、拡散層(拡散領域)などの導電型(p型もしくはn型)を反転させた構成としてもよい。そのため、n型、及びp型の一方の導電型を第1の導電型とし、他方の導電型を第2の導電型とした場合、第1の導電型をp型、第2の導電型をn型とすることもできるし、反対に第1の導電型をn型、第2の導電型をp型とすることもできる。

30

【符号の説明】

【0098】

- 1～3 電源回路
- 1a 電源回路
- 2a 電源回路
- 3a 電源回路
- 10 比較部
- 11 昇圧回路
- 12 選択回路
- 13 コンパレータ
- 14 否定論理積回路(NAND回路)
- 15 論理和回路(OR回路)
- 21 選択回路
- 22 論理和回路(OR回路)
- 30 比較部
- 31 コンパレータ
- 32 コンパレータ
- 33 制御回路

40

50

### 3 4 論理和回路 ( O R 回路 )

### 3 3 1 排他的論理和回路 ( X O R 回路 )

3 3 2 D フリップフロップ

## INV 1 インバータ

MN1, MN2 NチャネルMOSトランジスタ

MP1, MP2 PチャネルMOSトランジスタ

N 0 , N 1 , N 2 ノード

R 1 抵抗素子

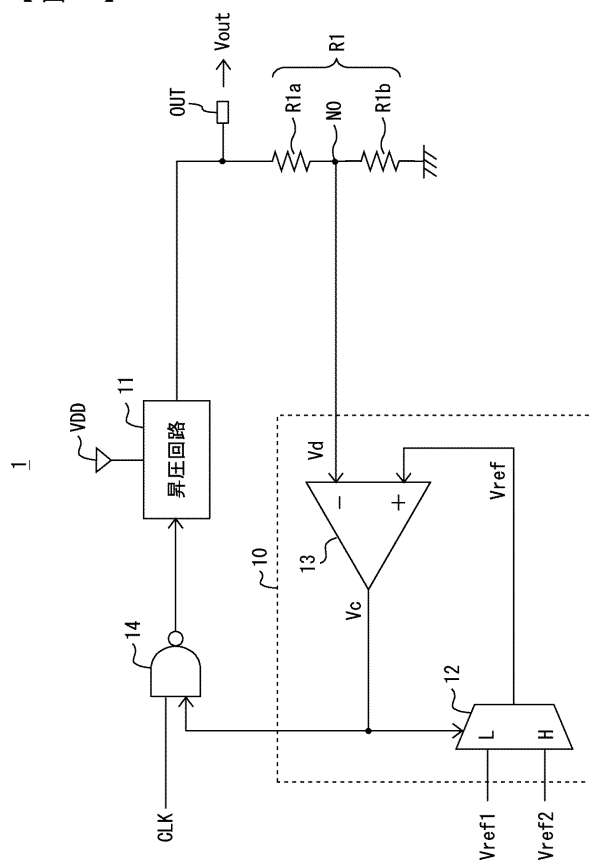
R 1 a , R 1 b , R 1 c , R 1 d , R 1 e 抵抗素子

## T G 1 トランスファゲート

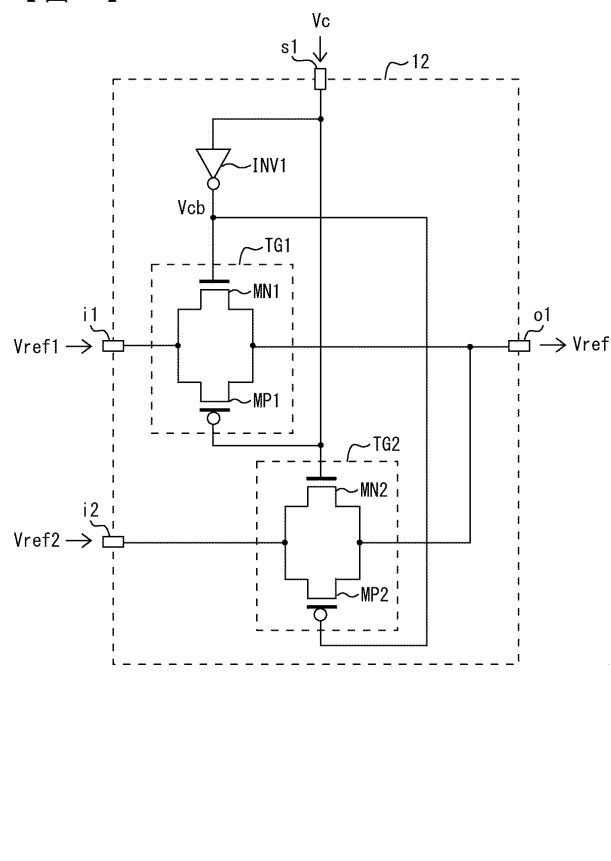
## T G 2 トランスファゲート

【図面】

【圖 1】



【圖 2】



10

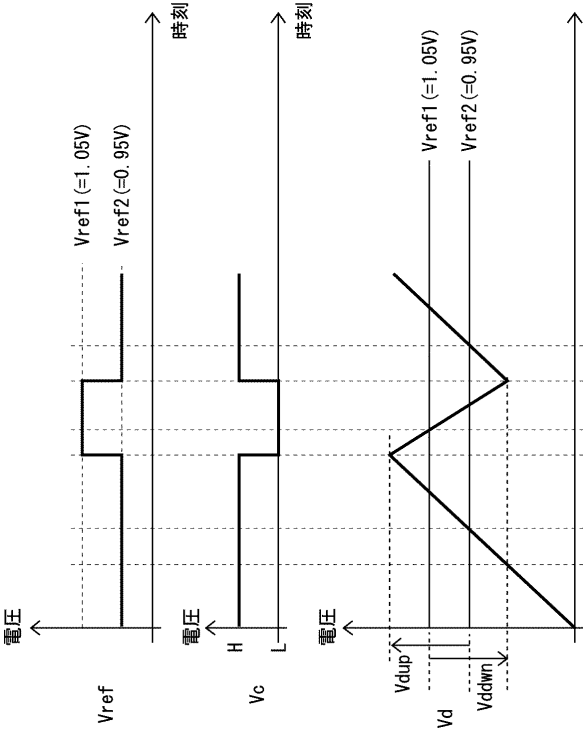
20

30

40

50

【図 3】



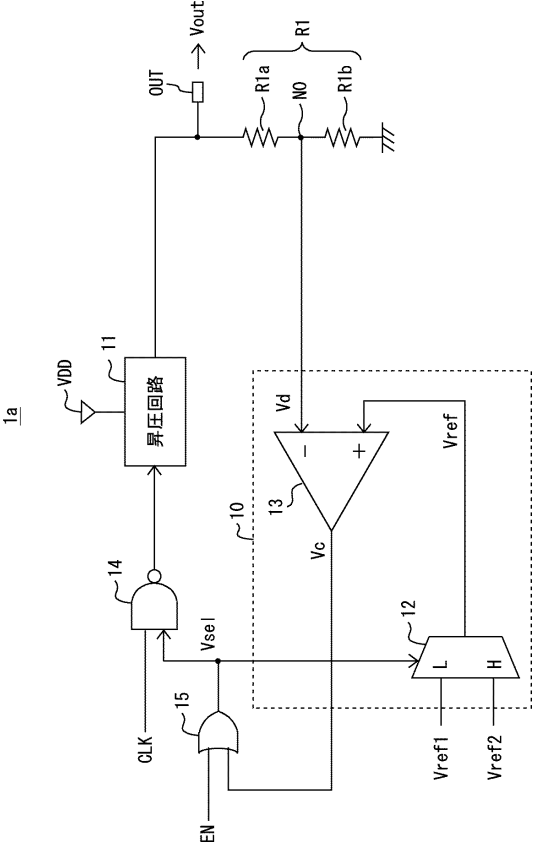
【図 4】

	Vref [V]	Vref1 [V]	Vref2 [V]	Vout [V]			
				Ave	min	max	max-min
基準電圧 1 種類	0.80	0.79	0.81	7.43	6.93	7.84	0.91
基準電圧 2 種類		0.78	0.82	7.47	7.16	7.75	0.59
				7.57	7.26	7.80	0.54

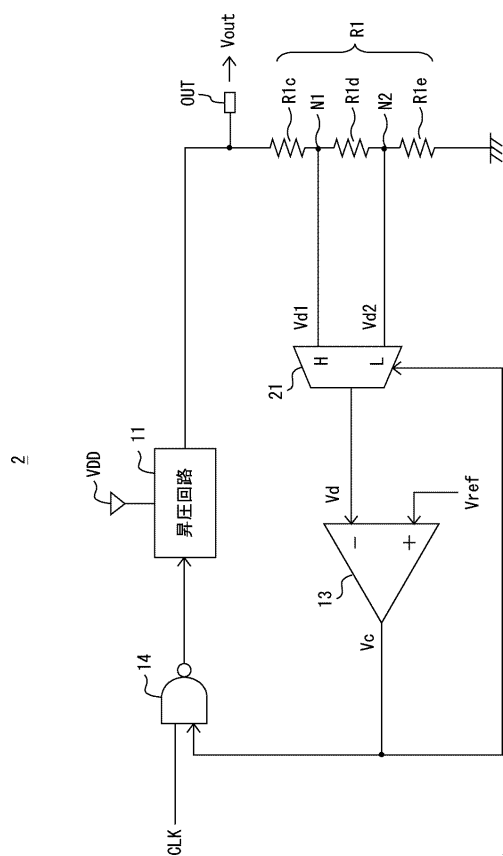
【図 5】

	安定化容量 [pF]	Vout [V]			
		Ave	min	max	max-min
基準電圧 1 種類	16	7.43	6.93	7.84	0.91
基準電圧 2 種類	16	7.57	7.26	7.80	0.54
	14	7.57	7.23	7.79	0.57
	12	7.55	7.18	7.81	0.63
	10	7.54	7.12	7.83	0.71
	8	7.52	7.01	7.83	0.82
	6	7.50	6.88	7.95	1.07

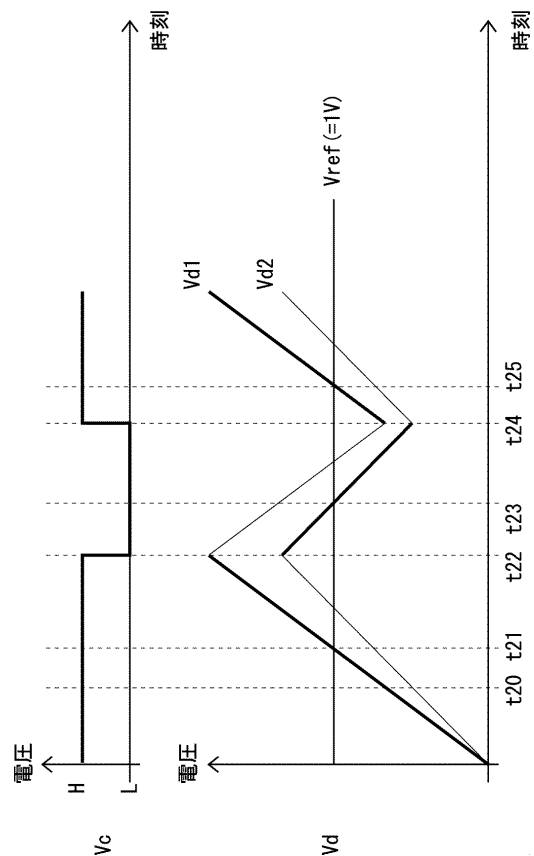
【図 6】



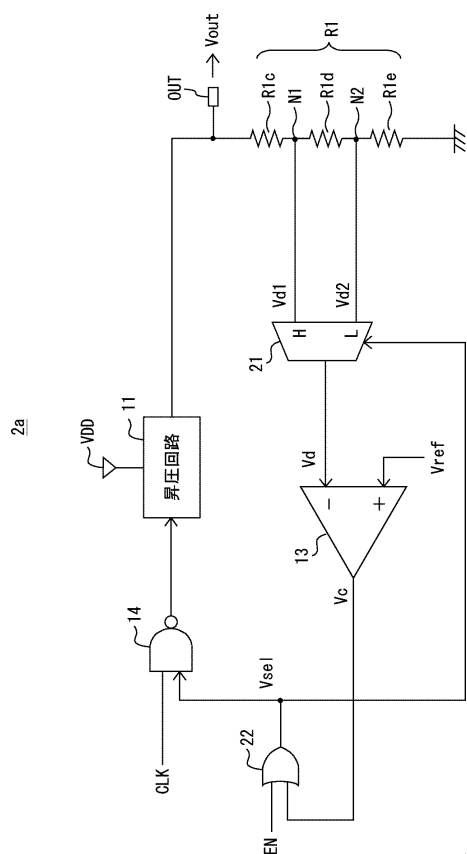
【圖 7】



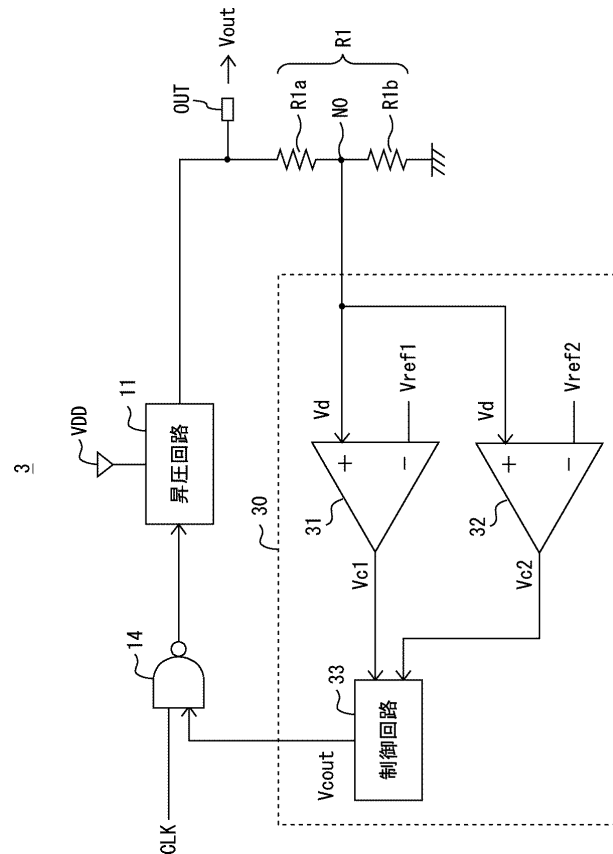
【图 8】



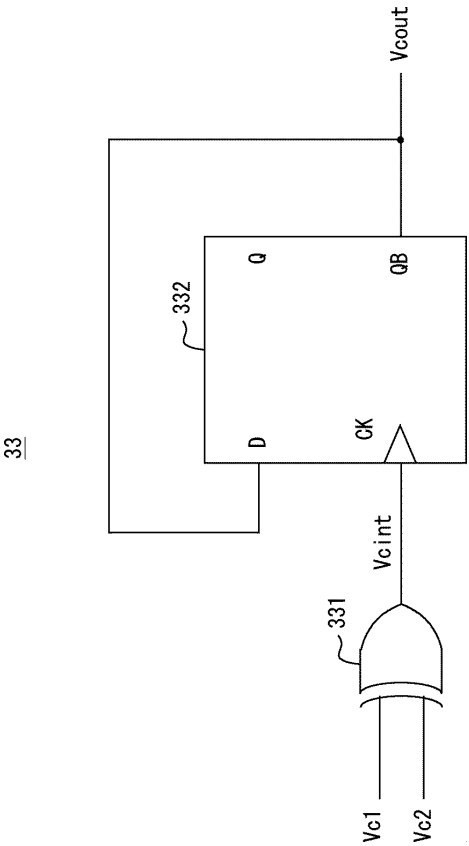
【 図 9 】



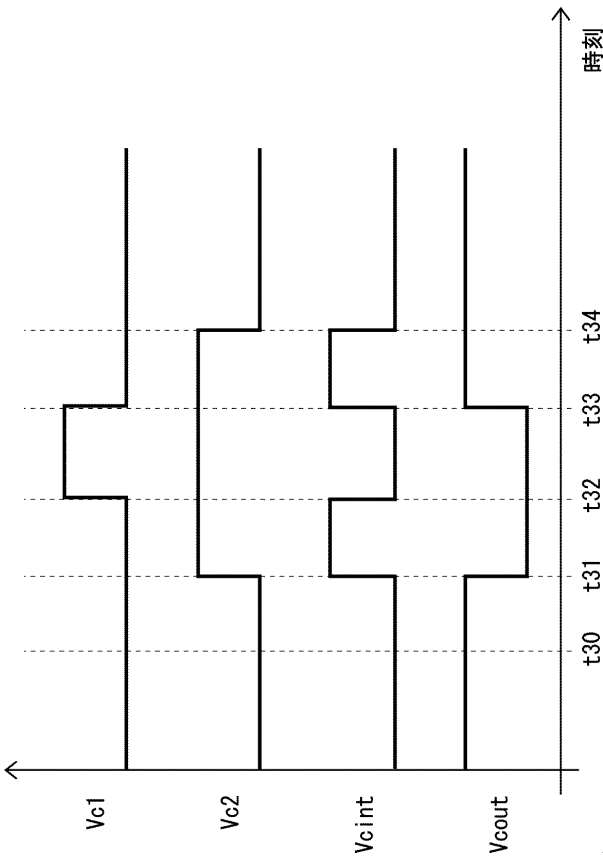
【 図 1 0 】



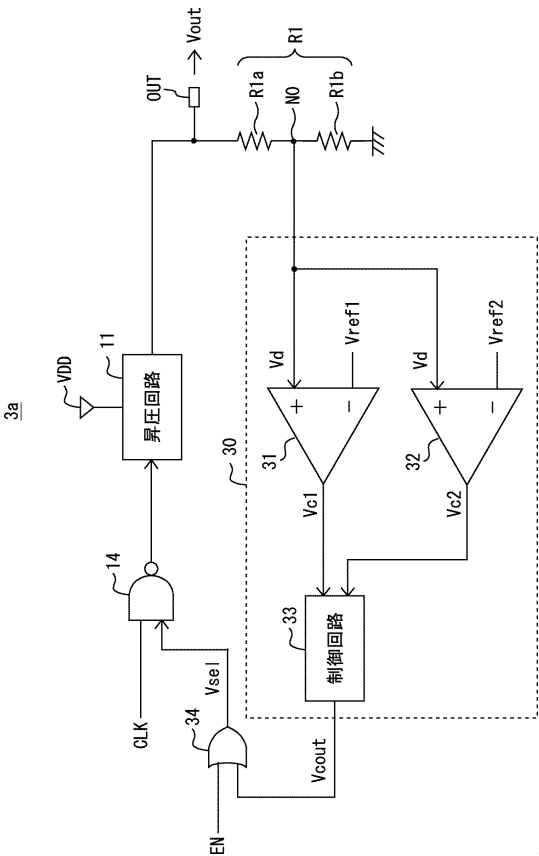
【図 1 1】



【図 1 2】



【図 1 3】



10

20

30

40

50

---

フロントページの続き

- (56)参考文献      特開 2 0 1 3 - 2 5 8 8 9 5 ( J P , A )  
                    米国特許出願公開第 2 0 0 6 / 0 2 6 1 8 8 1 ( U S , A 1 )  
                    特開 2 0 1 2 - 1 0 0 3 7 6 ( J P , A )  
                    特開 2 0 1 0 - 1 2 4 5 9 0 ( J P , A )  
                    特開 2 0 1 0 - 0 5 7 2 3 0 ( J P , A )
- (58)調査した分野 (Int.Cl. , D B 名)  
                    H 0 2 M      3 / 0 7