

POPIS VYNÁLEZU

K AUTORSKÉMU OSVĚDČENÍ

(11)

(13) B1

(51) Int. Cl.⁴

H 03 K 6/00

(21) PV 1688-87.A

(22) Přihlášeno 13 03 87

(40) Zveřejněno 12 09 89

(45) Vydáno 04 09 90

(75)

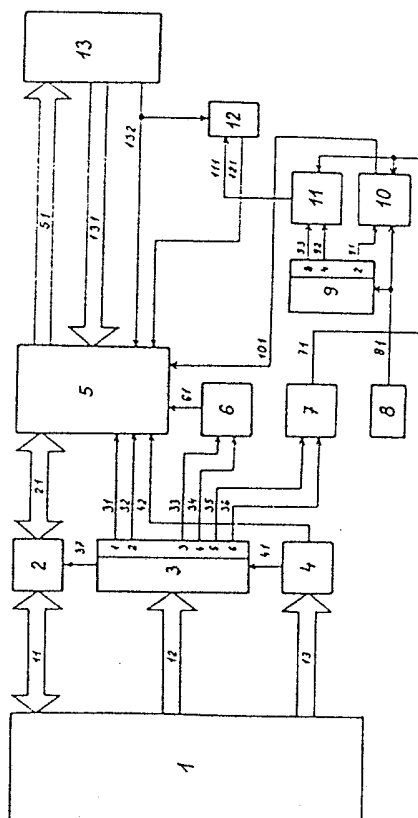
Autor vynálezu

PELIKÁN PETR ing., BRNO

(54)

Zapojení pro přepínání rychlosti
přenosu dat u řadiče jednotky
pružných disků s jednoduchou hus-
totou záznamu

(57) Řešení se týká zapojení pro přepínání rychlosti přenosu dat u řadiče jednotky pružných disků s jednoduchou hustotou záznamu. Zapojení umožňuje kombinovat jednotky pružných disků s různou rychlostí přenosu dat s jediným univerzálním řadičem.



Vynález se týká zapojení pro přepínání rychlosti přenosu dat u řadiče jednotky pružných disků s jednoduchou hustotou záznamu, které umožňuje s jediným integrovaným řadičem obsluhovat několik jednotek s různými rychlostmi přenosu dat.

Doposud použitá zapojení neumožňují obsluhovat s jediným integrovaným řadičem s jednoduchou hustotou záznamu několik jednotek pružných disků s různými rychlostmi přenosu dat. V dosud použitých zapojeních se obdobné funkce dosáhne buď připojením více řadičů, nebo lze použít pouze jedinou pevně nastavenou přenosovou rychlost. První uspořádání vede k plýtvání těžko dostupnou součástkou, jakou je řadič pružných disků. Druhé uspořádání vůbec nedovoluje současnou činnost jednotek pružných disků s různými rychlostmi přenosu dat.

Výše uvedené nedostatky odstraňuje zapojení pro přepínání rychlosti přenosu dat u řadiče jednotky pružných disků s jednoduchou hustotou záznamu podle vynálezu, jehož podstata je v tom, že vstup signálu iniciace řadiče je spojen s výstupem klopného obvodu, jehož nastavovací vstup je připojen na třetí výstup dekodéru adresy a nulovací vstup je připojen na čtvrtý výstup dekodéru adresy. Podstata dále spočívá v tom, že za generátor hodinového signálu řadiče je připojen dělič s dělicími poměry dvě, čtyři a osm na svých výstupech. Výstup generátoru je připojen na jeden vstup multiplexeru, na jeho druhý vstup je připojen výstup děliče s poměrem dvě. Výstup děliče s poměrem čtyři je připojen na jeden vstup druhého multiplexeru, na jehož druhý vstup je připojen výstup děliče s poměrem osm. Řídící vstupy obou multiplexerů jsou spojeny a přivedeny na výstup klopného obvodu, jehož nastavovací vstup je připojen na pátý výstup dekodéru adresy a nulovací vstup je připojen na šestý výstup dekodéru adresy. Výstup prvního multiplexeru je připojen na hodinový vstup řadiče. Výstup druhého multiplexeru je připojen na hodinový vstup číslicového datového separátoru.

Zapojení podle vynálezu řeší přepínání rychlosti přenosu dat u řadiče jednotky pružných disků s jednoduchou hustotou záznamu novým způsobem tak, aby bylo možno programově přepnout frekvenci hodinového signálu a aby bylo možno programově uvést řadič do definovaného počátečního stavu aktivací iniciačního signálu. Zapojení podle vynálezu tak umožňuje kombinování jednotek pružných disků s různými rychlostmi přenosu dat a s použitím jediného řadiče.

Vynález je blíže vysvětlen za pomoci připojeného výkresu, kde je schematicky zobrazeno zapojení podle vynálezu a jeho začlenění ve výpočetním systému.

Vstup signálu iniciace řadiče 2 je propojen spojen 61 s výstupem klopného obvodu 6, jehož nastavovací vstup je propojen spojen 33 se třetím výstupem dekodéru 3 adresy a nulovací vstup je propojen spojen 34 se čtvrtým výstupem dekodéru 3 adresy. Za generátor 8 hodinového signálu 81 řadiče 2 je připojen dělič 9 s dělicími poměry dva, čtyři a osm na výstupech. Výstup generátoru 8 je propojen spojen 81 s jedním vstupem multiplexeru 10, výstup děliče 9 s poměrem dvě je propojen spojen 91 s druhým vstupem multiplexeru 10. Výstup děliče 9 s poměrem čtyři je propojen spojen 92 s jedním vstupem multiplexeru 11, výstup děliče 9 s poměrem osm je propojen spojen 93 s druhým vstupem multiplexeru 11. Řídící vstup multiplexeru 10 je propojen spojen 71 s řídícím vstupem multiplexeru 11 a dále s výstupem klopného obvodu 7, jehož nastavovací vstup je propojen spojen 35 s pátým výstupem dekodéru 3 adresy a jehož nulovací vstup je propojen spojen 36 se šestým výstupem dekodéru 3 adresy. Výstup multiplexeru 10 je propojen spojen 101 s hodinovým vstupem řadiče 2, výstup multiplexeru 11 je propojen spojen 111 se vstupem číslicového datového separátoru 12.

Funkce zapojení podle vynálezu spočívá v tom, že klopný obvod 7 umožňuje programově aktivaci pátého nebo šestého výstupu dekodéru 3 adresy přepínat frekvenci hodinového signálu vedeného spojem 101 k řadiči 5. Současně je přepínán hodinový signál vedený spojem 111 na hodinový vstup číslicového datového separátoru 12. Po každém takovémto přepnutí frekvence hodinového signálu řadiče 5 je nutné uvést řadič 5 do definovaného počátečního stavu iniciačním signálem přivedeným spojem 61. Toho lze dosáhnout aktivací třetího a následovně aktivací čtvrtého výstupu dekodéru 3 adresy.

P R Ě D M Ě T V Y N Á L E Z U

Zapojení pro přepínání rychlosti přenosu dat u řadiče jednotky pružných disků s jednoduchou hustotou záznamu, vyznačující se tím, že vstup signálu iniciace řadiče (5) je propojen spojem (61) s výstupem klopného obvodu (6), jehož nastavovací vstup je propojen spojem (33) se třetím výstupem dekodéru (3) adresy a nulovací vstup je propojen spojem (34) se čtvrtým výstupem dekodéru (3) adresy, dále tím, že na generátor (8) hodinového signálu řadiče (5) je připojen dělič (9) s dělicími poměry dvě, čtyři a osm na výstupech, přičemž výstup generátoru (8) je propojen spojem (81) s jedním vstupem multiplexeru (10), výstup děliče (9) s poměrem dvě je propojen spojem (91) s druhým vstupem multiplexeru (10), výstup děliče (9) s poměrem čtyři je propojen spojem (92) s prvním vstupem multiplexeru (11), výstup děliče (9) s poměrem osm je propojen spojem (93) s druhým vstupem multiplexeru (11), řídicí vstup multiplexeru (10) je propojen spojem (71) s řídicím vstupem multiplexeru (11) a dále s výstupem klopného obvodu (7), jehož nastavovací vstup je propojen spojem (35) s pátým výstupem dekodéru (3) adresy a nulovací vstup je propojen spojem (36) se šestým výstupem dekodéru (3) adresy, výstup multiplexeru (10) je propojen spojem (101) s hodinovým vstupem řadiče (5), výstup multiplexeru (11) je propojen spojem (111) se vstupem číslicového datového separátoru (12).

1 výkres

