

公告本

申請日期	90 10 17
案 號	90125678
類 別	H01L 27/00

A4
C4

507367

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新 型 名 稱	中 文	鐵電記憶體及其製造方法
	英 文	FERROELECTRIC MEMORY AND METHOD FOR MANUFACTURING THE SAME
二、發明 創 作 人	姓 名	三河 巧 TAKUMI MIKAWA
	國 籍	日本
	住、居所	日本國京都府京都市伏見區羽束師志水町138-8-A407
三、申請人	姓 名 (名 稱)	日商松下電器產業股份有限公司 MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.
	國 籍	日本
	住、居所 (事務所)	日本國大阪府門真市大字門真1006番地
	代 表 人 名 姓	中村 邦夫

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000年10月17日 特願2000-316033 ☒有☐無主張優先權

有關微生物已寄存於： 寄存日期： ，寄存號碼：

裝

訂

線

五、發明說明(1)

發明背景

本發明係關於一包括電容性元件之鐵電記憶體，其中一鐵電膜使用做為一電容器絕緣膜，及關於其製造方法。

目前最重要的是取得一鐵電記憶體以發展一裝置結構及其製造方法，以容許積合而不降低電容性元件之特徵。

特別是，由於一鐵電膜係一具有氧原子之層狀氧化物膜，故其易於一氫環境中減弱，導致鐵電膜之特徵降低，例如極性化或電壓耐久度降低。另方面，半導體記憶體製造上經常採用積合製程，其係執行於氫環境或減弱環境中。因此，若一鐵電膜使用做為一電容性元件之電容器絕緣膜，則其重要的是建構一極為耐減弱之製程。

有鑒於此，先前技藝已採取多種手段以避免一電容性元件之特徵在一鐵電記憶體製造期間降低，例如減少產生之氫氣量或者在電容性元件製成後抑制後續步驟中之減弱環境，或者以一絕緣性氫障壁膜覆蓋一電容性元件。

一第一習知實例之一鐵電記憶體將參考圖36說明於後。

如圖36所示，一具有一STI(淺圳溝隔離)結構之裝置隔離區11係製成於一半導體基材10之一表面部上，且一欲構成下層之低濃度雜質擴散層12及一欲構成上層之高濃度雜質擴散層13製成於由裝置隔離區11圍起之半導體基材10各區域之一表面部內，低濃度雜質擴散層12及高濃度雜質擴散層13係構成一部分記憶體單元之一電晶體(文後稱為一"記憶體單元電晶體")之一源極區或一汲極區。

再者，一第一層間絕緣膜14製成於半導體基材10上，其

五、發明說明(2)

上已製有記憶體單元電晶體，隨後，一由鎢製成且連接於高濃度雜質擴散層13之第一栓塞15係透過第一層間絕緣膜14而製成。一電容器下方電極16製成於第一層間絕緣膜14上，電容器下方電極16係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞15之上方表面。一絕緣膜17製成於相鄰電容器下方電極16之間之各區域內，使其上方表面係共平面於電容器下方電極16之上方表面。

再者，一由一鐵電膜製成之電容器絕緣膜18製成於電容器下方電極16上，以利覆蓋電容器下方電極16之上方表面，及一由Pt(鉑)製成之電容器上方電極19製成於電容器絕緣膜18上，以利覆蓋電容器絕緣膜18之上方表面。因此，一包括電容器下方電極16、電容器絕緣膜18及電容器上方電極19之電容性元件即製成。

再者，一第二層間絕緣膜20係製成於包括電容性元件在內之第一層間絕緣膜14上，及一由鎢製成且連接於電容器上方電極19之第二栓塞21係透過第二層間絕緣膜20而製成。

再者，一由鋁或類似物製成且連接於第二栓塞21之配線22係製成於第二層間絕緣膜20上，及一第三層間絕緣膜23係製成於包括配線22在內之第二層間絕緣膜20上。一連接於配線22之第三栓塞24係透過第三層間絕緣膜23而製成。

儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜23上，以完成鐵電記憶體。

就第一習知實例之鐵電記憶體之裝置結構而言，即可達

五、發明說明(3)

成積合。

一第二習知實例之一鐵電記憶體將參考圖37說明於後。

第二習知實例之鐵電記憶體不同於第一習知實例之鐵電記憶體之處在於包括電容器下方電極16、電容器絕緣膜18及電容器上方電極19之電容性元件係由一絕緣性氮障壁膜25覆蓋，如圖37所示(請見日本專利特許公開申請案第11-121704號)，請注意，絕緣性氮障壁膜25可為一SiN膜、一SiON膜、一TiO₂膜、TaO_x(其中 $x > 0$)膜、或類似物。

就第二習知實例之鐵電記憶體之裝置結構而言，其可電容性元件之特徵在製造期間降低。

惟，就第一習知實例而言，一部分電容器上方電極19係在製成一接觸孔通過第二層間絕緣膜20時曝露，其中製成將電容器上方電極19與配線22相互連接之第二栓塞21，因此，包含在一蝕刻氣體或抗蝕劑內之氮即由電容器上方電極19吸收，亦即一鉑膜。同樣地，當一WF₆(六氟化鎢)氣體使用於另一氣體例如一氫氣或一矽烷氣體，以製成W(鎢)，使之可形成隱埋在接觸孔內之第二栓塞21時，氮(包括透過一矽烷氣體分解而產生之氮)係由電容器上方電極19之鉑膜吸收。隨後，由鉑膜吸收之氮係在後續步驟中自鉑膜釋出，如同高度活性之氮(文後稱為"活性氮")，易言之，鉑膜具有觸媒功能。因此，第二栓塞21附近之電容器絕緣膜18之一部分鐵電膜即減少，且因鉑膜之觸媒功能所生之活性氮以致氧脫離，因而降低鐵電膜之特徵，導致鐵電記憶體內之些微故障等等。

五、發明說明(4)

在第二習知實例中，儘管電容性元件段係由絕緣性氬障壁膜25覆蓋，如圖37所示，一部分電容器上方電極19仍將於製成一接觸孔下方部分通過絕緣性氬障壁膜25以供第二栓塞21製成於其內時曝露，因此，第一習知實例所遭遇到之問題係易於發生。

即使一有利於一鐵電膜結晶生長(通常在電容器上方電極19製成後執行)之鉑膜並未使用在第一或第二習知實例中，其仍難以完全避免第二栓塞21附近之電容器絕緣膜18之一部分鐵電膜受到氬損害。

發明概述

由上以觀，本發明之一目的在藉由避免構成一電容器絕緣膜之鐵電膜之特徵降低，以增進一鐵電記憶體之穩定性。

爲了達成此目的，本發明之一種第一鐵電記憶體包含：一電晶體，係製成於一半導體基材上之一區域內；一導電層，係製成於半導體基材上之另一區域內；一第一層間絕緣膜，係製成於包括電晶體與導電層在內之半導體基材上；一電容器下方電極，係製成於第一層間絕緣膜上；一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上；一電容器上方電極，係製成於電容器絕緣膜上，以延伸至電容器絕緣膜之一區域以外；一第二層間絕緣膜，係製成於包括電容器上方電極在內之第一層間絕緣膜上；一配線，係製成於第二層間絕緣膜上；一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；一第二栓塞，係透過第一層間絕緣膜而製成，以

五、發明說明(5)

令導電層及電容器上方電極呈電氣性相互連接；及一第三栓塞，係透過第一層間絕緣膜及第二層間絕緣膜而製成，以令導電層及配線相互連接。

在第一鐵電記憶體中，製成於半導體基材上之電晶體係經由通過電晶體上第一層間絕緣膜之第一栓塞而連接於第一層間絕緣膜上之電容器下方電極，再者，製成於電容器絕緣膜上以延伸至電容器絕緣膜區域以外之電容器上方電極係經由通過第一層間絕緣膜之第二栓塞而電氣性連接於半導體基材上之導電層。此外，經由第二層間絕緣膜而製成於電容器上方電極上之配線係經由通過第一層間絕緣膜及第二層間絕緣膜之第三栓塞而連接於導電層。因此，在電容器上方電極製成之前，特別是同時於令電晶體與電容器下方電極相互連接之第一栓塞之製成，令電容器上方電極與導電層相互連接之第二栓塞可以透過第一層間絕緣膜而製成。因此，電容器上方電極及配線可以經由第二栓塞、導電層及第三栓塞而電氣性相互連接，易言之，電容器上方電極及配線可以利用事先製成於電容性元件下方之第二栓塞及導電層而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氬氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

五、發明說明(6)

本發明之一種第二鐵電記憶體包含：一電晶體，係製成於一半導體基材上之一區域內；一導電層，係製成於半導體基材上之另一區域內；一第一層間絕緣膜，係製成於包括電晶體與導電層在內之半導體基材上；一電容器下方電極，係製成於第一層間絕緣膜上；一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上，以延伸至電容器下方電極之一區域以外；一開孔，係提供於該電容器下方電極區域外之一部分電容器絕緣膜內；一電容器上方電極，係製成於包括開孔在內之電容器絕緣膜上；一第二層間絕緣膜，係製成於包括電容器上方電極在內之第一層間絕緣膜上；一配線，係製成於第二層間絕緣膜上；一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；一第二栓塞，係透過第一層間絕緣膜而製成，以令導電層及電容器上方電極呈電氣性相互連接；及一第三栓塞，係透過第一層間絕緣膜及第二層間絕緣膜而製成，以令導電層及配線相互連接。

在第二鐵電記憶體中，製成於半導體基材上之電晶體係經由通過電晶體上第一層間絕緣膜之第一栓塞而連接於第一層間絕緣膜上之電容器下方電極，再者，製成於延伸至電容器下方電極區域以外且具有一開孔於電容器下方電極區域以外之電容器絕緣膜上之電容器上方電極係經由通過第一層間絕緣膜之第二栓塞而電氣性連接於半導體基材上之導電層。此外，經由第二層間絕緣膜而製成於電容器上方電極上之配線係經由通過第一層間絕緣膜及第二層間絕

五、發明說明(7)

緣膜之第三栓塞而連接於導電層。因此，在電容器上方電極製成之前，特別是同時於令電晶體與電容器下方電極相互連接之第一栓塞之製成，令電容器上方電極與導電層相互連接之第二栓塞可以透過第一層間絕緣膜而製成。因此，電容器上方電極及配線可以經由第二栓塞、導電層及第三栓塞而電氣性相互連接，易言之，電容器上方電極及配線可以利用事先製成於電容性元件下方之第二栓塞及導電層而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氬氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，在第二鐵電記憶體中，電容器上方電極係經由電容器絕緣膜內之開孔而連接於第二栓塞，因此電容器上方電極包括一沿著開孔邊緣而延伸之一階級部。特別是，當開孔具有例如正方形時，電容器上方電極即包括沿著開孔周緣四個邊緣而分別延伸於四個方向中之四個階級部，因此，相較於電容器上方電極包括一沿著電容器絕緣膜之一邊緣而延伸於一方向中之階級部(例如第一鐵電記憶體)之例子，即使電容器上方電極之材料在其階級覆蓋性質中有一方向依存性，電容器上方電極及第二栓塞間之電流路徑仍可確定。再者，一開孔可提供於欲構成電容器絕緣膜

五、發明說明(⁸)

之絕緣膜內，接著同時圖樣化絕緣膜及一欲構成電容器上方電極之導電膜。依此，即可不必考量到用於製成電容器絕緣膜之光罩圖樣及用於製成電容器上方電極之光罩圖樣間之一光罩對準邊距，因此可以減小鐵電記憶體之單元尺寸，藉以減少整體記憶體單元陣列所佔用之總面積。

本發明之一種第三鐵電記憶體包含：一電晶體，係製成於一半導體基材上之一區域內；一第一層間絕緣膜，係製成於包括電晶體在內之半導體基材上；一電容器下方電極，係製成於第一層間絕緣膜上；一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上；一電容器上方電極，係製成於電容器絕緣膜上；一導電性氬障壁膜，係製成於電容器上方電極上；一第二層間絕緣膜，係製成於包括導電性氬障壁膜在內之第一層間絕緣膜上；一配線，係製成於第二層間絕緣膜上；一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；及一第二栓塞，係透過第二層間絕緣膜而製成，以令導電性氬障壁膜及配線相互連接。

在第三鐵電記憶體中，製成於半導體基材上之電晶體係經由通過電晶體上第一層間絕緣膜之第一栓塞而連接於第一層間絕緣膜上之電容器下方電極，再者，經由電容器絕緣膜而製成於電容器下方電極上之電容器上方電極係由導電性氬障壁膜覆蓋。此外，經由第二層間絕緣膜而製成於導電性氬障壁膜上之配線係經由通過第二層間絕緣膜之第二栓塞而連接於導電性氬障壁膜。因此，電容器上方電極

五、發明說明(9)

與配線可以經由導電性氬障壁膜及第二栓塞(令導電性氬障壁膜及配線相互連接)而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氬氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，在第三鐵電記憶體中，電容性元件係由導電性氬障壁膜覆蓋，藉此增進電容性元件之減小電阻。

本發明之一種第四鐵電記憶體包含：一電晶體，係製成於一半導體基材上之一區域內；一導電層，係製成於半導體基材上之另一區域內；一第一層間絕緣膜，係製成於包括電晶體與導電層在內之半導體基材上；一電容器下方電極，係製成於第一層間絕緣膜上；一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上；一電容器上方電極，係製成於電容器絕緣膜上；一導電性氬障壁膜，係製成於電容器上方電極上，以延伸至電容器上方電極之一區域以外；一第二層間絕緣膜，係製成於包括導電性氬障壁膜在內之第一層間絕緣膜上；一配線，係製成於第二層間絕緣膜上；一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；一第二栓塞，係透過第一層間絕緣膜而製成，以令導電層及導電性氬障壁膜呈電氣性相互連接；及一第三栓塞，係透過第一層間

五、發明說明(¹⁰)

絕緣膜及第二層間絕緣膜而製成，以令導電層及配線相互連接。

在第四鐵電記憶體中，製成於半導體基材上之電晶體係經由通過電晶體上第一層間絕緣膜之第一栓塞而連接於第一層間絕緣膜上之電容器下方電極，再者，經由電容器絕緣膜而製成於電容器下方電極上之電容器上方電極係由導電性氬障壁膜覆蓋，且導電性氬障壁膜係經由通過第一層間絕緣膜之第二栓塞而電氣性連接於半導體基材上之導電層。此外，經由第二層間絕緣膜而製成於導電性氬障壁膜上之配線係經由通過第一層間絕緣膜及第二層間絕緣膜之第三栓塞而連接於導電層。因此，在電容器上方電極製成之前，特別是同時於令電晶體與電容器下方電極相互連接之第一栓塞之製成，令導電性氬障壁膜與導電層相互連接之第二栓塞可以透過第一層間絕緣膜而製成。因此，電容器上方電極及配線可以經由導電性氬障壁膜、第二栓塞、導電層及第三栓塞而電氣性相互連接，易言之，電容器上方電極及配線可以利用事先製成於電容性元件下方之第二栓塞及導電層而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氬氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

五、發明說明 (¹¹)

再者，在第四鐵電記憶體中，電容性元件係由導電性氫障壁膜覆蓋，藉此改善電容性元件之減小電阻。

在第一、第二或第四鐵電記憶體中，導電層較佳為一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

依此，導電層之電阻可以比使用半導體基材上製成之一多晶矽層做為導電層之例子或類似物者小。

在第一、第二或第四鐵電記憶體中，較佳為：第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及導電層製成於下方層膜及上方層膜之間。

依此，相較於以半導體基材之一表面部內之一雜質擴散層使用做為導電層之例子，基材之電位可以輕易設定且鐵電記憶體之單元尺寸可以減小。再者，供連接於導電層之第二栓塞或第三栓塞埋入之孔之長寬比係減小，藉以防止各栓塞之製成失敗或防止其電阻增加。

在第一、第二、第三或第四鐵電記憶體中，較佳為至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

依此，其可自一晶格匹配之鉑膜結晶面充分生長構成電容器絕緣膜之鐵電膜之結晶。

在第三或第四鐵電記憶體中，較佳為導電性氫障壁膜係由一鈦膜、一鈹膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鈹、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜製成。

依此，其可穩定地改善電容性元件之減小電阻，同時亦

五、發明說明(¹²)

可確定電容器上方電極及一栓塞等等係經由導電性氮障壁膜做電氣性相互連接。

一種製造本發明一鐵電記憶體之第一方法，包含以下步驟：製成一電晶體於一半導體基材上之一區域內；製成一導電層於半導體基材上之另一區域內；製成一第一層間絕緣膜於包括電晶體與導電層在內之半導體基材上；透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體，及製成一第二栓塞，以連接於導電層；製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；製成由一鐵電膜構成之一電容器絕緣膜於電容器下方電極上；製成一電容器上方電極於電容器絕緣膜上，以延伸至電容器絕緣膜之一區域以外，且電氣性連接於第二栓塞；製成一第二層間絕緣膜於包括電容器上方電極在內之第一層間絕緣膜上；透過第一層間絕緣膜及第二層間絕緣膜而製成一第三栓塞，以連接於導電層；及製成一配線於第二層間絕緣膜上，以連接於第三栓塞。

在製造一鐵電記憶體之第一方法中，第一層間絕緣膜係製成於半導體基材上，其上則製有電晶體及導電層，且連接於電晶體之第一栓塞及連接於導電層之第二栓塞係透過第一層間絕緣膜而製成。隨後，連接於第一栓塞之電容器下方電極係製成於第一層間絕緣膜上，接著由一鐵電膜構成之一電容器絕緣膜，及延伸至電容器絕緣膜之區域以外且電氣性連接於第二栓塞之電容器上方電極係依序製成於電容器下方電極上。隨後，第二層間絕緣膜製成於包括電

五、發明說明 (¹³)

容器上方電極在內之第一層間絕緣膜上，且令第二層間絕緣膜上之導電層及配線相互連接之第三栓塞係透過第一層間絕緣膜及第二層間絕緣膜而製成。因此，在電容器上方電極製成之前，特別是同時於令電晶體與電容器下方電極相互連接之第一栓塞之製成，令電容器上方電極與導電層相互連接之第二栓塞可以透過第一層間絕緣膜而製成。因此，電容器上方電極及配線可以經由第二栓塞及導電層而電氣性相互連接，易言之，電容器上方電極及配線可以利用事先製成於電容性元件下方之第二栓塞及導電層而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

在製造一鐵電記憶體之第一方法中，較佳為：製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及製成電容器上方電極之步驟包括製成電容器上方電極，以連接於連接墊塊之步驟。

依此，連接墊塊可與電容器下方電極同時製成，其藉由圖樣化一使用做為電容器下方電極材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞之整個上表面。因此，不增加製造步驟數，其可避免第二栓塞氧化，且經由連接墊塊而相互連接電容器上方電極及第二栓塞。

五、發明說明 (14)

在製成電容器下方電極之步驟包括製成一連接墊塊之例子中，較佳為製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

依此，可以製成電容器絕緣膜，且同時藉由使用一相關於構成電容器絕緣膜之絕緣膜而有大蝕刻選擇率之導電膜做為連接墊塊之材料，及使用連接墊塊做為一蝕刻終止件以圖樣化絕緣膜，而可避免過度蝕刻所致之步驟形成。

在製造一鐵電記憶體之第一方法中，較佳為製成電容器上方電極之步驟包括使用一光罩圖樣以利圖樣化一構成電容器上方電極之導電膜，該光罩圖樣係用於圖樣化一構成電容器絕緣膜之絕緣膜，及隨後製成一導電性側壁於電容器上方電極之一側表面上，以利電氣性連接於第二栓塞。

依此，製造過程中使用之光罩圖樣數可以減少，且電容器上方電極及第二栓塞可經由側壁而做電氣性連接。

在製成電容器上方電極之步驟包括製成一側壁之例子中，較佳為：製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及製成電容器上方電極之步驟包括製成側壁，以連接於連接墊塊之步驟。

依此，連接墊塊可與電容器下方電極同時製成，其藉由圖樣化一使用做為電容器下方電極材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞之整個上表面。因此，不增加製造步驟數，其可避免第二栓塞氧化，且經由連接墊塊而相互連接電容器上方電極及側壁。

五、發明說明 (15)

在製成電容器上方電極之步驟包括製成一側壁，及製成電容器下方電極之步驟包括製成一連接墊塊之例子中，較佳為製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

依此，可以製成電容器絕緣膜，且同時藉由使用一相關於構成電容器絕緣膜之絕緣膜而有大蝕刻選擇率之導電膜做為連接墊塊之材料，及使用連接墊塊做為一蝕刻終止件以圖樣化絕緣膜，而可避免過度蝕刻所致之步驟形成。

一種製造本發明一鐵電記憶體之第二方法，包含以下步驟：製成一電晶體於一半導體基材上之一區域內；製成一導電層於半導體基材上之另一區域內；製成一第一層間絕緣膜於包括電晶體與導電層在內之半導體基材上；透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體，及製成一第二栓塞，以連接於導電層；製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；製成由一鐵電膜構成之一電容器絕緣膜，以利至少延伸過第二栓塞上方之一區域；製成一開孔於第二栓塞上方之一部分電容器絕緣膜內；製成一電容器上方電極於包括開孔在內之電容器絕緣膜上，以利經由開孔而電氣性連接於第二栓塞；製成一第二層間絕緣膜於包括電容器上方電極在內之第一層間絕緣膜上；透過第一層間絕緣膜及第二層間絕緣膜而製成一第三栓塞，以連接於導電層；及製成一配線於第二層間絕緣膜上，以連接於第三栓塞。

在製造一鐵電記憶體之第二方法中，第一層間絕緣膜係

五、發明說明 (¹⁶)

製成於半導體基材上，其上則製有電晶體及導電層，且連接於電晶體之第一栓塞及連接於導電層之第二栓塞係透過第一層間絕緣膜而製成。隨後，連接於第一栓塞之電容器下方電極係製成於第一層間絕緣膜上，接著由一鐵電膜構成且延伸過第二栓塞上方一區域之電容器絕緣膜係製成於電容器下方電極上。隨後，一開孔製成於第二栓塞上方之一部分電容器絕緣膜內，且電容器上方電極經由開孔以製成電氣性連接於第二栓塞。隨後，第二層間絕緣膜製成於包括電容器上方電極在內之第一層間絕緣膜上，且令第二層間絕緣膜上之導電層及配線相互連接之第三栓塞係透過第一層間絕緣膜及第二層間絕緣膜而製成。因此，在電容器上方電極製成之前，特別是同時於令電晶體與電容器下方電極相互連接之第一栓塞之製成，令電容器上方電極與導電層相互連接之第二栓塞可以透過第一層間絕緣膜而製成。因此，電容器上方電極及配線可以經由第二栓塞、導電層及第三栓塞而電氣性相互連接，易言之，電容器上方電極及配線可以利用事先製成於電容性元件下方之第二栓塞及導電層而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

五、發明說明 (17)

再者，在製造一鐵電記憶體之第二方法中，電容器上方電極係經由電容器絕緣膜內之開孔而連接於第二栓塞，因此電容器上方電極包括一沿著開孔邊緣而延伸之一階級部。特別是，當開孔具有例如正方形時，電容器上方電極即包括沿著開孔周緣四個邊緣而分別延伸於四個方向中之四個階級部，因此，相較於電容器上方電極包括一沿著電容器絕緣膜之一邊緣而延伸於一方向中之階級部(例如第一鐵電記憶體)之例子，即使電容器上方電極之材料在其階級覆蓋性質中有一方向依存性，電容器上方電極及第二栓塞間之電流路徑仍可確定。

在製造一鐵電記憶體之第二方法中，較佳為：製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及製成電容器上方電極之步驟包括製成電容器上方電極，以連接於連接墊塊之步驟。

依此，連接墊塊可與電容器下方電極同時製成，其藉由圖樣化一使用做為電容器下方電極材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞之整個上表面。因此，不增加製造步驟數，其可避免第二栓塞氧化，且經由連接墊塊而相互連接電容器上方電極及第二栓塞。

在製造一鐵電記憶體之第二方法中，較佳為：製成開孔之步驟係在圖樣化一構成電容器絕緣膜之絕緣膜前執行；及製成電容器上方電極之步驟包括同時圖樣化該構成電容器絕緣膜之絕緣膜及一構成電容器上方電極之導電膜之步驟。

五、發明說明(¹⁸)

依此，即可不必考量到用於製成電容器絕緣膜之光罩圖樣及用於製成電容器上方電極之光罩圖樣間之一光罩對準邊距，因此可以減小鐵電記憶體之單元尺寸，藉以減少整體記憶體單元陣列所佔用之總面積。

一種製造本發明一鐵電記憶體之第三方法，包含以下步驟：製成一電晶體於一半導體基材上之一區域內；製成一第一層間絕緣膜於包括電晶體在內之半導體基材上；透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體；製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；製成由一鐵電膜構成之一電容器絕緣膜於電容器下方電極上；製成一電容器上方電極於電容器絕緣膜上；製成一導電性氬障壁膜於電容器上方電極上；製成一第二層間絕緣膜於包括導電性氬障壁膜在內之第一層間絕緣膜上；透過第二層間絕緣膜而製成一第二栓塞，以連接於導電性氬障壁膜；及製成一配線於第二層間絕緣膜上，以連接於第二栓塞。

在製造一鐵電記憶體之第三方法中，第一層間絕緣膜係製成於半導體基材上，其上則製有電晶體，且連接於電晶體之第一栓塞係透過第一層間絕緣膜而製成。隨後，連接於第一栓塞之電容器下方電極係製成於第一層間絕緣膜上，接著由一鐵電膜構成之一電容器絕緣膜及電容器上方電極係依序製成於電容器下方電極上，且導電性氬障壁膜製成於電容器上方電極上。隨後，第二層間絕緣膜製成於包括導電性氬障壁膜在內之第一層間絕緣膜上，且令第二層

五、發明說明 (19)

間絕緣膜上之配線及導電性氬障壁膜相互連接之第二栓塞係透過第二層間絕緣膜而製成。因此，電容器上方電極及配線可以經由導電性氬障壁膜及第二栓塞而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氬氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

在製造一鐵電記憶體之第三方法中，電容性元件一直由導電性氬障壁膜覆蓋，藉此改善電容性元件之減小電阻。

一種製造本發明一鐵電記憶體之第四方法，包含以下步驟：製成一電晶體於一半導體基材上之一區域內；製成一導電層於半導體基材上之另一區域內；製成一第一層間絕緣膜於包括電晶體與導電層在內之半導體基材上；透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體，及製成一第二栓塞，以連接於導電層；製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；製成由一鐵電膜構成之一電容器絕緣膜於電容器下方電極上；製成一電容器上方電極於電容器絕緣膜上；製成一導電性氬障壁膜於電容器上方電極上，以延伸至電容器上方電極之一區域以外，且電氣性連接於第二栓塞；製成一第二層間絕緣膜於包括導電性氬障壁膜在內之第一層間絕緣膜上；透過第一層間絕緣膜及第二層間絕緣膜而製成一第三栓塞，以連

五、發明說明(20)

接於導電層；及製成一配線於第二層間絕緣膜上，以連接於第三栓塞。

在製造一鐵電記憶體之第四方法中，第一層間絕緣膜係製成於半導體基材上，其上則製有電晶體及導電層，且連接於電晶體之第一栓塞及連接於導電層之第二栓塞係透過第一層間絕緣膜而製成。隨後，連接於第一栓塞之電容器下方電極係製成於第一層間絕緣膜上，接著由一鐵電膜構成之一電容器絕緣膜及電容器上方電極係依序製成於電容器下方電極上，接著延伸至電容器上方電極區域以外且電氣性連接於第二栓塞之導電性氬障壁膜製成於電容器上方電極上。隨後，第二層間絕緣膜製成於包括導電性氬障壁膜在內之第一層間絕緣膜上，且令第二層間絕緣膜上之導電層及配線相互連接之第三栓塞係透過第一層間絕緣膜及第二層間絕緣膜而製成。因此，在電容器上方電極製成之前，特別是同時於令電晶體與電容器下方電極相互連接之第一栓塞之製成，令導電性氬障壁膜與導電層相互連接之第二栓塞可以透過第一層間絕緣膜而製成。因此，電容器上方電極及配線可以經由導電性氬障壁膜、第二栓塞、導電層及第三栓塞而電氣性相互連接，易言之，電容器上方電極及配線可以利用事先製成於電容性元件下方之第二栓塞及導電層而電氣性相互連接。因此，電容器上方電極製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極及配線直接相互連接，藉此以避免電容器上方電極曝露於一氬氣環境或減弱環境。因此，甚至當一具有強

五、發明說明 (21)

烈觸媒功能之鉑膜係使用做為電容器上方電極時，仍可避免構成電容器絕緣膜之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

在製造一鐵電記憶體之第四方法中，電容性元件一直由導電性氮障壁膜覆蓋，藉此改善電容性元件之減小電阻。

在製造一鐵電記憶體之第四方法中，較佳為：製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及製成導電性氮障壁膜之步驟包括製成導電性氮障壁膜，以連接於連接墊塊之步驟。

依此，連接墊塊可與電容器下方電極同時製成，其藉由圖樣化一使用做為電容器下方電極材料之導電膜且具有氮障壁性質，以利覆蓋第二栓塞之整個上表面。因此，不增加製造步驟數，其可避免第二栓塞氧化，且經由連接墊塊而相互連接電容器上方電極及第二栓塞。

在製成電容器下方電極之步驟包括製成一連接墊塊之例子中，較佳為製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

依此，可以製成電容器絕緣膜，且同時藉由使用一相關於構成電容器絕緣膜之絕緣膜而有大蝕刻選擇率之導電膜做為連接墊塊之材料，及使用連接墊塊做為一蝕刻終止件以圖樣化絕緣膜，而可避免過度蝕刻所致之步驟形成。

在製造一鐵電記憶體之第四方法中，較佳為製成導電性氮障壁膜之步驟包括使用一光罩圖樣以利圖樣化一構成導電性氮障壁膜之第二導電膜，該光罩圖樣係用於圖樣化一

五、發明說明 (22)

構成電容器絕緣膜之絕緣膜及構成電容器上方電極之第一導電膜，且隨後製成一導電性側壁於導電性氬障壁膜之一側表面上，以利電氣性連接於第二栓塞。

依此，製造過程中使用之光罩圖樣數可以減少，且電容器上方電極及第二栓塞可經由側壁而做電氣性連接。

在製成導電性氬障壁膜之步驟包括製成一側壁之例子中，較佳為側壁具有一氬障壁性質。

依此，整個電容性元件可由導電性氬障壁膜穩定地覆蓋，藉此改善電容性元件之減小電阻。

再者，在製成導電性氬障壁膜之步驟包括製成一側壁之例子中，較佳為：製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及製成導電性氬障壁膜之步驟包括製成側壁，以連接於連接墊塊之步驟。

依此，連接墊塊可與電容器下方電極同時製成，其藉由圖樣化一使用做為電容器下方電極材料之導電膜且具有氬障壁性質，以利覆蓋第二栓塞之整個上表面。因此，不增加製造步驟數，其可避免第二栓塞氧化，且經由連接墊塊而相互連接側壁及第二栓塞。

在製成導電性氬障壁膜之步驟包括製成一側壁，及製成電容器下方電極之步驟包括製成一連接墊塊之例子中，較佳為製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

依此，可以製成電容器絕緣膜，且同時藉由使用一相關

五、發明說明 (23)

於構成電容器絕緣膜之絕緣膜而有大蝕刻選擇率之導電膜做為連接墊塊之材料，及使用連接墊塊做為一蝕刻終止件以圖樣化絕緣膜，而可避免過度蝕刻所致之步驟形成。

在製造一鐵電記憶體之第一、第二或第四方法中，導電層較佳為一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

依此，導電層之電阻可以比使用半導體基材上製成之一多晶矽層做為導電層之例子或類似物者小。

在製造一鐵電記憶體之第一、第二或第四方法中，較佳為：第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及導電層製成於下方層膜及上方層膜之間。

依此，相較於以半導體基材之一表面部內之一雜質擴散層使用做為導電層之例子，基材之電位可以輕易設定且鐵電記憶體之單元尺寸可以減小。再者，供連接於導電層之第二栓塞或第三栓塞埋入之孔之長寬比係減小，藉以防止各栓塞之製成失敗或防止其電阻增加。

在製造一鐵電記憶體之第一、第二、第三或第四方法中，較佳為至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

依此，其可自一晶格匹配之鉑膜結晶面充分生長構成電容器絕緣膜之鐵電膜之結晶。

在製造一鐵電記憶體之第三或第四方法中，較佳為導電性氫障壁膜係由一鈦膜、一鉭膜、一TiON膜、一TiN膜、一Ta₂N₃膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鉭、

五、發明說明 (²⁴)

TiON、TiN、TaN、TiAlN、或TiAlON之合金膜製成。

依此，其可穩定地改善電容性元件之減小電阻，同時亦可確定電容器上方電極及一栓塞等等係經由導電性氮障壁膜做電氣性相互連接。

圖式簡單說明

圖1A係截面圖，說明製造本發明第一實施例鐵電記憶體之方法中之一步驟，及圖1B係沿圖1A之線I-I所取之截面圖。

圖2A、2B係截面圖，各說明製造本發明第一實施例鐵電記憶體之方法中之一步驟。

圖3A至3C係截面圖，各說明製造本發明第一實施例鐵電記憶體之方法中之一步驟。

圖4A係截面圖，說明製造本發明第一實施例鐵電記憶體之方法中之一步驟，及圖4B係沿圖1A之線IV-IV所取之截面圖。

圖5係截面圖，說明本發明第一實施例鐵電記憶體之一實例。

圖6A至6C係截面圖，各說明製造本發明第一實施例第一變化型式鐵電記憶體之方法中之一步驟。

圖7A、7B係截面圖，各說明製造本發明第一實施例第一變化型式鐵電記憶體之方法中之一步驟。

圖8A、8B係截面圖，各說明製造本發明第一實施例第一變化型式鐵電記憶體之方法中之一步驟。

圖9A至9C係截面圖，各說明製造本發明第一實施例第二

五、發明說明 (25)

變化型式鐵電記憶體之方法中之一步驟。

圖 10A 至 10C 係截面圖，各說明製造本發明第一實施例第二變化型式鐵電記憶體之方法中之一步驟。

圖 11A 至 11C 係截面圖，各說明製造本發明第一實施例第二變化型式鐵電記憶體之方法中之一步驟。

圖 12 係截面圖，說明本發明第一實施例第二變化型式鐵電記憶體之一實例。

圖 13A 係截面圖，說明製造本發明第二實施例鐵電記憶體之方法中之一步驟，及圖 13B 係沿圖 13A 之線 XIII-XIII 所取之截面圖。

圖 14A、14B 係截面圖，各說明製造本發明第二實施例鐵電記憶體之方法中之一步驟。

圖 15A 至 15C 係截面圖，各說明製造本發明第二實施例鐵電記憶體之方法中之一步驟。

圖 16A 係截面圖，說明製造本發明第二實施例鐵電記憶體之方法中之一步驟，及圖 16B 係沿圖 16A 之線 XVI-XVI 所取之截面圖。

圖 17A 揭示一截面圖，說明一包括本發明第一實施例第二栓塞、連接墊塊、電容器絕緣膜及電容器上方電極之層狀結構，以做為一第一比較實例，及一相對應於截面圖之平面圖。圖 17B 揭示一截面圖，說明一包括本發明第二實施例第二栓塞、連接墊塊、電容器絕緣膜及電容器上方電極之層狀結構，以做為一第一比較實例，及一相對應於截面圖之平面圖。

五、發明說明(²⁶)

圖18係截面圖，說明本發明第二實施例鐵電記憶體之一實例。

圖19係截面圖，說明本發明第二實施例鐵電記憶體之一實例。

圖20係截面圖，說明本發明第二實施例鐵電記憶體之一實例。

圖21A係截面圖，說明製造本發明第三實施例鐵電記憶體之方法中之一步驟，及圖21B係沿圖21A之線XXI-XXI所取之截面圖。

圖22A、22B係截面圖，各說明製造本發明第三實施例鐵電記憶體之方法中之一步驟。

圖23A至23C係截面圖，各說明製造本發明第三實施例鐵電記憶體之方法中之一步驟。

圖24A係截面圖，說明製造本發明第三實施例鐵電記憶體之方法中之一步驟，及圖24B係沿圖24A之線XXIV-XXIV所取之截面圖。

圖25係截面圖，說明本發明第三實施例鐵電記憶體之一實例。

圖26A係截面圖，說明製造本發明第四實施例鐵電記憶體之方法中之一步驟，及圖26B係沿圖26A之線XXVI-XXVI所取之截面圖。

圖27A、27B係截面圖，各說明製造本發明第四實施例鐵電記憶體之方法中之一步驟。

圖28A至28C係截面圖，各說明製造本發明第四實施例鐵

五、發明說明 (27)

電記憶體之方法中之一步驟。

圖29A係截面圖，說明製造本發明第四實施例鐵電記憶體之方法中之一步驟，及圖29B係沿圖29A之線XXIX-XXIX所取之截面圖。

圖30係截面圖，說明本發明第四實施例鐵電記憶體之一實例。

圖31係截面圖，說明本發明第四實施例鐵電記憶體之一實例。

圖32係截面圖，說明本發明第四實施例鐵電記憶體之一實例。

圖33A至33C係截面圖，各說明製造本發明第四實施例變化型式鐵電記憶體之方法中之一步驟。

圖34A、34B係截面圖，各說明製造本發明第四實施例變化型式鐵電記憶體之方法中之一步驟。

圖35A、35B係截面圖，各說明製造本發明第四實施例變化型式鐵電記憶體之方法中之一步驟。

圖36係截面圖，說明一第一習知實例之鐵電記憶體。

圖37係截面圖，說明一第二習知實例之鐵電記憶體。

發明之詳細說明

(第一實施例)

本發明第一實施例之一鐵電記憶體及其製造方法將參考諸圖式而說明於後。

圖1A、1B、2A、2B、3A至3C、4A及4B皆為截面圖，各說明製造第一實施例鐵電記憶體之方法之一步驟，請注

五、發明說明(²⁸)

意圖 1B 係沿圖 1A 之線 I-I 所取之截面圖，及圖 4B 係沿圖 4A 之線 IV-IV 所取之截面圖。

首先，如圖 1A、1B 所示，一具有 STI 結構之裝置隔離區 101 係製成於一半導體基材 100 之表面上，隨後，在一區域內有記憶體單元欲製成於(文後稱爲一"記憶體單元區")由裝置隔離區 101 圍繞之半導體基材 100 各區域內時，構成一部分記憶體單元電晶體之一第一閘極 103 係經由一第一閘極絕緣膜 102 而製成。隨後，一絕緣性第一側壁 104 製成於第一閘極 103 之側表面上，且一欲構成下層之第一低濃度雜質擴散層 105 及一欲構成上層之第一高濃度雜質擴散層 106 製成於半導體基材 100 各記憶體單元區之一表面部內，第一低濃度雜質擴散層 105 及第一高濃度雜質擴散層 106 係構成記憶體單元電晶體之一源極區或一汲極區。

再者，如圖 1A 所示，構成一部分控制電晶體之一第二閘極 108 係經由一區域上之一第二閘極絕緣膜 107 製成，即由裝置隔離區 101 圍繞之半導體基材 100 各區域內之記憶體單元區以外者(文後稱爲一"非記憶體單元區")。隨後，一絕緣性第二側壁 109 製成於第二閘極 108 之側表面上，且一欲做爲下層之第二低濃度雜質擴散層 110 及一欲做爲上層之第二高濃度雜質擴散層 111 係製成於半導體基材 100 一非記憶體單元區之一表面部內，第二低濃度雜質擴散層 110 及第二高濃度雜質擴散層 111 係做爲控制電晶體之一源極區或一汲極區。

請注意在第一實施例中，記憶體單元電晶體之各不同元

五、發明說明 (29)

件例如一閘極可以同時設有其控制電晶體之相對元件。

隨後，如圖1A、1B所示，一第一層間絕緣膜112係製成於半導體基材100上，其上則製有記憶體單元電晶體及控制電晶體。隨後，一由鎢製成且連接於第一高濃度雜質擴散層106(其一部分成爲一源極區)之第一栓塞113及一由鎢製成且連接於第二高濃度雜質擴散層111(其一部分成爲一源極區)之第二栓塞114係透過第一層間絕緣膜112而製成。

隨後，一具有氧障壁性質之導電膜(例如一鉍膜、一 IrO_2 膜、或類似物)係沈積蓋過第一層間絕緣膜112之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極115及一連接墊塊116，如圖2A所示。電容器下方電極115係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞113之上表面，及連接墊塊116係由一具有氧障壁性質之導電膜製成，且覆蓋第二栓塞114之上表面。因此，記憶體單元電晶體及電容器下方電極115係經由第一栓塞113而相互連接。隨後，一絕緣膜117係隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，使其上方表面係共平面於電容器下方電極115與連接墊塊116二者之上方表面。

接著，一由PZT($\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ，其中 $0 \leq x \leq 1$)型材料或SBT($\text{SrBi}_2\text{Ta}_2\text{O}_9$)型材料製成之鐵電膜係沈積蓋過第一層間絕緣膜112之整個表面，且其上方已製有絕緣膜117，及導電膜予以圖樣化，藉此製成一電容器絕緣膜118，以覆蓋電容器下方電極115之上方表面，如圖2B所示。

五、發明說明 (30)

接著，一由鉑或含鉑合金製成之導電膜係沈積蓋過第一層間絕緣膜112之整個表面，且其上方已製有電容器絕緣膜118，及導電膜予以圖樣化，藉此製成一電容器上方電極119，以覆蓋電容器絕緣膜118之上方表面及至電容器絕緣膜118區域以外，如圖3A所示。特別是，電容器上方電極119包括一延伸段119a以覆蓋連接墊塊116之至少一部分上方表面，且在將導電膜圖樣化成為電容器上方電極119時即製成延伸段119a。因此，電容器上方電極119及第二栓塞114係經由連接墊塊116而相互連接，藉此使電容器上方電極119及第二高濃度雜質擴散層111經由第二栓塞114而相互連接。請注意，電容器下方電極115、電容器絕緣膜118及電容器上方電極119係一併構成一電容性元件。

隨後，如圖3B所示，一第二層間絕緣膜120係製成於第一層間絕緣膜112上，其上已製有電容性元件。隨後，一由鎢製成之第三栓塞121係透過第一層間絕緣膜112、絕緣膜117及第二層間絕緣膜120而製成，以利連接第二高濃度雜質擴散層111(一部分成為一源極區及一部分成為一未連接第二栓塞114之汲極區)。

隨後，如圖3C所示，一由鋁或類似物製成之配線122係製成於第二層間絕緣膜120上，以利連接於第三栓塞121，因此，配線122及第二高濃度雜質擴散層111經由第三栓塞121而相互連接。隨後，如圖4A、4B所示，一第三層間絕緣膜123係製成於含有配線122之第二層間絕緣膜120上，及一由鎢製成之第四栓塞124係透過第三層間絕緣膜123而製

五、發明說明 (³¹)

成，以利連接於配線122。請注意，一第五栓塞125係透過第一層間絕緣膜112、絕緣膜117及第二層間絕緣膜120而製成，如圖4B所示，藉此使第一高濃度雜質擴散層106(其一部分成為一汲極區)及配線122相互連接。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜123上，以完成鐵電記憶體。

如上所述，依第一實施例所示，第一層間絕緣膜112係製成於半導體基材100上，其上方已製成包含有第二高濃度雜質擴散層111之一記憶體單元電晶體及一控制電晶體，且連接於記憶體單元電晶體之第一栓塞113及連接於第二高濃度雜質擴散層111之第二栓塞114係透過第一層間絕緣膜112而製成。接著，連接於第一栓塞113之電容器下方電極115製成於第一層間絕緣膜112上，隨後，由一鐵電膜製成之電容器絕緣膜118，及延伸至電容器絕緣膜118區域以外且電氣性連接於第二栓塞114之電容器上方電極119，二者依續製成於電容器下方電極115上。此時，第二層間絕緣膜120製成於含有電容器上方電極119之第一層間絕緣膜112上，且將第二層間絕緣膜120上之第二高濃度雜質擴散層111及配線122相互連接之第三栓塞121係透過第一層間絕緣膜112及第二層間絕緣膜120而製成。因此，在電容器上方電極119製成之前，較特別的是，同時於供記憶體單元電晶體與電容器下方電極115相互連接之第一栓塞113之製成，將電容器上方電極119及第二高濃度雜質擴散層111相互連接之第二栓塞114可以透過第一層間絕緣膜112而製成。因此，電

五、發明說明 (32)

容器上方電極119及配線122可以經由第二栓塞114、第二高濃度雜質擴散層111及第三栓塞121以做電氣性相互連接，易言之，電容器上方電極119及配線122可以利用事先製成於電容性元件下方之第二栓塞114及第二高濃度雜質擴散層111以做電氣性相互連接。因此，電容器上方電極119製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極119及配線122直接相互連接，藉此以避免電容器上方電極119曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極119時，仍可避免構成電容器絕緣膜118之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，依第一實施例所示，具有氧障壁性質之電容器下方電極115覆蓋第一栓塞113之上方表面，而具有氧障壁性質之連接墊塊116覆蓋第二栓塞114之上方表面，因此，當在一氧氣環境內燒結構成電容器絕緣膜118之鐵電膜時，其可避免第一栓塞113及第二栓塞114氧化。

再者，依第一實施例所示，連接墊塊116係與電容器下方電極115同時製成，其藉由圖樣化一使用做為電容器下方電極115材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞114之整個上表面，藉此避免第二栓塞114氧化，且不增加製造步驟數。再者，由於電容器上方電極119係製成以連接於連接墊塊116，因此電容器上方電極119及第二栓塞114可以經由連接墊塊116而相互連接。

再者，依第一實施例所示，絕緣膜117係隱埋入相鄰電容

五、發明說明 (33)

器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，使其上方表面係共平面於電容器下方電極115與連接墊塊116二者之上方表面。因此，沉積電容器絕緣膜118之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

再者，在第一實施例中，若第二高濃度雜質擴散層111之一表面部係矽化成一矽化物層，且矽化物層使用做為將第二栓塞114及第三栓塞121相互連接之導電層，即可取得以下效果，亦即導電層之電阻會比製成於半導體基材100上之一多晶矽層或類似物使用做為將第二栓塞114及第三栓塞121相互連接之導電層之例子者小。

請注意，儘管鎢係使用做為第一實施例中之第一栓塞113、第二栓塞114或第三栓塞121等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第一實施例中，較佳為電容器下方電極115係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之TiON膜、一TiN膜、一含鈦之合金膜、或類似物，而上方層膜為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物。

再者，在第一實施例中，較佳為隱埋入相鄰電容器下方電極115之間之絕緣膜117係一SiO₂膜、一Si₃N₄膜、一SiON膜、或類似物。

五、發明說明 (34)

再者，在第一實施例中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜118之鐵電膜材料。

再者，在第一實施例中，較佳為電容器上方電極119係至少一部分為一極抗氧化之鉑膜或含鉑之合金膜、一鈦膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物，依此，其可充分生長製成電容器絕緣膜118之鐵電膜之結晶。

再者，在第一實施例中，一包含電容器絕緣膜118等等(具有一做為導通/切斷電容器上方電極119亦即一記憶體單元板之驅動器之功能)之控制電晶體係製成於半導體基材100上之一非記憶體單元區內，因此，在第一實施例中，僅有當控制電晶體導通時，電容器上方電極119及配線122可以經由第二栓塞114、第二高濃度雜質擴散層111(即控制電晶體之一源極區或一汲極區)及第三栓塞121以做電氣性相互連接。反之，在電路結構不需要一控制電晶體之一鐵電記憶體中，僅有第二高濃度雜質擴散層111可以製成於半導體基材100上之一非記憶體單元區內，如圖5所示。在此例子中，電容器上方電極119及配線122一直是經由第二栓塞114、第二高濃度雜質擴散層111及第三栓塞121以做電氣性相互連接。再者，在此例子中，一矽化物層可以製成於第二高濃度雜質擴散層111之一表面部內。

再者，在第一實施例中，第二栓塞114之上方表面係由具有氧障壁性質之連接墊塊116覆蓋。另者，例如當第二栓塞

五、發明說明 (35)

114係由具有氧障壁性質之材料製成時，連接墊塊116即可省略，因此鐵電記憶體之積合度得以提昇。在此例子中，較佳為電容器上方電極119之延伸段119a覆蓋第二栓塞114之至少一部分上方表面。

再者，在第一實施例中，絕緣膜117係隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，或者絕緣膜117可以省略。

再者，在第一實施例中，較佳為一側壁係在電容器上方電極119製成前先製成於電容器絕緣膜118之側表面上，依此，欲成為電容器上方電極119之導電膜之步驟覆蓋性質即改善，且其可避免電容器上方電極119之延伸段119a內發生斷接，藉此增進鐵電記憶體之穩定性。

再者，在第一實施例中，配線122係製成於第二層間絕緣膜120上，以連接於第三栓塞121。另者，配線122可以隱埋入第二層間絕緣膜120內，以連接於第三栓塞121。

(第一實施例之第一變化型式)

本發明第一實施例第一變化型式之一鐵電記憶體及其製造方法將參考諸圖式而說明於後。

圖6A至6C、7A、7B、8A及8B皆為截面圖，各說明製造第一實施例第一變化型式鐵電記憶體之方法之一步驟。

首先，如圖6A所示，一具有STI結構之裝置隔離區101係製成於一半導體基材100之表面上，隨後，在由裝置隔離區101圍繞之半導體基材100各區域內之一記憶體單元區表面部中，製成一欲做為下層之第一低濃度雜質擴散層105及一

五、發明說明 (36)

欲做為上層之第一高濃度雜質擴散層106，第一低濃度雜質擴散層105及第一高濃度雜質擴散層106係做為記憶體單元電晶體之一源極區或一汲極區(閘極等並未揭示)。

再者，如圖6A所示，構成一部分控制電晶體之一第二閘極108係經由半導體基材100之一非記憶體單元區上之一第二閘極絕緣膜107製成。隨後，一絕緣性第二側壁109製成於第二閘極108之側表面上，且一欲做為下層之第二低濃度雜質擴散層110及一欲做為上層之第二高濃度雜質擴散層111係製成於半導體基材100之一非記憶體單元區之一表面部內，第二低濃度雜質擴散層110及第二高濃度雜質擴散層111係做為控制電晶體之一源極區或一汲極區。

請注意在第一實施例之第一變化型式中，記憶體單元電晶體之各不同元件例如一閘極可以同時設有其控制電晶體之相對元件。

隨後，如圖6A所示，一第一層間絕緣膜112係製成於半導體基材100上，其上則製有記憶體單元電晶體及控制電晶體。隨後，一由鎢製成且連接於第一高濃度雜質擴散層106(其一部分成為一源極區)之第一栓塞113及一由鎢製成且連接於第二高濃度雜質擴散層111(其一部分成為一源極區或一部分成為一汲極區)之第二栓塞114係透過第一層間絕緣膜112而製成。

隨後，一具有氧障壁性質之導電膜(例如一鉍膜、一 IrO_2 膜、或類似物)係沈積蓋過第一層間絕緣膜112之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極115及

五、發明說明 (37)

一連接墊塊116，如圖6B所示。電容器下方電極115係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞113之上方表面，及連接墊塊116係由一具有氧障壁性質之導電膜製成，且覆蓋第二栓塞114之上方表面。因此，記憶體單元電晶體及電容器下方電極115係經由第一栓塞113而相互連接。隨後，一絕緣膜117係隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，使其上方表面係共平面於電容器下方電極115與連接墊塊116二者之上方表面。

接著，一由PZT型材料或SBT型材料製成之鐵電膜及一由鉑或含鉑合金製成之導電膜係依序沈積蓋過第一層間絕緣膜112之整個表面，且其上方已製有絕緣膜117，隨後導電膜及鐵電膜利用同一光罩圖樣(圖中未示)予以圖樣化，藉此製成一電容器絕緣膜118，以覆蓋電容器下方電極115之上方表面，及一電容器上方電極119，以覆蓋電容器絕緣膜118之上方表面，如圖6C所示。在此製程中，電容器絕緣膜118及電容器上方電極119係製成使其邊緣位於連接墊塊116之區域內。請注意，電容器下方電極115、電容器絕緣膜118及電容器上方電極119係一併構成一電容性元件。

隨後，一導電膜(圖中未示)係沈積蓋過第一層間絕緣膜112之整個表面，且其上方已製有電容性元件，及導電膜係回蝕而製成一導電性第三側壁119b於電容器上方電極119之側表面上，使導電性第三側壁119b連接於連接墊塊116，如圖7A所示。因此，電容器上方電極119及第二高濃度雜質

五、發明說明(³⁸)

擴散層111係透過第二栓塞114而電氣性相互連接。

隨後，如圖7B所示，一第二層間絕緣膜120係製成於第一層間絕緣膜112上，其上已製有電容性元件。隨後，一由鎢製成之第三栓塞121係透過第一層間絕緣膜112、絕緣膜117及第二層間絕緣膜120而製成，以利連接第二高濃度雜質擴散層111(一部分成為一源極區及一部分成為一未連接第二栓塞114之汲極區)。

隨後，如圖8A所示，一由鋁或類似物製成之配線122係製成於第二層間絕緣膜120上，以利連接於第三栓塞121，因此，配線122及第二高濃度雜質擴散層111經由第三栓塞121而相互連接。隨後，如圖8B所示，一第三層間絕緣膜123係製成於含有配線122之第二層間絕緣膜120上，及一由鎢製成之第四栓塞124係透過第三層間絕緣膜123而製成，以利連接於配線122。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜123上，以完成鐵電記憶體。

如上所述，依第一實施例之第一變化型式所示，第一層間絕緣膜112係製成於半導體基材100上，其上方已製成包含有第二高濃度雜質擴散層111之一記憶體單元電晶體及一控制電晶體，且連接於記憶體單元電晶體之第一栓塞113及連接於第二高濃度雜質擴散層111之第二栓塞114係透過第一層間絕緣膜112而製成。接著，連接於第一栓塞113之電容器下方電極115製成於第一層間絕緣膜112上，隨後，構成電容器絕緣膜118之鐵電膜及構成電容器上方電極119之

五、發明說明 (39)

導電膜係使用同一光罩圖樣而圖樣化，藉此製成電容器絕緣膜118以覆蓋電容器下方電極115之上方表面，及製成電容器上方電極119以覆蓋電容器絕緣膜118之上方表面。隨後，導電性第三側壁119b製成於電容器上方電極119之側表面上。此時，第二層間絕緣膜120製成於含有電容器上方電極119之第一層間絕緣膜112上，且將第二層間絕緣膜120上之第二高濃度雜質擴散層111及配線122相互連接之第三栓塞121係透過第一層間絕緣膜112及第二層間絕緣膜120而製成。因此，在電容器上方電極119製成之前，較特別的是，同時於供記憶體單元電晶體與電容器下方電極115相互連接之第一栓塞113之製成，將電容器上方電極119及第二高濃度雜質擴散層111相互連接之第二栓塞114可以透過第一層間絕緣膜112而製成。因此，電容器上方電極119及配線122可以經由第二栓塞114、第二高濃度雜質擴散層111及第三栓塞121以做電氣性相互連接，易言之，電容器上方電極119及配線122可以利用事先製成於電容性元件下方之第二栓塞114及第二高濃度雜質擴散層111以做電氣性相互連接。因此，電容器上方電極119製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極119及配線122直接相互連接，藉此以避免電容器上方電極119曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極119時，仍可避免構成電容器絕緣膜118之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

五、發明說明(40)

再者，依第一實施例之第一變化型式所示，具有氧障壁性質之電容器下方電極115覆蓋第一栓塞113之上方表面，而具有氧障壁性質之連接墊塊116覆蓋第二栓塞114之上方表面，因此，當在一氧氣環境內燒結構成電容器絕緣膜118之鐵電膜時，其可避免第一栓塞113及第二栓塞114氧化。

再者，依第一實施例之第一變化型式所示，連接墊塊116係與電容器下方電極115同時製成，其藉由圖樣化一使用做為電容器下方電極115材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞114之整個上方表面，藉此避免第二栓塞114氧化，且不增加製造步驟數。再者，由於導電性第三側壁119b係製成於電容器上方電極119之側表面上，以連接於連接墊塊116，因此電容器上方電極119及第二栓塞114可以經由導電性第三側壁119b及連接墊塊116而相互連接。

再者，依第一實施例之第一變化型式所示，電容器絕緣膜118係製成使其邊緣位於連接墊塊116之區域內，因此，可以製成電容器絕緣膜118，且同時藉由使用一相關於構成電容器絕緣膜118之絕緣膜而有大蝕刻選擇率之導電膜做為連接墊塊116之材料，及使用連接墊塊116做為一蝕刻終止件以圖樣化絕緣膜，而可避免過度蝕刻所致之步驟形成。

再者，依第一實施例之第一變化型式所示，構成電容器上方電極119之導電膜係使用同一光罩圖樣而圖樣化，此光罩圖樣亦用於圖樣化構成電容器絕緣膜118之絕緣膜，藉此減少製造方法中所用之光罩圖樣數量。

再者，依第一實施例之第一變化型式所示，絕緣膜117係

五、發明說明(41)

隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，使其上方表面係共平面於電容器下方電極115與連接墊塊116二者之上方表面。因此，沉積電容器絕緣膜118之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

再者，在第一實施例之第一變化型式中，若第二高濃度雜質擴散層111之一表面部係矽化成一矽化物層，且矽化物層使用做為將第二栓塞114及第三栓塞121相互連接之導電層，即可取得以下效果，亦即導電層之電阻會比製成於半導體基材100上之一多晶矽層或類似物使用做為將第二栓塞114及第三栓塞121相互連接之導電層之例子者小。

請注意，在第一實施例之第一變化型式中，較佳為構成第三側壁119b之導電膜為一相關於構成電容器上方電極119或電容器下方電極115之導電膜而有大蝕刻選擇率之導電膜，例如TiN膜、TaN膜、或類似物。依此，當製成第三側壁119b時，其可抑制對於電容器上方電極119或電容器下方電極115之損害。

再者，儘管鎢係使用做為第一實施例第一變化型式中第一栓塞113、第二栓塞114或第三栓塞121等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第一實施例之第一變化型式中，較佳為電容器下方電極115係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之

五、發明說明 (42)

TiON膜、一TiN膜、一含鈦之合金膜、或類似物，而上方層膜為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物。

再者，在第一實施例之第一變化型式中，較佳為隱埋入相鄰電容器下方電極115之間之絕緣膜117係一SiO₂膜、一Si₃N₄膜、一SiON膜、或類似物。

再者，在第一實施例之第一變化型式中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜118之鐵電膜材料。

再者，在第一實施例之第一變化型式中，較佳為電容器上方電極119係至少一部分為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物，依此，其可充分生長構成電容器絕緣膜118之鐵電膜之結晶。

再者，在第一實施例之第一變化型式中，一包含第二閘極108等等之控制電晶體係製成於半導體基材100上之一非記憶體單元區內。惟，在電路結構不需要一控制電晶體之一鐵電記憶體中，僅有第二高濃度雜質擴散層111可以製成於半導體基材100上之一非記憶體單元區內。在此例子中，一矽化物層可以製成於第二高濃度雜質擴散層111之一表面部內。

再者，在第一實施例之第一變化型式中，第二栓塞114之上方表面係由具有氧障壁性質之連接墊塊116覆蓋。另者，

五、發明說明 (43)

例如當第二栓塞114係由具有氧障壁性質之材料製成時，連接墊塊116即可省略，因此鐵電記憶體之積合度得以提昇。在此例子中，較佳為第三側壁119b覆蓋第二栓塞114之至少一部分上方表面。

再者，在第一實施例之第一變化型式中，絕緣膜117係隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，或者絕緣膜117可以省略。

再者，在第一實施例之第一變化型式中，配線122係製成於第二層間絕緣膜120上，以連接於第三栓塞121。另者，配線122可以隱埋入第二層間絕緣膜120內，以連接於第三栓塞121。

(第一實施例之第二變化型式)

本發明第一實施例第二變化型式之一鐵電記憶體及其製造方法將參考諸圖式而說明於後。

圖9A至9C、10A至10C、11A至11C皆為截面圖，各說明製造第一實施例第二變化型式鐵電記憶體之方法之一步驟。

首先，如圖9A所示，一具有STI結構之裝置隔離區101係製成於一半導體基材100之表面上，隨後，在由裝置隔離區101圍繞之半導體基材100各區域內之一記憶體單元區表面部中，製成一欲做為下層之第一低濃度雜質擴散層105及一欲做為上層之第一高濃度雜質擴散層106，第一低濃度雜質擴散層105及第一高濃度雜質擴散層106係做為記憶體單元電晶體之一源極區或一汲極區(閘極等並未揭示)。第一低

五、發明說明 (44)

濃度雜質擴散層 105 及第一高濃度雜質擴散層 106 可以製成於半導體基材 100 之一非記憶體單元區之表面部中。接著，一第一層間絕緣膜 112 之一下方層膜 112a 製成於半導體基材 100 上，其上已製有記憶體單元電晶體。

隨後，如圖 9B 所示，一例如由多晶矽製成之導電層 130 製成於半導體基材 100 之一非記憶體單元區內，其上已製有下方層膜 112a，且第一層間絕緣膜 112 之一上方層膜 112b 係製成於導電層 130 及下方層膜 112a 上。

隨後，如圖 9C 所示，一由鎢製成且連接於第一高濃度雜質擴散層 106 (其一部分成為一源極區) 之第一栓塞 113 係透過第一層間絕緣膜 112 之上方層膜 112b 及下方層膜 112a 而製成，及一由鎢製成且連接於導電層 130 之第二栓塞 114 係透過第一層間絕緣膜 112 之上方層膜 112b 而製成。

隨後，一具有氧障壁性質之導電膜 (例如一鉅膜、一 IrO_2 膜、或類似物) 係沈積蓋過第一層間絕緣膜 112 之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極 115 及一連接墊塊 116，如圖 10A 所示。電容器下方電極 115 係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞 113 之上方表面，及連接墊塊 116 係由一具有氧障壁性質之導電膜製成，且覆蓋第二栓塞 114 之上方表面。因此，記憶體單元電晶體及電容器下方電極 115 係經由第一栓塞 113 而相互連接。隨後，一絕緣膜 117 係隱埋入相鄰電容器下方電極 115 之間之一區域內，或電容器下方電極 115 與連接墊塊 116 之間之一區域內，使其上方表面係共平面於電容器下方電極 115 與

五、發明說明(⁴⁵)

連接墊塊116二者之上方表面。

接著，一由PZT型材料或SBT型材料製成之鐵電膜及一由鉑或含鉑合金製成之導電膜係依序沈積蓋過第一層間絕緣膜112之整個表面，且其上方已製有絕緣膜117，隨後鐵電膜予以圖樣化，藉此製成一電容器絕緣膜118，以覆蓋電容器下方電極115之上方表面，如圖10B所示。

隨後，一由鉑或含鉑合金製成之導電膜係沈積蓋過第一層間絕緣膜112之整個表面，且其上方已製有電容器絕緣膜118，及導電膜予以圖樣化，藉此製成一電容器上方電極119，以覆蓋電容器絕緣膜118之上方表面及延伸至電容器絕緣膜118區域以外，如圖10C所示。特別是，電容器上方電極119包括一延伸段119a以覆蓋連接墊塊116之至少一部分上方表面，且在將導電膜圖樣化成為電容器上方電極119時即製成延伸段119a。因此，電容器上方電極119及第二栓塞114係經由連接墊塊116而相互連接，藉此使電容器上方電極119及導電層130經由第二栓塞114而相互連接。請注意，電容器下方電極115、電容器絕緣膜118及電容器上方電極119係一併構成一電容性元件。

隨後，如圖11A所示，一第二層間絕緣膜120係製成於第一層間絕緣膜112上，其上已製有電容性元件。隨後，一由鈎製成之第三栓塞121係透過第一層間絕緣膜112之上方層膜112b、絕緣膜117及第二層間絕緣膜120而製成，以利連接於導電層130。

隨後，如圖11B所示，一由鋁或類似物製成之配線122係

五、發明說明 (46)

製成於第二層間絕緣膜120上，以利連接於第三栓塞121，因此，配線122及導電層130經由第三栓塞121而相互連接。隨後，如圖11C所示，一第三層間絕緣膜123係製成於含有配線122之第二層間絕緣膜120上，及一由鎢製成之第四栓塞124係透過第三層間絕緣膜123而製成，以利連接於配線122。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜123上，以完成鐵電記憶體。

如上所述，依第一實施例之第二變化型式所示，第一層間絕緣膜112之下方層膜112a係製成於半導體基材100上，其上方已製成一記憶體單元電晶體，且導電層130製成於一非記憶體單元區內之下方層膜112a上，接著製成第一層間絕緣膜112之上方層膜112b。隨後，連接於記憶體單元電晶體之第一栓塞113及連接於導電層130之第二栓塞114係透過第一層間絕緣膜112而製成。接著，連接於第一栓塞113之電容器下方電極115製成於第一層間絕緣膜112上，隨後，由一鐵電膜製成之電容器絕緣膜118，及延伸至電容器絕緣膜118區域以外且電氣性連接於第二栓塞114之電容器上方電極119，二者依續製成於電容器下方電極115上。此時，第二層間絕緣膜120製成於含有電容器上方電極119之第一層間絕緣膜112上，且將第二層間絕緣膜120上之導電層130及配線122相互連接之第三栓塞121係透過第一層間絕緣膜112及第二層間絕緣膜120而製成。因此，在電容器上方電極119製成之前，較特別的是，同時於供記憶體單元電晶體

五、發明說明(47)

與電容器下方電極115相互連接之第一栓塞113之製成，將電容器上方電極119及導電層130相互連接之第二栓塞114可以透過第一層間絕緣膜112而製成。因此，電容器上方電極119及配線122可以經由第二栓塞114、導電層130及第三栓塞121以做電氣性相互連接，易言之，電容器上方電極119及配線122可以利用事先製成於電容性元件下方之第二栓塞114及導電層130以做電氣性相互連接。因此，電容器上方電極119製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極119及配線122直接相互連接，藉此以避免電容器上方電極119曝露於一氬氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極119時，仍可避免構成電容器絕緣膜118之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，依第一實施例之第二變化型式所示，具有氧障壁性質之電容器下方電極115覆蓋第一栓塞113之上方表面，而具有氧障壁性質之連接墊塊116覆蓋第二栓塞114之上方表面，因此，當在一氬氣環境內燒結構成電容器絕緣膜118之鐵電膜時，其可避免第一栓塞113及第二栓塞114氧化。

再者，依第一實施例之第二變化型式所示，連接墊塊116係與電容器下方電極115同時製成，其藉由圖樣化一使用做為電容器下方電極115材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞114之整個上方表面，藉此避免第二栓塞114氧化，且不增加製造步驟數。再者，由於電容器上方電極119係製成連接於連接墊塊116，因此電容器上方電極119

五、發明說明(⁴⁸)

及第二栓塞114可以經由連接墊塊116而相互連接。

再者，依第一實施例之第二變化型式所示，絕緣膜117係隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，使其上方表面係共平面於電容器下方電極115與連接墊塊116二者之上方表面。因此，沉積電容器絕緣膜118之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

再者，依第一實施例之第二變化型式所示，將第二栓塞114及第三栓塞121相互連接之導電層130係製成於第一層間絕緣膜112之下方層膜112a與上方層膜112b之間，因此，相較於以半導體基材100表面部內之一雜質擴散層將第二栓塞114及第三栓塞121相互連接之例子，基材之電位可以輕易設定且鐵電記憶體之單元尺寸可以減小。再者，供連接於導電層130之第二栓塞114或第三栓塞121埋入之孔之長寬比係減小，藉以防止各栓塞之製成失敗或防止其電阻增加。

請注意，儘管導電層130之材料並不限於第一實施例之第二變化型式中之任意特殊材料，但是其較佳為使用一低電阻材料例如多晶矽、矽化物、鎢、或類似物做為導電層130之材料，此係鑒於導電層130做為本變化型式中之電容器上方電極119用之一抽出線。

再者，在第一實施例之第二變化型式中，鐵電電容器(即一包括電容器下方電極115、電容器絕緣膜118及電容器上方電極119之電容性元件)下方之一配線層，例如使用做為

五、發明說明 (49)

一位元線之配線層，其可使用做為導電層130。另者，一製成於半導體基材100上且其間無層間絕緣膜之配線層，例如與一記憶體單元電晶體或一控制電晶體之閘極同時製成之配線層，其可使用做為導電層130，如圖12所示。在此例子中，配線層可以製成於裝置隔離區101上或無裝置隔離區101之一半導體基材100區域上。

再者，儘管鎢係使用做為第一實施例第二變化型式中之第一栓塞113、第二栓塞114或第三栓塞121等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第一實施例之第二變化型式中，較佳為電容器下方電極115係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之TiON膜、一TiN膜、一含鈦之合金膜、或類似物，而上方層膜為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物。

再者，在第一實施例之第二變化型式中，較佳為隱埋入相鄰電容器下方電極115之間之絕緣膜117係一SiO₂膜、一Si₃N₄膜、一SiON膜、或類似物。

再者，在第一實施例之第二變化型式中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜118之鐵電膜材料。

再者，在第一實施例之第二變化型式中，較佳為電容器上方電極119係至少一部分為一極抗氧化之鉑膜或含鉑之合

五、發明說明 (50)

金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一 RuO_2 膜或一 IrO_2 膜、或類似物，依此，其可充分生長構成電容器絕緣膜118之鐵電膜之結晶。

再者，在第一實施例之第二變化型式中，第二栓塞114之上方表面係由具有氧障壁性質之連接墊塊116覆蓋。另者，例如當第二栓塞114係由具有氧障壁性質之材料製成時，連接墊塊116即可省略，因此鐵電記憶體之積合度得以提昇。在此例子中，較佳為電容器上方電極119之延伸段119a覆蓋第二栓塞114之至少一部分上方表面。

再者，在第一實施例之第二變化型式中，絕緣膜117係隱埋入相鄰電容器下方電極115之間之一區域內，或電容器下方電極115與連接墊塊116之間之一區域內，或者絕緣膜117可以省略。

再者，在第一實施例之第二變化型式中，較佳為一側壁係在電容器上方電極119製成前先製成於電容器絕緣膜118之側表面上，依此，欲成為電容器上方電極119之導電膜之步驟覆蓋性質即改善，且其可避免電容器上方電極119之延伸段119a內發生斷接，藉此增進鐵電記憶體之穩定性。

再者，在第一實施例之第二變化型式中，配線122係製成於第二層間絕緣膜120上，以連接於第三栓塞121。另者，配線122可以隱埋入第二層間絕緣膜120內，以連接於第三栓塞121。

(第二實施例)

本發明第二實施例之一鐵電記憶體及其製造方法將參考

五、發明說明(⁵¹)

諸圖式而說明於後。

圖13A、13B、14A、14B、15A至15C、16A及16B皆為截面圖，各說明製造第二實施例鐵電記憶體之方法之一步驟，請注意圖1B係沿圖1A之線XIII-XIII所取之截面圖，及圖16B係沿圖16A之線XVI-XVI所取之截面圖。

首先，如圖13A、13B所示，一具有STI結構之裝置隔離區201係製成於一半導體基材200之表面上，隨後，在一區域內有記憶體單元欲製成於由裝置隔離區201圍繞之半導體基材200各區域內時，構成一部分記憶體單元電晶體之一第一閘極203係經由一第一閘極絕緣膜202而製成。隨後，一絕緣性第一側壁204製成於第一閘極203之側表面上，且一欲做為下層之第一低濃度雜質擴散層205及一欲做為上層之第一高濃度雜質擴散層206製成於半導體基材200各記憶體單元區之一表面部內，第一低濃度雜質擴散層205及第一高濃度雜質擴散層206係做為記憶體單元電晶體之一源極區或一汲極區。

再者，如圖13A所示，構成一部分控制電晶體之一第二閘極208係經由半導體基材200之一非記憶體單元區上之一第二閘極絕緣膜207製成。隨後，一絕緣性第二側壁209製成於第二閘極208之側表面上，且一欲做為下層之第二低濃度雜質擴散層210及一欲做為上層之第二高濃度雜質擴散層211係製成於半導體基材200一非記憶體單元區之一表面部內，第二低濃度雜質擴散層210及第二高濃度雜質擴散層211係做為控制電晶體之一源極區或一汲極區。

五、發明說明 (52)

請注意在第二實施例中，記憶體單元電晶體之各不同元件例如一閘極可以同時設有其控制電晶體之相對元件。

隨後，如圖 13A、13B 所示，一第一層間絕緣膜 212 係製成於半導體基材 200 上，其上則製有記憶體單元電晶體及控制電晶體。隨後，一由鎢製成且連接於第一高濃度雜質擴散層 206 (其一部分成為一源極區) 之第一栓塞 213 及一由鎢製成且連接於第二高濃度雜質擴散層 211 (其一部分成為一源極區或一部分成為一汲極區) 之第二栓塞 214 係透過第一層間絕緣膜 212 而製成。

隨後，一具有氧障壁性質之導電膜 (例如一鉅膜、一 IrO_2 膜、或類似物) 係沈積蓋過第一層間絕緣膜 212 之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極 215 及一連接墊塊 216，如圖 14A 所示。電容器下方電極 215 係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞 213 之上方表面，及連接墊塊 216 係由一具有氧障壁性質之導電膜製成，且覆蓋第二栓塞 214 之上方表面。因此，記憶體單元電晶體及電容器下方電極 215 係經由第一栓塞 213 而相互連接。隨後，一絕緣膜 217 係隱埋入相鄰電容器下方電極 215 之間之一區域內，或電容器下方電極 215 與連接墊塊 216 之間之一區域內，使其上方表面係共平面於電容器下方電極 215 與連接墊塊 216 二者之上方表面。

接著，一由 PZT 型材料或 SBT 型材料製成之鐵電膜係沈積蓋過第一層間絕緣膜 212 之整個表面，且其上方已製有絕緣膜 217，及導電膜予以圖樣化，藉此製成一電容器絕緣膜

五、發明說明 (53)

218，以覆蓋電容器下方電極215之上方表面，如圖14B所示。在此製程中，電容器絕緣膜218係製成以延伸至連接墊塊216之區域上方，即第二栓塞214上方，且構成電容器絕緣膜218之鐵電膜包括一開孔218a於連接墊塊216上方之一區域內。

接著，一由鉑或含鉑合金製成之導電膜係沈積蓋過第一層間絕緣膜212之整個表面，且其上方已製有包含開孔218a之電容器絕緣膜218，及導電膜予以圖樣化，藉此製成一電容器上方電極219，以覆蓋電容器絕緣膜218之上方表面及經由開孔218a以連接於連接墊塊216，如圖15A所示。特別是，電容器上方電極219包括一連接部219c於開孔218a內，以覆蓋連接墊塊216之至少一部分上方表面。因此，電容器上方電極219及第二栓塞214係經由連接墊塊216而相互連接，藉此使電容器上方電極219及第二高濃度雜質擴散層211經由第二栓塞214而相互連接。請注意，電容器下方電極215、電容器絕緣膜218及電容器上方電極219係一併構成一電容性元件。

隨後，如圖15B所示，一第二層間絕緣膜220製成於第一層間絕緣膜212上，其上已製有電容性元件。隨後，一由鎢製成之第三栓塞221係透過第一層間絕緣膜212、絕緣膜217及第二層間絕緣膜220而製成，以利連接第二高濃度雜質擴散層211(一部分成為一源極區及一部分成為一未連接第二栓塞214之汲極區)。

隨後，如圖15C所示，一由鋁或類似物製成之配線222係

五、發明說明 (54)

製成於第二層間絕緣膜220上，以利連接於第三栓塞221，因此，配線222及第二高濃度雜質擴散層211經由第三栓塞221而相互連接。隨後，如圖16A、16B所示，一第三層間絕緣膜223係製成於含有配線222之第二層間絕緣膜220上，及一由鎢製成之第四栓塞224係透過第三層間絕緣膜223而製成，以連接於配線222。請注意，一第五栓塞225係透過第一層間絕緣膜212、絕緣膜217及第二層間絕緣膜220而製成，如圖16B所示，藉此使第一高濃度雜質擴散層206(其一部分成為一汲極區)及配線222相互連接。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜223上，以完成鐵電記憶體。

如上所述，依第二實施例所示，第一層間絕緣膜212係製成於半導體基材200上，其上方已製成包含有第二高濃度雜質擴散層211之一記憶體單元電晶體及一控制電晶體，且連接於記憶體單元電晶體之第一栓塞213及連接於第二高濃度雜質擴散層211之第二栓塞214係透過第一層間絕緣膜212而製成。接著，連接於第一栓塞213之電容器下方電極215製成於第一層間絕緣膜212上，隨後，由一鐵電膜製成且延伸過第二栓塞214上方一區域之電容器絕緣膜218係製成於電容器下方電極215上。此時，開孔218a製成於第二栓塞214上方之一部分電容器絕緣膜218內，且電容器上方電極219製成以經由開孔218a而電氣性連接於第二栓塞214。此時，第二層間絕緣膜220製成於含有電容器上方電極219之第一層間絕緣膜212上，且將第二層間絕緣膜220上之第二高濃

五、發明說明 (55)

度雜質擴散層211及配線222相互連接之第三栓塞221係透過第一層間絕緣膜212及第二層間絕緣膜220而製成。因此，在電容器上方電極219製成之前，較特別的是，同時於供記憶體單元電晶體與電容器下方電極215相互連接之第一栓塞213之製成，將電容器上方電極219及第二高濃度雜質擴散層211相互連接之第二栓塞214可以透過第一層間絕緣膜212而製成。因此，電容器上方電極219及配線222可以經由第二栓塞214、第二高濃度雜質擴散層211及第三栓塞221以做電氣性相互連接，易言之，電容器上方電極219及配線222可以利用事先製成於電容性元件下方之第二栓塞214及第二高濃度雜質擴散層211以做電氣性相互連接。因此，電容器上方電極219製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極219及配線222直接相互連接，藉此以避免電容器上方電極219曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極219時，仍可避免構成電容器絕緣膜218之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，依第二實施例所示，具有氧障壁性質之電容器下方電極215覆蓋第一栓塞213之上方表面，而具有氧障壁性質之連接墊塊216覆蓋第二栓塞214之上方表面，因此，當在一氫氣環境內燒結構成電容器絕緣膜218之鐵電膜時，其可避免第一栓塞213及第二栓塞214氧化。

再者，依第二實施例所示，連接墊塊216係與電容器下方電極215同時製成，其藉由圖樣化一使用做為電容器下方電

五、發明說明 (⁵⁶)

極215材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞214之整個上表面，藉此避免第二栓塞214氧化，且不增加製造步驟數。再者，由於電容器上方電極219係製成以連接於連接墊塊216，因此電容器上方電極219及第二栓塞214可以經由連接墊塊216而相互連接。

再者，依第二實施例所示，絕緣膜217係隱埋入相鄰電容器下方電極215之間之一區域內，或電容器下方電極215與連接墊塊216之間之一區域內，使其上方表面係共平面於電容器下方電極215與連接墊塊216二者之上方表面。因此，沉積電容器絕緣膜218之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

再者，在第二實施例中，若第二高濃度雜質擴散層211之一表面部係矽化成一矽化物層，且矽化物層使用做為將第二栓塞214及第三栓塞221相互連接之導電層，即可取得以下效果，亦即導電層之電阻會比製成於半導體基材200上之一多晶矽層或類似物使用做為將第二栓塞214及第三栓塞221相互連接之導電層之例子者小。

此外，依第二實施例所示，其可取得以下效果。

圖17A揭示一截面圖，說明一包括第一實施例第二栓塞114、連接墊塊116、電容器絕緣膜118及電容器上方電極119之層狀結構，以做為一第一比較實例，及一相對應於截面圖之平面圖。

圖17B揭示一截面圖，說明一包括第二實施例第二栓塞

五、發明說明 (57)

214、連接墊塊216、電容器絕緣膜218及電容器上方電極219之層狀結構，以做為一第一比較實例，及一相對應於截面圖之平面圖。

在第一比較實例中，電容器上方電極119包括一沿著電容器絕緣膜118之一邊緣而延伸於一方向中之階級部(請見區域R1)，如圖17A所示。再者，由於構成電容器絕緣膜118之絕緣膜及構成電容器上方電極119之導電膜係分開圖樣化，故其需考量到用於製成電容器絕緣膜之光罩圖樣及用於製成電容器上方電極之光罩圖樣間之一光罩對準邊距D1。

反之，在第二實施例中，電容器上方電極219係經由電容器絕緣膜218內之開孔218a以連接於連接墊塊216，亦即第二栓塞214，因此電容器上方電極219包括一沿著開孔218a周緣而延伸之階級部(請見區域R2)，如圖17B所示。特別是，當開孔218a具有例如正方形時，電容器上方電極219即包括沿著開孔218a周緣四個邊緣而分別延伸於四個方向中之四個階級部，因此，相較於第一比較實例(其中電容器上方電極119包括一沿著電容器絕緣膜118之一邊緣而延伸於一方向中之階級部)，即使電容器上方電極之材料在其階級覆蓋性質中有一方向依存性，電容器上方電極219及第二栓塞214間之電流路徑仍可確定。

請注意，在第二實施例之圖14B、15A所示階級中，較佳為圖樣化絕緣膜之前先提供開孔218a於欲構成電容器絕緣膜218之絕緣膜內，接著同時圖樣化絕緣膜及一欲構成電容器上方電極219之導電膜。依此，即可不必考量到用於製成

五、發明說明 (58)

電容器絕緣膜之光罩圖樣及用於製成電容器上方電極之光罩圖樣間之一光罩對準邊距，因此可以減小鐵電記憶體之單元尺寸，藉以減少整體記憶體單元陣列所佔用之總面積。

再者，儘管鎢係使用做為第二實施例中之第一栓塞213、第二栓塞214或第三栓塞221等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第二實施例中，較佳為電容器下方電極215係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之TiON膜、一TiN膜、一含鈦之合金膜、或類似物，而上方層膜為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物。

再者，在第二實施例中，較佳為隱埋入相鄰電容器下方電極215之間之絕緣膜217係一SiO₂膜、一Si₃N₄膜、一SiON膜、或類似物。

再者，在第二實施例中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜218之鐵電膜材料。

再者，在第二實施例中，較佳為電容器上方電極219係至少一部分為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物，依此，其可充分生長製成電容器絕緣膜218之鐵電膜之結晶。

再者，在第二實施例中，一包含第二閘電極208之控制電

五、發明說明 (59)

晶體等等(具有一做為導通/切斷電容器上方電極219亦即一記憶體單元板之驅動器之功能)之控制電晶體係製成於半導體基材200上之一非記憶體單元區內，因此，在第二實施例中，僅有當控制電晶體導通時，電容器上方電極219及配線222可以經由第二栓塞214、第二高濃度雜質擴散層211(即控制電晶體之一源極區或一汲極區)及第三栓塞221以做電氣性相互連接。反之，在電路結構不需要一控制電晶體之一鐵電記憶體中，僅有第二高濃度雜質擴散層211可以製成於半導體基材200上之一非記憶體單元區內，如圖18所示。在此例子中，電容器上方電極219及配線222一直是經由第二栓塞214、第二高濃度雜質擴散層211及第三栓塞221以做電氣性相互連接。再者，在此例子中，一矽化物層可以製成於第二高濃度雜質擴散層211之一表面部內。

再者，儘管在第二實施例中第二高濃度雜質擴散層211係使用做為一將第二栓塞214及第三栓塞221相互連接之導電層，但是可以改為使用第一層間絕緣膜212之一下方層膜212a與一上方層膜212b之間製成之一導電層230，如圖19所示。製造圖19所示裝置結構(其詳細內容請參閱第一實施例之第二變化型式)之方法與本發明實施例方法之間之主要差異係如下所述。第一層間絕緣膜212之一下方層膜212a係製成於半導體基材200上，其上已製有一記憶體單元電晶體，及導電層230係製成於一非記憶體單元區內之下方層膜212a上，隨後製成第一層間絕緣膜212之上方層膜212b。接著，連接於記憶體單元電晶體之第一栓塞213及連接於導電層

五、發明說明 (60)

230之第二栓塞214係透過第一層間絕緣膜212而製成。儘管導電層230之材料並不限於任意特殊材料，但是其較佳為使用一低電阻材料例如多晶矽、矽化物、鎢、或類似物做為導電層230之材料，此係鑒於導電層230做為電容器上方電極219用之一抽出線。再者，鐵電電容器(即一包括電容器下方電極215、電容器絕緣膜218及電容器上方電極219之電容性元件)下方之一配線層，例如使用做為一位元線之配線層，其可使用做為導電層230。另者，一製成於半導體基材200上且其間無層間絕緣膜之配線層，例如與一記憶體單元電晶體或一控制電晶體之閘極同時製成之配線層，其可使用做為導電層230，如圖20所示。在此例子中，配線層可以製成於裝置隔離區201上或無裝置隔離區201之一半導體基材200區域上。

再者，在第二實施例中，第二栓塞214上方表面係由具有氧障壁性質之連接墊塊216覆蓋。另者，例如當第二栓塞214係由具有氧障壁性質之材料製成時，連接墊塊216即可省略，因此鐵電記憶體之積合度得以提昇。在此例子中，較佳為電容器上方電極219之連接件219c覆蓋第二栓塞214之至少一部分上方表面。

再者，在第二實施例中，絕緣膜217係隱埋入相鄰電容器下方電極215之間之一區域內，或電容器下方電極215與連接墊塊216之間之一區域內，或者絕緣膜217可以省略。

再者，在第二實施例中，較佳為一側壁係在電容器上方電極219製成前先製成於開孔218a之側表面上，依此，欲成

五、發明說明(⁶¹)

為電容器上方電極219之導電膜之步驟覆蓋性質即改善，且其可避免電容器上方電極219之連接件219c內發生斷接，藉此增進鐵電記憶體之穩定性。

再者，在第二實施例中，配線222係製成於第二層間絕緣膜220上，以連接於第三栓塞221。另者，配線222可以隱埋入第二層間絕緣膜220內，以連接於第三栓塞221。

(第三實施例)

本發明第三實施例之一鐵電記憶體及其製造方法將參考諸圖式而說明於後。

圖21A、21B、22A、22B、23A至23C、24A及24B皆為截面圖，各說明製造第三實施例鐵電記憶體之方法之一步驟，請注意圖21B係沿圖21A之線XXI-XXI所取之截面圖，及圖24B係沿圖24A之線XXIV-XXIV所取之截面圖。

首先，如圖21A、21B所示，一具有STI結構之裝置隔離區301係製成於一半導體基材300之表面上，隨後，構成一部份記憶體單元電晶體之一閘極303係經由裝置隔離區301圍繞之半導體基材300各區域內之一記憶體單元區上之閘極絕緣膜302而製成。隨後，一絕緣性側壁304製成於閘極303之側表面上，且一欲做為下層之低濃度雜質擴散層305及一欲做為上層之高濃度雜質擴散層306製成於半導體基材300各記憶體單元區之一表面部內，低濃度雜質擴散層305及高濃度雜質擴散層306係做為記憶體單元電晶體之一源極區或一汲極區。隨後，一第一層間絕緣膜307製成於半導體基材300上，其上已製有記憶體單元電晶體，及一由鎢製成且連

五、發明說明 (62)

接於高濃度雜質擴散層306(其一部分成爲一源極區)之第一栓塞308係透過第一層間絕緣膜307而製成。

隨後，一具有氧障壁性質之導電膜(例如一銻膜、一 IrO_2 膜、或類似物)係沈積蓋過第一層間絕緣膜307之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極309，如圖22A所示。電容器下方電極309係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞308之上表面，因此，記憶體單元電晶體及電容器下方電極309係經由第一栓塞308而相互連接。隨後，一絕緣膜310係隱埋入相鄰電容器下方電極309之間之一區域內，使其上方表面係共平面於電容器下方電極309之上方表面。

接著，一由PZT型材料或SBT型材料製成之鐵電膜及一由鉑或含鉑合金製成之導電膜係依序沈積蓋過第一層間絕緣膜307之整個表面，且其上方已製有絕緣膜310，隨後導電膜及鐵電膜使用同一光罩圖樣(圖中未示)予以圖樣化，藉此製成一電容器絕緣膜311，以覆蓋電容器下方電極309之上方表面，及製成一電容器上方電極312，以覆蓋電容器絕緣膜311之上方表面，如圖22B所示。請注意，電容器下方電極309、電容器絕緣膜311及電容器上方電極312係一併構成一電容性元件。

隨後，一具有氮障壁性質之導電膜，例如一鈦膜、一鉭膜、一含鈦合金膜、或一含鉭合金膜，係沈積蓋過第一層間絕緣膜307之整個表面，且其上方已製有電容性元件，及導電膜予以圖樣化，藉此製成一導電性氮障壁膜313以覆蓋

五、發明說明 (63)

電容性元件，如圖23A所示。在此製程中，導電性氬障壁膜313係製成延伸至電容器上方電極312之面積以外，特別是導電性氬障壁膜313包括一延伸段313a，以覆蓋未製有電容器上方電極312之導電膜310區域。

隨後，如圖23B所示，一第二層間絕緣膜314製成於第一層間絕緣膜307上，其上已製有導電性氬障壁膜313。隨後，一由鎢製成之第二栓塞315係透過第二層間絕緣膜314而製成，以利連接於導電性氬障壁膜313之延伸段313a，亦即未重疊於電容器上方電極312之一部分導電性氬障壁膜313。

隨後，如圖23C所示，一由鋁或類似物製成之配線316係製成於第二層間絕緣膜314上，以利連接於第二栓塞315，因此，電容器上方電極312及配線316即經由導電性氬障壁膜313及第二栓塞315而相互連接。隨後，如圖24A、24B所示，一第三層間絕緣膜317係製成於含有配線316之第二層間絕緣膜314上，及一由鎢製成之第三栓塞318係透過第三層間絕緣膜317而製成，以連接於配線316。請注意，一第四栓塞319係透過第一層間絕緣膜307、絕緣膜310及第二層間絕緣膜314而製成，如圖24B所示，藉此使高濃度雜質擴散層306(其一部分成為一汲極區)及配線316相互連接。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜317上，以完成鐵電記憶體。

如上所述，依第三實施例所示，第一層間絕緣膜307係製成於半導體基材300上，其上方已製成一記憶體單元電晶體

五、發明說明(⁶⁴)

，且連接於記憶體單元電晶體之第一栓塞308係透過第一層間絕緣膜307而製成。接著，連接於第一栓塞308之電容器下方電極309製成於第一層間絕緣膜307上，隨後，由一鐵電膜製成之電容器絕緣膜311及電容器上方電極312係依序製成於電容器下方電極309上，且導電性氫障壁膜313製成於電容器上方電極312上。此時，第二層間絕緣膜314製成於含有導電性氫障壁膜313之第一層間絕緣膜307上，且將第二層間絕緣膜314上之配線316與導電性氫障壁膜313相互連接之第二栓塞315係透過第二層間絕緣膜314而製成。因此，電容器上方電極312及配線316可以經由導電性氫障壁膜313及第二栓塞315以做電氣性相互連接，因此，電容器上方電極312製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極312及配線316直接相互連接，藉此以避免電容器上方電極312曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極312時，仍可避免構成電容器絕緣膜311之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，依第三實施例所示，導電性氫障壁膜313係製成以延伸至電容器上方電極312之面積以外，因此第二栓塞315可製成於未重疊於電容器上方電極312之一部分導電性氫障壁膜313上(即延伸段313a)。因此，其可穩定地避免在製成一接觸孔供形成第二栓塞315於其內，以通過第二層間絕緣膜314期間，因為過度蝕刻而造成導電性氫障壁膜313去除後曝露出電容器上方電極312之情形。

五、發明說明 (65)

再者，依第三實施例所示，包含電容器下方電極309、電容器絕緣膜311及電容器上方電極312之電容性元件整體係一直由導電性氮障壁膜313覆蓋，藉此改善電容性元件之減小電阻。

再者，依第三實施例所示，第一栓塞308之上方表面係由具有氧障壁性質之電容器下方電極309覆蓋，因此，當在一氧氣環境內燒結構成電容器絕緣膜311之鐵電膜時，即可避免第一栓塞308氧化。

再者，依第三實施例所示，絕緣膜310係隱埋入相鄰電容器下方電極309之間之一區域內，使其上方表面係共平面於電容器下方電極309之上方表面。因此，沉積電容器絕緣膜311之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

請注意，儘管鈎係使用做為第三實施例中之第一栓塞308或第二栓塞315等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第三實施例中，較佳為電容器下方電極309係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之TiON膜、一TiN膜、一含鈦之合金膜、或類似物，而上方層膜為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鋇膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物。

再者，在第三實施例中，較佳為隱埋入相鄰電容器下方電極309之間之絕緣膜310係一SiO₂膜、一Si₃N₄膜、一SiON

五、發明說明(⁶⁶)

膜、或類似物。

再者，在第三實施例中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜311之鐵電膜材料。

再者，在第三實施例中，較佳為電容器上方電極312係至少一部分為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物，依此，其可充分生長製成電容器絕緣膜311之鐵電膜之結晶。

再者，在第三實施例中，一鈦膜、一鉭膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鉭、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜係使用做為導電性氮障壁膜313，依此，其可利用鈦或鉭之氮吸著性質以防止氮擴散入電容器上方電極312，藉此穩定地改善電容性元件之減小電阻。再者，由於導電性氮障壁膜313之導電率穩定，因此亦可確定電容器上方電極312及第二栓塞315係經由導電性氮障壁膜313做電氣性相互連接。

再者，在第三實施例中，絕緣膜310係隱埋入相鄰電容器下方電極309之間之一區域內，或者絕緣膜310可以省略。

再者，在第三實施例中儘管製成電容器絕緣膜311之鐵電膜及製成電容器上方電極312之導電膜係使用同一光罩圖樣予以圖樣化，但是導電膜及鐵電膜另可使用不同之光罩圖樣予以圖樣化。

再者，在第三實施例中，較佳為一側壁係在導電性氮障

五、發明說明 (⁶⁷)

壁膜313製成前先製成於電容器上方電極312及電容器絕緣膜311各者之側表面上，依此，欲成為導電性氫障壁膜313之導電膜之步驟覆蓋性質即改善，且其可避免導電性氫障壁膜313之延伸段313a內發生斷接，藉此增進鐵電記憶體之穩定性。

再者，在第三實施例中，導電性氫障壁膜313係製成以延伸至電容器上方電極312之面積以外，使第二栓塞315可以製成於導電性氫障壁膜313之延伸段313a上，另者，第二栓塞315可以製成於與電容器上方電極312重疊之一部分導電性氫障壁膜313上，不需要製成延伸段313a，如圖25所示。在此例子中，較佳為採用蝕刻狀態，以至於當一用於構成第二栓塞315於其內之接觸孔係透過第二層間絕緣膜314而製成時，導電性氫障壁膜313與第二層間絕緣膜314之間之蝕刻選擇比為高。依此，即使是過度蝕刻時，導電性氫障壁膜313仍不至於去除，藉此防止電容器上方電極312曝露。

再者，在第三實施例中，配線316係製成於第二層間絕緣膜314上，以連接於第二栓塞315，配線316可以變換地隱埋入第二層間絕緣膜314內，以連接於第二栓塞315。

(第四實施例)

本發明第四實施例之一鐵電記憶體及其製造方法將參考諸圖式而說明於後。

圖26A、26B、27A、27B、28A至28C、29A及29B皆為截面圖，各說明製造第四實施例鐵電記憶體之方法之一步驟，請注意圖26B係沿圖26A之線XXVI-XXVI所取之截面圖，及

五、發明說明(⁶⁸)

圖29B係沿圖29A之線XXIX-XXIX所取之截面圖。

首先，如圖26A、26B所示，一具有STI結構之裝置隔離區401係製成於一半導體基材400之表面上，隨後，構成一部份記憶體單元電晶體之一第一閘極403係經由裝置隔離區401圍繞之半導體基材400各區域內之一記憶體單元區上之第一閘極絕緣膜402而製成。隨後，一絕緣性第一側壁404製成於第一閘極403之側表面上，且一欲做為下層之第一低濃度雜質擴散層405及一欲做為上層之第一高濃度雜質擴散層406製成於半導體基材400各記憶體單元區之一表面部內，第一低濃度雜質擴散層405及第一高濃度雜質擴散層406係做為記憶體單元電晶體之一源極區或一汲極區。

再者，如圖26A所示，構成一部份控制電晶體之一第二閘極408係經由半導體基材400之一非記憶體單元區上之一第二閘極絕緣膜407製成。隨後，一絕緣性第二側壁409製成於第二閘極408之側表面上，且一欲做為下層之第二低濃度雜質擴散層410及一欲做為上層之第二高濃度雜質擴散層411係製成於半導體基材400一非記憶體單元區之一表面部內，第二低濃度雜質擴散層410及第二高濃度雜質擴散層411係做為控制電晶體之一源極區或一汲極區。

請注意在第四實施例中，記憶體單元電晶體之各不同元件例如一閘極可以同時設有其控制電晶體之相對元件。

隨後，如圖26A、26B所示，一第一層間絕緣膜412係製成於半導體基材400上，其上則製有記憶體單元電晶體及控制電晶體。隨後，一由鎢製成且連接於第一高濃度雜質擴散

五、發明說明 (69)

層406(其一部分成爲一源極區)之第一栓塞413及一由鎢製成且連接於第二高濃度雜質擴散層411(其一部分成爲一源極區或一部分成爲一汲極區)之第二栓塞414係透過第一層間絕緣膜412而製成。

隨後，一具有氧障壁性質之導電膜(例如一鉍膜、一 IrO_2 膜、或類似物)係沈積蓋過第一層間絕緣膜412之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極415及一連接墊塊416，如圖27A所示。電容器下方電極415係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞413之上方表面，及連接墊塊416係由一具有氧障壁性質之導電膜製成，且覆蓋第二栓塞414之上方表面。因此，記憶體單元電晶體及電容器下方電極415係經由第一栓塞413而相互連接。隨後，一絕緣膜417係隱埋入相鄰電容器下方電極415之間之一區域內，或電容器下方電極415與連接墊塊416之間之一區域內，使其上方表面係共平面於電容器下方電極415與連接墊塊416二者之上方表面。

接著，一由PZT型材料或SBT型材料製成之鐵電膜及一由鉑或含鉑合金製成之導電膜係依序沈積蓋過第一層間絕緣膜412之整個表面，且其上方已製有絕緣膜417，隨後導電膜及鐵電膜使用同一光罩圖樣(圖中未示)予以圖樣化，藉此製成一電容器絕緣膜418，以覆蓋電容器下方電極415之上方表面，及製成一電容器上方電極419，以覆蓋電容器絕緣膜418之上方表面，如圖27B所示。請注意，電容器下方電極415、電容器絕緣膜418及電容器上方電極419係一併構

五、發明說明(70)

成一電容性元件。

隨後，一具有氫障壁性質之導電膜，例如一鈦膜、一鈹膜、一含鈦合金膜、或一含鈹合金膜，係沈積蓋過第一層間絕緣膜412之整個表面，且其上方已製有電容性元件，及導電膜予以圖樣化，藉此製成一導電性氫障壁膜420以覆蓋電容性元件，且延伸至電容器上方電極419之面積以外，如圖28A所示。特別是導電性氫障壁膜420包括一延伸段420a，以覆蓋連接墊塊416之至少一部分上方表面，且延伸段420a係在將構成導電性氫障壁膜420之導電膜予以圖樣化時才製成。因此，導電性氫障壁膜420及第二栓塞414係經由連接墊塊416而相互連接，藉此使導電性氫障壁膜420及第二高濃度雜質擴散層411係經由第二栓塞414而做電氣性相互連接。

隨後，如圖28B所示，一第二層間絕緣膜421製成於第一層間絕緣膜412上，其上已製有導電性氫障壁膜420。隨後，一由鎢製成之第三栓塞422係透過第一層間絕緣膜412、絕緣膜417及第二層間絕緣膜421而製成，以利連接於第二高濃度雜質擴散層411(一部分成為一源極區及一部分成為一未連接第二栓塞414之汲極區)。

隨後，如圖28C所示，一由鋁或類似物製成之配線423係製成於第二層間絕緣膜421上，以利連接於第三栓塞422，因此，配線423及第二高濃度雜質擴散層411即經由第三栓塞422而相互連接。隨後，如圖29A、29B所示，一第三層間絕緣膜424係製成於含有配線423之第二層間絕緣膜421上

五、發明說明 (71)

，及一由鎢製成之第四栓塞425係透過第三層間絕緣膜424而製成，以連接於配線423。請注意，一第五栓塞426係透過第一層間絕緣膜412、絕緣膜417及第二層間絕緣膜421而製成，如圖29B所示，藉此使第一高濃度雜質擴散層406(其一部分成爲一汲極區)及配線423相互連接。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜424上以完成鐵電記憶體。

如上所述，依第四實施例所示，第一層間絕緣膜412係製成於半導體基材400上，其上方已製成一記憶體單元電晶體及一含有第二高濃度雜質擴散層411之控制電晶體，且連接於記憶體單元電晶體之第一栓塞413及連接於第二高濃度雜質擴散層411之第二栓塞414係透過第一層間絕緣膜412而製成。接著，連接於第一栓塞413之電容器下方電極415製成於第一層間絕緣膜412上，隨後，由一鐵電膜製成之電容器絕緣膜418及電容器上方電極419係依序製成於電容器下方電極415上，隨後，延伸至電容器上方電極419面積以外且電氣性連接於第二栓塞414之導電性氬障壁膜420係製成於電容器上方電極419上。此時，第二層間絕緣膜421製成於含有導電性氬障壁膜420之第一層間絕緣膜412上，且將第二層間絕緣膜421上之第二高濃度雜質擴散層411與配線423相互連接之第三栓塞422係透過第一層間絕緣膜412及第二層間絕緣膜421而製成。因此，在電容器上方電極419製成之前，較特別的是，同時於供記憶體單元電晶體與電容器下方電極415相互連接之第一栓塞413之製成，將導電性氬

五、發明說明 (72)

障壁膜420及第二高濃度雜質擴散層411相互連接之第二栓塞414可以透過第一層間絕緣膜412而製成。因此，電容器上方電極419及配線423可以經由導電性氫障壁膜420、第二栓塞414、第二高濃度雜質擴散層411及第三栓塞422以做電氣性相互連接，易言之，電容器上方電極419及配線423可以利用事先製成於電容性元件下方之第二栓塞414及第二高濃度雜質擴散層411以做電氣性相互連接。因此，電容器上方電極419製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極419及配線423直接相互連接，藉此以避免電容器上方電極419曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極419時，仍可避免構成電容器絕緣膜418之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

再者，依第四實施例所示，包含電容器下方電極415、電容器絕緣膜418及電容器上方電極419之電容性元件整體係一直由導電性氫障壁膜420覆蓋，藉此改善電容性元件之減小電阻。

再者，依第四實施例所示，具有氧障壁性質之電容器下方電極415覆蓋第一栓塞413之上方表面，而具有氧障壁性質之連接墊塊416覆蓋第二栓塞414之上方表面，因此，當在一氫氣環境內燒結構成電容器絕緣膜418之鐵電膜時，其可避免第一栓塞413及第二栓塞414氧化。

再者，依第四實施例所示，連接墊塊416係與電容器下方電極415同時製成，其藉由圖樣化一使用做為電容器下方電

五、發明說明 (⁷³)

極415材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞414之整個上方表面，藉此避免第二栓塞414氧化，且不增加製造步驟數。再者，由於導電性氮障壁膜420係製成以連接於連接墊塊416，因此導電性氮障壁膜420及第二栓塞414可以經由連接墊塊416而相互連接。

再者，依第四實施例所示，絕緣膜417係隱埋入相鄰電容器下方電極415之間之一區域內，或電容器下方電極415與連接墊塊416之間之一區域內，使其上方表面係共平面於電容器下方電極415與連接墊塊416二者之上方表面。因此，沉積電容器絕緣膜418之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

再者，在第四實施例中，若第二高濃度雜質擴散層411之一表面部係矽化成一矽化物層，且矽化物層使用做為將第二栓塞414及第三栓塞422相互連接之導電層，即可取得以下效果，亦即導電層之電阻會比製成於半導體基材400上之一多晶矽層或類似物使用做為將第二栓塞414及第三栓塞422相互連接之導電層之例子者小。

請注意，儘管鎢係使用做為第四實施例中之第一栓塞413、第二栓塞414或第三栓塞422等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第四實施例中，較佳為電容器下方電極415係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之TiON膜、一TiN膜

五、發明說明 (⁷⁴)

、一含鈦之合金膜、或類似物，而上方層膜為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物。

再者，在第四實施例中，較佳為隱埋入相鄰電容器下方電極415之間之絕緣膜417係一SiO₂膜、一Si₃N₄膜、一SiON膜、或類似物。

再者，在第四實施例中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜418之鐵電膜材料。

再者，在第四實施例中，較佳為電容器上方電極419係至少一部分為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一RuO₂膜或一IrO₂膜、或類似物，依此，其可充分生長製成電容器絕緣膜418之鐵電膜之結晶。

再者，在第四實施例中，一鈦膜、一鉭膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鉭、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜係使用做為導電性氮障壁膜420，依此，其可利用鈦或鉭之氮吸著性質以防止氮擴散入電容器上方電極419，藉此穩定地改善電容性元件之減小電阻。再者，由於導電性氮障壁膜420之導電率穩定，因此亦可確定電容器上方電極419及第二栓塞414係經由導電性氮障壁膜420做電氣性相互連接。

再者，在第四實施例中，一包含第二開極408等等(具有一做為導通/切斷電容器上方電極419亦即一記憶體單元板

五、發明說明 (75)

之驅動器之功能)之控制電晶體係製成於半導體基材400上之一非記憶體單元區內，因此，在第四實施例中，僅有當控制電晶體導通時，電容器上方電極419及配線423係經由導電性氬障壁膜420、第二栓塞414、第二高濃度雜質擴散層411(即控制電晶體之一源極區或一汲極區)及第三栓塞422以做電氣性相互連接。反之，在電路結構不需要一控制電晶體之一鐵電記憶體中，僅有第二高濃度雜質擴散層411可以製成於半導體基材400上之一非記憶體單元區內，如圖30所示。在此例子中，電容器上方電極419及配線423一直是經由導電性氬障壁膜420、第二栓塞414、第二高濃度雜質擴散層411及第三栓塞422以做電氣性相互連接。再者，在此例子中，一矽化物層可以製成於第二高濃度雜質擴散層411之一表面部內。

再者，儘管在第四實施例中第二高濃度雜質擴散層411係使用做為一將第二栓塞414及第三栓塞422相互連接之導電層，但是可以改為使用第一層間絕緣膜412之一下方層膜412a與一上方層膜412b之間製成之一導電層430，如圖31所示。製造圖31所示裝置結構(其詳細內容請參閱第一實施例之第二變化型式)之方法與本發明實施例方法之間之主要差異係如下所述。第一層間絕緣膜412之一下方層膜412a係製成於半導體基材400上，其上已製有一記憶體單元電晶體，及導電層430係製成於一非記憶體單元區內之下方層膜412a上，隨後製成第一層間絕緣膜412之上方層膜412b。接著，連接於記憶體單元電晶體之第一栓塞413及連接於導電層

五、發明說明 (76)

430之第二栓塞414係透過第一層間絕緣膜412而製成。儘管導電層430之材料並不限於任意特殊材料，但是其較佳為使用一低電阻材料例如多晶矽、矽化物、鎢、或類似物做為導電層430之材料，此係鑒於導電層430做為電容器上方電極419用之一抽出線。再者，鐵電電容器(即一包括電容器下方電極415、電容器絕緣膜418及電容器上方電極419之電容性元件)下方之一配線層，例如使用做為一位元線之配線層，其可使用做為導電層430。另者，一製成於半導體基材400上且其間無層間絕緣膜之配線層，例如與一記憶體單元電晶體或一控制電晶體之閘極同時製成之配線層，其可使用做為導電層430，如圖32所示。在此例子中，配線層可以製成於裝置隔離區401上或無裝置隔離區401之一半導體基材400區域上。

再者，在第四實施例中，第二栓塞414上方表面係由具有氧障壁性質之連接墊塊416覆蓋。另者，例如當第二栓塞414係由具有氧障壁性質之材料製成時，連接墊塊416即可省略，因此鐵電記憶體之積合度得以提昇。在此例子中，較佳為導電性氮障壁膜420之延伸段420a覆蓋第二栓塞414之至少一部分上方表面。

再者，在第四實施例中，絕緣膜417係隱埋入相鄰電容器下方電極415之間之一區域內，或電容器下方電極415與連接墊塊416之間之一區域內，或者絕緣膜417可以省略。

再者，在第四實施例中儘管製成電容器絕緣膜418之鐵電膜及製成電容器上方電極419之導電膜係使用同一光罩圖樣

五、發明說明 (77)

予以圖樣化，但是導電膜及鐵電膜另可使用不同之光罩圖樣予以圖樣化。

再者，在第四實施例中，較佳為一側壁係在導電性氬障壁膜420製成前先製成於電容器上方電極419及電容器絕緣膜418各者之側表面上，依此，欲成為導電性氬障壁膜420之導電膜之步驟覆蓋性質即改善，且其可避免導電性氬障壁膜420之延伸段420a內發生斷接，藉此增進鐵電記憶體之穩定性。

再者，在第四實施例中，配線423係製成於第二層間絕緣膜421上，以連接於第三栓塞422，配線423可以變換地隱埋入第二層間絕緣膜421內，以連接於第三栓塞422。

(第四實施例之變化型式)

本發明第四實施例之一鐵電記憶體及其製造方法將參考諸圖式而說明於後。

圖33A至33C、34A、34B、35A及35B皆為截面圖，各說明製造第四實施例變化型式鐵電記憶體之方法之一步驟。

首先，如圖33A所示，一具有STI結構之裝置隔離區401係製成於一半導體基材400之表面上，隨後，在由裝置隔離區401圍繞之半導體基材400各區域內之一記憶體單元區表面部中，製成一欲做為下層之第一低濃度雜質擴散層405及一欲做為上層之第一高濃度雜質擴散層406，第一低濃度雜質擴散層405及第一高濃度雜質擴散層406係做為記憶體單元電晶體之一源極區或一汲極區(閘極等並未揭示)。

再者，如圖33A所示，在半導體基材400之一非記憶體單

五、發明說明 (⁷⁸)

元區上，構成一部分控制電晶體之一第二閘極408係經由一第二閘極絕緣膜407製成。隨後，一絕緣性第二側壁409製成於第二閘極408之側表面上，且一欲做為下層之第二低濃度雜質擴散層410及一欲做為上層之第二高濃度雜質擴散層411係製成於半導體基材400一非記憶體單元區之一表面部內，第二低濃度雜質擴散層410及第二高濃度雜質擴散層411係做為控制電晶體之一源極區或一汲極區。

請注意在第四實施例變化型式中，記憶體單元電晶體之各不同元件例如一閘極可以同時設有其控制電晶體之相對元件。

隨後，如圖33A所示，一第一層間絕緣膜412係製成於半導體基材400上，其上則製有記憶體單元電晶體及控制電晶體。隨後，一由鎢製成且連接於第一高濃度雜質擴散層406(其一部分成為一源極區)之第一栓塞413及一由鎢製成且連接於第二高濃度雜質擴散層411(其一部分成為一源極區或一部分成為一汲極區)之第二栓塞414係透過第一層間絕緣膜412而製成。

隨後，一具有氧障壁性質之導電膜(例如一鉍膜、一 IrO_2 膜、或類似物)係沈積蓋過第一層間絕緣膜412之整個表面，且導電膜予以圖樣化，藉此製成一電容器下方電極415及一連接墊塊416，如圖33B所示。電容器下方電極415係由一具有氧障壁性質之導電膜製成，且覆蓋第一栓塞413之上方表面，及連接墊塊416係由一具有氧障壁性質之導電膜製成，且覆蓋第二栓塞414之上方表面。因此，記憶體單元電晶

五、發明說明 (79)

體及電容器下方電極415係經由第一栓塞413而相互連接。隨後，一絕緣膜417係隱埋入相鄰電容器下方電極415之間之一區域內，或電容器下方電極415與連接墊塊416之間之一區域內，使其上方表面係共平面於電容器下方電極415與連接墊塊416二者之上方表面。

接著，一由PZT型材料或SBT型材料製成之鐵電膜、一由鉑或含鉑合金製成之第一導電膜、及一具有氬障壁性質之第二導電膜(例如一鈦膜、一釮膜、一含鈦合金膜、或一含釮合金膜)係依序沈積蓋過第一層間絕緣膜412之整個表面，且其上方已製有絕緣膜417，隨後第二導電膜、第一導電膜及鐵電膜使用同一光罩圖樣(圖中未示)予以圖樣化，藉此製成一電容器絕緣膜418，以覆蓋電容器下方電極415之上方表面，製成一電容器上方電極419，以覆蓋電容器絕緣膜418之上方表面，及製成一導電性氬障壁膜420，以覆蓋電容器上方電極419之上方表面，如圖33C所示。請注意，電容器下方電極415、電容器絕緣膜418及電容器上方電極419係一併構成一電容性元件。

隨後，一導電膜(圖中未示)係沈積蓋過第一層間絕緣膜412之整個表面，且其上方已製有導電性氬障壁膜420，及導電膜係回蝕而製成一導電性第三側壁420b於導電性氬障壁膜420之側表面上，使導電性第三側壁420b連接於連接墊塊416，如圖34A所示。因此，導電性氬障壁膜420及第二栓塞414係透過第三側壁420b及連接墊塊416而相互連接。

隨後，如圖34B所示，一第二層間絕緣膜421製成於第一

五、發明說明(⁸⁰)

層間絕緣膜412上，其上已製有電容性元件。隨後，一由鎢製成之第三栓塞422係透過第一層間絕緣膜412、絕緣膜417及第二層間絕緣膜421而製成，以利連接於第二高濃度雜質擴散層411(一部分成爲一源極區及一部分成爲一未連接第二栓塞414之汲極區)。

隨後，如圖35A所示，一由鋁或類似物製成之配線423係製成於第二層間絕緣膜421上，以利連接於第三栓塞422，因此，配線423及第二高濃度雜質擴散層411即經由第三栓塞422而相互連接。隨後，如圖35B所示，一第三層間絕緣膜424係製成於含有配線423之第二層間絕緣膜421上，及一由鎢製成之第四栓塞425係透過第三層間絕緣膜424而製成，以連接於配線423。隨後，儘管圖中未示，進一步之一層間絕緣膜、一配線、一表面保護膜、等等，係製成於第三層間絕緣膜424上，以完成鐵電記憶體。

如上所述，依第四實施例之變化型式所示，第一層間絕緣膜412係製成於半導體基材400上，其上方已製成一記憶體單元電晶體及一含有第二高濃度雜質擴散層411之控制電晶體，且連接於記憶體單元電晶體之第一栓塞413及連接於第二高濃度雜質擴散層411之第二栓塞414係透過第一層間絕緣膜412而製成。接著，連接於第一栓塞413之電容器下方電極415製成於第一層間絕緣膜412上，隨後，製成電容器絕緣膜418之鐵電膜、製成電容器上方電極419之第一導電膜及製成導電性氬障壁膜420之第二導電膜係使用同一光罩圖樣予以圖樣化。因此，製成電容器絕緣膜418，以覆蓋

五、發明說明 (⁸¹)

電容器下方電極415之上方表面，製成電容器上方電極419，以覆蓋電容器絕緣膜418之上方表面，及製成導電性氫障壁膜420，以覆蓋電容器上方電極419之上方表面。此時，導電性第三側壁420b製成於導電性氫障壁膜420之側表面上，以利電氣性連接於第二栓塞414。此時，第二層間絕緣膜421製成於含有導電性氫障壁膜420之第一層間絕緣膜412上，且將第二層間絕緣膜421上之第二高濃度雜質擴散層411與配線423相互連接之第三栓塞422係透過第一層間絕緣膜412及第二層間絕緣膜421而製成。因此，在電容器上方電極419製成之前，較特別的是，同時於供記憶體單元電晶體與電容器下方電極415相互連接之第一栓塞413之製成，將導電性氫障壁膜420及第二高濃度雜質擴散層411相互連接之第二栓塞414可以透過第一層間絕緣膜412而製成。因此，電容器上方電極419及配線423可以經由導電性氫障壁膜420、第二栓塞414、第二高濃度雜質擴散層411及第三栓塞422以做電氣性相互連接，易言之，電容器上方電極419及配線423可以利用事先製成於電容性元件下方之第二栓塞414及第二高濃度雜質擴散層411以做電氣性相互連接。因此，電容器上方電極419製成後，不需要製成一接觸孔供形成一栓塞於內而使電容器上方電極419及配線423直接相互連接，藉此以避免電容器上方電極419曝露於一氫氣環境或減弱環境。因此，甚至當一具有強烈觸媒功能之鉑膜係使用做為電容器上方電極419時，仍可避免構成電容器絕緣膜418之鐵電膜之特徵惡化，藉此改善鐵電記憶體之穩定性。

五、發明說明 (82)

再者，依第四實施例之變化型式所示，包含電容器下方電極415、電容器絕緣膜418及電容器上方電極419之電容性元件整體係一直由導電性氬障壁膜420覆蓋，藉此改善電容性元件之減小電阻。

再者，依第四實施例之變化型式所示，具有氧障壁性質之電容器下方電極415覆蓋第一栓塞413之上方表面，而具有氧障壁性質之連接墊塊416覆蓋第二栓塞414之上方表面，因此，當在一氧氣環境內燒結構成電容器絕緣膜418之鐵電膜時，其可避免第一栓塞413及第二栓塞414氧化。

再者，依第四實施例之變化型式所示，連接墊塊416係與電容器下方電極415同時製成，其藉由圖樣化一使用做為電容器下方電極415材料之導電膜且具有氧障壁性質，以利覆蓋第二栓塞414之整個上方表面，藉此避免第二栓塞414氧化，且不增加製造步驟數。再者，由於導電性第三側壁420b係製成於導電性氬障壁膜420之側表面上，以連接於連接墊塊416，因此導電性氬障壁膜420及第二栓塞414可以經由第三側壁420b及連接墊塊416而相互連接。

再者，依第四實施例之變化型式所示，製成導電性氬障壁膜420之第二導電膜係使用與製成電容器絕緣膜418之絕緣膜及製成電容器上方電極419之第一導電膜者同一光罩圖樣予以圖樣化，藉此減少製程中使用之光罩數。

再者，依第四實施例之變化型式所示，絕緣膜417係隱埋入相鄰電容器下方電極415之間之一區域內，或電容器下方電極415與連接墊塊416之間之一區域內，使其上方表面係

五、發明說明(⁸³)

共平面於電容器下方電極415與連接墊塊416二者之上方表面。因此，沉積電容器絕緣膜418之步驟等等可在一平坦之基礎上執行，藉此增進電容性元件之穩定性，亦即鐵電記憶體之穩定性。

再者，在第四實施例之變化型式中，若第二高濃度雜質擴散層411之一表面部係矽化成一矽化物層，且矽化物層使用做為將第二栓塞414及第三栓塞422相互連接之導電層，即可取得以下效果，亦即導電層之電阻會比製成於半導體基材400上之一多晶矽層或類似物使用做為將第二栓塞414及第三栓塞422相互連接之導電層之例子者小。

請注意，在第四實施例之變化型式中，較佳為第三側壁420b具有一氬障壁性質，依此，包含電容器下方電極415、電容器絕緣膜418及電容器上方電極419之電容性元件整體可以由氬障壁膜穩定地覆蓋，藉此改善電容性元件之減小電阻。再者，若相同於導電性氬障壁膜420之材料係使用做為第三側壁420b之材料，則較佳為製成導電性氬障壁膜420之第二導電膜係沉積至一大厚度。

再者，儘管鎢係使用做為第四實施例變化型式中之第一栓塞413、第二栓塞414或第三栓塞422等等之材料，但是多晶矽或類似物亦可替換使用。

再者，在第四實施例之變化型式中，較佳為電容器下方電極415係一包含一下方層膜(其功能如同一黏接層)及一上方層膜之層膜，其中下方層膜為一具有低氧含量之TiON膜、一TiN膜、一含鈦之合金膜、或類似物，而上方層膜為一

五、發明說明 (84)

極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一 RuO_2 膜或一 IrO_2 膜、或類似物。

再者，在第四實施例之變化型式中，較佳為隱埋入相鄰電容器下方電極415之間之絕緣膜417係一 SiO_2 膜、一 Si_3N_4 膜、一 SiON 膜、或類似物。

再者，在第四實施例之變化型式中，較佳為一PZT型材料、一SBT型材料、或類似物係使用做為製成電容器絕緣膜418之鐵電膜材料。

再者，在第四實施例之變化型式中，較佳為電容器上方電極419係至少一部分為一極抗氧化之鉑膜或含鉑之合金膜、一鈳膜或一鉍膜且其氧化物具有氧障壁性質及呈導電性、一 RuO_2 膜或一 IrO_2 膜、或類似物，依此，其可充分生長製成電容器絕緣膜418之鐵電膜之結晶。

再者，在第四實施例之變化型式中，一鈦膜、一釧膜、一 TiON 膜、一 TiN 膜、一 TaN 膜、一 TiAlN 膜、一 TiAlON 膜、或一含有鈦、釧、 TiON 、 TiN 、 TaN 、 TiAlN 、或 TiAlON 之合金膜係使用做為導電性氮障壁膜420，依此，其可利用鈦或釧之氮吸著性質以防止氮擴散入電容器上方電極419，藉此穩定地改善電容性元件之減小電阻。再者，由於導電性氮障壁膜420之導電率穩定，因此亦可確定電容器上方電極419及第二栓塞414係經由導電性氮障壁膜420做電氣性相互連接。

再者，在第四實施例之變化型式中，一包含第二閘極408

五、發明說明 (85)

等等之控制電晶體係製成於半導體基材400上之一非記憶體單元區內，惟，在電路結構不需要一控制電晶體之一鐵電記憶體中，僅有第二高濃度雜質擴散層411可以製成於半導體基材400上之一非記憶體單元區內。在此例子中，一矽化物層可以製成於第二高濃度雜質擴散層411之一表面部內。

再者，在第四實施例之變化型式中，第二栓塞414上方表面係由具有氧障壁性質之連接墊塊416覆蓋。另者，例如當第二栓塞414係由具有氧障壁性質之材料製成時，連接墊塊416即可省略，因此鐵電記憶體之積合度得以提昇。在此例子中，較佳為第三側壁420b覆蓋第二栓塞414之至少一部分上方表面。

再者，在第四實施例之變化型式中，絕緣膜417係隱埋入相鄰電容器下方電極415之間之一區域內，或電容器下方電極415與連接墊塊416之間之一區域內，或者絕緣膜417可以省略。

再者，在第四實施例之變化型式中儘管製成電容器絕緣膜418之鐵電膜、製成電容器上方電極419之第一導電膜及製成導電性氫障壁膜420之第二導電膜係使用同一光罩圖樣予以圖樣化，但是導電膜及鐵電膜另可使用不同之光罩圖樣予以圖樣化。

再者，在第四實施例之變化型式中，電容器絕緣膜418係製成以覆蓋電容器下方電極415之上方表面，但是未到達連接墊塊416之區域。另者，電容器絕緣膜418可製成使其邊緣位於連接墊塊416之區域內，因此，可以製成電容器絕緣

五、發明說明 (86)

膜418，且同時藉由使用一相關於構成電容器絕緣膜418之絕緣膜而有大蝕刻選擇率之導電膜做為連接墊塊416之材料，及使用連接墊塊416做為一蝕刻終止件以圖樣化絕緣膜，而可避免過度蝕刻所致之步驟形成。

再者，在第四實施例之變化型式中，配線423係製成於第二層間絕緣膜421上，以連接於第三栓塞422，配線423可以變換地隱埋入第二層間絕緣膜421內，以連接於第三栓塞422。

裝

訂

線

四、中文發明摘要(發明之名稱： 鐵電記憶體及其製造方法)

一電容器上方電極及一配線係利用製成於一電容性元件下方之一栓塞及一導電層，以做電氣性相互連接，而不使用一栓塞經過其間之一層間絕緣膜將電容器上方電極直接連接於其上方之配線。另者，電容器上方電極係由一導電性氬障壁膜覆蓋，且電容器上方電極及配線係經由一令配線與導電性氬障壁膜相互連接之栓塞及導電性氬障壁膜二者，以做電氣性相互連接。

英文發明摘要(發明之名稱： FERROELECTRIC MEMORY AND METHOD FOR MANUFACTURING THE SAME)

A capacitor upper electrode and a wiring are electrically connected to each other by using a plug and a conductive layer formed below a capacitive element without using a plug that directly connects the capacitor upper electrode to the wiring provided thereon via an interlayer insulating film therebetween. Alternatively, the capacitor upper electrode is covered by a conductive hydrogen barrier film, and the capacitor upper electrode and the wiring are electrically connected to each other via both a plug connecting the wiring and the conductive hydrogen barrier film to each other and the conductive hydrogen barrier film.

六、申請專利範圍

1. 一種鐵電記憶體，包含：

- 一電晶體，係製成於一半導體基材上之一區域內；
- 一導電層，係製成於半導體基材上之另一區域內；
- 一第一層間絕緣膜，係製成於包括電晶體與導電層在內之半導體基材上；
- 一電容器下方電極，係製成於第一層間絕緣膜上；
- 一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上；
- 一電容器上方電極，係製成於電容器絕緣膜上，以延伸至電容器絕緣膜之一區域以外；
- 一第二層間絕緣膜，係製成於包括電容器上方電極在內之第一層間絕緣膜上；
- 一配線，係製成於第二層間絕緣膜上；
- 一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；
- 一第二栓塞，係透過第一層間絕緣膜而製成，以令導電層及電容器上方電極呈電氣性相互連接；及
- 一第三栓塞，係透過第一層間絕緣膜及第二層間絕緣膜而製成，以令導電層及配線相互連接。

2. 如申請專利範圍第1項之鐵電記憶體，其中導電層係一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

3. 如申請專利範圍第1項之鐵電記憶體，其中：

第一層間絕緣膜包括一下方層膜及一製成於下方層膜

六、申請專利範圍

上之上方層膜；及

導電層係製成於下方層膜及上方層膜之間。

4. 如申請專利範圍第1項之鐵電記憶體，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

5. 一種鐵電記憶體，包含：

一電晶體，係製成於一半導體基材上之一區域內；

一導電層，係製成於半導體基材上之另一區域內；

一第一層間絕緣膜，係製成於包括電晶體與導電層在內之半導體基材上；

一電容器下方電極，係製成於第一層間絕緣膜上；

一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上，以延伸至電容器下方電極之一區域以外；

一開孔，係提供於該電容器下方電極區域外之一部分電容器絕緣膜內；

一電容器上方電極，係製成於包括開孔在內之電容器絕緣膜上；

一第二層間絕緣膜，係製成於包括電容器上方電極在內之第一層間絕緣膜上；

一配線，係製成於第二層間絕緣膜上；

一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；

一第二栓塞，係透過第一層間絕緣膜而製成，以令導電層及電容器上方電極呈電氣性相互連接；及

一第三栓塞，係透過第一層間絕緣膜及第二層間絕緣

六、申請專利範圍

膜而製成，以令導電層及配線相互連接。

6. 如申請專利範圍第5項之鐵電記憶體，其中導電層係一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

7. 如申請專利範圍第5項之鐵電記憶體，其中：

第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及

導電層係製成於下方層膜及上方層膜之間。

8. 如申請專利範圍第5項之鐵電記憶體，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

9. 一種鐵電記憶體，包含：

一電晶體，係製成於一半導體基材上之一區域內；

一第一層間絕緣膜，係製成於包括電晶體在內之半導體基材上；

一電容器下方電極，係製成於第一層間絕緣膜上；

一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上；

一電容器上方電極，係製成於電容器絕緣膜上；

一導電性氬障壁膜，係製成於電容器上方電極上；

一第二層間絕緣膜，係製成於包括導電性氬障壁膜在內之第一層間絕緣膜上；

一配線，係製成於第二層間絕緣膜上；

一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；及

六、申請專利範圍

一第二栓塞，係透過第二層間絕緣膜而製成，以令導電性氮障壁膜及配線相互連接。

10. 如申請專利範圍第9項之鐵電記憶體，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

11. 如申請專利範圍第9項之鐵電記憶體，其中導電性氮障壁膜係由一鈦膜、一鉭膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鉭、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜製成。

12. 一種鐵電記憶體，包含：

一電晶體，係製成於一半導體基材上之一區域內；

一導電層，係製成於半導體基材上之另一區域內；

一第一層間絕緣膜，係製成於包括電晶體與導電層在內之半導體基材上；

一電容器下方電極，係製成於第一層間絕緣膜上；

一電容器絕緣膜，係由一鐵電膜製成且製成於電容器下方電極上；

一電容器上方電極，係製成於電容器絕緣膜上；

一導電性氮障壁膜，係製成於電容器上方電極上，以延伸至電容器上方電極之一區域以外；

一第二層間絕緣膜，係製成於包括導電性氮障壁膜在內之第一層間絕緣膜上；

一配線，係製成於第二層間絕緣膜上；

一第一栓塞，係透過第一層間絕緣膜而製成，以令電晶體及電容器下方電極相互連接；

六、申請專利範圍

- 一 第二栓塞，係透過第一層間絕緣膜而製成，以令導電層及導電性氮障壁膜呈電氣性相互連接；及
- 一 第三栓塞，係透過第一層間絕緣膜及第二層間絕緣膜而製成，以令導電層及配線相互連接。
13. 如申請專利範圍第12項之鐵電記憶體，其中導電層係一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。
14. 如申請專利範圍第12項之鐵電記憶體，其中：
- 第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及
- 導電層係製成於下方層膜及上方層膜之間。
15. 如申請專利範圍第12項之鐵電記憶體，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。
16. 如申請專利範圍第12項之鐵電記憶體，其中導電性氮障壁膜係由一鈦膜、一鈮膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鈮、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜製成。
17. 一種製造一鐵電記憶體之方法，包含以下步驟：
- 製成一電晶體於一半導體基材上之一區域內；
- 製成一導電層於半導體基材上之另一區域內；
- 製成一第一層間絕緣膜於包括電晶體與導電層在內之半導體基材上；
- 透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體，及製成一第二栓塞，以連接於導電層；

六、申請專利範圍

製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；

製成由一鐵電膜構成之一電容器絕緣膜於電容器下方電極上；

製成一電容器上方電極於電容器絕緣膜上，以延伸至電容器絕緣膜之一區域以外，且電氣性連接於第二栓塞；

製成一第二層間絕緣膜於包括電容器上方電極在內之第一層間絕緣膜上；

透過第一層間絕緣膜及第二層間絕緣膜而製成一第三栓塞，以連接於導電層；及

製成一配線於第二層間絕緣膜上，以連接於第三栓塞。

18. 如申請專利範圍第17項製造一鐵電記憶體之方法，其中：

製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及

製成電容器上方電極之步驟包括製成電容器上方電極，以連接於連接墊塊之步驟。

19. 如申請專利範圍第18項製造一鐵電記憶體之方法，其中製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

20. 如申請專利範圍第17項製造一鐵電記憶體之方法，其中製成電容器上方電極之步驟包括使用一光罩圖樣以利圖樣化一構成電容器上方電極之導電膜，該光罩圖樣係用於圖樣化一構成電容器絕緣膜之絕緣膜，及隨後製成一導電性側壁於電容器上方電極之一側表面上，以利電氣

六、申請專利範圍

性連接於第二栓塞。

21. 如申請專利範圍第20項製造一鐵電記憶體之方法，其中：

製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及

製成電容器上方電極之步驟包括製成該側壁，以連接於連接墊塊之步驟。

22. 如申請專利範圍第21項製造一鐵電記憶體之方法，其中製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

23. 如申請專利範圍第17項製造一鐵電記憶體之方法，其中導電層係一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

24. 如申請專利範圍第17項製造一鐵電記憶體之方法，其中：

第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及

導電層係製成於下方層膜及上方層膜之間。

25. 如申請專利範圍第17項製造一鐵電記憶體之方法，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

26. 一種製造一鐵電記憶體之方法，包含以下步驟：

製成一電晶體於一半導體基材上之一區域內；

製成一導電層於半導體基材上之另一區域內；

製成一第一層間絕緣膜於包括電晶體與導電層在內之半導體基材上；

六、申請專利範圍

透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體，及製成一第二栓塞，以連接於導電層；

製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；

製成由一鐵電膜構成之一電容器絕緣膜，以利至少延伸過第二栓塞上方之一區域；

製成一開孔於第二栓塞上方之一部分電容器絕緣膜內；

製成一電容器上方電極於包括開孔在內之電容器絕緣膜上，以利經由開孔而電氣性連接於第二栓塞；

製成一第二層間絕緣膜於包括電容器上方電極在內之第一層間絕緣膜上；

透過第一層間絕緣膜及第二層間絕緣膜而製成一第三栓塞，以連接於導電層；及

製成一配線於第二層間絕緣膜上，以連接於第三栓塞。

27. 如申請專利範圍第26項製造一鐵電記憶體之方法，其中：

製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及

製成電容器上方電極之步驟包括製成電容器上方電極，以連接於連接墊塊之步驟。

28. 如申請專利範圍第26項製造一鐵電記憶體之方法，其中：

製成開孔之步驟係在圖樣化一構成電容器絕緣膜之絕緣膜前執行；及

製成電容器上方電極之步驟包括同時圖樣化該構成電容器絕緣膜之絕緣膜及一構成電容器上方電極之導電膜

六、申請專利範圍

之步驟。

29. 如申請專利範圍第26項製造一鐵電記憶體之方法，其中導電層係一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

30. 如申請專利範圍第26項製造一鐵電記憶體之方法，其中：

第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及

導電層係製成於下方層膜及上方層膜之間。

31. 如申請專利範圍第26項製造一鐵電記憶體之方法，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

32. 一種製造一鐵電記憶體之方法，包含以下步驟：

製成一電晶體於一半導體基材上之一區域內；

製成一第一層間絕緣膜於包括電晶體在內之半導體基材上；

透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體；

製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；

製成由一鐵電膜構成之一電容器絕緣膜於電容器下方電極上；

製成一電容器上方電極於電容器絕緣膜上；

製成一導電性氫障壁膜於電容器上方電極上；

製成一第二層間絕緣膜於包括導電性氫障壁膜在內之

六、申請專利範圍

第一層間絕緣膜上；

透過第二層間絕緣膜而製成一第二栓塞，以連接於導電性氬障壁膜；及

製成一配線於第二層間絕緣膜上，以連接於第二栓塞。

33. 如申請專利範圍第32項之製造一鐵電記憶體之方法，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

34. 如申請專利範圍第32項之製造一鐵電記憶體之方法，其中導電性氬障壁膜係由一鈦膜、一鉭膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鉭、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜製成。

35. 一種製造一鐵電記憶體之方法，包含以下步驟：

製成一電晶體於一半導體基材上之一區域內；

製成一導電層於半導體基材上之另一區域內；

製成一第一層間絕緣膜於包括電晶體與導電層在內之半導體基材上；

透過第一層間絕緣膜而製成一第一栓塞，以連接於電晶體，及製成一第二栓塞，以連接於導電層；

製成一電容器下方電極於第一層間絕緣膜上，以連接於第一栓塞；

製成由一鐵電膜構成之一電容器絕緣膜於電容器下方電極上；

製成一電容器上方電極於電容器絕緣膜上；

六、申請專利範圍

製成一導電性氬障壁膜於電容器上方電極上，以延伸至電容器上方電極之一區域以外，且電氣性連接於第二栓塞；

製成一第二層間絕緣膜於包括導電性氬障壁膜在內之第一層間絕緣膜上；

透過第一層間絕緣膜及第二層間絕緣膜而製成一第三栓塞，以連接於導電層；及

製成一配線於第二層間絕緣膜上，以連接於第三栓塞。

36. 如申請專利範圍第35項製造一鐵電記憶體之方法，其中：

製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及

製成導電性氬障壁膜之步驟包括製成導電性氬障壁膜，以連接於連接墊塊之步驟。

37. 如申請專利範圍第36項製造一鐵電記憶體之方法，其中製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

38. 如申請專利範圍第35項製造一鐵電記憶體之方法，其中製成導電性氬障壁膜之步驟包括使用一光罩圖樣以利圖樣化一構成導電性氬障壁膜之第二導電膜，該光罩圖樣係用於圖樣化一構成電容器絕緣膜之絕緣膜及構成電容器上方電極之第一導電膜，且隨後製成一導電性側壁於導電性氬障壁膜之一側表面上，以利電氣性連接於第二栓塞。

39. 如申請專利範圍第38項製造一鐵電記憶體之方法，其中

六、申請專利範圍

側壁具有一氬障壁性質。

40. 如申請專利範圍第38項製造一鐵電記憶體之方法，其中：

製成電容器下方電極之步驟包括製成一連接墊塊於第一層間絕緣膜上，以連接於第二栓塞之步驟；及

製成導電性氬障壁膜之步驟包括製成側壁，以連接於連接墊塊之步驟。

41. 如申請專利範圍第40項製造一鐵電記憶體之方法，其中製成電容器絕緣膜之步驟包括製成電容器絕緣膜，使其一邊緣位於連接墊塊之一區域內之步驟。

42. 如申請專利範圍第35項製造一鐵電記憶體之方法，其中導電層係一製成於半導體基材之一表面部內之雜質擴散層，或一製成於雜質擴散層之一表面部內之矽化物層。

43. 如申請專利範圍第35項製造一鐵電記憶體之方法，其中：

第一層間絕緣膜包括一下方層膜及一製成於下方層膜上之上方層膜；及

導電層係製成於下方層膜及上方層膜之間。

44. 如申請專利範圍第35項製造一鐵電記憶體之方法，其中至少一部分電容器上方電極係由一鉑膜或一含鉑之合金膜製成。

45. 如申請專利範圍第35項之製造一鐵電記憶體之方法，其中導電性氬障壁膜係由一鈦膜、一鉭膜、一TiON膜、一TiN膜、一TaN膜、一TiAlN膜、一TiAlON膜、或一含有鈦、鉭、TiON、TiN、TaN、TiAlN、或TiAlON之合金膜製成。

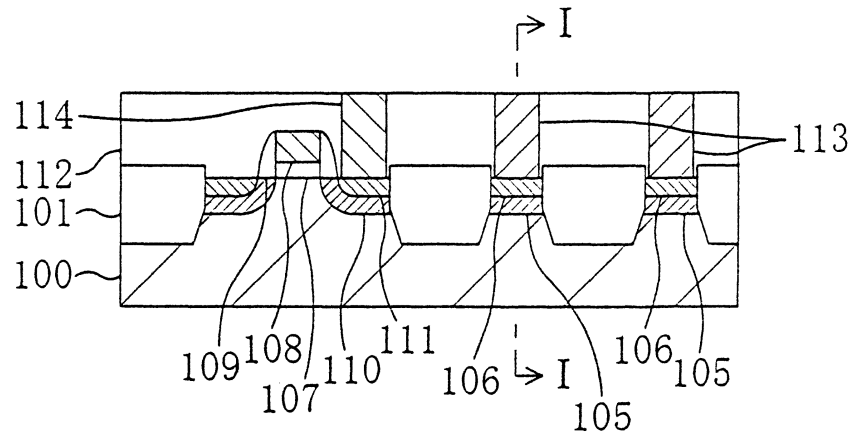


圖 1 A

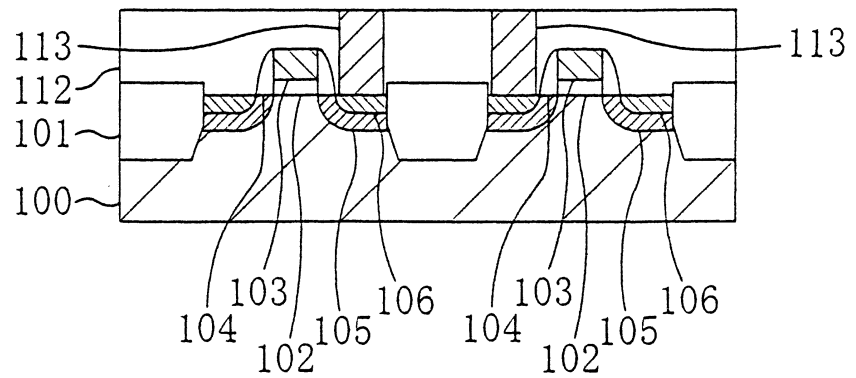


圖 1 B

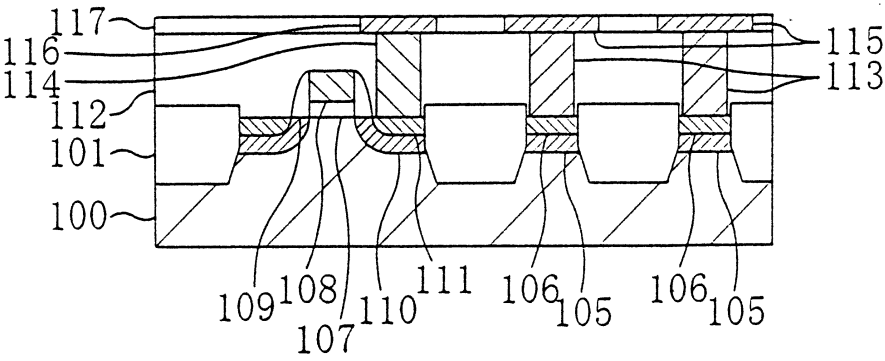


圖 2A

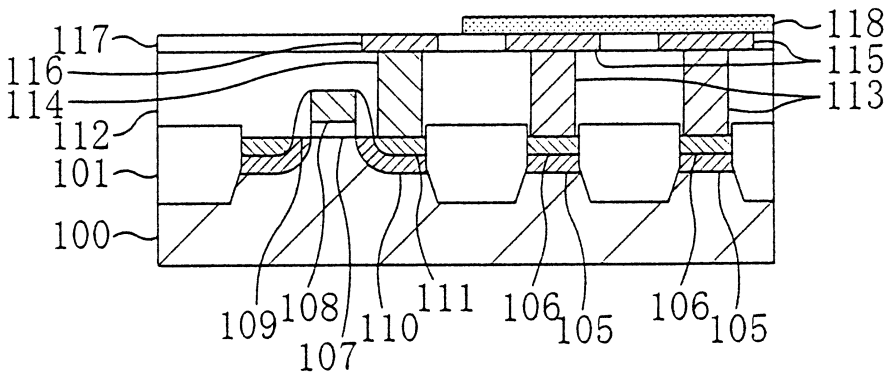


圖 2B

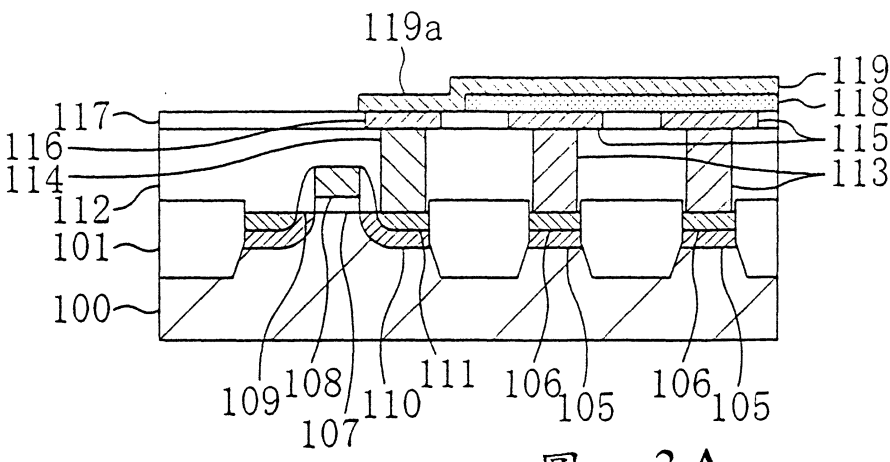


圖 3A

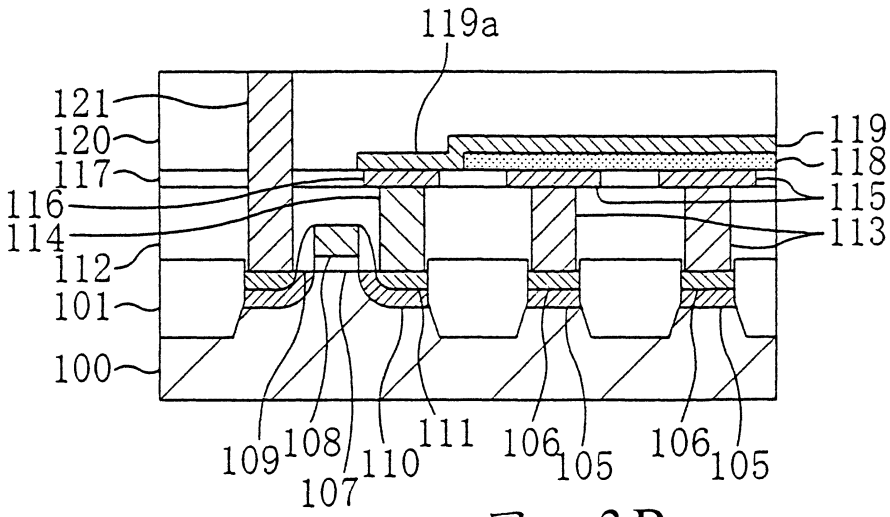


圖 3B

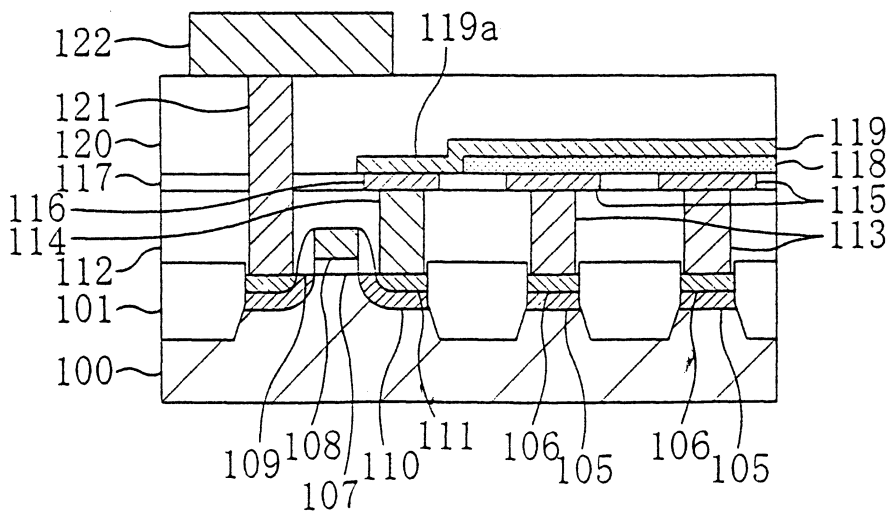


圖 3C

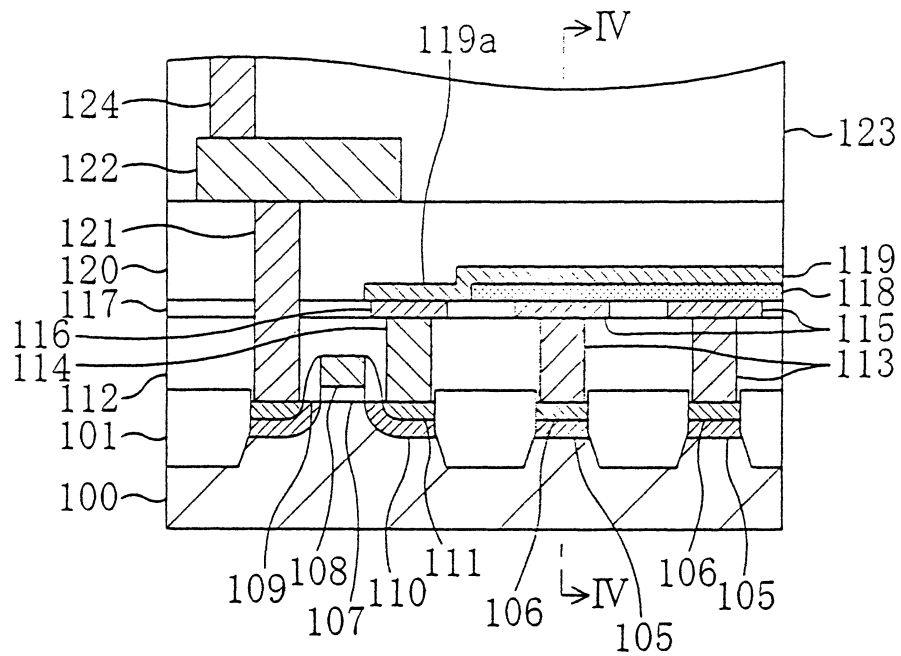


圖 4A

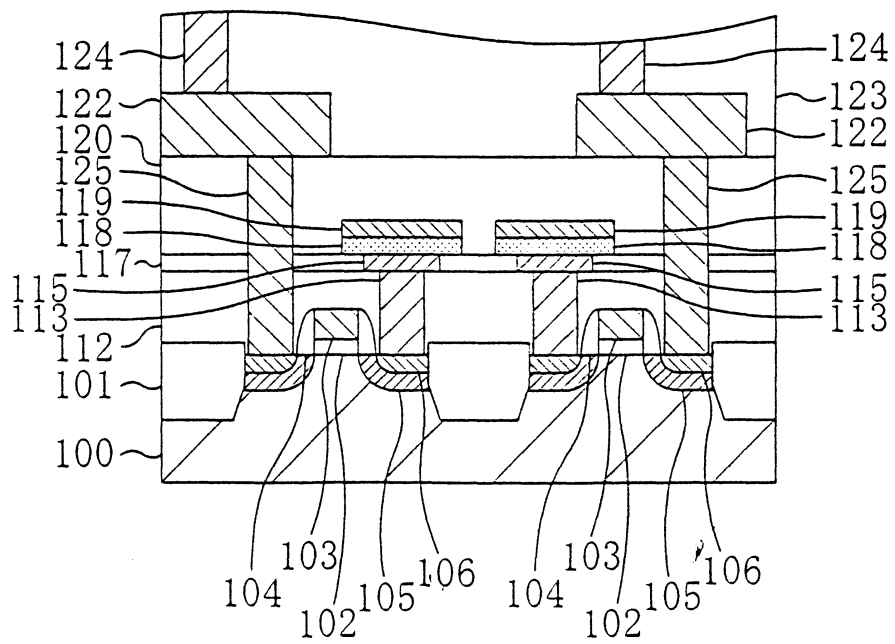


圖 4B

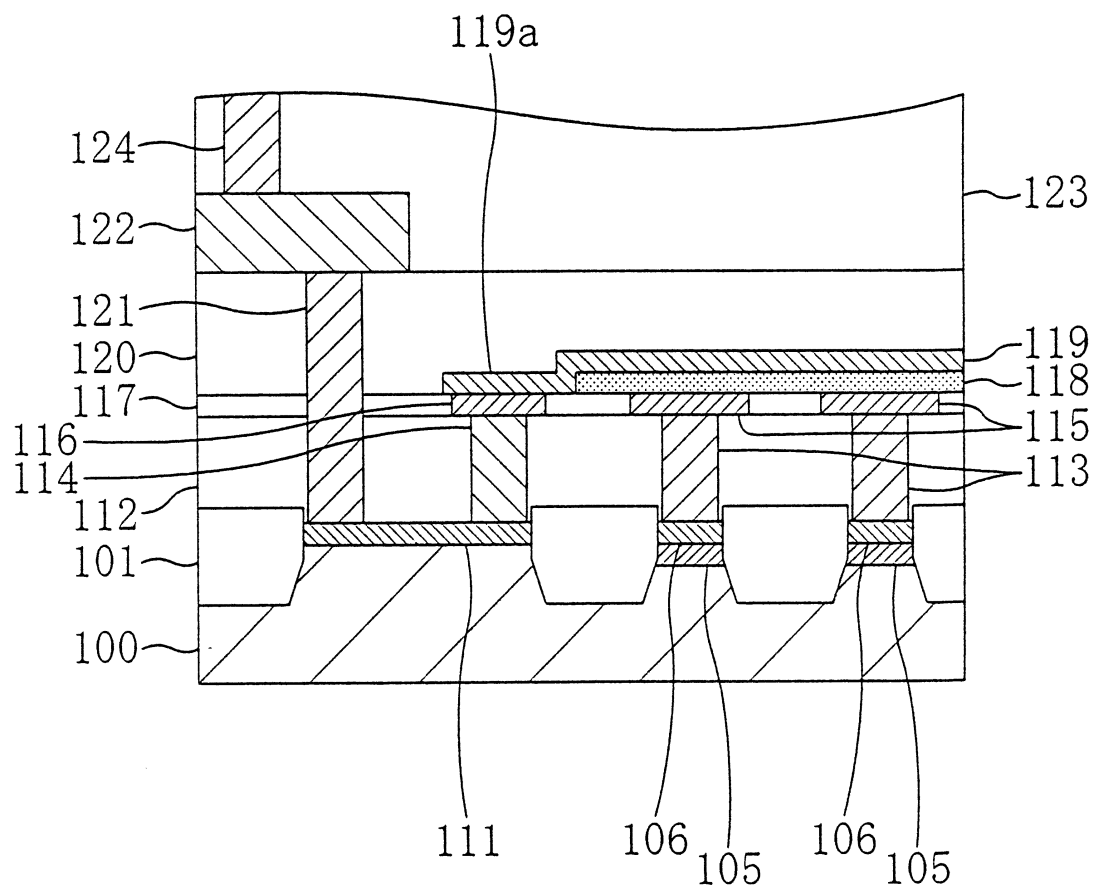


圖 5

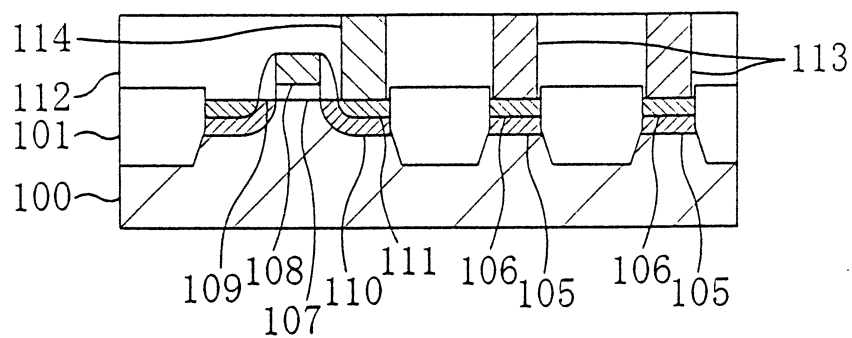


圖 6A

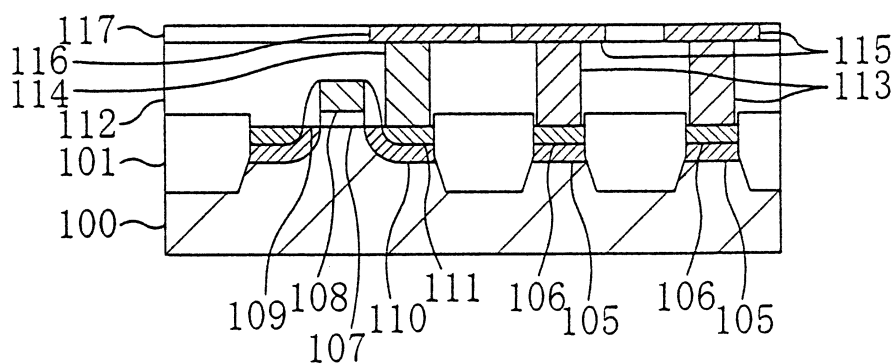


圖 6 B

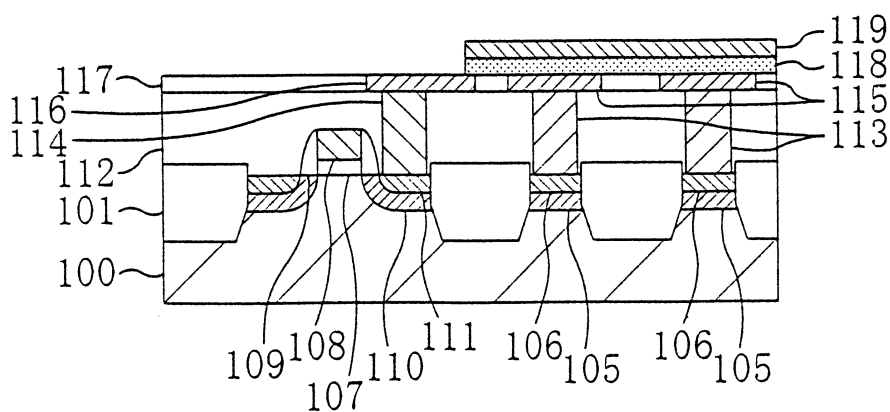


圖 6C

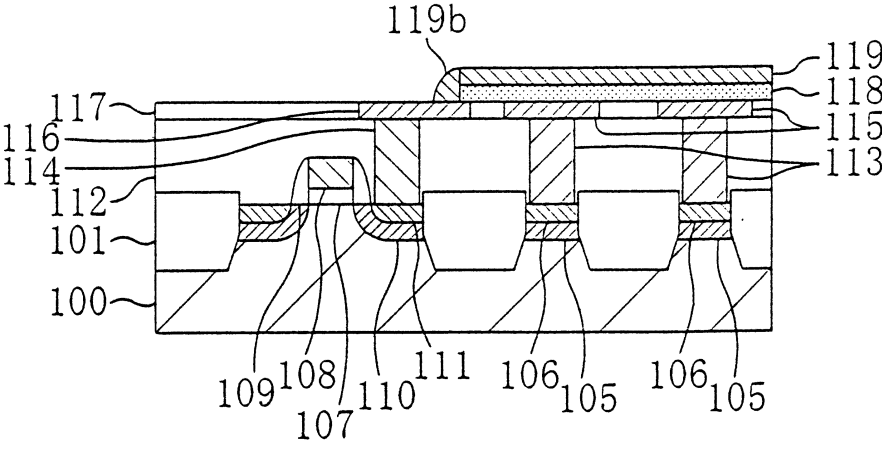


圖 7A

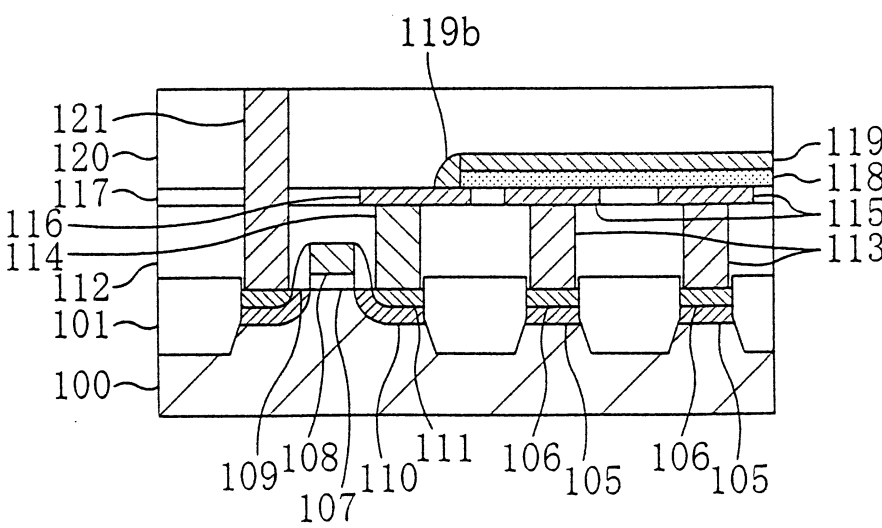


圖 7B

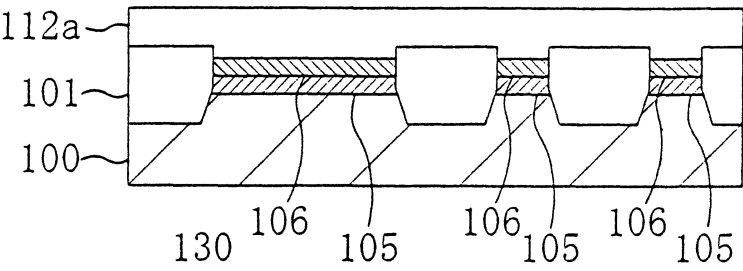


圖 9A

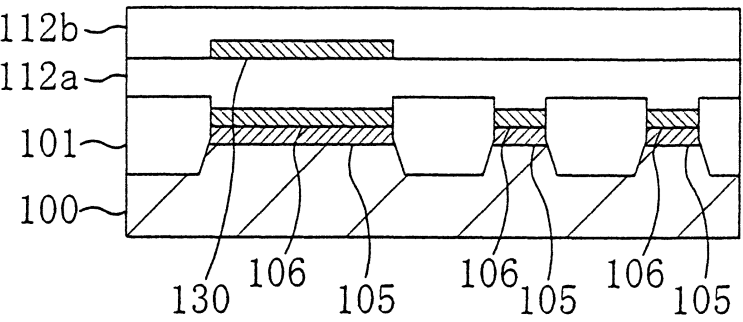


圖 9B

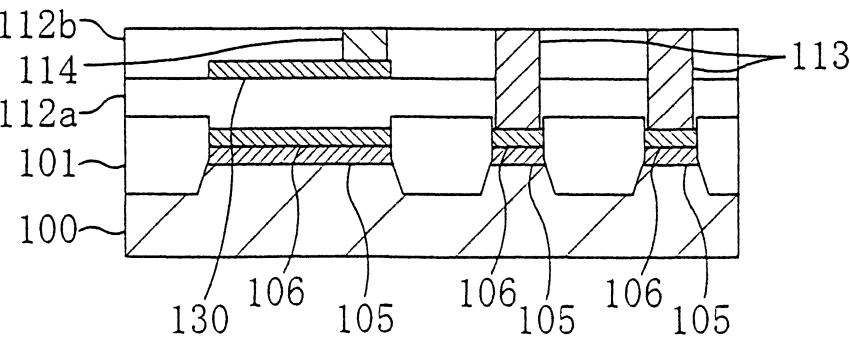


圖 9C

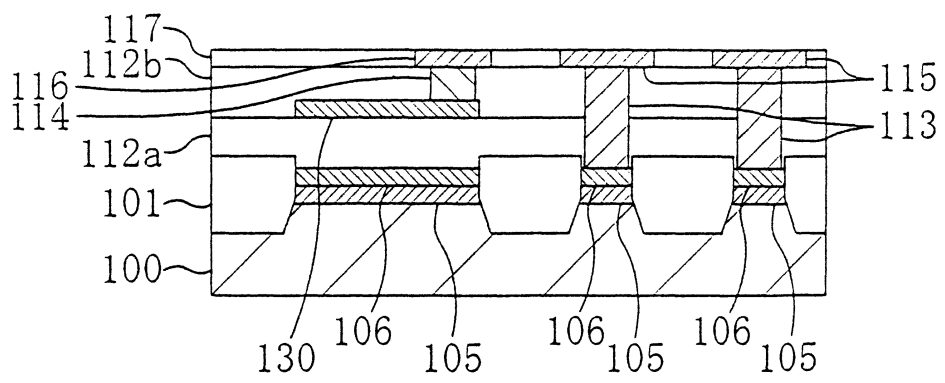


圖 10A

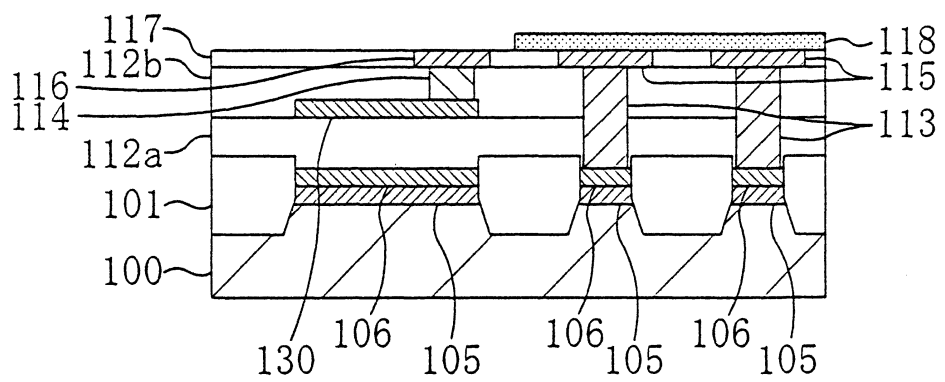


圖 10B

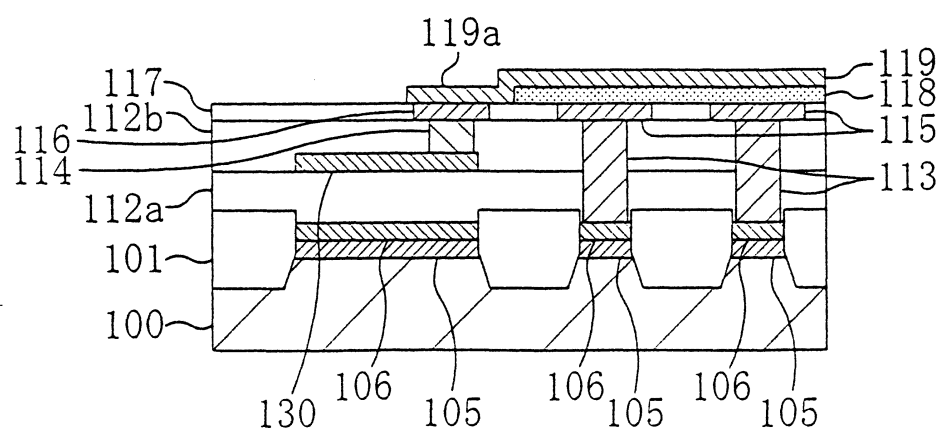


圖 10C

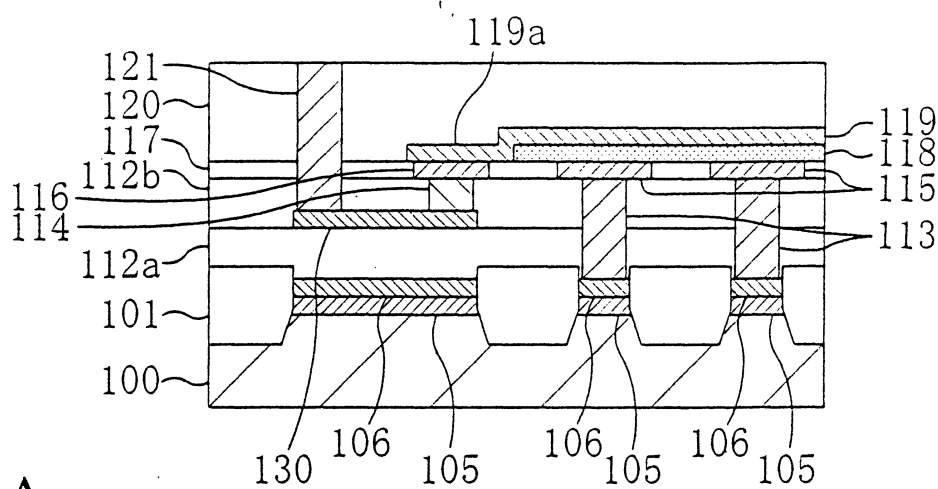


圖 11A

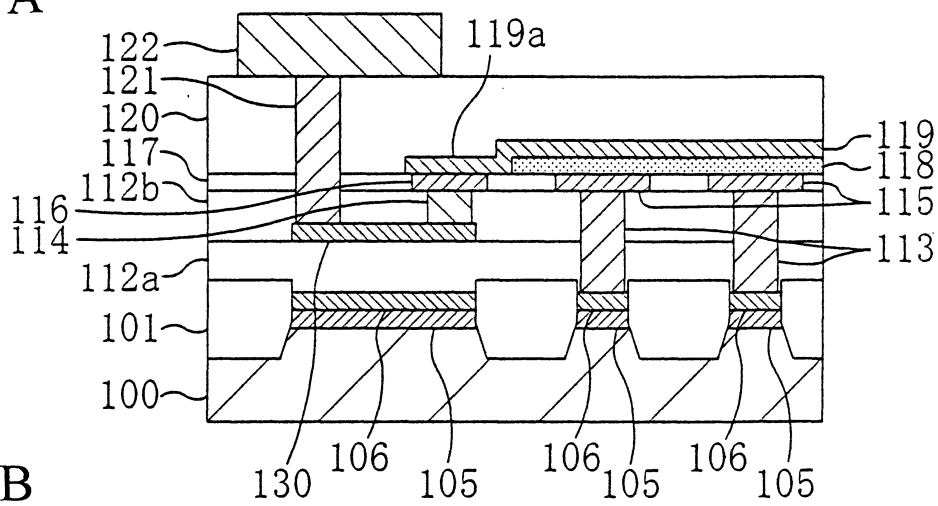


圖 11B

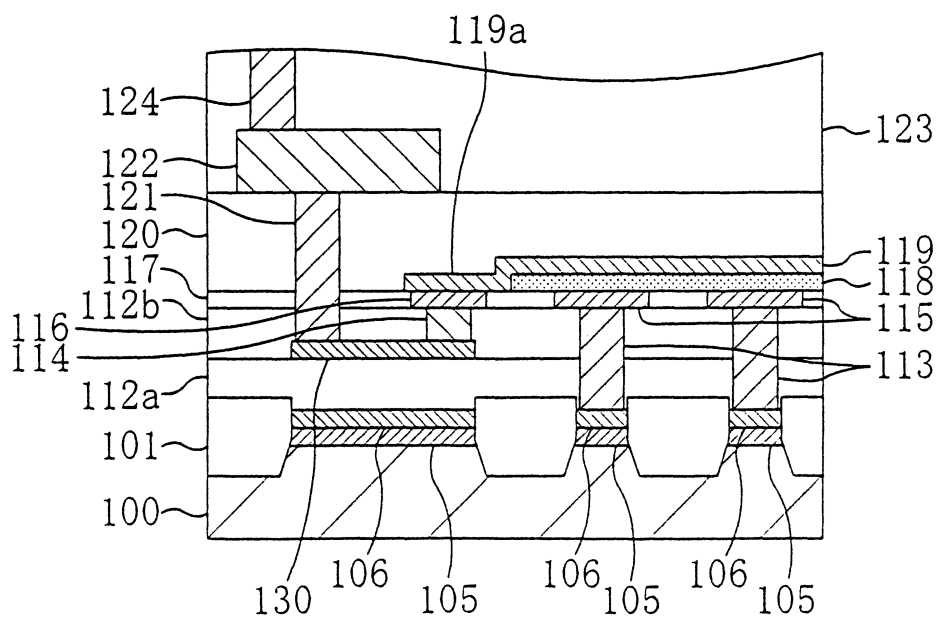


圖 11C

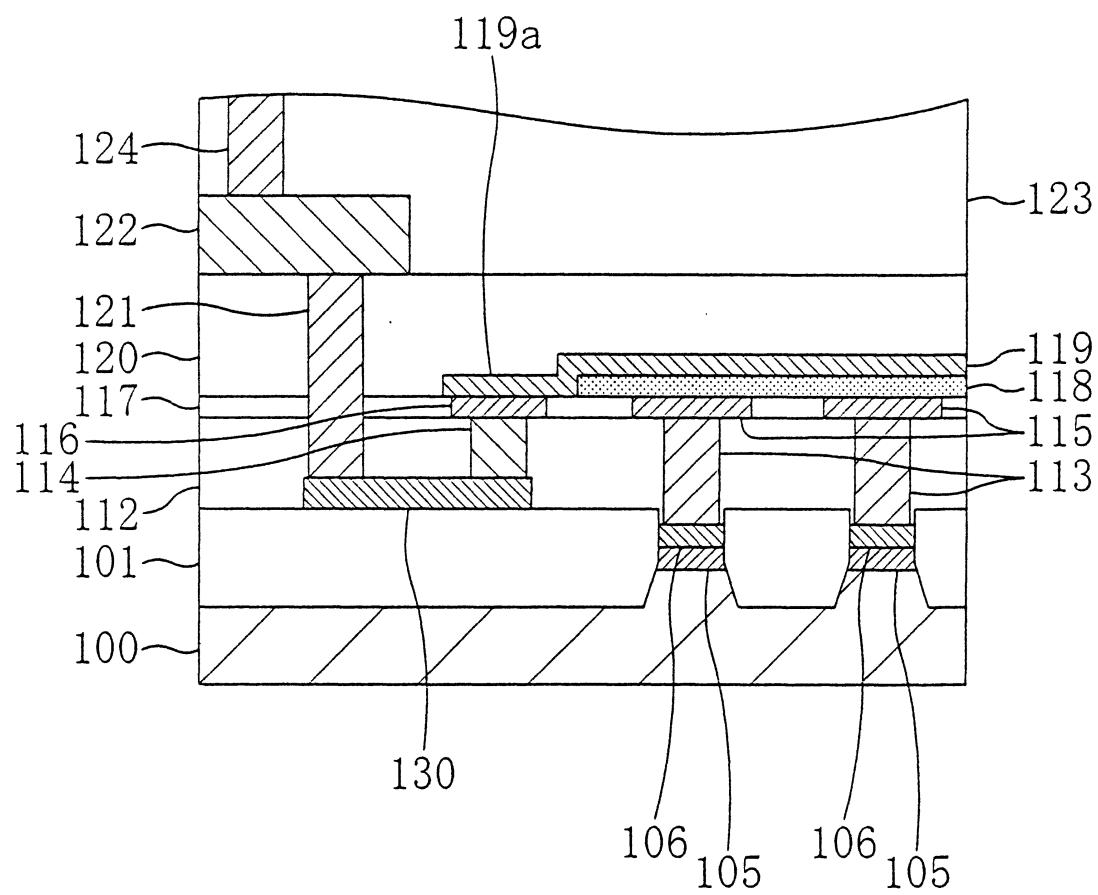


圖 12

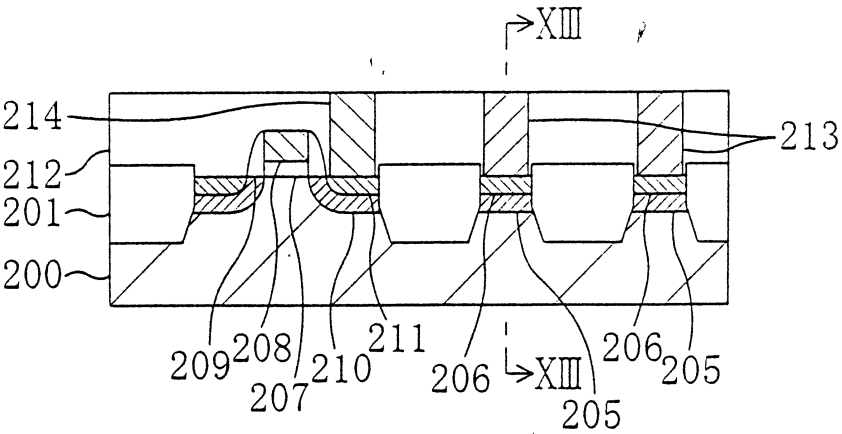


圖 13A

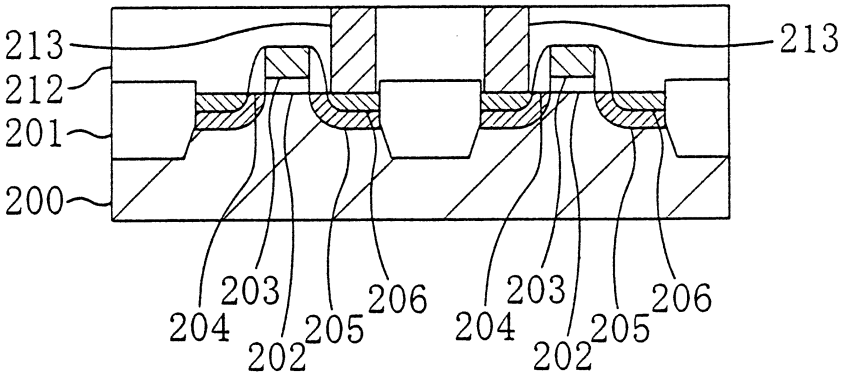


圖 13B

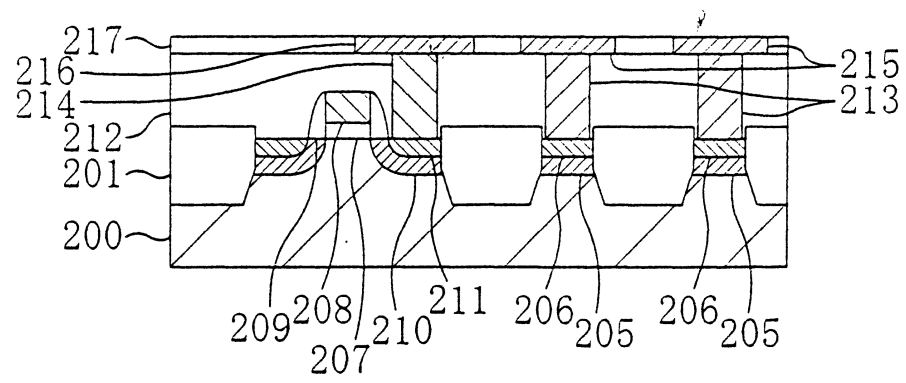


圖 14A

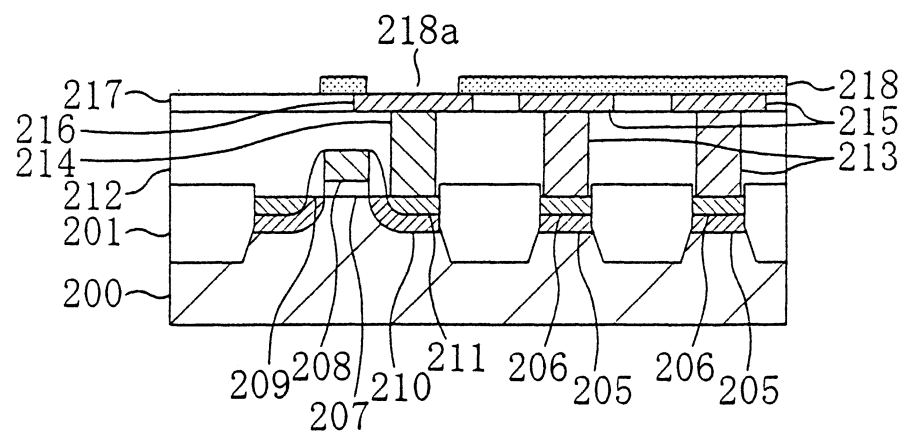


圖 14B

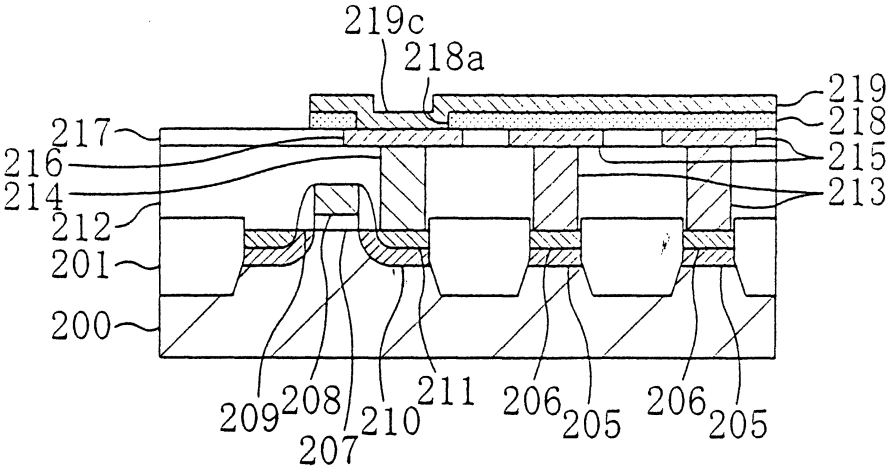


圖 15A

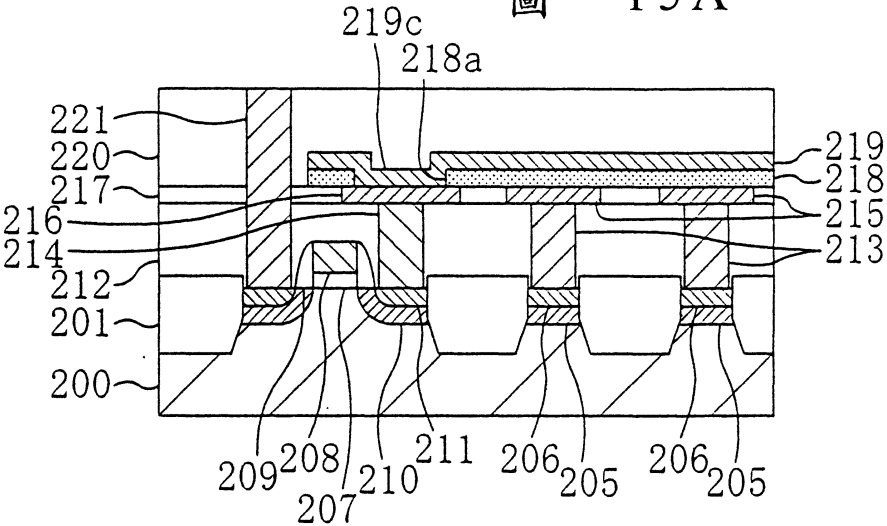


圖 15B

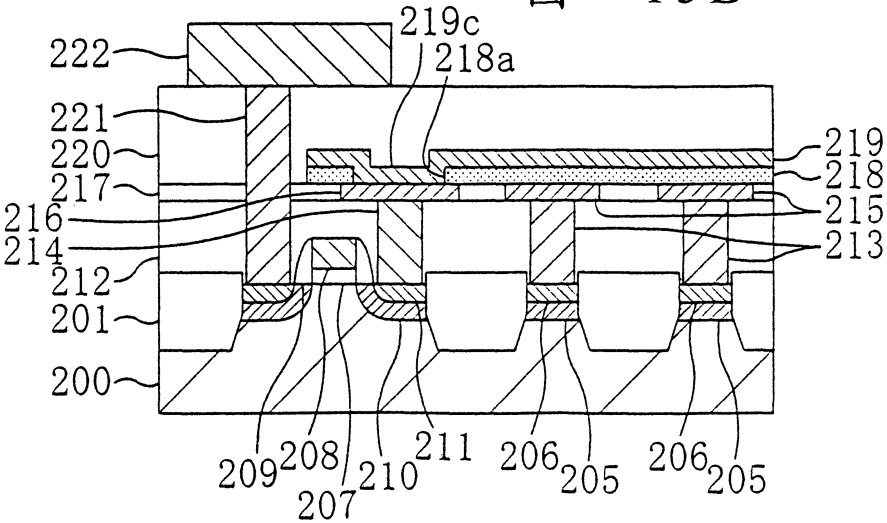


圖 15C

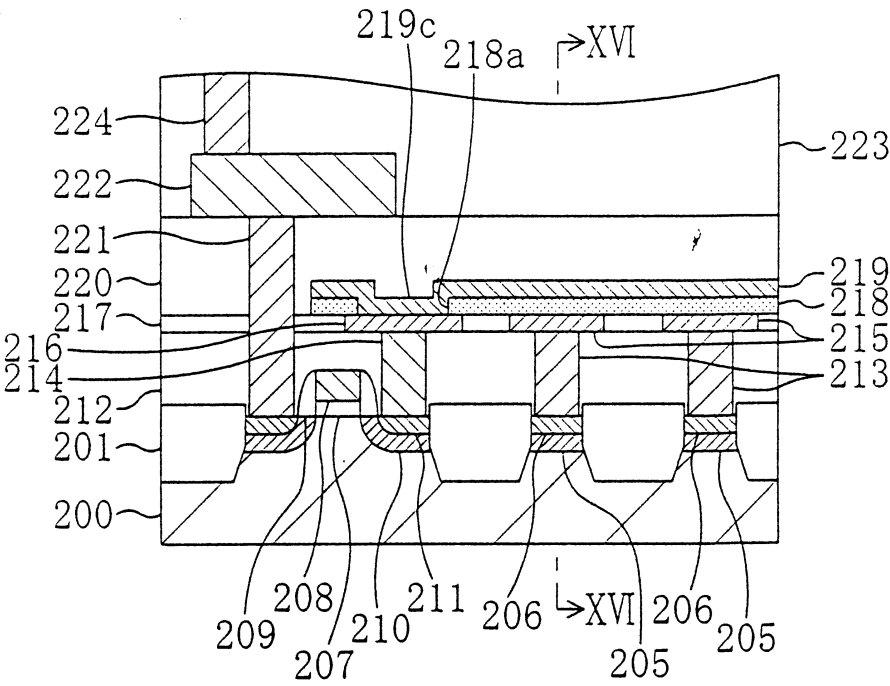


圖 16A

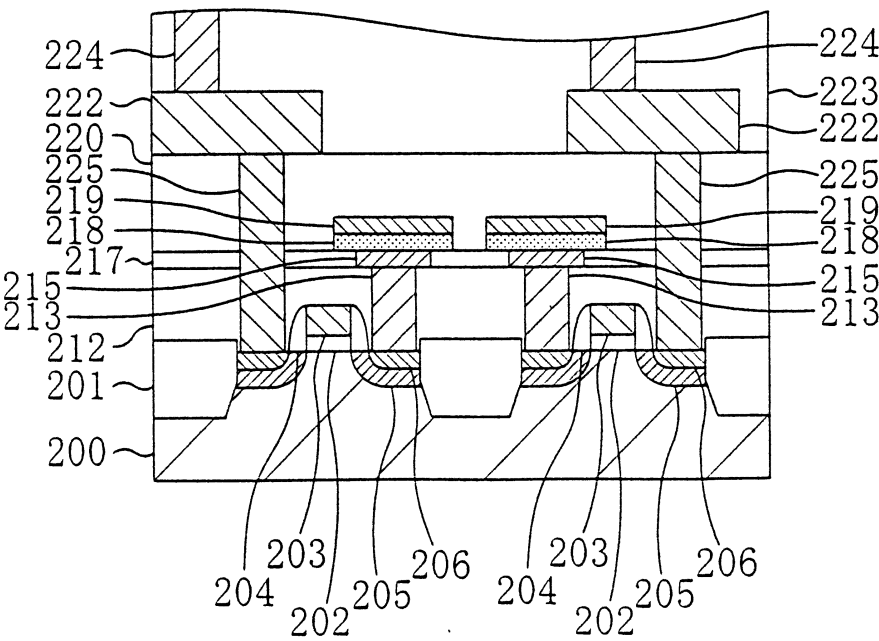


圖 16B

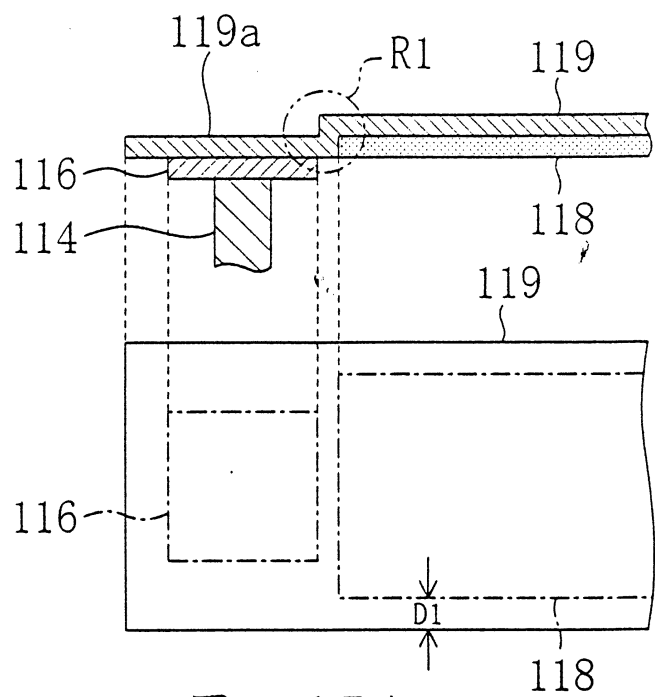


圖 17A

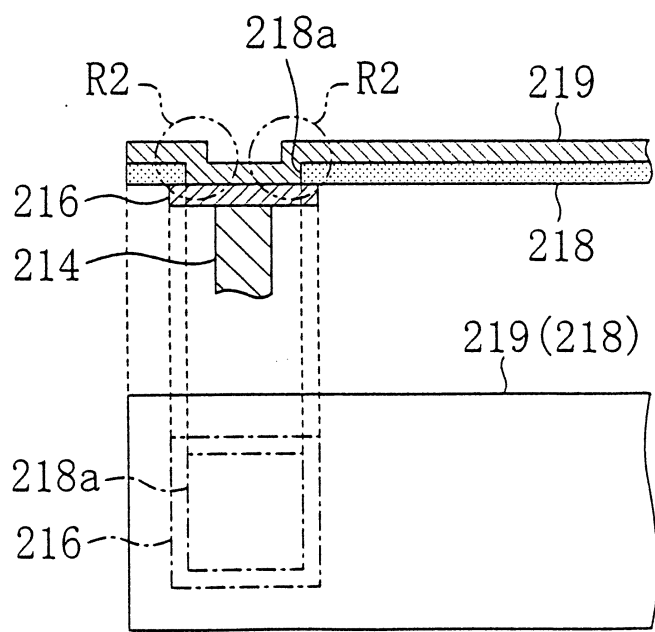


圖 17B

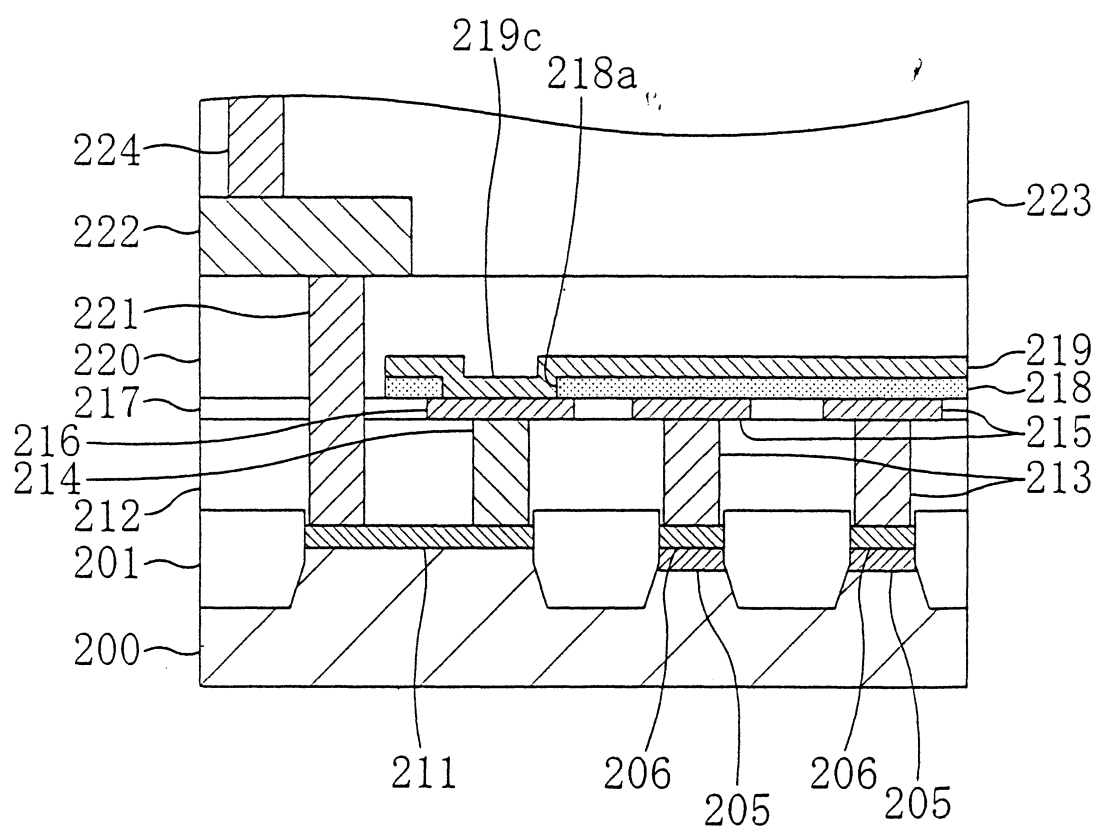


圖 18

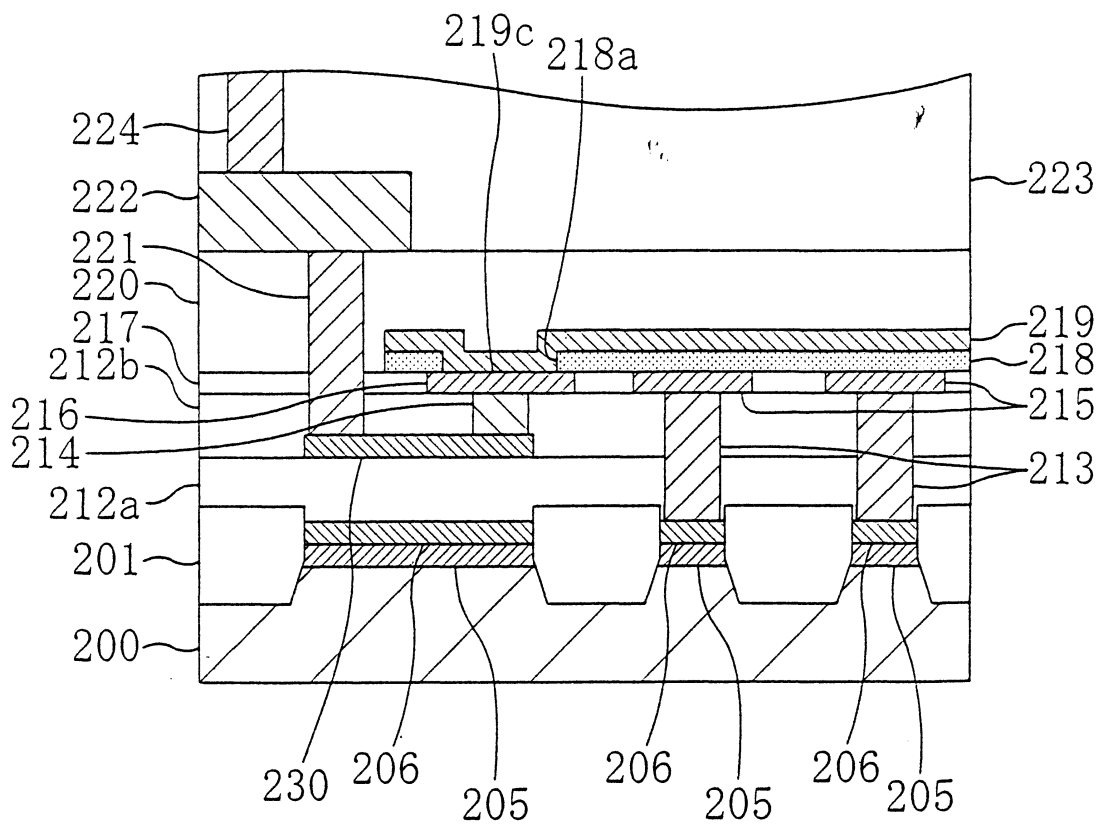


圖 19

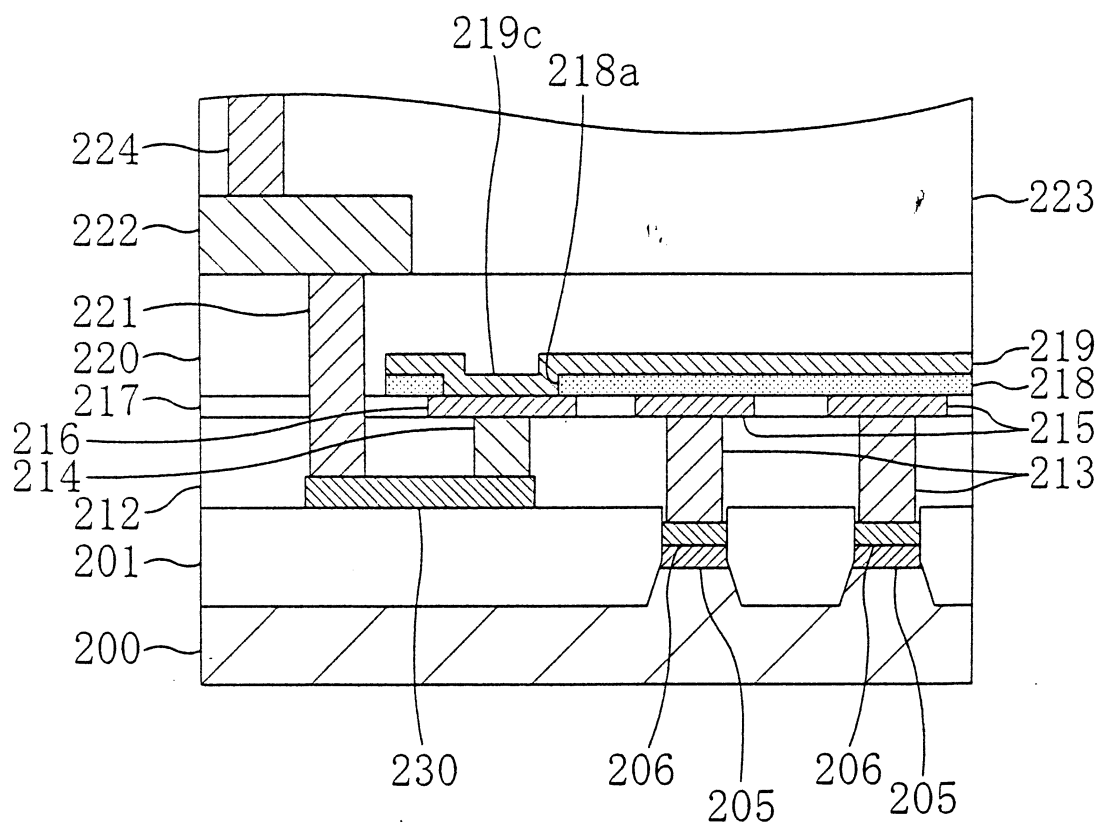


圖 20

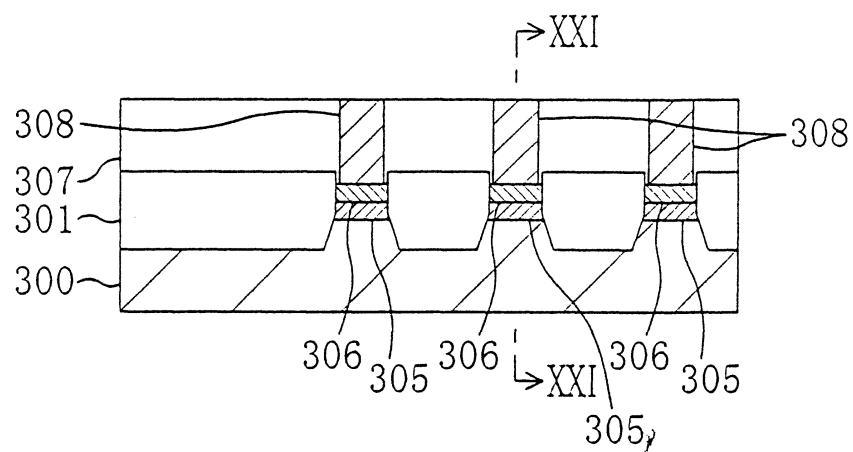


圖 21A

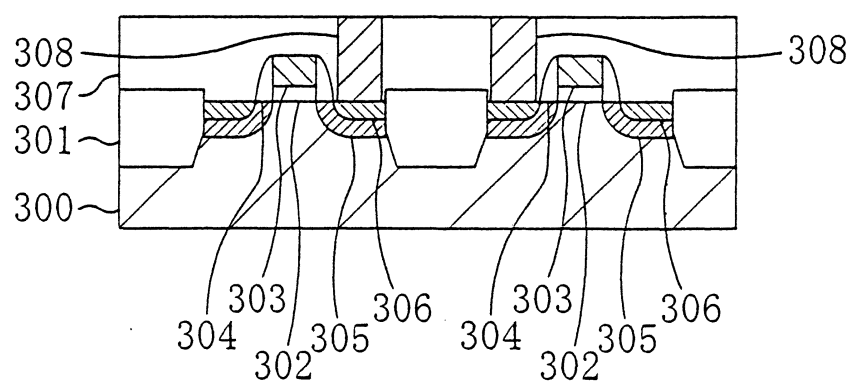


圖 21B

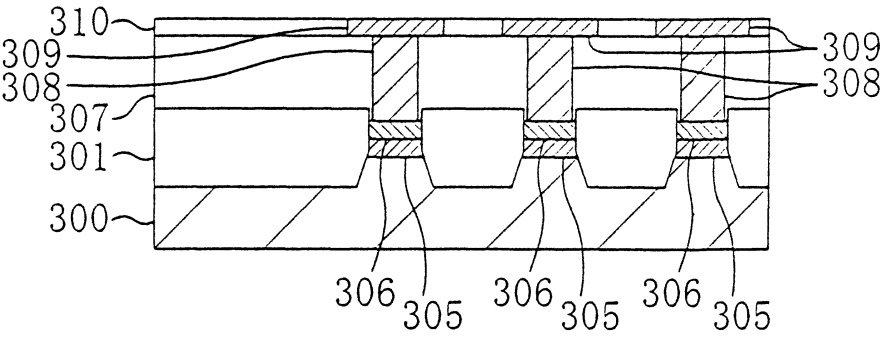


圖 22A

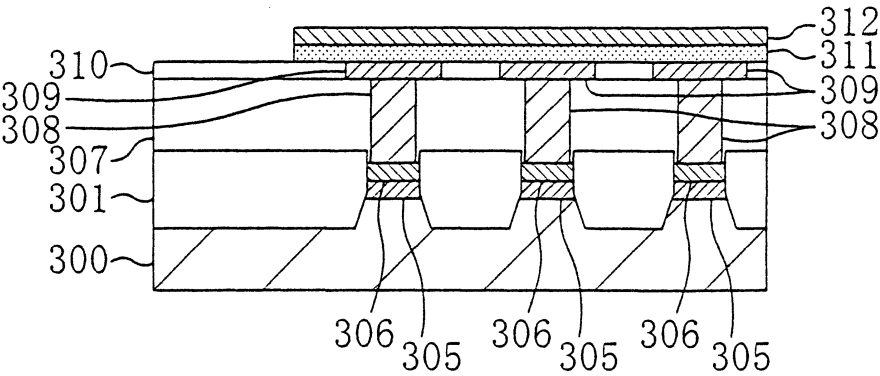


圖 22B

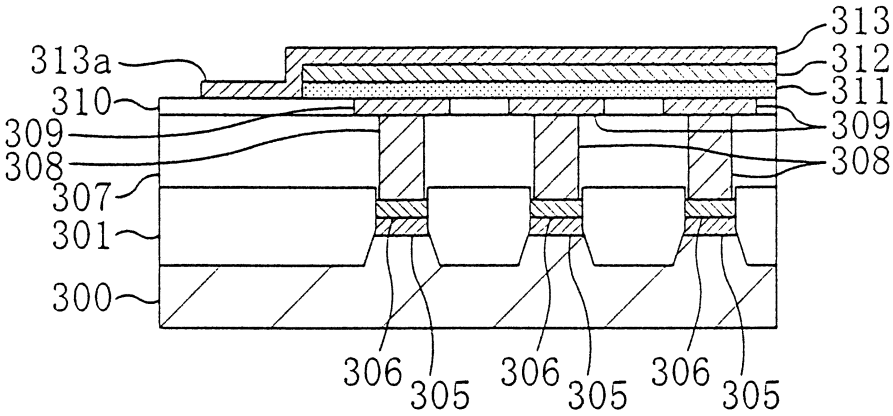


圖 23A

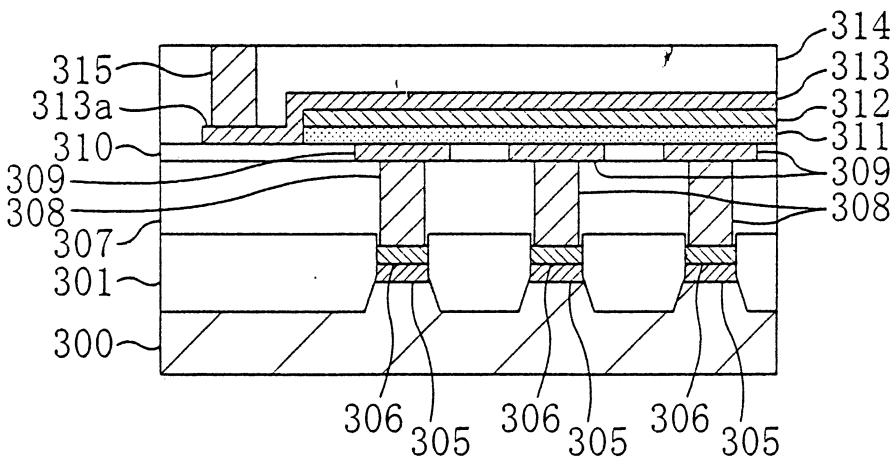


圖 23B

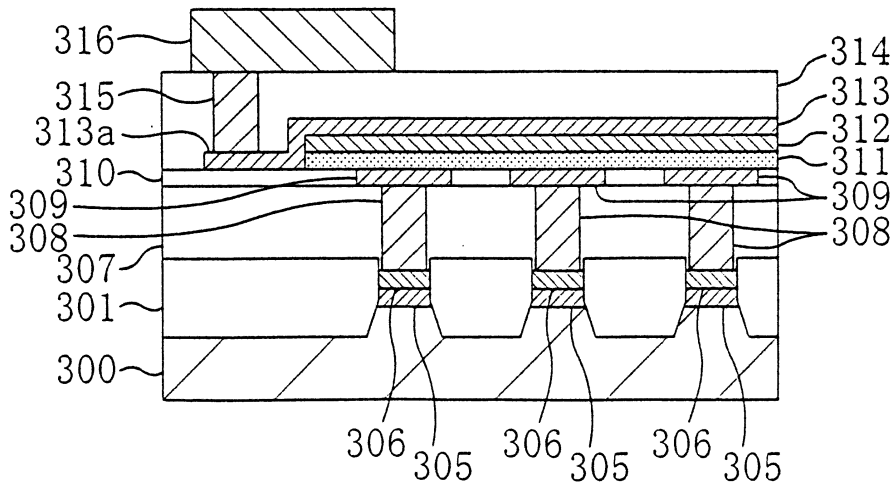


圖 23C

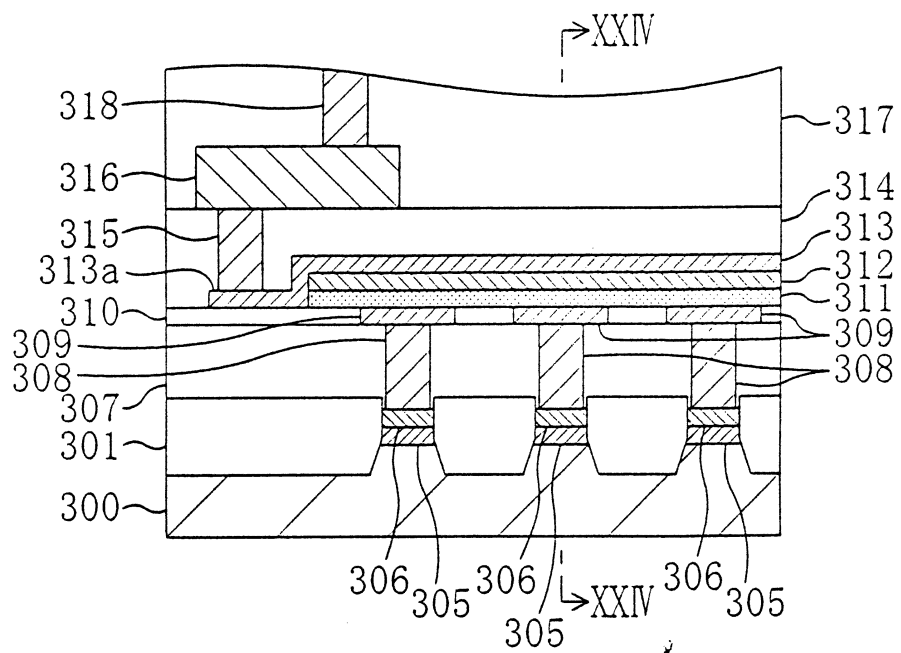


圖 24A

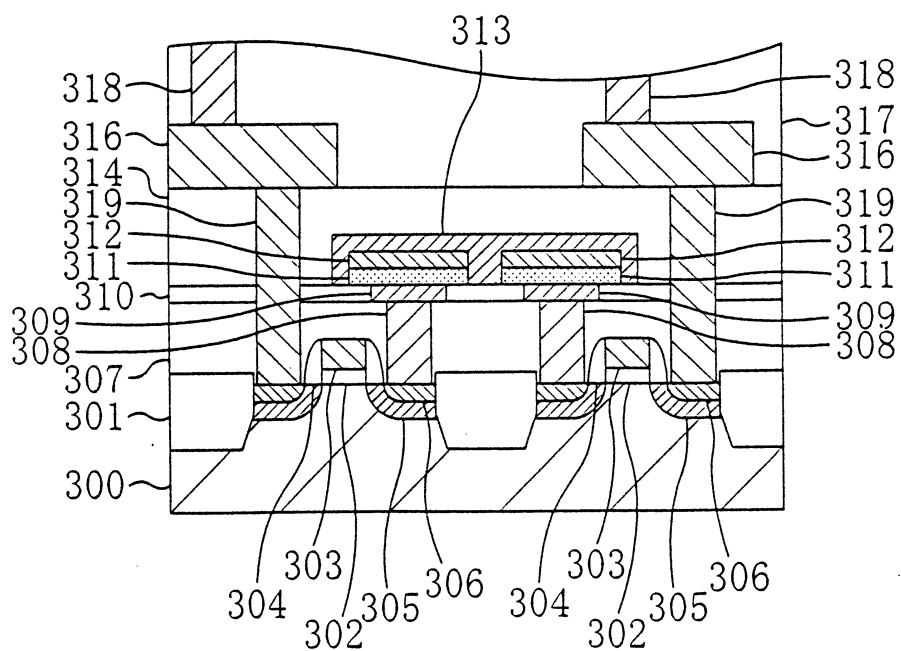


圖 24B

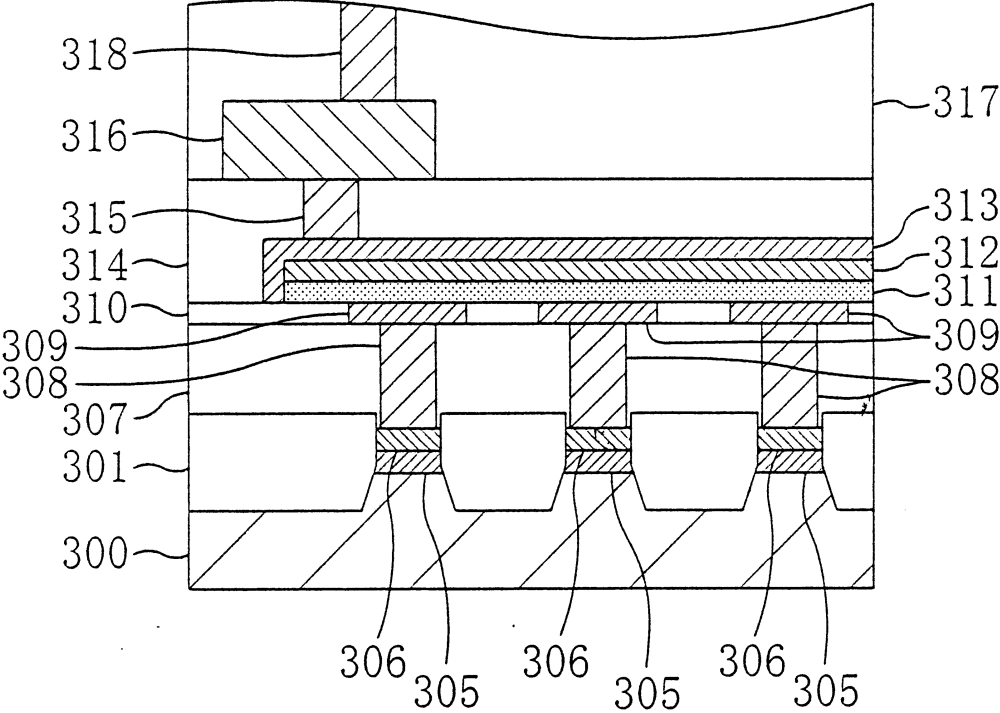


圖 25

圖 26B

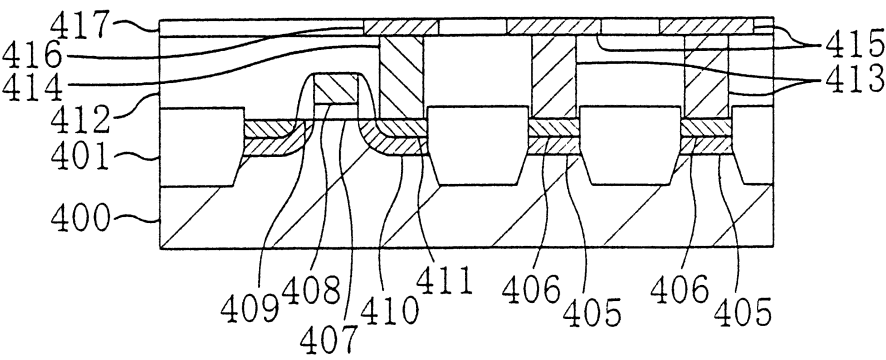


圖 27A

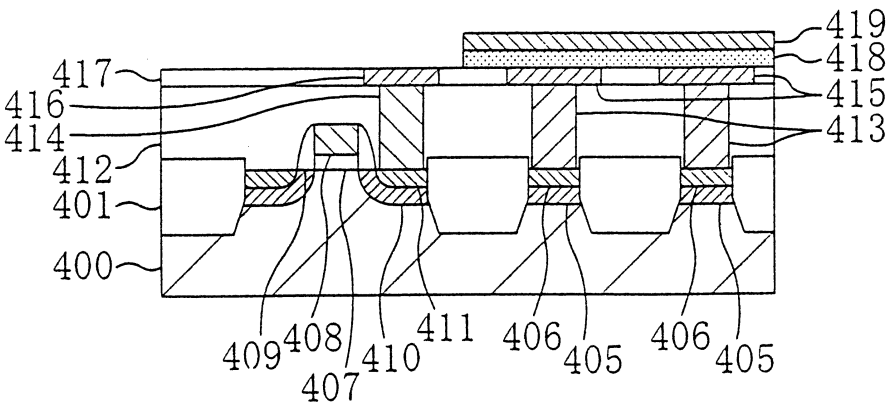


圖 27B

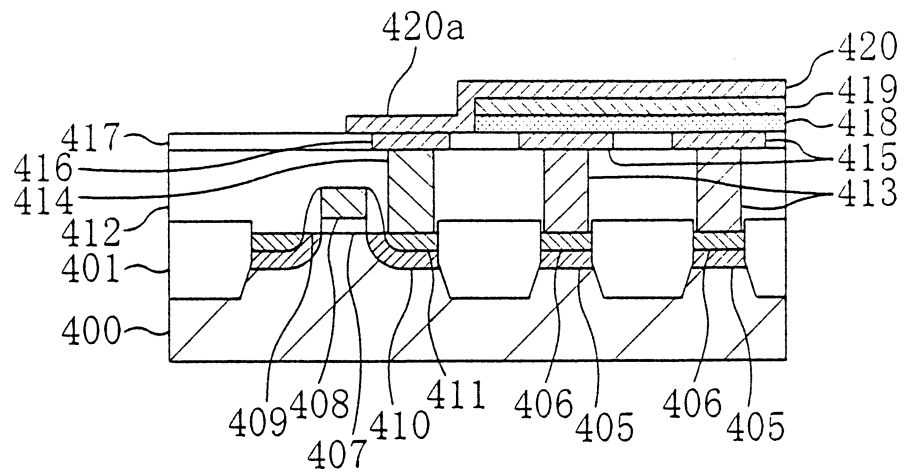


圖 28A

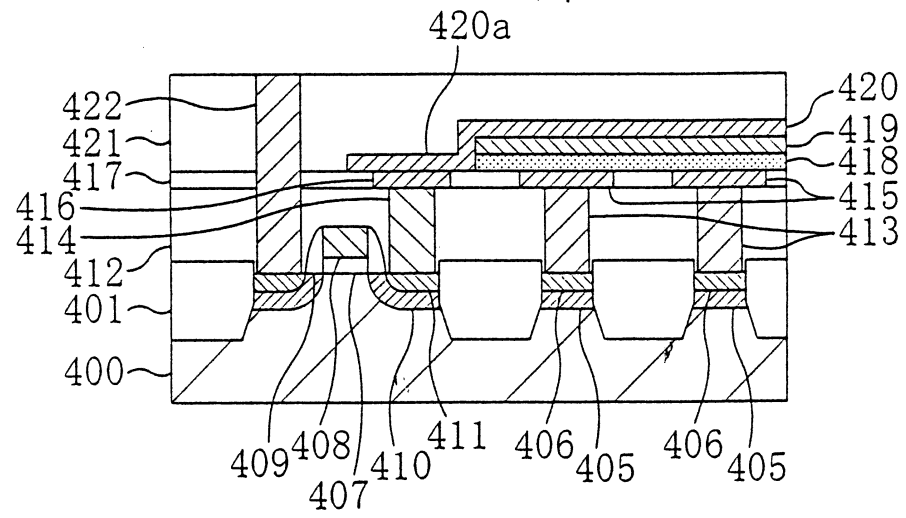


圖 28B

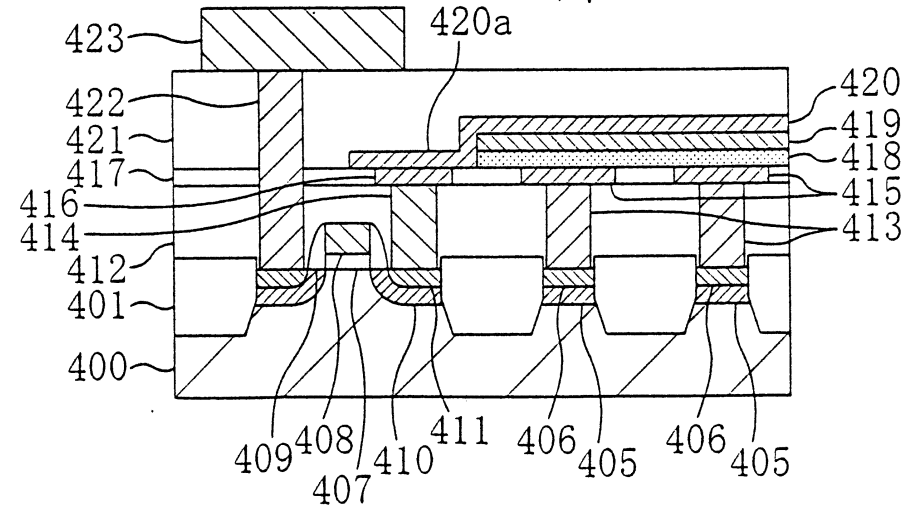


圖 28C

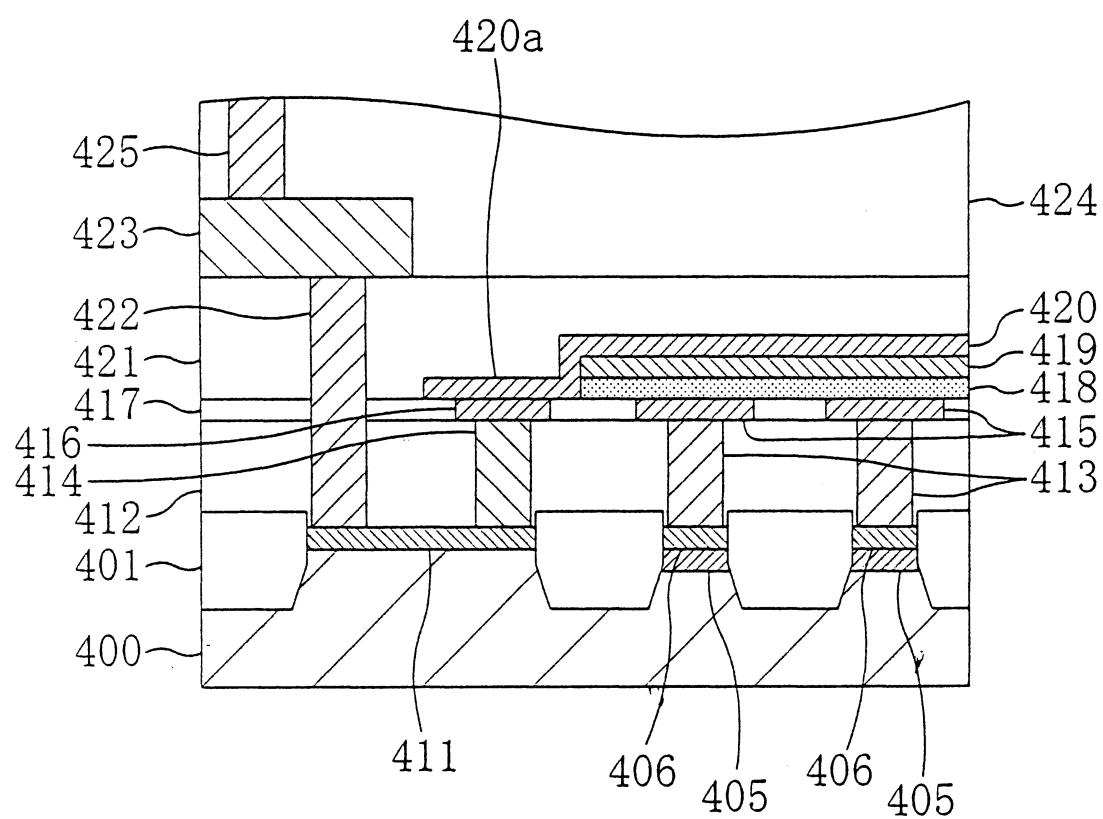


圖 30

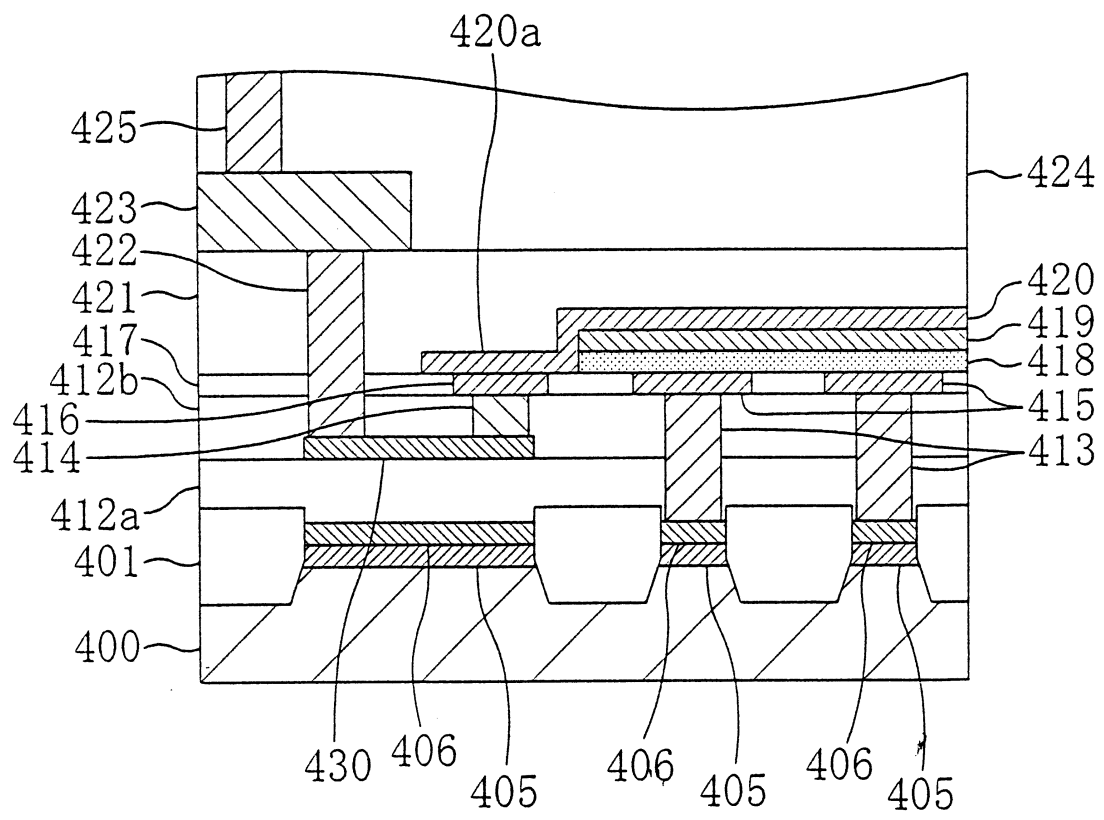


圖 31

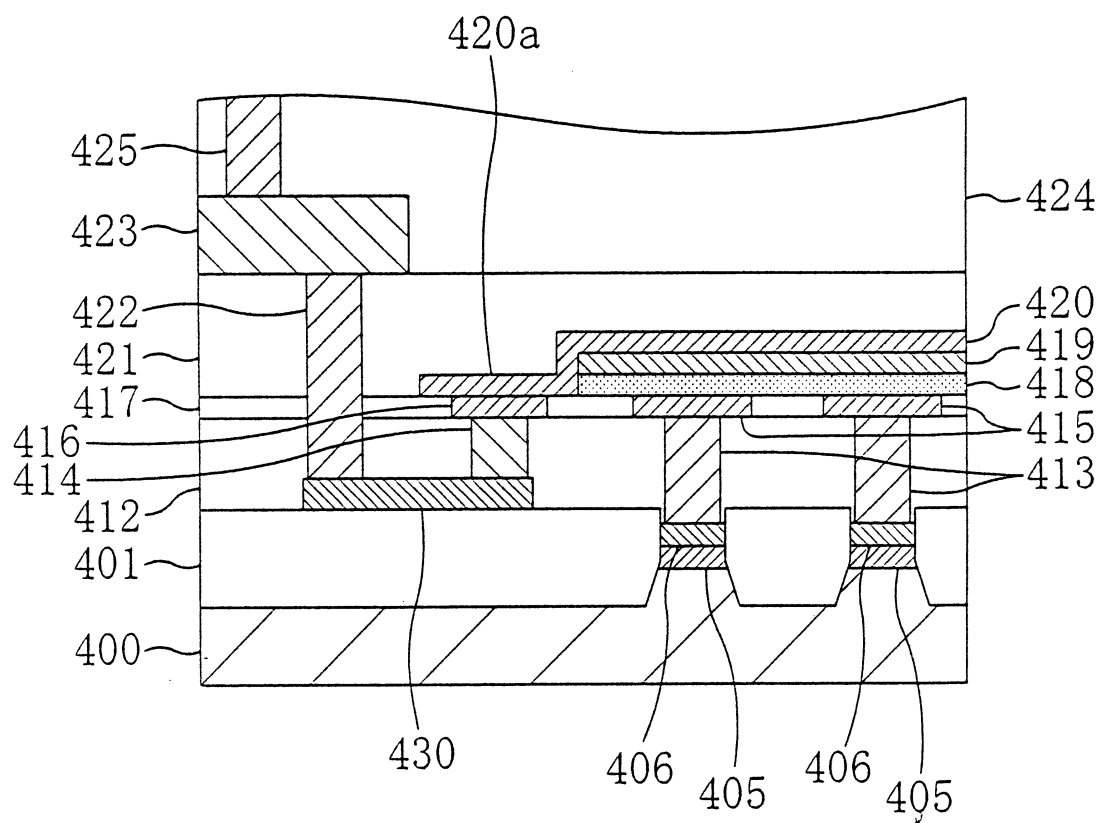


圖 32

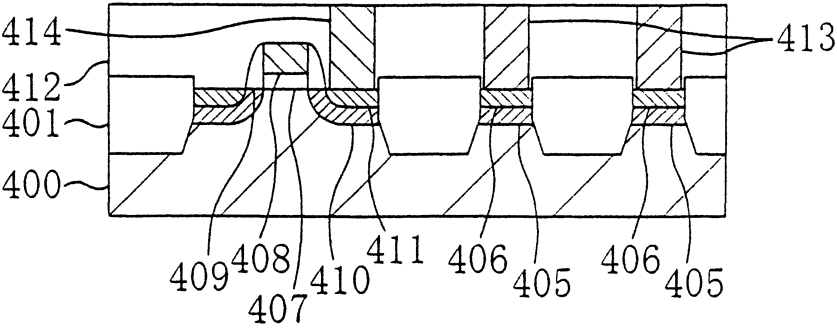


圖 33A

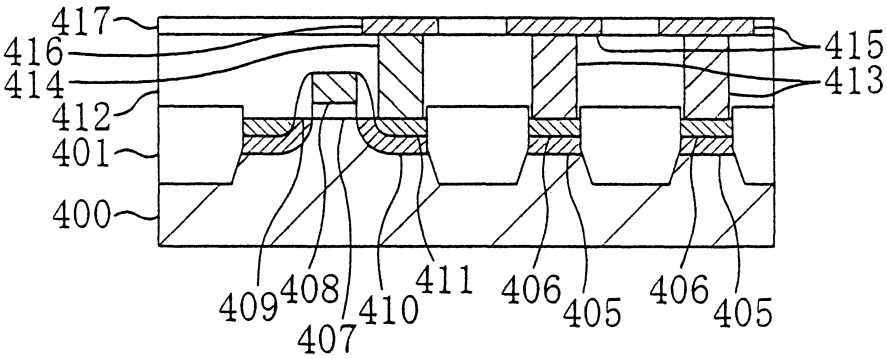


圖 33B

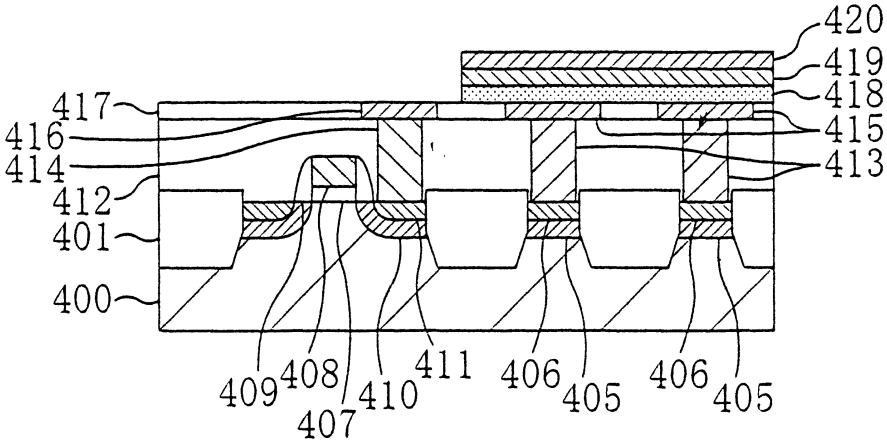


圖 33C

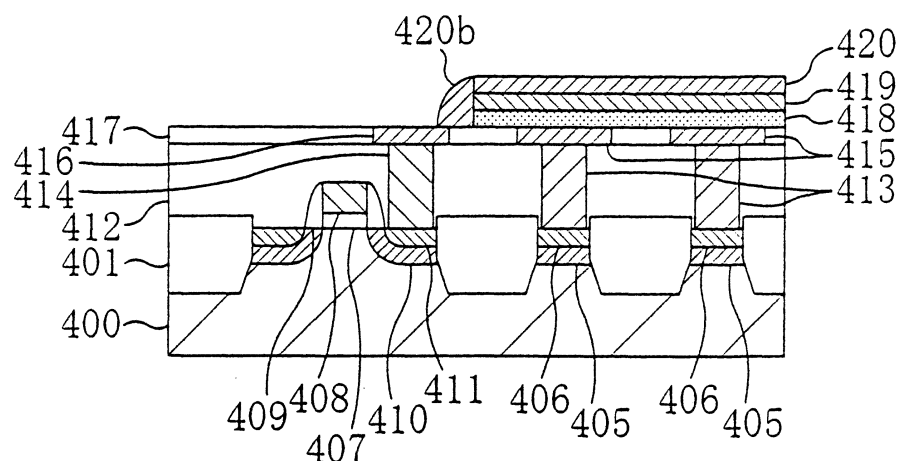


圖 34A

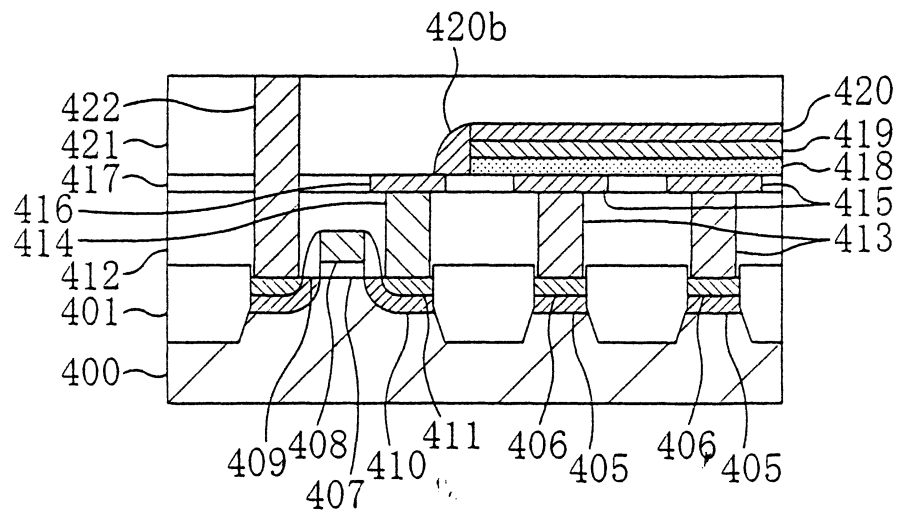


圖 34B

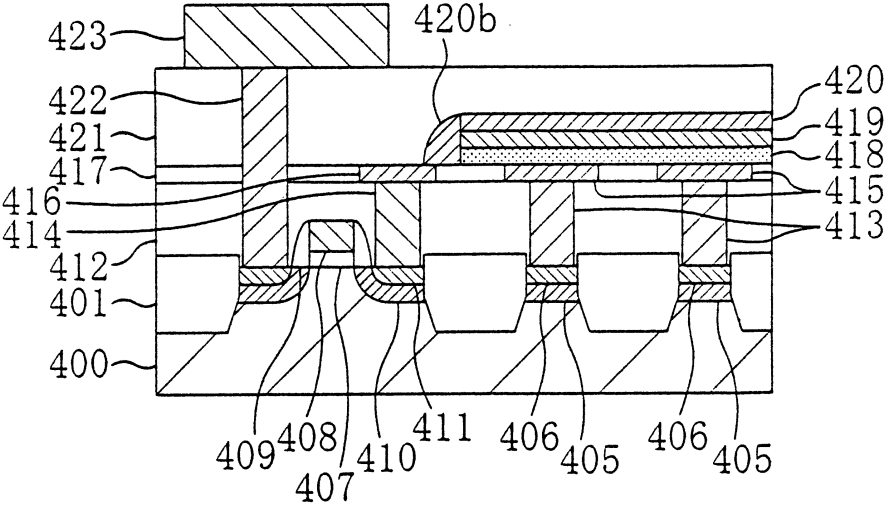


圖 35A

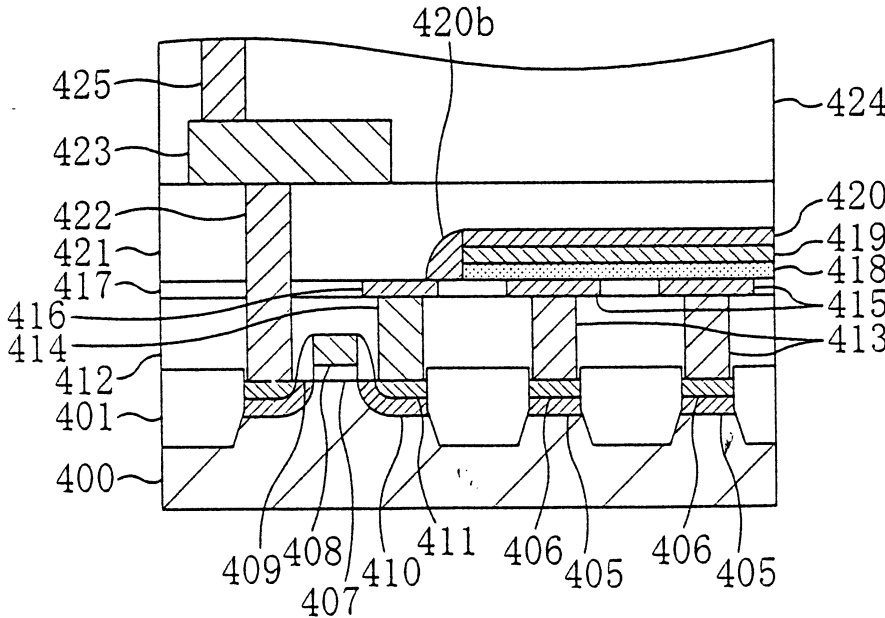


圖 35B

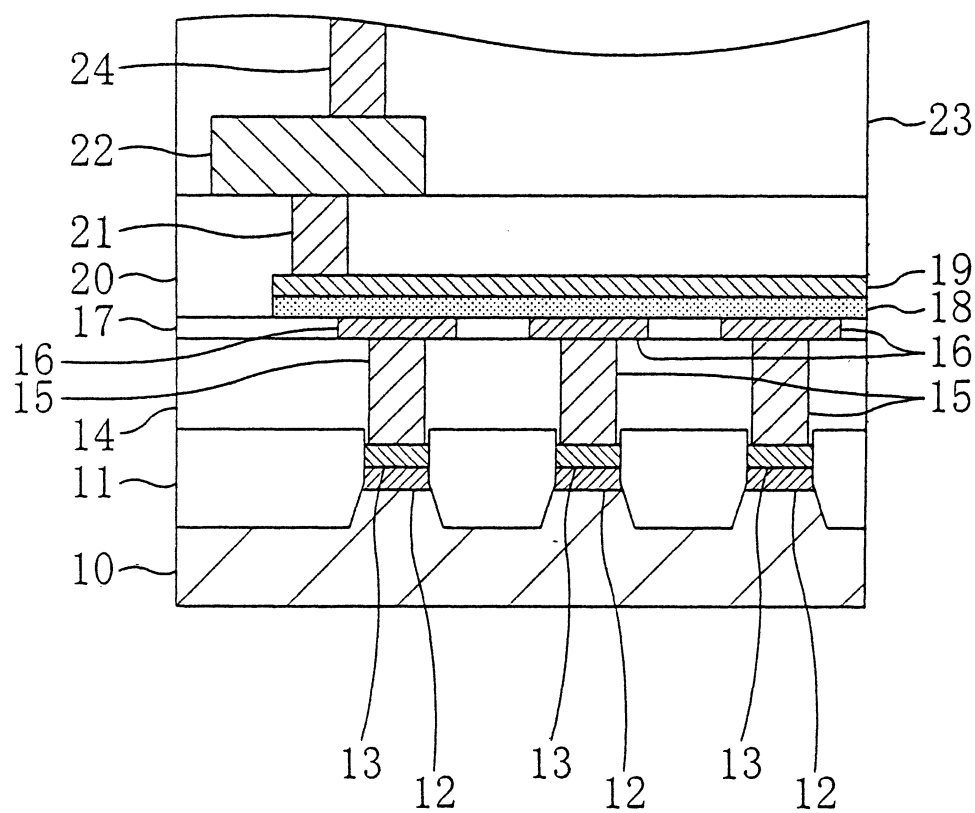


圖 36

先前技藝

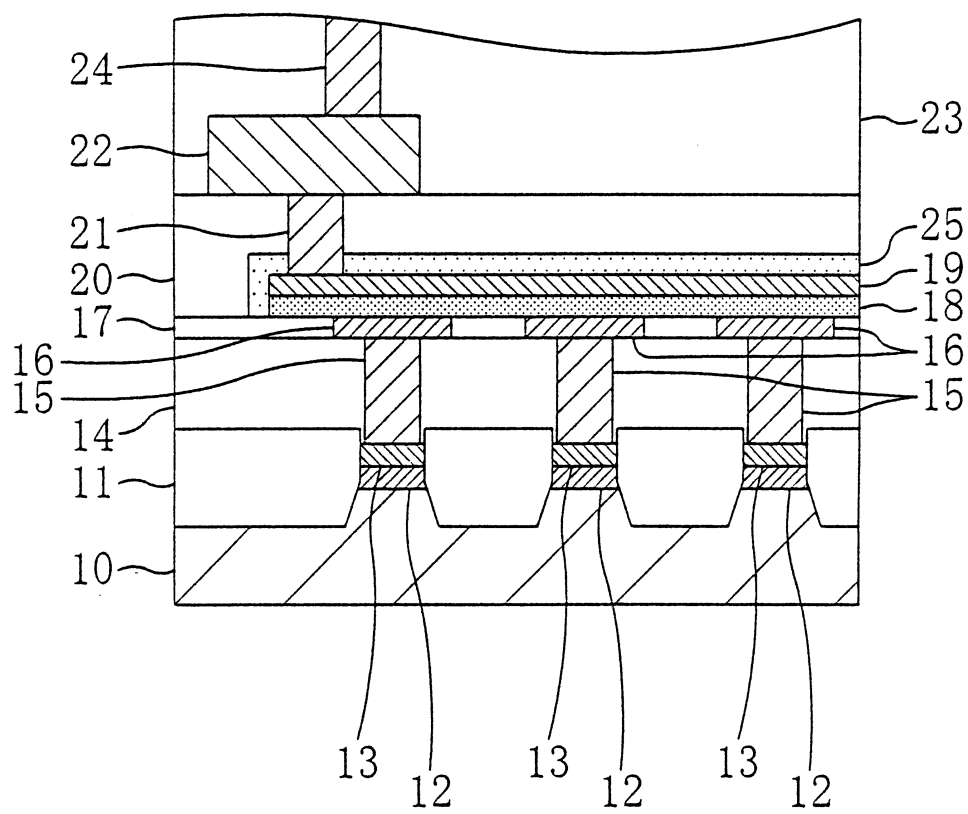


圖 37
先前技藝