

公告本

申請日期	87.9.16
案 號	87115387
類 別	170/L-21/60

A4
C4

436949

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	積體電路打線接合封裝裝置及方法
	英 文	METHOD AND APPARATUS FOR WIRE BONDED PACKAGE FOR INTEGRATED CIRCUITS
二、發明 人	姓 名	歐約翰 (John W. Orcutt)
	國 籍	美國
	住、居所	美國德州理查森市奇尼北路 1800 號 1800 N. Cheyenne, Richardson, Texas 75080, USA
三、申請人	姓 名 (名稱)	美商德州儀器公司 Texas Instruments Incorporated
	國 籍	美國
	住、居所 (事務所)	美國德克薩斯州達拉斯市丘爾奇路 7839 號 7839 Churchill Way, Mail Station 3999, Dallas, TX 75251, U.S.A.
	代 表 人 姓 名	康威廉 (William B. Kempler)

經濟部中央標準局員工消費合作社印製

裝

訂

線

436949

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

美 國 (地 區) 申 請 專 利 , 申 請 日 期 : 西 元 1997 年 9 月 19 日 案 號 : 60/059,539, ☒ 有 ☐ 無 主 張 優 先 權

有關微生物已寄存於：

，寄存日期：

，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明之背景

本發明係概括關於利用打線接合技術，配合接合金屬線必須穿過其他結構，同時對此等結構保持間隙之配置，製造積體電路，及一般為關於製造有接合金屬線連接至提供在基片之導電訊號徑跡之積體電路。訊號徑跡標繪形成在基片之焊料球或其他接觸機構之互相連接。積體電路一般為提供在陶瓷或塑膠封裝。焊料球或其他觸點形成在基片，以提供連接至末端使用者板或系統。

發明之背景

在生產積體電路時，一種較佳形式之封裝，為球柵陣列封裝，或 BGA 封裝。在球柵陣列封裝，提供一積體電路晶粒。接合金屬線用以將積體電路之輸入及輸出墊片晶粒耦合至一基片。基片可以各種材料，諸如陶瓷，塑膠，BT 樹脂或所謂之"綠板"，玻璃纖維，膠帶，絕緣插入件，薄膜，或其他適當絕緣材料作成。基片支承導電材料，通常為銅或金或導電合金徑跡之徑跡，其容納耦合至積體電路接合墊片之接合金屬線。徑跡然後將訊號自接合金屬線耦合至成某些 BGA 封裝型式，形成在與支承積體電路晶粒之側面之基片相反側面之焊料球。在基片常使用通孔或通路型式連接，在基片之積體電路側面，將徑跡耦合至形成在相反側面之焊料球。焊料球在基片耦合至訊號徑跡，並提供自封裝之外側至積體電路之電連接。包含積體電路之腔通常予以填滿一種封裝材料，或代之為使用習知熱固性或熱塑性模製化合物或樹脂，在一模壓機予以過度模製。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

接腳格柵陣列或 PGA 封裝，及有接合金屬線將積體電路耦合至基片或其他材料之其他相似封裝型式，為此配置之替代封裝。焊料球僅為在基片與末端使用者之板或系統之間作成接觸之一種材料選擇，也可使用其他配置，諸如在基片與末端使用者板間之直接物理接觸，導電環氧樹脂，導電膠帶，焊料浸入引線等。

在一種改進之封裝型式，可使用一種"腔下降"封裝。圖 1 示此種封裝之剖面圖。基片 11 在底側有一腔 12。一積體電路晶粒 17 顛倒置於腔中，因而積體電路晶粒 17 之底部為與基片 11 物理接觸，並且晶粒 17 之接合墊片朝下指向完成之封裝之底部。其次，接合金屬線 19 用以將積體電路 17 之輸入及輸出接合墊片耦合至金，鋁，銅或其他導體之導電徑跡 20，其形成在基片 11 之底部。訊號徑跡 20 通至基片 11 上之球插孔墊片(不可見)，焊料球 15 附著至此墊片。封裝材料 23 然後用以覆蓋晶粒腔，並因此保護積體電路 17，以及接合金屬線 19 及訊號徑跡，以防污染，微粒，及濕氣。

圖 1 之腔下降封裝具有若干優於上面所說明先前技藝封裝之優點。因為徑跡及焊料球實際置於基片之底部，而免除使用通孔連接。基片與晶粒之底部熱接觸，因而如果使用良好之熱導體供基片，封裝提供優異之熱性能。可將散熱器或散熱片安裝在封裝之頂部供更增強之熱性能。此等為優於供積體電路其他封裝型式之顯著成本及性能之優點。

五、發明說明(3)

在生產腔下降積體電路封裝時之一項問題，為接合金屬線及封裝材料可利用之間距受到限制。在封裝下面可利用之垂直距離(在圖 1 中標記" t ")受焊料球之直徑所限制。金屬線被以一種致使金屬線圈環高度置為完全在焊料球附著時可利用之距離，垂直區域" t "內之方式，自積體電路之接合墊片選定路徑至基片上之訊號徑跡。此接合金屬線高度需要一種成圈輪廓，其中圈環之頂部可不很高於基片表面，導致金屬線幾乎與基片表面平行，或至少很靠近基片表面。

在封裝高性能積體電路時，宜於提供導電功率及接地環，以簡化基片電路，並允許依需要增加至晶粒之功率及接地連接，而不改變基片。由於所有繞腔可利用之供功率及接地之連接，這允許在封裝使用不同之晶粒，而不使用不同之基片。此等功率及接地環如圖 2 中所示，繞積體電路晶粒置於積體電路晶粒與基片訊號徑跡之間，其在下文更詳細討論。功率及接地環然後在所有側面包圍積體電路。接合金屬線必須移動超過環，達到基片訊號徑跡。

然而，在需要接合金屬線幾乎與基片表面平行之封裝，無法使用如在先前技藝所示之功率或接地環，因為接合金屬線經過，並很靠近接地及功率環，並且可能實際對功率或接地環短路。例如在圖 1 之腔下降封裝使用功率及接地環，作成接腳格柵陣列封裝("PGA")及球柵陣列封裝("BGA")時，將會發生此問題。因之，因此需要一種方法及裝置，其提供可靠之金屬線間隙供否則將會有間隙問題

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(4)

之接合金屬線；以及在封裝供與金屬線互相連接與環之間有間隙問題之接地及/或功率環之可靠積體電路金屬線互相連接。

發明之概述

通常，及在本發明之一種形式，提供一種方法及裝置，供造成微少之間隙供需要穿過導電徑跡或其他障礙之接合金屬線，而不物理或電接觸障礙。在本發明之一種應用，在一有腔下降之封裝，使用幾乎平行於封裝基片表面，並有至少一寬功率環供提供功率或接地電壓至積體電路之接合金屬線，提供積體電路。本案提供一種方法及裝置，供隨後形成一供完成積體電路之封裝。

附圖之簡要說明

在附圖中：

圖 1 示一供積體電路之先前技藝 BGA 封裝之剖面圖；

圖 2 示一有導電接地及導電功率環之先前技藝腔下降封裝之底側視圖；

圖 3 示一非較佳實施例之剖面圖，示在本案說明之本發明所針對之問題；

圖 4 示圖 3 之非較佳實施例，其剖面之近視圖；

圖 5 示一使用在本案說明之本發明之裝置及方法，所形成之封裝之近視剖面圖；

圖 6 為如在圖 2 之圖，另示本發明之較佳實施例；以及

圖 7 示用以形成打線接合，供圖 5 中所示封裝之一連

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(5)

串可能之步驟。

在不同之諸圖中，除非在詳細說明及圖式中另外指明，對應之圖號及符號指對應之部份。

較佳實施例之詳細說明

圖 2 示一先前技藝腔下降 BGA 積體電路封裝之底視圖，包括本發明之接地及功率環。在圖 2 中，基片 11 示為有一晶粒腔 12 形成在其內。接地及功率環 13 及 16 係以一種導體形成，一般為銅或銅合金徑跡，或一自另一習知導體諸如金或金合金形成之徑跡，或其他形成在基片 11 之表面，並包圍晶粒腔 12 之導電合金。接地環 13 另予以耦合至一焊料球 15，其標示為一供所完成之積體電路之接地接腳。此耦合可藉一接合金屬線，或較佳為使用一在基片之徑跡進行，然而其必須穿過一第二功率環 16，而不使環 16 及 13 在一起短路。功率環 16 提供為包圍接地環 13，致使一供給及接地電壓環可用以供給積體電路功率。功率環 16 予以耦合至一焊料球 14，其標示為功率接腳，供使用形成在基片 11 之另一徑跡所封裝之積體電路。可提供另一功率及接地環，以例如降低電阻，及如在積體電路技藝上所知，使切換電路功率供給與其他功率供給隔離，藉以消除雜訊。而且，有些積體電路，諸如某些記憶體或 DRAM 裝置，需要在不同電壓之多重功率供給或接地供給。本發明在本案揭示使用至少一，及依必要之很多功率環包圍晶粒腔。

積體電路晶粒 17 置於晶粒腔 12 內，並使用晶粒附著

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明(6)

環氧樹脂，熱導電膠帶，或其他習知積體電路晶粒附著技術，安裝至基片。在積體電路晶粒 17 上之接合墊片 21，藉接合金屬線 19 耦合至基片 11 上之訊號徑跡 20。接合金屬線 19 係由金，鋁，銀，或其他導電合金，諸如銀/金所構成，並使用習知球接合技術附著至接合墊片，亦即，打線接合站將一球置為電及物理附著至接合墊片 21 之接合墊片。接合金屬線 19 將每一接合墊片耦合至一在基片上之訊號徑跡 20。接合金屬線使用一種綴縫接合，或供接合金屬線之其他習知接合，附著至訊號徑跡。除了故意接合至任一環之接合金屬線外，接合金屬線 19 必須穿過並保持與接地環 13 及功率環 16 電隔離。

積體電路晶粒可具有若干功能之任何一種，包括記憶體裝置，諸如 DRAM，SRAM，EPROM，同步 DRAM，或其他記憶體，數位訊號處理器(DSP)，微處理器，或諸如見於 ASICs，半定製 IC，可程式開陣列及其他可程式或定製積體電路之使用者指定功能。

圖 3 示一並非較佳實施例之剖面圖，例示在使用習知打線接合技術製造圖 2 之腔下降封裝所獲得之結果。在圖 3 中，基片 11 示為有一晶粒腔 12 形成在其內。積體電路晶粒 17 置於腔內，並使用晶粒附著環氧樹脂或膠帶予以附著。接合墊片 21 示為有接合金屬線 19 使用球型打線接合附著至接合墊片。接合金屬線 19 越過接地及功率環 13 及 16，耦合至訊號徑跡 20。焊料球 15 予以附著至基片 11，並且電及物理耦合至訊號徑跡 20。

五、發明說明(7)

圖 3 之非較佳配置用以示本案揭示之本發明所針對之問題。在圖 3 中，接合金屬線 19 示為穿過接地及功率環 13 及 16。請予察知，在接合金屬線 19 與接地及功率環 13 及 16 之間，可利用之垂直間隙不足。製造為有此種配置之積體電路封裝，由於在接合金屬線 19 與功率環之間缺少適當間隙，在接合金屬線 19 與功率環之一之間，將會呈現不希望之電短路。

圖 4 為圖 3 之剖面圖之一部份，省略球 15 之近視圖，不過其可為封裝之一部份，並且另例示圖 3 中所示之問題。而且，接合金屬線 19 穿過接地環 13 及功率環 16(在此實例，雖然吾人也擬想其他實例，諸如單一接地環)，以將形成在基片 11 之訊號徑跡 20 耦合至積體電路 21 之接合墊片。請予察知，接合金屬線 19 太靠近接地及功率環 13 及 16，而無法在接合金屬線 19 與功率環之間提供適當間隙，防止非故意之連接及電短路。而且，即使不作成實際之接觸，在接合金屬線與功率環之間也可能發生串擾，因為其間之距離太小。

請予察知，在其他習知封裝，圖 4 之配置將會呈現相似問題。例如，在一種使用打線接合，及使用如圖 2, 3 及 4 中所示功率及接地環，將 IC 耦合至基片之接腳格柵陣列封裝，接合金屬線也將必須穿過功率及接地環，並因此將會發生短路問題之可能性。在本案所說明之本發明，適用於接合金屬線必須穿過功率及接地訊號，或其他結構，而不與其接觸之 BGA, PGA, 及其他封裝配置，亦即發生接合

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

金屬線間隙問題之無論任何地方。

圖 5 為在圖 2 示為底視圖，使用本發明之方法及裝置之封裝，其較佳實施例之剖面圖。在圖 5 中，基片 11 以部份剖面示為有晶粒腔 12 容納積體電路晶粒 17。可包括如在圖 3 中所示之球 15，不過其未示接合金屬線 19 將接合墊片 21 耦合至訊號徑跡 20。接合金屬線 19 有一球型打線接合在晶粒墊片 21 上。接合金屬線 19 予以選定路徑越過功率環 13 及 16，並且然後予以綴縫接合至球接合 24，其已預先置於或靠近訊號徑跡 20 之最內端。球接合 24 係使用一種作成球之習知球接合技術作成，然後跳過正常成圈及綴縫接合順序，直接至金屬線斷開，其然後將會發生在球上面，因而一球留在訊號徑跡 20 之內端。此操作在接合墊片 21 至訊號徑跡 20 之打線接合前進行。打線接合操作可以若干方式之任何一種進行，包括首先在基片之每一訊號徑跡 20 形成球接合 24，然後使用球及綴縫連接，將球打線接合置於晶粒墊片 21，藉以將每一晶粒墊片 21 耦合至關聯之訊號徑跡 20，及然後在球接合 24 之頂部形成綴縫打線接合。要不然，一種習知之打線接合機可予以設定為首先在特定之訊號徑跡 20 形成球接合，然後移動至關聯之接合墊片 21，並形成一第二球接合，將接合金屬線 19 拉至訊號徑跡 20，及將綴縫接合置於球 24 之頂部，藉以連續形成每一連接。此種配置之優點，為在穿過功率環 13 及 16 之接合金屬線 19 間之間隙現在增加球接合 24 之高度。此距離增加消除接合金屬線 19 及功率環 13 及 16

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

之間短路之可能。

在圖 5 中所示本發明之實例，示二環 13 及 16 包圍晶粒腔。在一種較簡單之實例，或許僅將使用一環。而且，在接合墊片需耦合至功率環 16 之情形，在圖 5 之二環實例，在接合金屬線與功率環 16 之間將必要一隔片接合金屬球，以造成穿過接地環 13 所需要之間隙。可使用另一環，在該情形，必須穿過任何數之環之任何接合金屬線，將會有本發明之隔片接合球置於其與環或其耦合之訊號徑跡之間。

請參照圖 6，除了球 24 已在訊號徑跡 20 之部份形成靠近二環 13 及 16，以在如在圖 5 所示二環之附近提供金屬線 19 之高度外，示一如在圖 2 之視圖。球 24 較佳為有一高度等於在基片底面否則為最高之點，不過此高度無關緊要，並且可大於或少於否則為最高之點。較高之球 24 顯然較少有金屬線 19 向二環 13 及 16 下垂之可能。然而，球 24 之高度也可能影響封裝之最後厚度。因之，在球之高度與最後封裝厚度之考慮之間通常有所折衷。金屬線 19 較佳為藉一種綴縫接合連接至球 24。

本發明之方法及裝置可用以在一接合金屬線必須穿過另一結構造成間隙容限，而不與其接觸之無論任何地方。實例包括一種有功率及接地環，或其他接合封裝型式之 PGA 封裝，其中接合金屬線穿過基片徑跡，或接合金屬線應該不接觸之其他材料。

圖 7 示在一種較佳方法作成圖 5 之較佳實施例所需要

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

之接合步驟。精於此項技藝之執業人員將會認知，打線接合機可以若干不同順序進行所需要之操作，其各為擬想在本發明及其中所揭示之較佳實施例之範圍以內。圖 6 中所示之方法例示在製造本發明之 BGA 封裝所使用之一連串例證性步驟，但不解釋為限制本發明之範圍於步驟之此特定順序。

在圖 7 中，一打線接合機接合頭自一接合金屬之連續供給接收接合金屬線。在步驟 61，如在打線接合技藝上所知，使用一種習知“燒除”技術，供在接合機頭在金屬線之末端形成球接合。在步驟 63，接合機頭以球接合置於於一訊號徑跡 20 之最內端。在步驟 65，如在該項技藝所知，將球自接合金屬線拉動。這將球接合 24 留在訊號徑跡 20 之末端。步驟 67 為步驟 61 之重複，使用一種習知“燒除”技術，在接合金屬之末端作成一球。

在步驟 69，接合機頭自上面接近關聯之接合墊片 21。接合金屬之末端再次為球形。在步驟 69，將此球置於接合墊片。包括使用超音波能量，振動及壓力，以改進物理及電接合至接合墊片，供接合至接合墊片之習知技術，用以達成可靠之金屬線接合。在步驟 71，接合頭自接合墊片 21 移開，但此時金屬線不予以截斷，但保持耦合至接合墊片 21。接合金屬線 19 然後延伸離開接合墊片 21。

在步驟 73，接合頭接近先前所形成及數著之球接合 24，使接合金屬線 19 自接合墊片 21 延伸。接合金屬線拉伸越過晶粒腔，並越過功率環 13 及 16。金屬線接合機然後在球 24 形成一種綴縫型打線接合。最後，在步驟 77，

五、發明說明(11)

綴縫打線接合用以將接合金屬線 19 之末端置於球接合 25，並且將金屬線截斷，完成打線接合。燒除用以形成另一球，供次一球接合操作。然後使接合機頭位於基片上之次一訊號徑跡。步驟 77 示供該過程之重複操作步驟。然後重複圖 6 之步驟，供在封裝之每一接合墊片及訊號徑跡。一低成圈打線接合金屬線自每一接合墊片延伸至一訊號徑跡，並選定路徑越過供每一訊號之功率環。

圖 7 中所說明之步驟，僅為可用以完成圖 5 之裝置之一種可能順序。一種替代順序將為在基片 11 之訊號徑跡之最內端形成所有接合金屬球，及然後將 IC 接合墊片順序接合至關聯之接合金屬球。

除了一接地環外，可能宜於提供另一環供另一供給電壓，諸如 Vdd。此等環也將會包圍腔，及可作成在接地環內側或外側。此等環也將藉接合金屬線在典型之 IC 耦合至超過一接合墊片。如果此等環位於第一接地環外側，則將會存在間隙問題，並且在接合功率環至 IC 之接合墊片前，應該提供一接合金屬球，以便金屬線可穿過內環，而無短路或間隙問題。以上在圖 7 中所揭示之方法，較佳為用以進行此步驟。

雖然本發明業已參照例證性實施例予以說明，但此說明不意為以限制意義予以解釋。精於此項技藝者參照說明，將會明白例證性實施例之各種修改及組合，以及本發明之其他實施例。後附之申請專利範圍因此意為包括任何此等修改或實施例。

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：

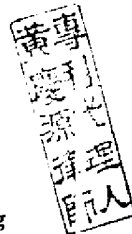
積體電路打線接合封裝裝置及方法

一種在一封裝之積體電路，有一接地(13)及/或功率環(16)，以及接合金屬線(19)穿過接地及/或功率環，接合金屬線另耦合至訊號徑跡(21)。在一基片之晶粒腔(12)提供一半導體積體電路(17)。訊號徑跡形成在基片(11)之表面。包圍晶粒腔形成至少一導電區。至少一訊號徑跡形成在基片，並與導電環電隔離。接合金屬線用以將晶粒接合墊片(21)耦合至訊號徑跡。至少若干接合金屬線予以耦合至訊號徑跡，並必須穿過導電環。接合金屬線在功率或接地環上面，藉在訊號徑跡之內端形成一隔片(24)，而升高一間隙距離。形成在訊號徑跡之隔片然後提供成一間隙間距，以防止穿過功率環之接合金屬線變成一對功率環短路。一般為，隔片予以形成如接合金一對屬球，置於訊號徑跡。一般為，使用導電環作為一有供積體電路之接地環，或作為一電壓供給環。在有些實施例，使用多重功率或接地環。本案說明其他種種裝置及方法。

英文發明摘要(發明之名稱：

METHOD AND APPARATUS FOR WIRE BONDED PACKAGE FOR INTEGRATED CIRCUITS

An integrated circuit in a package having a ground(13) and/or power ring (16) and bond wires (19) crossing the ground and/or power ring, the bond wires further coupled to signal traces (21). A semiconductor integrated circuit (17) is provided in a die cavity (12) in a substrate. Signal traces are formed on the surface of the substrate (11). At least one conductive area is formed surrounding the die cavity. At least one signal trace is formed on the substrate and electrically isolated from the conductive ring. Bond wires are used to couple the die bond pads (21) to the signal traces. At least some of the bond wires are coupled to signal traces and must cross the conductive ring. The bond wires are raised a clearance distance over the power or ground ring by forming a spacer (24) on the inner end of the signal traces. The spacer formed on the signal trace then provides a clearance spacing to prevent the bond wires which cross the power ring from becoming shorted to the power ring. Typically, the spacer is formed as a bond wire ball placed on the signal trace. Typically the conductive ring is used as a ground ring, or as a voltage supply ring, for the integrated circuit. Multiple power or ground rings are used in some embodiments. Other devices and methods are described.



六、申請專利範圍

1. 一種供積體電路之封裝包含：

- (a) 一基片，有一頂面及一底面；
- (b) 一晶粒腔，配置在該基片之表面之一，供容納一積體電路晶粒，積體電路晶粒上有接合墊片；
- (c) 訊號徑跡，配置在該基片上；
- (d) 至少一電子區域，在基片與訊號徑跡隔離，並配置在至少一訊號徑跡與至少一接合墊片之間；
- (e) 一導電隔片，配置在訊號徑跡上面，並在其上面延伸；以及
- (f) 至少一接合金屬線，連接在一積體電路晶粒與一遠離訊號徑跡之隔片之一部份之間，該接合金屬線穿過電子區域，同時與電子區域電隔離。

2. 根據申請專利範圍第 1 項之封裝，其中該隔片包含一球。

3. 根據申請專利範圍第 2 項之封裝，其中該球為一接合至訊號徑跡之球。

4. 根據申請專利範圍第 1 項之封裝，其中至該隔片之接合金屬線連接為一種綴縫接合。

5. 根據申請專利範圍第 2 項之封裝，其中至該隔片之接合金屬線連接為一種綴縫接合。

6. 一種在一必須以預定間隙予以避免之障礙之相對兩側之一對位置



成接合之方法，其包含下列步驟：

- (a) 提供第一及第二位置，接合將行以一金屬線之相對兩端作成至此二位置，該二位置配置在一藉金屬線

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

予以避免之障礙之相對兩側；

(b)在第一位置形成一球，在障礙上面延伸；

(c)將一金屬線接合至第二位置；以及

(d)然後延伸及接合金屬線至遠離第一位置之該球之一部份。

7. 根據申請專利範圍第 6 項之方法，其中第一位置為一配置在基片之訊號徑跡，及第二位置為一積體電路之晶粒墊片。

8. 根據申請專利範圍第 6 項之方法，其中該球係藉使金屬線自一毛細管延伸，以延伸之金屬線形成一球，將該球敷著在第一位置，及使在該球上面之金屬線斷開等步驟所形成。

9. 根據申請專利範圍第 7 項之方法，其中該球係藉使金屬線自一毛細管延伸，以延伸之金屬線形成一球，將該球敷著在第一位置，及使在該球上面之金屬線斷開等步驟所形成。

10. 根據申請專利範圍第 6 項之方法，其中至該位置之接合為一第二球接合，及至該球之接合為一種綴縫接合。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

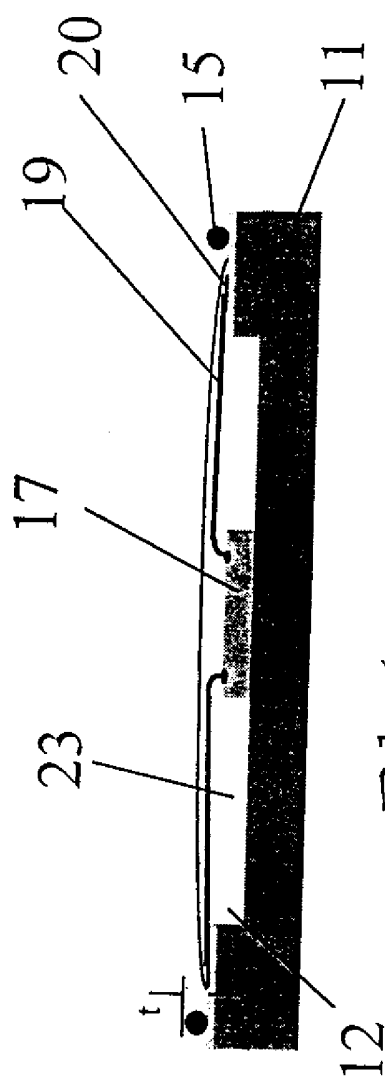
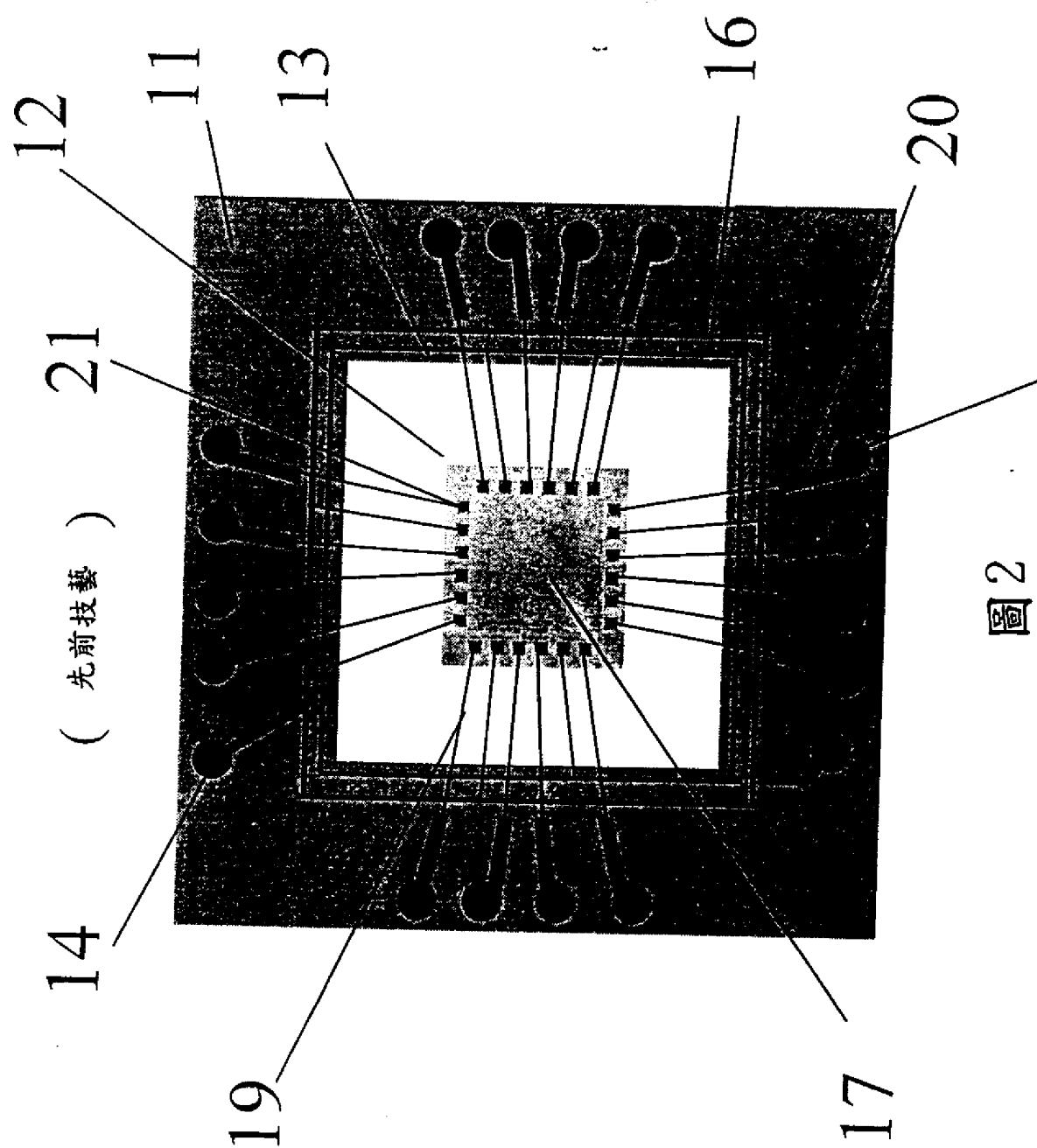


圖1 (先前技藝)



15 TI-24780

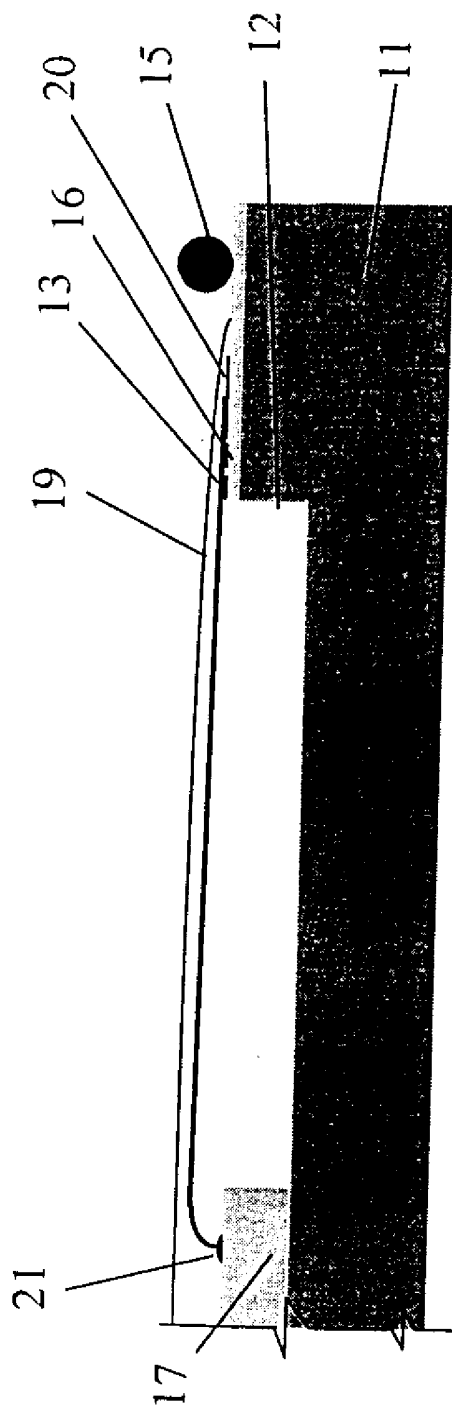


圖3 (先前技藝)

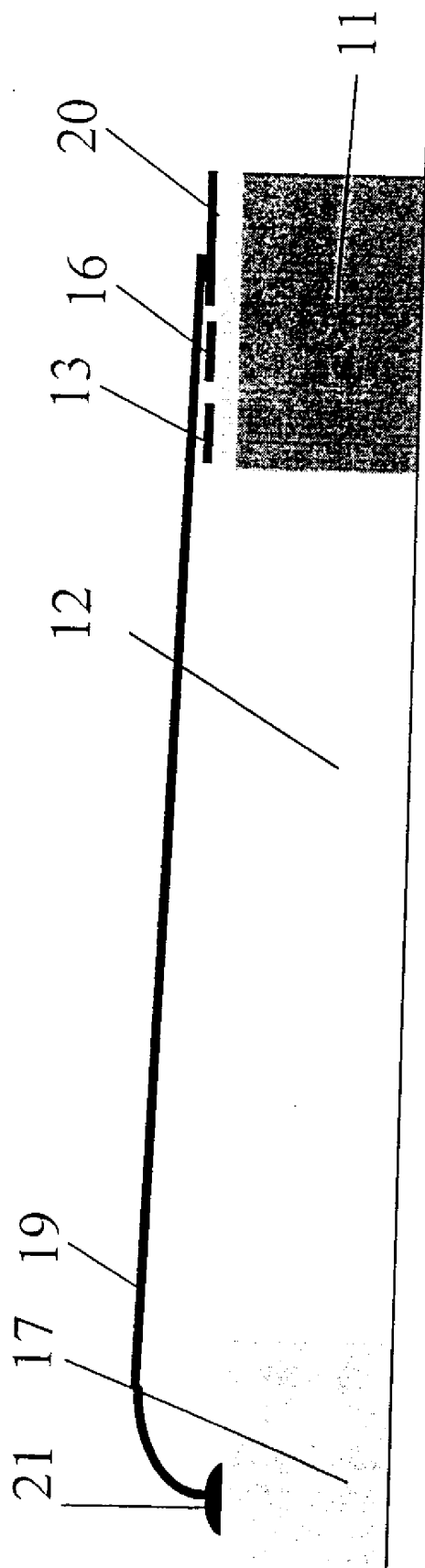


圖4 (先前技藝)

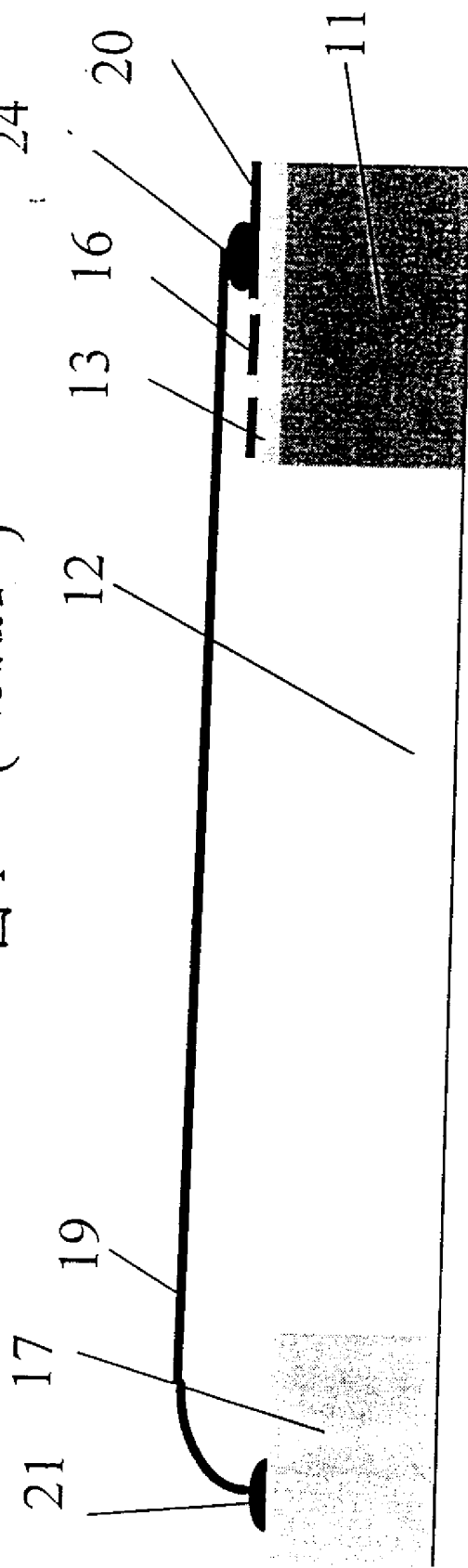


圖5

TI-24780

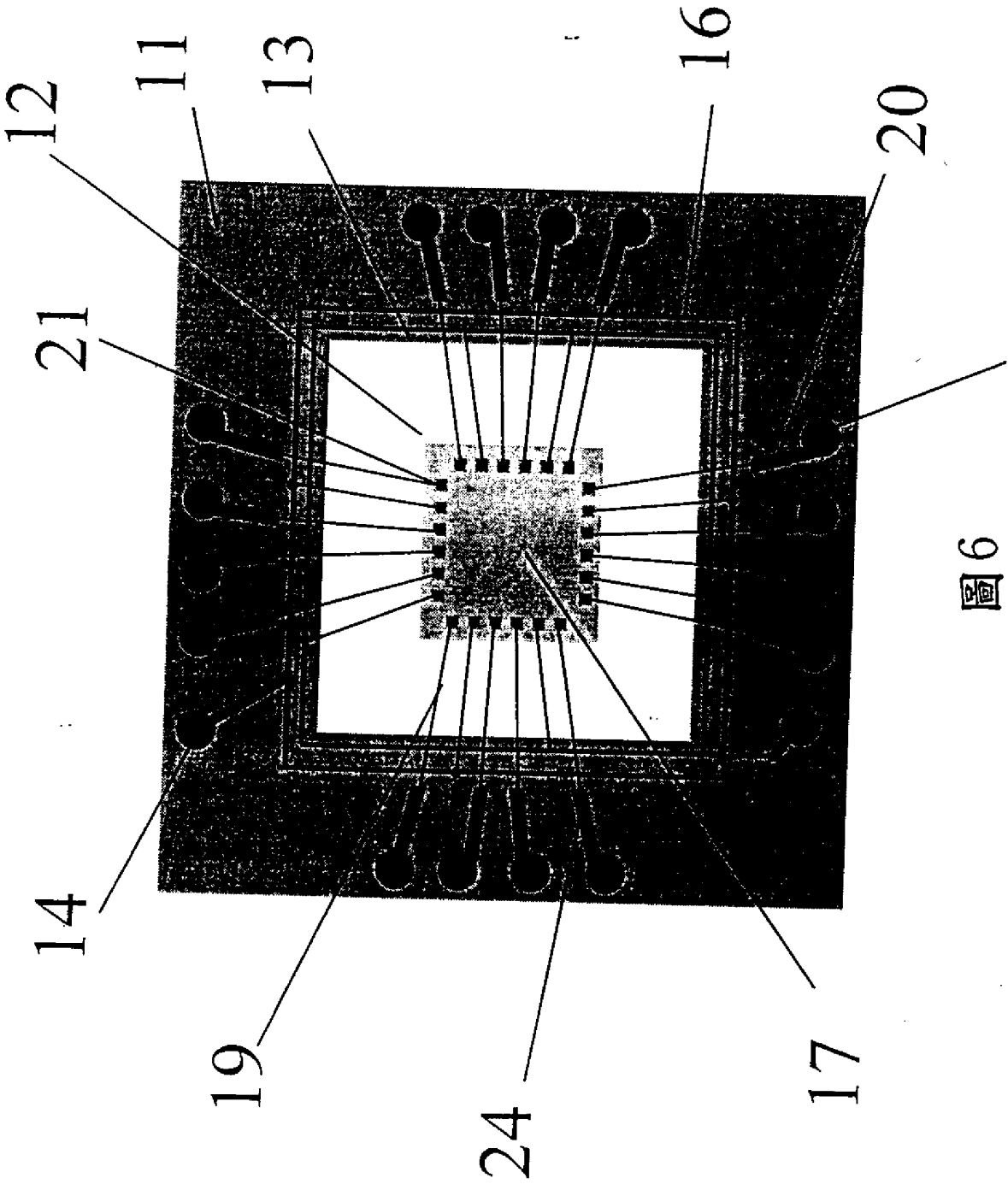


圖6

1⁵ TI-24780

步驟 61	在毛細管末形成接合金屬線球
步驟 63	接合在訊號徑跡最內端之球
步驟 65	使金屬線斷開，將球留在訊號徑跡之最內端
步驟 67	在毛細管末端形成接合金屬線
步驟 69	接合在 I.C. 接合墊片之球
步驟 71	使 I.C. 接合墊片至球之金屬線在訊號徑跡成圈
步驟 73	將接合金屬線綴縫至訊號徑跡上之球
步驟 75	使接合機頭定位在次一訊號徑跡上
步驟 77	回至步驟 61

圖 7

TI-24780