

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6156841号  
(P6156841)

(45) 発行日 平成29年7月5日 (2017.7.5)

(24) 登録日 平成29年6月16日 (2017.6.16)

(51) Int. Cl.

F I

H O 1 L 21/8234 (2006.01)

H O 1 L 27/06 1 O 2 A

H O 1 L 27/06 (2006.01)

H O 1 L 27/04 P

H O 1 L 27/04 (2006.01)

H O 1 L 29/78 3 O 1 D

H O 1 L 21/822 (2006.01)

H O 1 L 29/91 E

H O 1 L 29/78 (2006.01)

H O 1 L 21/76 J

請求項の数 27 (全 35 頁) 最終頁に続く

(21) 出願番号 特願2013-214359 (P2013-214359)  
 (22) 出願日 平成25年10月15日 (2013.10.15)  
 (65) 公開番号 特開2014-96579 (P2014-96579A)  
 (43) 公開日 平成26年5月22日 (2014.5.22)  
 審査請求日 平成28年9月23日 (2016.9.23)  
 (31) 優先権主張番号 13/671, 506  
 (32) 優先日 平成24年11月7日 (2012.11.7)  
 (33) 優先権主張国 米国 (US)

(73) 特許権者 504199127  
 エヌエックスピー ユーエスエイ インコ  
 ーポレイテッド  
 NXP USA, Inc.  
 アメリカ合衆国 テキサス州 78735  
 オースティン ウィリアム キャノン  
 ドライブ ウェスト 6501  
 (74) 代理人 100142907  
 弁理士 本田 淳  
 (72) 発明者 フーバート エム. ボーデ  
 ドイツ連邦共和国 85540 ハール  
 ウンテレ パルクシュトラッセ 4 ツェー

最終頁に続く

(54) 【発明の名称】 抵抗回路を通じて相互接続されるアクティブデバイスおよび分離構造体を有する半導体デバイス  
 およびドライバ回路ならびにその製造方法

(57) 【特許請求の範囲】

【請求項 1】

半導体デバイスであって、

第1の導電型および基板上面を有する半導体基板と、

前記基板上面の下の埋め込み層であって、該埋め込み層は前記第1の導電型と異なる第2の導電型を有する、前記埋め込み層と、

前記基板上面と前記埋め込み層との間のシンカ領域であって、該シンカ領域は前記第2の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、シンカ領域と、

前記半導体基板において、前記分離構造体によって収容される該半導体基板の第1の部分内に位置するアクティブデバイスであって、該アクティブデバイスは前記第2の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第1の導電型を有する前記半導体基板の第2の部分によって分離される、前記アクティブデバイスと

10

、  
 前記分離構造体と前記ボディ領域との間に接続される抵抗回路とを備える、半導体デバイス。

【請求項 2】

前記抵抗回路は、多結晶シリコン抵抗器を含む、請求項1に記載の半導体デバイス。

【請求項 3】

前記抵抗回路は、

20

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合されるショットキーダイオードであって、該ショットキーダイオードは分離領域に結合されるショットキーコンタクトから形成される、前記ショットキーダイオードとを含む、請求項 1 に記載の半導体デバイス。

【請求項 4】

前記ショットキーダイオードは前記第 1 の抵抗ネットワークに直列に結合される、請求項 3 に記載の半導体デバイス。

【請求項 5】

前記ショットキーダイオードは前記第 1 の抵抗ネットワークに並列に結合される、請求項 3 に記載の半導体デバイス。

10

【請求項 6】

前記抵抗回路は、前記ショットキーダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 5 に記載の半導体デバイス。

【請求項 7】

前記抵抗回路は、前記ショットキーダイオードに並列に結合される P N 接合ダイオードをさらに含む、請求項 3 に記載の半導体デバイス。

【請求項 8】

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合される P N 接合ダイオードとを含む、請求項 1 に記載の半導体デバイス。

20

【請求項 9】

前記 P N 接合ダイオードは前記第 1 の抵抗ネットワークに直列に結合される、請求項 8 に記載の半導体デバイス。

【請求項 10】

前記 P N 接合ダイオードは前記第 1 の抵抗ネットワークに並列に結合される、請求項 8 に記載の半導体デバイス。

【請求項 11】

前記抵抗回路は、

前記 P N 接合ダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 10 に記載の半導体デバイス。

30

【請求項 12】

前記シンカ領域に延びる前記第 1 の導電型のさらなる領域をさらに備え、前記 P N 接合ダイオードは、前記さらなる領域と前記シンカ領域との間に形成される、請求項 8 に記載の半導体デバイス。

【請求項 13】

前記 P N 接合ダイオードは多結晶シリコンダイオードを含む、請求項 8 に記載の半導体デバイス。

【請求項 14】

前記アクティブデバイスは、

アクティブ領域の中央部分における前記第 1 の導電型のドリフト領域であって、前記基板上面から前記半導体基板内へ延びる、前記ドリフト領域と、

40

前記基板上面から前記ドリフト領域内へ延びる前記第 1 の導電型のドレイン領域と、

前記ドリフト領域と前記分離構造体との間において前記基板上面から前記半導体基板内へ延びるボディ領域と、

前記基板上面から前記ボディ領域内へ延びる前記第 1 の導電型のソース領域とを備える、請求項 1 に記載の半導体デバイス。

【請求項 15】

ドライバ回路であって、

第 1 の導電型および基板上面を有する半導体基板に形成される第 1 の横方向拡散金属酸

50

化膜半導体電界効果トランジスタ ( L D M O S F E T ) であって、該第 1 の L D M O S F E T は、

前記基板上面の下の埋め込み層であって、該埋め込み層は前記第 1 の導電型と異なる第 2 の導電型を有する、前記埋め込み層と、

前記基板上面と前記埋め込み層との間のシンカ領域であって、該シンカ領域は前記第 2 の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、シンカ領域と、

前記半導体基板において、前記分離構造体によって収容される該半導体基板の第 1 の部分内に位置するアクティブデバイスであって、該アクティブデバイスは前記第 2 の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第 1 の導電型を有する前記半導体基板の第 2 の部分によって分離される、前記アクティブデバイスと

10

、  
前記分離構造体と前記ボディ領域との間に接続される抵抗回路とを備える、ドライバ回路。

【請求項 16】

前記抵抗回路は、多結晶シリコン抵抗器を含む、請求項 15 に記載のドライバ回路。

【請求項 17】

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合されるショットキーダイオードであって、該ショットキーダイオードは分離領域に結合されるショットキーコンタクトから形成される、前記ショットキーダイオードとを含む、請求項 15 に記載のドライバ回路。

20

【請求項 18】

前記ショットキーダイオードは前記第 1 の抵抗ネットワークに並列に結合され、前記抵抗回路は、前記ショットキーダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 17 に記載のドライバ回路。

【請求項 19】

前記抵抗回路は、

第 1 の抵抗ネットワークと、

前記第 1 の抵抗ネットワークに結合される P N 接合ダイオードとを含む、請求項 15 に記載のドライバ回路。

30

【請求項 20】

前記シンカ領域に延びる前記第 1 の導電型のさらなる領域をさらに備え、前記 P N 接合ダイオードは、前記さらなる領域と前記シンカ領域との間に形成される、請求項 19 に記載のドライバ回路。

【請求項 21】

前記 P N 接合ダイオードは多結晶シリコンダイオードを含む、請求項 19 に記載のドライバ回路。

【請求項 22】

前記 P N 接合ダイオードは前記第 1 の抵抗ネットワークに並列に結合され、前記抵抗回路は、前記 P N 接合ダイオードに直列に結合される第 2 の抵抗ネットワークをさらに含む、請求項 19 に記載のドライバ回路。

40

【請求項 23】

半導体デバイスを形成するための方法であって、

第 1 の導電型を有する半導体基板の基板上面の下に埋め込み層を形成する埋め込み層形成工程であって、該埋め込み層は前記第 1 の導電型と異なる第 2 の導電型を有する、前記埋め込み層形成工程と、

前記基板上面と前記埋め込み層との間にシンカ領域を形成するシンカ領域形成工程であって、該シンカ領域は前記第 2 の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、前記シンカ領域形成工程と、

50

前記半導体基板において、前記分離構造体によって収容される該半導体基板の第 1 の部分内に位置するアクティブデバイスを形成するアクティブ領域形成工程であって、該アクティブデバイスは前記第 2 の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第 1 の導電型を有する前記半導体基板の第 2 の部分によって分離される、前記アクティブ領域形成工程と、

前記分離構造体と前記ボディ領域との間に接続される抵抗回路を形成する抵抗回路形成工程とを含む、方法。

【請求項 2 4】

前記抵抗回路形成工程は、

前記抵抗回路の一部として多結晶シリコン抵抗を形成するとともに相互接続する工程を含む、請求項 2 3 に記載の方法。

10

【請求項 2 5】

前記抵抗回路は抵抗ネットワークおよびショットキーダイオードを含み、前記抵抗回路形成工程は、

前記抵抗ネットワークを形成する工程と、

前記ショットキーダイオードを形成するショットキーダイオード形成工程であって、該ショットキーダイオードは分離領域に結合されるショットキーコンタクトを含む、前記ショットキーダイオード形成工程と、

前記抵抗ネットワークを前記ショットキーコンタクトに結合する工程とを含む、請求項 2 3 に記載の方法。

20

【請求項 2 6】

前記抵抗回路は抵抗ネットワークおよび P N 接合ダイオードを含み、前記抵抗回路形成工程は、

前記抵抗ネットワークを形成する工程と、

前記シンカ領域に延びる前記第 1 の導電型のさらなる領域を形成する工程であって、前記 P N 接合ダイオードは前記さらなる領域と前記シンカ領域との間に形成される、前記工程と、

前記抵抗ネットワークを前記さらなる領域に結合する工程とを含む、請求項 2 3 に記載の方法。

【請求項 2 7】

30

前記抵抗回路は抵抗ネットワークおよび P N 接合ダイオードを含み、前記抵抗回路形成工程は、

前記抵抗ネットワークを形成する工程と、

前記 P N 接合ダイオードを多結晶シリコンダイオードとして形成する工程と、

前記抵抗ネットワークを前記多結晶シリコンダイオードに結合する工程とを含む、請求項 2 3 に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本実施形態は、概して半導体デバイスおよびそれらの製造方法に関し、より詳細には、分離構造体を有する横方向拡散金属酸化膜半導体 ( L D M O S ) デバイスに関する。

40

【背景技術】

【0002】

誘導性負荷を含むいくつかのシステムオンチップ ( S O C ) 用途において、特定のノードがスイッチング中に負電位になる場合があり、これは、基板へ著しい注入電流をもたらす場合がある。基板に注入される電荷キャリアは隣接する回路を妨害し、それらの動作に悪影響を与える場合がある。

【0003】

なお、L D M O S を有する半導体デバイスについて、特許文献 1 に記載されている。

【先行技術文献】

50

【特許文献】

【0004】

【特許文献1】米国特許第6,288,424号明細書

【発明の概要】

【発明が解決しようとする課題】

【0005】

したがって、この難点を克服し性能に向上をもたらすことができる改善されたデバイス構造、材料および作製方法が継続的に必要とされている。採用される方法、材料および構造は、今日の製造能力および材料に対応し、利用可能な製造手順に対する実質的な改変または製造費用の実質的な増大を必要としないことがさらに望ましい。さらに、さまざまな実施形態の他の望ましい特徴および特性が、添付の図面ならびに上記の技術分野および背景とともに取り入れられる、後続の詳細な説明および添付の特許請求の範囲から明らかとなるであろう。

10

【課題を解決するための手段】

【0006】

上記問題点を解決するために、請求項1に記載の発明は、半導体デバイスであって、第1の導電型および基板上面を有する半導体基板と、前記基板上面の下に埋め込み層であって、該埋め込み層は前記第1の導電型と異なる第2の導電型を有する、前記埋め込み層と、前記基板上面と前記埋め込み層との間のシンカ領域であって、該シンカ領域は前記第2の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、シンカ領域と、前記半導体基板において、前記分離構造体によって収容される該半導体基板の第1の部分内に位置するアクティブデバイスであって、該アクティブデバイスは前記第2の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第1の導電型を有する前記半導体基板の第2の部分によって分離される、前記アクティブデバイスと、前記分離構造体と前記ボディ領域との間に接続される抵抗回路とを備えることを要旨とする。

20

【0007】

請求項15に記載の発明は、ドライバ回路であって、第1の導電型および基板上面を有する半導体基板に形成される第1の横方向拡散金属酸化膜半導体電界効果トランジスタ(LDMOSFET)であって、該第1のLDMOSFETは、前記基板上面の下に埋め込み層であって、該埋め込み層は前記第1の導電型と異なる第2の導電型を有する、前記埋め込み層と、前記基板上面と前記埋め込み層との間のシンカ領域であって、該シンカ領域は前記第2の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、シンカ領域と、前記半導体基板において、前記分離構造体によって収容される該半導体基板の第1の部分内に位置するアクティブデバイスであって、該アクティブデバイスは前記第2の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第1の導電型を有する前記半導体基板の第2の部分によって分離される、前記アクティブデバイスと、前記分離構造体と前記ボディ領域との間に接続される抵抗回路とを備えることを要旨とする。

30

【0008】

請求項23に記載の発明は、半導体デバイスを形成するための方法であって、第1の導電型を有する半導体基板の基板上面の下に埋め込み層を形成する埋め込み層形成工程であって、該埋め込み層は前記第1の導電型と異なる第2の導電型を有する、前記埋め込み層形成工程と、前記基板上面と前記埋め込み層との間にシンカ領域を形成するシンカ領域形成工程であって、該シンカ領域は前記第2の導電型を有し、該シンカ領域および前記埋め込み層によって分離構造体が形成される、前記シンカ領域形成工程と、前記半導体基板において、前記分離構造体によって収容される該半導体基板の第1の部分内に位置するアクティブデバイスを形成するアクティブ領域形成工程であって、該アクティブデバイスは前記第2の導電型を有するボディ領域を含んでおり、該ボディ領域と前記分離構造体とが、前記第1の導電型を有する前記半導体基板の第2の部分によって分離される、前

40

50

記アクティブ領域形成工程と、前記分離構造体と前記ボディ領域との間に接続される抵抗回路を形成する抵抗回路形成工程とを含む、ことを要旨とする。

【図面の簡単な説明】

【0009】

【図1】一実施形態に応じた、誘導性負荷を含む外部回路を駆動するように構成されるドライバ回路を含む電子システムの簡略図。

【図2】一実施形態に応じた、N型横方向拡散金属酸化膜半導体電界効果トランジスタ(NLDMOSFET)であって、ドレイン領域と分離構造体との間に接続される抵抗回路を有するNLDMOSFETの断面図。

【図3】一実施形態に応じた、図2のNLDMOSFETを示す簡略化された回路図。

10

【図4】代替の実施形態に応じた、ショットキーダイオードに直列な抵抗ネットワークを含む抵抗回路を有する図2のNLDMOSFETを示す簡略化された回路図。

【図5】別の代替の実施形態に応じた、ショットキーダイオードに並列な抵抗ネットワークを含む抵抗回路を有する図2のNLDMOSFETを示す簡略化された回路図。

【図6】代替の実施形態に応じた、PN接合ダイオードに直列な抵抗ネットワークを含む抵抗回路を有する図2のNLDMOSFETを示す簡略化された回路図。

【図7】別の代替の実施形態に応じた、PN接合ダイオードに並列な抵抗ネットワークを含む抵抗回路を有する図2のNLDMOSFETを示す簡略化された回路図。

【図8】一実施形態に応じた、P型横方向拡散金属酸化膜半導体電界効果トランジスタ(PLDMOSFET)であって、ソース領域と分離構造体との間に接続される抵抗回路を有するPLDMOSFETの断面図。

20

【図9】一実施形態に応じた、図8のPLDMOSFETを示す簡略化された回路図。

【図10】代替の実施形態に応じた、ショットキーダイオードに直列な抵抗ネットワークを含む抵抗回路を有する図8のPLDMOSFETを示す簡略化された回路図。

【図11】別の代替の実施形態に応じた、ショットキーダイオードに並列な抵抗ネットワークを含む抵抗回路を有する図8のPLDMOSFETを示す簡略化された回路図。

【図12】代替の実施形態に応じた、PN接合ダイオードに直列な抵抗ネットワークを含む抵抗回路を有する図8のPLDMOSFETを示す簡略化された回路図。

【図13】別の代替の実施形態に応じた、PN接合ダイオードに並列な抵抗ネットワークを含む抵抗回路を有する図8のPLDMOSFETを示す簡略化された回路図。

30

【図14】代替の実施形態に応じた、誘導性負荷を含む外部回路を駆動するように構成されるドライバ回路を含む電子システムの簡略図。

【図15】代替の実施形態に応じた、PLDMOSFETのボディ領域と分離構造との間に接続される抵抗回路を有するPLDMOSFETの断面図。

【図16】一実施形態に応じた、図15のPLDMOSFETを示す簡略化された回路図。

【図17】代替の実施形態に応じた、ショットキーダイオードに直列な抵抗ネットワークを含む抵抗回路を有する図15のPLDMOSFETの簡略化された回路図。

【図18】別の代替の実施形態に応じた、ショットキーダイオードと並列の抵抗ネットワークを含む抵抗回路を有する図15のPLDMOSFETを示す簡略化された回路図。

40

【図19】代替の実施形態に応じた、PN接合ダイオードに直列な抵抗ネットワークを含む抵抗回路を有する図15のPLDMOSFETを示す簡略化された回路図。

【図20】別の代替の実施形態に応じた、PN接合ダイオードに並列な抵抗ネットワークを含む抵抗回路を有する図15のPLDMOSFETを示す簡略化された回路図。

【図21】さまざまな実施形態に応じた、図2、図8および図15に示すデバイスを形成するとともに、それらのデバイスを誘導性負荷を有するシステムに組み込むための方法を示す簡略化されたフローチャート。

【発明を実施するための形態】

【0010】

下記において、添付の図面とともに実施形態について説明する。同様の参照符号は同様

50

の要素を示す。

下記の詳細な説明は単なる例示に過ぎず、実施形態またはさまざまな実施形態の適用および使用を限定することは意図されていない。さらに、上記技術分野もしくは背景技術または下記の詳細な説明において提示される、いかなる表示または暗示された理論によっても束縛されることは意図されていない。

#### 【0011】

簡潔かつ明瞭な説明のために、図面は一般的な構築様式を示し、既知の特徴および技法の説明および詳細は、実施形態の説明を不必要に曖昧にすることを回避するために省略される場合がある。加えて、図面内の要素は必ずしも原寸に比例して描かれてはいない。たとえば、さまざまな実施形態の理解の向上を助けるために、いくつかの図面内の要素または領域のうちのいくつかの寸法は同一または他の図面の他の要素または領域に対して強調されている場合がある。

10

#### 【0012】

本記載および特許請求の範囲における「第1」、「第2」、「第3」、「第4」などの用語がある場合、これらは、同様の要素間において区別するために使用されることができ、必ずしも特定の連続する、または経時的な順序を説明するためのものではない。このように使用される用語は、本明細書に記載されている実施形態がたとえば、本明細書において例示または他の様態で記載されている以外の順序で使用することが可能であるように、適切な状況下で置き換え可能であることが理解されるべきである。さらに、「備える (comprise)」、「含む (include)」、「有する (have)」といった用語およびそれらの任意の変化形は非排他的な包含をカバーするように意図され、それによって、要素のリストを含むプロセス、方法、製品、または装置が必ずしもそれらの要素に限定されず、明示的に列挙されていない、またはこのようなプロセス、方法、製品、または装置に内在する他の要素を含むことができる。本明細書および特許請求の範囲における「左 (left)」、「右 (right)」、「中 (in)」、「外 (out)」、「正面 (front)」、「裏 (back)」、「上 (up)」、「下 (down)」、「上部 (top)」、「底 (bottom)」、「上 (over)」、「下 (under)」、「上 (above)」、「下 (below)」などの用語は、存在する場合、相対的な位置の説明を目的として使用されており、必ずしも空間における永久的な位置を記述するために使用されてはいない。本明細書に記載されている実施形態がたとえば、本明細書において例示または他の様態で記載されている以外の向きで使用される場合があることが理解されるべきである。本明細書において使用される場合、「結合される (coupled)」という用語は、電氣的または非電氣的な様式で直接的または間接的に接続されるものとして定義される。

20

30

#### 【0013】

本明細書に記載される本発明のさまざまな実施形態は、その導電型のデバイスまたは構造に適切なP型およびN型ドープ領域を有する特定の導電型のさまざまな半導体デバイスおよび構造によって示されている。しかし、これは説明を簡便にするためのものに過ぎず、限定であることは意図されていない。P型領域がN型領域になり、またはその逆もあるように、導電型を交換することによって逆の導電型のデバイスまたは構造が提供されてもよいことを当業者は理解するであろう。代替的には、下記に示される特定の領域は、より一般的に「第1の導電型」および「逆の第2の導電型」であるものとして参照される場合があり、第1の導電型はN型またはP型のいずれかであってよく、その場合、第2の逆の導電型はP型またはN型のいずれかである。さらに、限定であることは意図されず説明を簡便にするために、本発明のさまざまな実施形態はシリコン半導体に関して本明細書において説明されるが、本発明はシリコンには限定されず、広範な半導体材料に適用されることを当業者であれば理解するであろう。非限定的な例は、バルク形態もしくは層状形態もしくは薄膜形態もしくはセミコンダクタオンインシュレータ (SOI) の形態またはそれらの組み合わせのいずれかであってもよく、他のIV族半導体材料、III-VおよびIII-VI族半導体材料、有機半導体材料ならびにそれらの組み合わせである。このような

40

50

材料は、単結晶、多結晶、非晶質またはそれらの組み合わせであってよい。

#### 【0014】

図1は、一実施形態に応じた、誘導性負荷132を含む外部回路130を駆動するように構成されるドライバ回路110を含む電子システム100の簡略図である。システム100は自動車または他の車両内に実装されてもよく、誘導性負荷132はモータの一部または車両の他の誘導性構成要素を表す。代替的には、システム100またはこれから派生するシステムは、自動車または車両用途以外の用途に使用されてもよい。

#### 【0015】

一実施形態に応じて、ドライバ回路110はシステムオンチップ(SOC)の一部であり、ドライバ回路110およびSOCの他の部分は、単一の半導体基板(下記において「SOC基板」と称する)に形成される。たとえば、SOCは、さまざまな処理構成要素、メモリアレイ(たとえば、フラッシュアレイ、スタティックランダムアクセスメモリ(SRAM)アレイなど)および他の回路を含んでもよい。単純にするために、SOCの他の部分は図1には示されない。下記により詳細に説明されるように、実施形態は、望ましくない電流が誘導性負荷132または他の発生源からSOC基板に注入されるのを低減するように構成されるシステムおよび半導体構成要素に関する。

#### 【0016】

ドライバ回路110およびSOCの他の部分は、少なくとも「ハイスайдゲート」(HG)ピン140、「ハイスайдソース」(HS)ピン141、「ローサイドゲート」(LG)ピン142、「ローサイドソース」(LS)ピン143、およびグランドピン144を介して外部回路130と結合される。本明細書においては「ピン」と称するが、ピン140~144は、ピン、リード線、バンプ、ボール、または他のタイプのコンタクトの任意の組み合わせを含んでもよい。図1において、ピン140~144を通る垂直な破線は、SOC(ドライバ回路110を含む)と外部回路130との間の境界を表す。

#### 【0017】

上述するように、外部回路130は、誘導性負荷132を含む。さらに一実施形態において、外部回路130は、第1の「ハイスайд」FET133と、第2の「ローサイド」FET134と、シャント抵抗136とを含む。後により詳細に説明されるように、特定の状況において、誘導性負荷132は注入電流の発生源として機能する場合があります。該誘導性負荷132はドライバ回路110に結合する。ハイスайдFET133およびローサイドFET134は各々、図1に示されるようにボディダイオードを含む。HSピン141は、ノード120において誘導性負荷132の入力端子、ハイスайдFET133のソースおよびローサイドFET134のドレインに結合される。ローサイドFET134のソースは、LSピン143と、シャント抵抗136を介してグランドとに結合される。ハイスайдFET133のゲートはHGピン140に結合されており、ハイスайдFET133は、ドライバ回路110からHGピン140を通じて受信する信号に応答してオンおよびオフにされる。ローサイドFET134のゲートはLGピン142に結合されており、ローサイドFET134は、ドライバ回路110からLGピン142を通じて受信する信号に応答してオンおよびオフにされる。

#### 【0018】

一実施形態に応じて、ドライバ回路110は、第1の電流パスに沿って、少なくとも第1のN型LDMOS電界効果トランジスタ(NLDMOSFET)112および少なくとも第1のP型LDMOSFET(PLDMOSFET)116を含む。ノード150は、NLDMOSFET112のドレインと、PLDMOSFET116のソースおよびボディとをHGピン140に結合させる。ノード151は、NLDMOSFET112のソースおよびボディと、PLDMOSFET116のドレインとをHSピン141に結合させる。第2の電流パスに沿って、ドライバ回路110は、第2のNLDMOSFET114および第2のPLDMOSFET118を含んでもよい。ノード152は、NLDMOSFET114のドレインと、PLDMOSFET118のソースおよびボディとをLGピン142に結合させる。ノード153は、NLDMOSFET114のソースおよびボデ

10

20

30

40

50



ィと、PLDMOSFET 118のドレインとをLSピン143に結合させる。SOC基板は、グランドピン144を通じてシステムグランドに接続される。

【0019】

他の図面とともに後により詳細に説明されるように、PLDMOSFET 116および118のアクティブ領域は各々、分離構造体または分離「タブ」（たとえば、アクティブ領域を取り囲むN型埋め込み層およびN型シンカ領域）に形成されてもよい。加えて、NLDMOSFET 112および114のアクティブ領域は各々、同様に分離構造体に形成されてもよい。分離構造体は、NLDMOSFET 112および114ならびにPLDMOSFET 116および118のアクティブ領域をSOC基板の残りの部分から分離するように構成される。分離構造体は、NLDMOSFET 112および114ならびにPLDMOSFET 116および118がボディバイアスによって動作することを可能にしてもよい。加えて、分離構造体は、通常の動作条件におけるSOC基板への電流注入を防止することを補助してもよい。たとえば、図1では、ダイオード113および115は、NLDMOSFET 112および114に関連付けられる埋め込み層 - 基板ダイオードを表わし、ダイオード117および119は、PLDMOSFET 116および118に関連付けられる埋め込み層 - 基板ダイオードを表わし、ダイオード113、115、117および119によって、ピン141~143が、SOC基板において短絡することなく正電位であることができる。

【0020】

いくつかのシステムでは、PLDMOSFET 116および118のソース領域ならびにそれらに関連する分離構造体は、金属化を通じて電氣的に短絡されており、それによって、ソース領域および分離構造体は常に同じ電位にある。加えて、PLDMOSFET 116および118において、ボディ領域は基板表面または基板表面より下で分離構造体と融合されてもよく、この場合、分離構造体（またはより具体的にはN型シンカ領域）は、ボディタイであるとみなされてもよい。ソース領域およびボディ領域は一般的に高電位（たとえば、V<sub>dd</sub>）に保持され、分離構造体およびボディ領域を融合するに際しソースを分離構造体に短絡することによって、基板における、ボディ領域とN型埋め込み層との間の部分がV<sub>dd</sub>の最大値における全逆方向バイアスをより良く維持することができる。同様に、NLDMOSFET 112および114のドレイン領域ならびにこれらに関連する分離構造体は、金属化を通じて電氣的に短絡されてもよく、それによって、ドレイン領域および分離構造体は常に同じ電位にある。この構成が有益である理由は、NLDMOSFET 112および114においてドリフト領域と各分離構造体の埋め込み層との間の基板材料が、ドリフト領域および埋め込み層の両方からの最大のV<sub>dd</sub>値における全逆方向バイアスを維持することが可能ではないからである。

【0021】

電流搬送領域（たとえば、NLDMOSFET 112および114のドレイン領域ならびにPLDMOSFET 116および118のソース領域）をともにそれぞれNLDMOSFET 112および114の分離構造体ならびにPLDMOSFET 116および118のボディに短絡することは多くの動作条件において良好に動作し得るが、この構成は、特定の他の動作条件において望ましくない電流がSOCの基板に注入されることを可能にするおそれがある。たとえば、ドライバ回路110がハイサイドFET 133をオフにしたとき（たとえば、NLDMOSFET 112をオンにすることによって）、ローサイドFET 134もオフになる（たとえば、NLDMOSFET 114が導通している）。この状態において、誘導性負荷132における電流は、ローサイドFET 134のボディダイオードが順方向バイアスされるまでHSピン141を負にプッシュしてもよい。ドライバ回路110は、所定の時間の後、ローサイドFET 134の電力消費を低下させるべく、ローサイドFET 134をオンにするように制御されてもよい。次いで、ノード120およびHSピン141（ならびに、すなわち、NLDMOSFET 112のソースおよびボディ）における負電位が、誘導性負荷電流に、シャント抵抗136およびローサイドFET 134のR<sub>DS ON</sub>抵抗の合計を乗算した値によって定義される。LSピン143（

10

20

30

40

50

ならびにNLD MOSFET 114のソースおよびボディ)において、より低い負電位が、誘導性負荷電流に、シャント抵抗136の抵抗値を乗算した値によって定義される。ハイサイドFET 133がオフになった後所定の期間、NLD MOSFET 112および114は正のゲート-ソース電圧( $V_{gs}$ )を有し、したがって、ドレインがNLD MOSFET 112および114のソースと短絡される。NLD MOSFET 112および114のドレイン電極および分離構造体が単に短絡されるシステムでは、HSピン141およびLSピン143における負電位は次いで、NLD MOSFET 112および114の導電性チャネルを通じて、ノード150、152およびSOC基板の少なくとも2つの注入位置(N型領域)に接近してもよい。HSピン141における負電位は、LSピン143における負電位よりも大きいため、HSピン141における負電位に起因する電流注入に関する電位は、LSピン143における負電位に起因する電流注入に関する電位よりも大きな問題である。長期間にわたるローサイドFET 134のボディダイオードにおける高い電力消費を回避するように、ハイサイドFET 133がオフになった直後にローサイドFET 134がオンにされる(すなわち、NLD MOSFET 114をオフにすることによって)。しかしながら、ノード120(および、すなわちHSピン141)における電位は依然として負であり、電流注入の問題はより低い度合いであるにせよ、依然として存在し得る。

10

#### 【0022】

さまざまな実施形態に応じて、ドライバ回路110は、上記または他の動作条件におけるSOC基板への電流注入を低減するように構成される回路をさらに含む。より詳細には、一実施形態において、ドライバ回路110は、NLD MOSFET 112のドレイン領域と分離構造体との間に結合される第1の抵抗回路160と、NLD MOSFET 114のドレイン領域と分離構造体との間に結合される第2の抵抗回路161と、PLD MOSFET 116のソース領域と分離構造体との間に結合される第3の抵抗回路162と、PLD MOSFET 118のソース領域と分離構造体との間に結合される第4の抵抗回路163とを含む。抵抗回路160~163をこれらの位置に挿入することによって、注入電流が低減されることができる。より具体的には、注入位置が抵抗回路160~163の後段に移動され、したがって、HSピン141および/またはLSピン143における所与の電位においてSOC基板に注入され得る電流が大幅に制限される。図1には示されないが、ドライバ回路110は、同様に、SOC基板への電流注入を低減する目的でそれ自体のドレイン領域またはソース領域と分離構造体との間に結合される抵抗回路を含む追加のNLD MOSFET デバイスおよび/またはPLD MOSFET デバイスを含んでもよい。

20

30

#### 【0023】

本明細書において使用される場合、「抵抗回路」は、1つまたは複数の抵抗または抵抗ネットワークを含む回路である。本明細書において「抵抗ネットワーク」を参照する場合、この用語は単一の抵抗器または複数の抵抗器の直列もしくは並列の構成を含み得ることが理解されるであろう。後により詳細に説明されるように、本明細書において説明される「抵抗回路」の実施形態は少なくとも1つの抵抗ネットワークを含み、1つまたは複数の他の構成要素(たとえば、抵抗回路の抵抗ネットワーク(複数の場合もあり)と直列および/または並列の1つまたは複数のダイオードまたは他の構成要素)を含んでもよい。残りの図面に関連して後により詳細に説明されるように、抵抗回路の一部を形成する抵抗器は多結晶シリコンから形成されてよいが、抵抗器は他の材料から形成されてもよいことが理解されるであろう。「ダイオード」は、単一のダイオードまたは直列および/もしくは並列に相互接続される複数のダイオードを含んでもよい。さまざまな実施形態において、ダイオードは、ショットキーコンタクトおよびドープされた半導体領域、PN接合、多結晶シリコンダイオードならびにこれらのまたは他のダイオード構成要素の組み合わせから形成されてもよい。

40

#### 【0024】

NLD MOSFET (たとえば、NLD MOSFET 112)、PLD MOSFET (

50

たとえば、PLDMOSFET 116) および関連する抵抗回路(たとえば、抵抗回路 160 および 162) の実施形態を下記により詳細に説明する。より具体的には、図 2 ~ 図 7 は NLD MOSFET および関連する抵抗回路のさまざまな実施形態を示し、図 8 ~ 図 13 は PLDMOSFET および関連する抵抗回路のさまざまな実施形態を示す。NLD MOSFET および PLDMOSFET のさまざまな実施形態はシステム 100 などのシステムに組み込まれてもよいことが理解されるであろう。

【0025】

図 2 は、一実施形態に応じた、抵抗回路(たとえば、図 1 の抵抗回路 160) が NLD MOSFET 200 (たとえば、図 1 の NLD MOSFET 112) のドレイン領域と分離構造体との間に結合される NLD MOSFET 200 の断面図である。一実施形態に応じた、NLD MOSFET 200 (および後述される図 8 の PLDMOSFET 800) のさまざまな領域は、図 2 に示される断面に垂直な面に配向されるリング状構成を有する。本明細書における図面および記載は二重ゲートフィンガ構成に特に当てはまるが、本発明の主題の範囲はこのような構成には限定されない。本明細書における記載に基づいて、当業者であれば示され記載される実施形態を、隣接するゲートフィンガが一方ではドレイン(たとえば、ドレイン領域 236) を共有し、他方ではボディコンタクト領域(たとえば、ボディコンタクト領域 240) を共有し得る、複数(すなわち、 $> 2$ ) のゲートフィンガを含む構成に適用させるように改変する方法を理解するであろう。このような実施形態では、ボディコンタクト領域は、図面に示されるよりも、シンカ領域(たとえば、シンカ領域 222) からさらに横方向に分離されてもよい。

【0026】

NLD MOSFET 200 は、基板上面 212 を有する半導体基板 210 (たとえば、図 1 に関連して説明される SOC 基板) においておよびその上に形成される。一実施形態に応じて、NLD MOSFET 200 は、基板において、NLD MOSFET 200 のアクティブ領域 230 に関連付けられる部分 216 (すなわち、内部にアクティブデバイスが形成される基板 210 の領域) を実質的に取り囲む分離構造体を含む。言い換えれば、このアクティブデバイスは分離構造体によって収容されるとみなされてもよい。分離構造体は箱型構造であり、N 型埋め込み層(NBL) 220 (基板上面 212 の下の所定の深さに位置する) および基板上面 212 から NBL 220 の深さまで延びる N 型シンカ領域 222 から形成される。シンカ領域 222 は、該シンカ領域 222 が NBL 220 まで延びることを可能にするための十分なインプラントエネルギーを有する一回のインプラント手順を用いて形成されてもよく、または、シンカ領域 222 は、異なるインプラントエネルギーを有する複数回のインプラント手順を用いて、したがって、異なる深さに直列に相互接続されるシンカ領域のサブ領域が形成されるように形成されてもよい。

【0027】

NLD MOSFET 200 は、アクティブ領域 230 に形成されるアクティブデバイスをさらに含む。一実施形態に応じて、アクティブデバイスは、N 型ドリフト領域 232 と、P 型ボディ領域 234 と、N 型ドレイン領域 236 と、N 型ソース領域 238 と、P 型ボディコンタクト領域 240 (「ボディタイ」とも称す) と、ゲート電極 242 (および対応するゲート絶縁体、参照符号なし) とを含む。ドレイン領域 236 およびソース領域 238 が本明細書において「電流搬送領域」と称す場合があるのは、これらの領域を電流搬送領域ではない NLD MOSFET 200 のゲートから区別するためである。ドレイン領域 236 およびソース領域 238 を参照して用語「電流搬送領域」を使用することは、NLD MOSFET 200 の他の領域が電流を搬送しないことを意味するように意図されるものではない。ドリフト領域 232 は、アクティブ領域 230 の中央部分に形成され、基板上面 212 から、NBL 220 の深さよりも浅い深さにまで基板 210 内に延びる。ドレイン領域 236 はドリフト領域 232 内に形成され、ドリフト領域 232 よりも高濃度にドーピングされる。ドレイン領域 236 は、基板上面 212 から、ドリフト領域 232 の深さよりも有意に浅い深さにまで基板 210 内において延びる。ボディ領域 234 はドリフト領域 232 とシンカ領域 222 との間に形成され、基板上面 212 から基板 210

内においてNBL220の深さよりも浅く、ドリフト領域232の深さよりも浅い深さにまで延びる(ただし、ボディ領域234はドリフト領域232の深さと実質的に等しいかまたはそれよりも深い深さにまで延びてもよい)。一実施形態では、ボディ領域234は図2に示すように、ドリフト領域232に当接し、シンカ領域222から横方向に分離される。代替の実施形態では、ボディ領域234はドリフト領域232から横方向に分離されてもよく、またはボディ領域234はドリフト領域232と重なってもよい(そのチャネルまたはドリフト領域232のドーパント特性とは異なるドーパント特性を有する領域が作成される)。ソース領域238およびボディコンタクト領域240はボディ領域234内に形成され、各々基板上面212から基板210内においてボディ領域234の深さよりも有意に浅い深さにまで延びる。ソース領域238はボディ領域234とは逆の導電型であり、ドリフト領域232よりも高濃度にドーピングされてもよく、ボディコンタクト領域240はボディ領域234よりも高濃度にドーピングされる。導電性相互接続によって、ボディコンタクト領域240はボディコンタクト端子260に電氣的に結合され、追加の導電性相互接続によって、ソース領域238はソース端子262に電氣的に結合される。概してドレイン領域236とソース領域238との間で、基板上面212において、ゲート酸化膜の上にゲート電極242が形成される。導電性相互接続はまた、ゲート電極242をゲート端子264に電氣的に結合する。

#### 【0028】

一実施形態に応じて、NLDMOSFET200は、図2に示すように、さまざまな浅溝分離(STI)構造体250、252、254をさらに含んでもよい。たとえば、基板上面212において、STI250はドリフト領域232内においてドレイン領域236に当接し、STI252は、ソース領域238とボディコンタクト領域240との間に位置付けられ、STI254はボディコンタクト領域240と分離構造体(またはより詳細には、シンカ領域222)との間に位置付けられる。代替の実施形態では、STI構造体250、252、および/または254のうちのいくつかまたはすべてが除外されてもよい。たとえば、STI252が除外されてもよく、ソース領域238とボディコンタクト領域240とがともに短絡されてもよい。加えて、STI250が除外されてもよく、それによってNLDMOSFET200が図2に示される「電界ドリフトデバイス」ではなく「アクティブドリフトデバイス」となる。STI250を含むことによってゲート-ドレイン電位を高くすることができ、一方でゲート酸化膜が破壊される危険性が低減される。また他の代替の実施形態では、STI構造体のうちのいくつかまたはすべてが、シリサイド遮断層に置き換えられてもよく、該シリサイド遮断層は、シリサイド形成を防止されることがなければその表面においてさまざまな領域をともに短絡することになるシリサイド形成を防止する。

#### 【0029】

一実施形態に応じて、NLDMOSFET200は、ドレイン領域236とシンカ領域222において延びるN型領域224との間に接続される抵抗回路(たとえば、図1の抵抗回路160)をさらに含み、N型領域224はシンカ領域222にオーミックコンタクトを提供するようにシンカ領域222よりも高濃度にドーピングされる。たとえば、抵抗回路は、1つまたは複数の抵抗器246を有する抵抗ネットワークを含んでもよい。1つのみの抵抗器246が図2に示されるが、抵抗ネットワークは複数の抵抗器を含んでもよいことが理解されるであろう。抵抗ネットワークの抵抗器(複数の場合もあり)246は多結晶シリコンから形成されてもよく、基板の上面の1つまたは複数の分離された領域に(たとえば、STI254に)位置してもよい。代替的には、抵抗器246のうちの1つまたは複数の材料から形成されてもよく、かつ/または他の場所に位置してもよい。一実施形態に応じて、導電性相互接続によって、ドレイン領域236、抵抗ネットワークの第1の端子(たとえば、抵抗246の第1の端子)およびドレイン端子266は電氣的に結合される。別の導電性相互接続によって、抵抗ネットワークの第2の端子(たとえば、抵抗器246の第2の端子)は分離構造体(たとえば、N型領域224)に電氣的に結合される。一実施形態では、抵抗ネットワークは約10~約500オームの範囲の抵抗を有す

10

20

30

40

50

るが、より小さいまたはより大きい抵抗が使用されてもよい。

【0030】

図3は、一実施形態に応じた、図2のNLDMOSFET200の簡略化された回路図300である。図2も参照すると、端子360（たとえば、端子260）はP型ボディ領域に結合され（たとえば、ボディコンタクト領域240を介してボディ領域234に結合され）、端子362（たとえば、端子262）はN型ソース領域（たとえば、ソース領域238）に結合され、端子364（たとえば、端子264）はゲート電極（たとえば、ゲート電極242）に結合され、端子366（たとえば、端子266）はドレイン領域（たとえば、ドレイン領域236）に結合される。

【0031】

一実施形態に応じて、かつ上述するように、NLDMOSFETはまた、ドレイン領域（たとえば、ドレイン領域236）とデバイスの分離構造体との間で電氣的に結合される抵抗ネットワーク346も含む。図3において（および、図面に示される他の回路表現において）抵抗ネットワーク346を示すために単一の抵抗器が使用されているが、これは簡便にするためのものに過ぎず、抵抗ネットワークは既に説明されたように複数の抵抗器を含んでもよいことが理解されるであろう。一実施形態では、抵抗ネットワーク346の第1の端子はドレイン領域に結合され、抵抗ネットワーク346の第2の端子は分離構造体（たとえば、シンカ領域222とNBL220との組み合わせ）に結合される。ノード320において、ダイオード314は、分離構造体と、基板におけるデバイスのアクティブ領域内の部分（たとえば、基板210における分離構造体内の部分216）との間の接合部によって形成されるダイオードを表し、ダイオード316は、分離構造体と、基板における、該分離構造体の外側の残りの部分との間の接合部によって形成されるダイオードを表す。

【0032】

ドレイン電位が上昇される通常動作の間、分離構造体の電位は、該分離構造体を通じて流れる電流の量に応じて決まる抵抗ネットワーク346にわたる電圧降下によってドレイン領域の電位に密接に応じる。他方、ドレイン電位が負電圧に遷移すると、分離構造体の電位は抵抗ネットワーク346にわたる電圧降下によって維持される。ドレイン電位が負になるときに分離構造体の電位を維持することによって、ドレイン電位が負でなければドレインおよび分離構造体が単に短絡された場合に発生し得る基板へのキャリア注入が低減されてもよく、したがって、隣接回路ブロックの破壊が回避される。

【0033】

別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路160）は、ショットキーダイオードと直列の抵抗ネットワークを含んでもよい。たとえば、図4は、代替の実施形態に応じた、ショットキーダイオード410と直列の抵抗ネットワーク446を含む抵抗回路を有する図2のNLDMOSFET200の簡略化された回路図400である。図3の実施形態と同様に、端子460（たとえば、端子260）はP型ボディ領域に結合され（たとえば、ボディコンタクト領域240を介してボディ領域234に結合され）、端子462（たとえば、端子262）はN型ソース領域（たとえば、ソース領域238）に結合され、端子464（たとえば、端子264）はゲート電極（たとえば、ゲート電極242）に結合され、端子466（たとえば、端子266）はドレイン領域（たとえば、ドレイン領域236）に結合される。

【0034】

ショットキーダイオード410および抵抗ネットワーク446は、ドレイン領域（たとえば、ドレイン領域236）とデバイスの分離構造体との間に電氣的に直列に結合される。ショットキーダイオード410は、たとえば、分離構造体と（たとえば、シンカ領域222と）接しているショットキーコンタクト（図示なし）によって形成されてもよい。より詳細には、一実施形態に応じて、ショットキーダイオードは、ショットキーコンタクト（たとえば、基板上面においてシリサイド形成される）とシンカ領域222の上面との間の金属-半導体接合から形成されてもよい。代替の実施形態では、ショットキーコンタク

10

20

30

40

50

トは、側壁または基板上面 2 1 2 と同一の平面上に存在しない他の表面において形成されてもよい。

#### 【0035】

動作中、ドレイン電位が負電圧に遷移するとき、分離構造体の電位はショットキーダイオード 4 1 0 の逆方向降伏電圧と直列の抵抗ネットワーク 4 4 6 にわたる電圧降下によって維持される。たとえば、再び図 1 を参照すると、通常の動作の文脈においてハイサイドがオフになっている間、NLDMOSFET のドレインにおける電圧（たとえば、図 1 の HS ピン 1 4 1 における電圧）は約 - 0 . 3 ボルト ~ - 6 . 0 ボルト（または他の通常動作値）の間で負電圧において変動してもよい。さまざまな実施形態に応じて、抵抗回路（たとえば、図 1 の抵抗回路 1 6 0 ~ 1 6 3 ）は、用途に応じた通常負動作電圧の最低値よりも低い、より高い、または等しい降伏電圧を有するダイオードを含んでもよく、それによって、当該ダイオードは過剰な負電圧がドレインにおいて発生するときのみ降伏が起こる（たとえば、ショットキーダイオード 4 1 0 の逆方向降伏電圧は約 - 0 . 3 ボルト ~ 約 - 1 4 . 0 ボルトであってもよいが、より小さいまたは大きい逆方向降伏電圧が達成されてもよい）。ショットキーダイオード 4 1 0 と抵抗ネットワーク 4 4 6 との組み合わせは、ショットキーダイオード 4 1 0 の構築においてより高い柔軟性をもたらしてもよい。加えて、NLDMOSFET の完全性の維持において全体的に最適な結果を達成するために抵抗ネットワーク 4 4 6 の値を選択する際に、基板注入を低減しながら静電気放電（ESD）のロバスト性が達成されてもよい。より具体的には、たとえば、ショットキーダイオード 4 1 0 の降伏が起きる状況において（たとえば、ESD ストレス中に）、ショットキーダイオード 4 1 0 を通じて流れる電流は、抵抗ネットワーク 4 4 6 によって該抵抗ネットワーク 4 4 6 の容量の範囲に制限され、したがって、ESD 事象がショットキーダイオード 4 1 0 に損傷を与え得る可能性が低減される。

#### 【0036】

また別の実施形態に応じて、抵抗回路（たとえば、図 1 の抵抗回路 1 6 0 ）は、ショットキーダイオードと並列の抵抗ネットワークを含んでもよい。たとえば、図 5 は、代替の実施形態に応じた、ショットキーダイオード 5 1 0 と並列の抵抗ネットワーク 5 4 6 を含む抵抗回路を有する図 2 の NLDMOSFET 2 0 0 の簡略化された回路図 5 0 0 である。図 2 の実施形態と同様に、端子 5 6 0 （たとえば、端子 2 6 0 ）は P 型ボディ領域に結合され（たとえば、ボディコンタクト領域 2 4 0 を介してボディ領域 2 3 4 に結合され）、端子 5 6 2 （たとえば、端子 2 6 2 ）は N 型ソース領域（たとえば、ソース領域 2 3 8 ）に結合され、端子 5 6 4 （たとえば、端子 2 6 4 ）はゲート電極（たとえば、ゲート電極 2 4 2 ）に結合され、端子 5 6 6 （たとえば、端子 2 6 6 ）はドレイン領域（たとえば、ドレイン領域 2 3 6 ）に結合される。

#### 【0037】

ショットキーダイオード 5 1 0 （たとえば、ショットキーコンタクト（図示なし）とシンカ領域 2 2 2 との間の接合部）および抵抗ネットワーク 5 4 6 は、ドレイン領域（たとえば、ドレイン領域 2 3 6 ）とデバイスの分離構造体との間に電氣的に並列に結合される。動作中、ドレイン電位が負電圧に遷移するとき、分離構造体の電位はショットキーダイオード 5 1 0 の逆方向降伏電圧と並列の抵抗ネットワーク 5 4 6 にわたる電圧降下によって維持される。図 4 に関連して説明される抵抗回路のように、ショットキーダイオード 5 1 0 と抵抗ネットワーク 5 4 6 との組み合わせは、ショットキーダイオード 5 1 0 の構築においてより高い柔軟性をもたらしてもよい。加えて、抵抗ネットワーク 5 4 6 は、特定の状況において、分離構造体の電位を NLDMOSFET のドレイン電位により近い電位に維持するように機能してもよい。たとえば、ドレイン電位が低下しているとき（まだ正であるが）、分離構造体の電位は、ショットキーダイオード 5 1 0 の容量のみによって引き下げられ、これは十分である場合もあり、または十分でない場合もある。このような場合、抵抗ネットワーク 5 4 6 は、分離構造体の電位をドレイン電位に向けて放電するのに役立ち得る。ドレイン電位が負に遷移すると所定の少数キャリアの注入が加えられてもよいが、抵抗ネットワーク 5 4 6 はキャリア注入の量を制限し得る。

## 【0038】

図4および図5に関連して説明される実施形態において、抵抗回路（たとえば、図1の抵抗回路160）は、ショットキーダイオードと直列に（図4）または並列に（図5）結合される抵抗ネットワーク（たとえば、抵抗ネットワーク446、546）を含む。別の代替の実施形態では、抵抗回路は、直列結合抵抗ネットワーク構成および並列結合抵抗ネットワーク構成の両方によってもたらされ得る利点を実現するように、ショットキーダイオードと、該ショットキーダイオードと直列に結合される第1の抵抗ネットワークおよび並列に結合される第2の抵抗ネットワークの両方を含んでもよい。

## 【0039】

図4および図5に関連して説明される実施形態において、NLDMOSFETの一実施形態（たとえば、図1のNLDMOSFET112）のドレイン領域および分離構造体を結合する抵抗回路（たとえば、図1の抵抗回路160）は、ショットキーダイオードを含む。別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路160）は、抵抗ネットワークおよびドレイン領域（たとえば、図2のドレイン領域236）と分離構造体との間に接続されるPN接合ダイオード（図示なし）を含む。たとえば、再び図2を参照すると、N型領域224を含む代わりに、NLDMOSFET200は、シンカ領域222において延びるP型領域（図示なし）を含んでもよい。P型領域とシンカ領域222との間のPN接合は、抵抗回路において相互接続され得るPN接合ダイオードを形成する。PN接合ダイオードは、用途に応じた所望の降伏電圧（たとえば、通常の負の動作電圧の最小値よりも大きい、小さいまたは等しい降伏電圧）を提供するように設計されることができ

## 【0040】

また別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路160）は、抵抗ネットワークおよびドレイン領域（たとえば、図2のドレイン領域236）と分離構造体との間に接続される多結晶シリコンダイオード（図示なし）を含んでもよい。たとえば、多結晶シリコンダイオードは、多結晶シリコンダイオードの降伏電圧を定義する中性スペーサ領域によって分離されるP型領域およびN型領域から形成されてもよい。多結晶シリコンダイオードは、基板の上面の分離された領域において（たとえば、STI254において）形成されてもよい。代替的には、多結晶シリコンダイオードは他の材料から形成されてもよく、かつ/または他の場所に位置してもよい。一実施形態では、多結晶シリコンダイオードは、通常の負の動作電圧の最小値よりも低い、高い、または等しい、用途に応じた所望の逆方向降伏電圧を提供するように設計されてもよい（たとえば、約-0.3ボルト~約-14.0ボルトであるが、より小さいまたはより大きい降伏電圧が達成されてもよい）。

## 【0041】

図6は、代替の実施形態に応じた、PN接合ダイオード610（たとえば、P型領域とシンカ領域222との間のPN接合から形成されるPN接合ダイオードまたは多結晶シリコンダイオード）と直列の抵抗ネットワーク646を含む抵抗回路を有する図2のNLDMOSFET200の簡略化された回路図600である。図2の実施形態と同様に、端子660（たとえば、端子260）はP型ボディ領域に結合され（たとえば、ボディコンタクト領域240を介してボディ領域234に結合され）、端子662（たとえば、端子262）はN型ソース領域（たとえば、ソース領域238）に結合され、端子664（たとえば、端子264）はゲート電極（たとえば、ゲート電極242）に結合され、端子666（たとえば、端子266）はドレイン領域（たとえば、ドレイン領域236）に結合される。

## 【0042】

抵抗ネットワーク646およびPN接合ダイオード610は、ドレイン領域（たとえば、ドレイン領域236）とデバイスの分離構造体との間に電氣的に直列に結合される。動

作中、ドレイン電位が負電圧に遷移するとき、分離構造体の電位はPN接合ダイオード610の逆方向降伏電圧と直列の抵抗ネットワーク646にわたる電圧降下によって維持される。図4に関連して既に説明された実施形態のように、PN接合ダイオード610と抵抗ネットワーク646との組み合わせが、特定の有利な効果を提供してもよい。

#### 【0043】

また別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路160）は、PN接合ダイオードと並列の抵抗ネットワークを含んでもよい。たとえば、図7は、代替の実施形態に応じた、PN接合ダイオード710と並列の抵抗ネットワーク746を含む抵抗回路を有する図2のNLDMOSFET200の簡略化された回路図700である。図2の実施形態と同様に、端子760（たとえば、端子260）はP型ボディ領域と結合され（たとえば、ボディコンタクト領域240を介してボディ領域234に結合され）、端子762（たとえば、端子262）はN型ソース領域（たとえば、ソース領域238）に結合され、端子764（たとえば、端子264）はゲート電極（たとえば、ゲート電極242）に結合され、端子766（たとえば、端子266）はドレイン領域（たとえば、ドレイン領域236）に結合される。

#### 【0044】

抵抗ネットワーク746およびPN接合ダイオード710は、ドレイン領域（たとえば、ドレイン領域236）とデバイスの分離構造体との間に電氣的に並列に結合される。動作中、ドレイン電位が負電圧に遷移するとき、分離構造体の電位はPN接合ダイオード710の逆方向降伏電圧と並列の抵抗ネットワーク746にわたる電圧降下によって維持される。図5に関連して既に説明された抵抗回路のように、PN接合ダイオード710と抵抗ネットワーク746との組み合わせが、特定の有利な効果を提供してもよい。

#### 【0045】

図6および図7に関連して説明される実施形態において、抵抗回路（たとえば、図1の抵抗回路160）は、PN接合ダイオード（たとえば、PN接合ダイオード610、710）と、PN接合ダイオードと直列に結合される抵抗ネットワーク（抵抗ネットワーク646）またはPN接合ダイオードと並列に結合される抵抗ネットワーク（抵抗ネットワーク746）のいずれかを含む。別の代替の実施形態では、抵抗回路は、直列結合抵抗ネットワーク構成および並列結合抵抗ネットワーク構成の両方によってもたらされ得る利点を実現するように、PN接合ダイオードと、PN接合ダイオードと直列に結合される第1の抵抗ネットワークおよび並列に結合される第2の抵抗ネットワークの両方とを含んでもよい。

#### 【0046】

図4～図7に関連して説明された実施形態において、NLDMOSFETの一実施形態（たとえば、図1のNLDMOSFET112）のドレイン領域および分離構造体を結合する抵抗回路（たとえば、図1の抵抗回路160）は、ショットキーダイオードまたはPN接合ダイオードのいずれかを含む。他の実施形態に応じて、NLDMOSFETの一実施形態のドレイン領域および分離構造体を結合する抵抗回路は、代わりに、1つまたは複数のショットキーダイオードと1つまたは複数のPN接合ダイオードとの組み合わせを含んでもよい。たとえば、NLDMOSFETの一実施形態は、ドレイン領域と分離構造体との間に並列に接続されるショットキーダイオードと1つまたは複数のPN接合ダイオードとの組み合わせを含んでもよい。より詳細には、抵抗回路は、各々がシンカ領域において延びるとともにシンカ領域を部分的に横断する1つまたは複数のP型領域とともに、ショットキーコンタクトと分離構造体（たとえば、シンカ領域222）との間の金属-半導体接合から形成されるショットキーダイオードを含んでもよい。ショットキーコンタクトは抵抗ネットワークに接続され（すなわち、ショットキーダイオードのアノードが抵抗ネットワークに接続され）、P型領域（複数の場合もあり）とシンカ領域との間のPN接合（複数の場合もあり）が、抵抗回路のPN接合ダイオード（複数の場合もあり）を形成する。一実施形態に応じて、ショットキーダイオードと並べてPNダイオード（複数の場合もあり）を置くことによって、PN接合（複数の場合もあり）がショットキーダイオード

10

20

30

40

50



の下シリコンを使い尽くし、したがって、ショットキーダイオードにおける逆方向バイアスの漏れが低減される。ショットキーダイオードおよびPN接合ダイオード（複数の場合もあり）は、用途に応じた所望の降伏電圧（たとえば、通常の負の動作電圧の最小値よりも大きい、小さいまたは等しい降伏電圧）を提供するように設計されることができる。たとえば、一実施形態では、ショットキーダイオードおよびPN接合ダイオード（複数の場合もあり）は各々、約 - 0.3 ボルト ~ 約 - 14.0 ボルトの範囲の逆方向降伏電圧を提供するように設計されてもよいが、より小さいまたはより大きい降伏電圧が達成されてもよい。

#### 【0047】

上述の実施形態では、NLDMOSFET（たとえば、図1、2のNLDMOSFET 112、200）のドレイン領域および分離構造体は抵抗回路を通じて電氣的に結合される。他の実施形態では、PLDMOSFET（たとえば、図1のPLDMOSFET 116）のソース領域および分離構造体が抵抗回路を通じて電氣的に結合される。たとえば、図8は、一実施形態に応じた、PLDMOSFETのソース領域と分離構造体との間に結合される抵抗回路（たとえば、図1の抵抗回路162）を有するPLDMOSFET 800（たとえば、図1のPLDMOSFET 116）の断面図である。一実施形態に応じて、PLDMOSFET 800のさまざまな領域は、図8に示される断面に垂直な面に配向されるリング状構成を有する。ここでも、本明細書における図面および記載は二重ゲートフィンガ構成に特に当てはまるが、本発明の主題の範囲はこのような構成には限定されない。本明細書における記載に基づいて、当業者であれば示され記載される実施形態を、隣接するゲートフィンガがドレイン（たとえば、ドレイン領域836）を共有し得る、複数（すなわち、> 2）のゲートフィンガを含む構成に適用させるように改変する方法を理解するであろう。

#### 【0048】

PLDMOSFET 800は、基板上面812を有するP型半導体基板810（たとえば、図1に関連して説明されるSOC基板）においておよびその上に形成される。一実施形態に応じて、PLDMOSFET 800は、基板において、PLDMOSFET 800のアクティブ領域830に関連付けられる部分816（すなわち、内部にアクティブデバイスが形成される基板810の領域）を実質的に取り囲む分離構造体を含む。言い換えれば、このアクティブデバイスは分離構造体によって収容されるとみなされてもよい。分離構造体は箱型構造であり、N型埋め込み層（NBL）820（基板上面812の下の所定の深さに位置する）および基板上面812からNBL 820の深さにまで延びるN型シンカ領域822から形成される。シンカ領域822は、該シンカ領域822がNBL 820まで延びることを可能にするための十分なインプラントエネルギーを有する一回のインプラント手順を用いて形成されてもよく、または、シンカ領域822は、異なるインプラントエネルギーを有する複数回のインプラント手順を用いて、したがって、異なる深さに直列に相互接続されるシンカ領域のサブ領域が形成されるように形成されてもよい。

#### 【0049】

PLDMOSFET 800は、アクティブ領域830に形成されるアクティブデバイスをさらに含む。一実施形態に応じて、アクティブデバイスは、P型ドリフト領域832と、N型ボディ領域834と、P型ドレイン領域836と、P型ソース領域838と、ゲート電極842（および対応するゲート絶縁膜、参照番号なし）とを含む。ドリフト領域832は、アクティブ領域830の中央部分に形成され、基板上面812から、NBL 820の深さよりも浅い深さにまで基板810内において延びる。ドレイン領域836はドリフト領域832内に形成され、ドリフト領域832よりも高濃度にドーピングされる。ドレイン領域836は、基板上面812から、ドリフト領域832の深さよりも有意に浅い深さにまで基板810内に延びる。導電性相互接続によってドレイン領域836はドレイン端子866に電氣的に結合される。

#### 【0050】

ボディ領域834はドリフト領域832とシンカ領域822との間に形成され、基板上

10

20

30

40

50

面 8 1 2 から基板 8 1 0 内へ N B L 8 2 0 の深さよりも浅く、ドリフト領域 8 3 2 の深さよりも深い深さにまで延びてもよい（しかしながら、ボディ領域 8 3 4 はドリフト領域 8 3 2 の深さよりも浅いか、または実質的に等しい深さにまで延びてもよい）。一実施形態では、ボディ領域 8 3 4 はドリフト領域 8 3 2 に当接する。加えて、ボディ領域 8 3 4 は、図 8 に示されるように一実施形態ではシンカ領域 8 2 2 と融合される。したがって、分離構造体（またはより具体的にはシンカ領域 8 2 2）は、ボディタイであるとみなされてもよい。代替の実施形態では、ボディ領域 8 3 4 は、ドリフト領域 8 3 2 および／もしくはシンカ領域 8 2 2 から横方向に分離されてもよく（たとえば、図 15 の実施形態に示すように）、またはボディ領域 8 3 4 は、ドリフト領域 8 3 2 および／もしくはシンカ領域 8 2 2 と重なってもよい（ドリフト領域 8 3 2 および／またはシンカ領域 8 2 2 のチャンネルのドーパント特性とは異なるドーパント特性を有する領域が作成される）。ソース領域 8 3 8 はボディ領域 8 3 4 内に形成され、基板上面 8 1 2 から基板 8 1 0 内へボディ領域 8 3 4 の深さよりも有意に浅い深さにまで延びる。ソース領域 8 3 8 はドリフト領域 8 3 2 よりも高濃度にドーピングされる。概してドレイン領域 8 3 6 とソース領域 8 3 8 との間で、基板上面 8 1 2 において、ゲート酸化膜の上にゲート電極 8 4 2 が形成される。導電性相互接続によって、ゲート電極 8 4 2 はゲート端子 8 6 4 に電氣的に結合される。

#### 【0051】

一実施形態に応じて、PLDMOSFET 800 は、図 8 に示すようにさまざまな STI 領域 8 5 0、8 5 2 をさらに含んでもよい。たとえば、基板上面 8 1 2 において、STI 8 5 0 はドリフト領域 8 3 2 においてドレイン領域 8 3 6 に当接し、STI 8 5 2 はソース領域 8 3 8 と分離構造体（またはより具体的にはシンカ領域 8 2 2）との間に位置付けられる。代替の実施形態では、STI 構造体 8 5 0 および／または 8 5 2 のいずれかまたは両方が除外されてもよい。たとえば、STI 8 5 2 が除外されてもよく、ソース領域 8 3 8 とシンカ領域 8 2 2 とがともに短絡されてもよい。加えて、STI 8 5 0 が除外されてもよく、それによって PLDMOSFET 800 が図 8 に示される「電界ドリフトデバイス」ではなく「アクティブドリフトデバイス」となる。STI 8 5 0 を含むことによってゲート・ドレイン電位を高くすることができ、一方でゲート酸化膜が破壊される危険性が低減される。また他の代替の実施形態では、STI 構造体のうちのいくつかまたはすべてが、シリサイド遮断層に置き換えられてもよい。

#### 【0052】

一実施形態に応じて、PLDMOSFET 800 は、ソース領域 8 3 8 とシンカ領域 8 2 2 内に延びる N 型領域 8 2 4 との間に接続される抵抗回路（たとえば、図 1 の抵抗回路 1 6 2）をさらに含み、N 型領域 8 2 4 はシンカ領域 8 2 2 にオーミックコンタクトを提供するようにシンカ領域 8 2 2 よりも高濃度にドーピングされる。たとえば、抵抗回路は、1 つまたは複数の抵抗器 8 4 6 を有する抵抗ネットワークを含んでもよい。1 つのみの抵抗器 8 4 6 が図 8 に示されるが、抵抗ネットワークは複数の抵抗器を含んでもよいことが理解されるであろう。抵抗ネットワークの抵抗器（複数の場合もあり）8 4 6 は多結晶シリコンから形成されてよく、基板の上面の 1 つまたは複数の分離された領域に（たとえば、STI 8 5 2 に）位置してもよい。代替的には、抵抗器 8 4 6 のうちの 1 つまたは複数の他の材料から形成されてもよく、かつ／または他の場所に位置してもよい。一実施形態に応じて、導電性相互接続によって、ソース領域 8 3 8、抵抗ネットワークの第 1 の端子（たとえば、抵抗器 8 4 6 の第 1 の端子）およびソース端子 8 6 2 は電氣的に結合される。別の導電性相互接続によって、抵抗ネットワークの第 2 の端子（たとえば、抵抗器 8 4 6 の第 2 の端子）は分離構造体（たとえば、N 型領域 8 2 4）に電氣的に結合される。一実施形態では、抵抗ネットワークは約 10 ～ 約 500 オームの範囲の抵抗を有するが、より小さいまたはより大きい抵抗が使用されてもよい。

#### 【0053】

上述するように、代替の実施形態に応じて、ボディ領域（たとえば、図 15 のボディ領域 1 5 3 4）はシンカ領域（たとえば、図 15 のシンカ領域 1 5 2 2）から横方向に分離されてもよく、それによって、ボディ領域とシンカ領域との間に P 型間隙が存在する（た

10

20

30

40

50

例えば、図15の実施形態に示すように)。加えて、領域間の分離を保証するようにSTI構造体(たとえば、図15のSTI構造体1554)またはシリサイド遮断層が基板表面に含まれてもよい。P型間隙は、P型基板(たとえば、図15の基板1510の部分1516)における、分離構造体の部分(たとえば、図15の部分1537)(ボディ領域とシンカ領域との間の基板上面へ延在する)からまたは基板上面から延びるとともにボディ領域とシンカ領域との間に位置するP型ウェル領域から形成されてもよい。このような実施形態では、PLDMOSFET(たとえば、図15のPLDMOSFET1500)は、ボディ領域に形成されるN型ボディコンタクト領域(たとえば、図15のボディコンタクト領域1535)をさらに含んでもよい(たとえば、ソース領域とシンカ領域との間に存在し、当該ボディコンタクト領域はSTI構造体またはシリサイド遮断層によってソース領域から分離されてもよい)。ボディコンタクト領域およびソース領域(たとえば、図15のソース領域1538)は導電性相互接続を通じて電氣的に結合(短絡)されてもよく、抵抗回路(たとえば、図14の抵抗回路1462)は分離構造体(たとえば、図15のシンカ領域1522)と短絡されたソースおよびボディ領域との間に電氣的に結合されてもよい。通常動作中、ボディ領域、ソース領域および分離構造体はすべて高い電位にあり、分離構造体およびボディ領域は、いずれが先に起きるにかかわらず、それらの間のP型間隙の横方向空乏層(たとえば、それらの間の降伏が起きる前に完全に使い尽くされてもよい)を通じて、またはP型基板における、ボディ領域とNBL(たとえば、図15のNBL1520)との間の部分の縦方向空乏層を通じて実効的に短絡されることができ

10

20

#### 【0054】

図9は、一実施形態に応じた、図8のPLDMOSFET800の簡略化された回路図900である。図8も参照すると、端子962(たとえば、端子862)はソース領域(たとえば、ソース領域838)に結合され、端子964(たとえば、端子864)はゲート電極(たとえば、ゲート電極842)に結合され、端子966(たとえば、端子866)はドレイン領域(たとえば、ドレイン領域836)に結合される。

#### 【0055】

一実施形態に応じて、かつ上述するように、PLDMOSFETはまた、ソース領域(たとえば、ソース領域838)とデバイスの分離構造体との間で電氣的に結合される抵抗ネットワーク946も含む。図9において(および、図面に示される他の回路表現において)抵抗ネットワーク946を図示するように単一の抵抗器が使用されているが、これは簡便にするためのものに過ぎず、抵抗ネットワークは既に説明されたように複数の抵抗器を含んでもよいことが理解されるであろう。一実施形態では、抵抗ネットワーク946の第1の端子はソース領域に結合され、抵抗ネットワーク946の第2の端子は分離構造体(たとえば、シンカ領域822とNBL820との組み合わせ)に結合される。ノード920において、ダイオード914は、分離構造体と、該分離構造体の外側の基板の残りの部分との間の接合部によって形成されるダイオードを表す。

30

#### 【0056】

ソース電位が上昇される通常動作の間、分離構造体の電位は、ボディ領域を通じて流れる電流の量に応じて決まる抵抗ネットワーク946にわたる電圧降下によってソース領域の電位に密接に応じる。他方、ソース電位が負電圧に遷移すると、分離構造体の電位は抵抗ネットワーク946にわたる電圧降下によって維持される。ソース電位が負になるときに分離構造体の電位を維持することによって、そうでなければソースおよび分離構造体が単に短絡された場合に発生し得る基板へのキャリア注入が低減されてもよく、したがって、隣接回路ブロックの破壊が回避される。

40

#### 【0057】

別の実施形態に応じて、抵抗回路(たとえば、図1の抵抗回路162)は、ショットキーダイオードと直列の抵抗ネットワークを含んでもよい。たとえば、図10は、代替の実施形態に応じた、ショットキーダイオード1010と直列の抵抗ネットワーク1046を含む抵抗回路を有する図8のPLDMOSFET800の簡略化された回路図1000で

50

ある。図 8 の実施形態と同様に、端子 1 0 6 2 (たとえば、端子 8 6 2) はソース領域 (たとえば、ソース領域 8 3 8) に結合され、端子 1 0 6 4 (たとえば、端子 8 6 4) はゲート電極 (たとえば、ゲート電極 8 4 2) に結合され、端子 1 0 6 6 (たとえば、端子 8 6 6) はドレイン領域 (たとえば、ドレイン領域 8 3 6) に結合される。

#### 【0058】

ショットキーダイオード 1 0 1 0 および抵抗ネットワーク 1 0 4 6 は、ソース領域 (たとえば、ソース領域 8 3 8) とデバイスの分離構造体との間に電氣的に直列に結合される。ショットキーダイオード 1 0 1 0 は、たとえば、分離構造体と (たとえば、シンカ領域 8 2 2 と) 接しているショットキーコンタクト (図示なし) によって形成されてもよい。より詳細には、一実施形態に応じて、ショットキーダイオードは、ショットキーコンタクト (たとえば、基板上面においてシリサイド形成される) とシンカ領域 8 2 2 の上面との間の金属 - 半導体接合から形成されてもよい。代替の実施形態では、ショットキーコンタクトは側壁または基板上面 8 1 2 と同一の平面上に存在しない他の表面において形成されてもよい。

#### 【0059】

動作中、ソース電位が負電圧に遷移するとき、分離構造体の電位はショットキーダイオード 1 0 1 0 の逆方向降伏電圧と直列の抵抗ネットワーク 1 0 4 6 にわたる電圧降下によって維持される。ショットキーダイオード 1 0 1 0 と抵抗ネットワーク 1 0 4 6 との組み合わせは、ショットキーダイオード 1 0 1 0 の構築において高い柔軟性をもたらしてもよい。加えて、PLDMOSFET の完全性の維持において全体的に最適な結果を達成するために抵抗ネットワーク 1 0 4 6 の値を選択する際に、基板注入を低減しながらESDのロバスト性が達成されてもよい。より具体的には、たとえば、ショットキーダイオード 1 0 1 0 の降伏が起きる状況において (たとえば、ESDストレス中に)、ショットキーダイオード 1 0 1 0 を通じて流れる電流は、抵抗ネットワーク 1 0 4 6 によって該抵抗ネットワーク 1 0 4 6 の容量の範囲に制限され、したがって、ESD事象がショットキーダイオード 1 0 1 0 に損傷を与え得る可能性が低減される。

#### 【0060】

また別の実施形態に応じて、抵抗回路 (たとえば、図 1 の抵抗回路 1 6 2) は、ショットキーダイオードと並列の抵抗ネットワークを含んでもよい。たとえば、図 1 1 は、代替の実施形態に応じた、ショットキーダイオード 1 1 1 0 と並列の抵抗ネットワーク 1 1 4 6 を含む抵抗回路を有する図 8 の PLDMOSFET 8 0 0 の簡略化された回路図 1 1 0 である。図 8 の実施形態と同様に、端子 1 1 6 2 (たとえば、端子 8 6 2) はソース領域 (たとえば、ソース領域 8 3 8) に結合され、端子 1 1 6 4 (たとえば、端子 8 6 4) はゲート電極 (たとえば、ゲート電極 8 4 2) に結合され、端子 1 1 6 6 (たとえば、端子 8 6 6) はドレイン領域 (たとえば、ドレイン領域 8 3 6) に結合される。

#### 【0061】

ショットキーダイオード 1 1 1 0 (たとえば、ショットキーコンタクト (図示なし) とシンカ領域 8 2 2 との間の接合部) および抵抗ネットワーク 1 1 4 6 は、ソース領域 (たとえば、ソース領域 8 3 8) とデバイスの分離構造体との間に電氣的に並列に結合される。動作中、ソース電位が負電圧に遷移するとき、分離構造体の電位はショットキーダイオード 1 1 1 0 の逆方向降伏電圧と並列の抵抗ネットワーク 1 1 4 6 にわたる電圧降下によって維持される。図 1 0 に関連して説明される抵抗回路のように、ショットキーダイオード 1 1 1 0 と抵抗ネットワーク 1 1 4 6 との組み合わせは、ショットキーダイオード 1 1 1 0 の構築においてより高い柔軟性をもたらしてもよい。加えて、抵抗ネットワーク 1 1 4 6 は、特定の状況において、分離構造体の電位を PLDMOSFET のドレインにより近い電位に維持するように機能してもよい。たとえば、ソース電位が低下しているとき (まだ正であるが)、分離構造体の電位は、ショットキーダイオード 1 1 1 0 の容量のみによって引き下げられ、これは十分である場合もあり、または十分でない場合もある。このような場合、抵抗ネットワーク 1 1 4 6 は、分離構造体の電位をソース電位に向けて放電するのに役立ち得る。ソース電位が負に遷移すると所定の少数キャリアの注入が加えられ

てもよいが、抵抗ネットワーク 1146 はキャリア注入の量を制限し得る。

【0062】

図10および図11に関連して説明される実施形態において、抵抗回路（たとえば、図1の抵抗回路162）は、ショットキーダイオードと直列に（図10）または並列に（図11）結合される抵抗ネットワーク（たとえば、抵抗ネットワーク1046、1146）を含む。別の代替の実施形態では、抵抗回路は、直列結合抵抗ネットワーク構成および並列結合抵抗ネットワーク構成の両方によってもたらされ得る利点を実現するように、ショットキーダイオードと、該ショットキーダイオードと直列に結合される第1の抵抗ネットワークおよび並列に結合される第2の抵抗ネットワークの両方とを含んでもよい。

【0063】

図10および図11に関連して説明される実施形態において、PLDMOSFETの一実施形態（たとえば、図1のPLDMOSFET116）のソース領域および分離構造体を結合する抵抗回路（たとえば、図1の抵抗回路162）は、ショットキーダイオードを含む。別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路162）は、抵抗ネットワークおよびソース領域（たとえば、図8のソース領域838）と分離構造体との間に接続されるPN接合ダイオード（図示なし）を含む。たとえば、再び図8を参照すると、N型領域824を含む代わりに、PLDMOSFET800は、シンカ領域822において延びるP型領域（図示なし）を含んでもよく、P型領域はP型ドリフト領域832よりも高濃度にドーピングされる。P型領域とシンカ領域822との間のPN接合は、抵抗回路において相互接続され得るPN接合ダイオードを形成する。PN接合ダイオードは、用途に応じた所望の降伏電圧（たとえば、通常の負の動作電圧の最小値よりも大きい、小さいまたは等しい降伏電圧）を提供するように設計されることができる。たとえば、一実施形態では、PN接合ダイオードは、約 - 0.3 ボルト ~ 約 - 14.0 ボルトの範囲の逆方向降伏電圧を提供するように設計されてもよいが、より小さいまたはより大きい降伏電圧が達成されてもよい。

【0064】

また別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路162）は、抵抗ネットワークおよびソース領域（たとえば、図8のソース領域838）と分離構造体との間に接続される多結晶シリコンダイオード（図示なし）を含んでもよい。たとえば、多結晶シリコンダイオードは、多結晶シリコンダイオードの降伏電圧を定義する中性スペース領域によって分離されるP型領域およびN型領域から形成されてもよい。多結晶シリコンダイオードは、基板の上面の分離された領域において（たとえば、STI852において）形成されてもよい。代替的には、多結晶シリコンダイオードは他の材料から形成されてもよく、かつ/または他の場所に位置してもよい。一実施形態では、多結晶シリコンダイオードは、通常の負の動作電圧の最小値よりも低い、高いまたは等しい、用途に応じた所望の逆方向降伏電圧を提供するように設計されてもよい（たとえば、約 - 0.3 ボルト ~ 約 - 14.0 ボルトであるが、より小さいまたはより大きい降伏電圧が達成されてもよい）。

【0065】

図12は、代替の実施形態に応じた、PN接合ダイオード1210（たとえば、P型領域とシンカ領域822との間のPN接合から形成されるPN接合ダイオードまたは多結晶シリコンダイオード）と直列の抵抗ネットワーク1246を含む抵抗回路を有する図8のPLDMOSFET800の簡略化された回路図1200である。図8の実施形態と同様に、端子1262（たとえば、端子862）はソース領域（たとえば、ソース領域838）に結合され、端子1264（たとえば、端子864）はゲート電極（たとえば、ゲート電極842）に結合され、端子1266（たとえば、端子866）はドレイン領域（たとえば、ドレイン領域836）に結合される。

【0066】

抵抗ネットワーク1246およびPN接合ダイオード1210は、ソース領域（たとえば、ソース領域838）とデバイスの分離構造体との間に電氣的に直列に結合される。動

10

20

30

40

50

作中、ソース電位が負電圧に遷移するとき、分離構造体の電位はPN接合ダイオード1210の逆方向降伏電圧と直列の抵抗ネットワーク1246にわたる電圧降下によって維持される。図10に関連して既に説明された実施形態のように、PN接合ダイオード1210と抵抗ネットワーク1246との組み合わせが、特定の有利な効果を提供してもよい。

【0067】

また別の実施形態に応じて、抵抗回路（たとえば、図1の抵抗回路162）は、PN接合ダイオードと並列の抵抗ネットワークを含んでもよい。たとえば、図13は、代替の実施形態に応じた、PN接合ダイオード1310と並列の抵抗ネットワーク1346を含む抵抗回路を有する図8のPLDMOSFET800の簡略化された回路図1300である。図8の実施形態と同様に、端子1362（たとえば、端子862）はソース領域（たとえば、ソース領域838）に結合され、端子1364（たとえば、端子864）はゲート電極（たとえば、ゲート電極842）に結合され、端子1366（たとえば、端子866）はドレイン領域（たとえば、ドレイン領域836）に結合される。

10

【0068】

抵抗ネットワーク1346およびPN接合ダイオード1310は、ソース領域（たとえば、ソース領域836）とデバイスの分離構造体との間に電氣的に並列に結合される。動作中、ソース電位が負電圧に遷移するとき、分離構造体の電位はPN接合ダイオード1310の逆方向降伏電圧と並列の抵抗ネットワーク1346にわたる電圧降下によって維持される。図12に関連して既に説明された抵抗回路のように、PN接合ダイオード1310と抵抗ネットワーク1346との組み合わせが、特定の有利な効果を提供してもよい。

20

【0069】

図12および図13に関連して説明された実施形態において、抵抗回路（たとえば、図1の抵抗回路162）は、PN接合ダイオード（たとえば、PN接合ダイオード1210、1310）と、PN接合ダイオードと直列に結合される抵抗ネットワーク（抵抗ネットワーク1246）またはPN接合ダイオードと並列に結合される抵抗ネットワーク（抵抗ネットワーク1346）のいずれかとを含む。別の代替の実施形態では、抵抗回路は、直列結合抵抗ネットワーク構成および並列結合抵抗ネットワーク構成の両方によってもたらされ得る利点を実現するように、PN接合ダイオードと、PN接合ダイオードと直列に結合される第1の抵抗ネットワークおよび並列に結合される第2の抵抗ネットワークの両方とを含んでもよい。

30

【0070】

図10～図13に関連して説明された実施形態において、PLDMOSFETの一実施形態（たとえば、図1のPLDMOSFET116）のソース領域および分離構造体を結合する抵抗回路（たとえば、図1の抵抗回路162）は、ショットキーダイオードまたはPN接合ダイオードのいずれかを含む。他の実施形態によれば、PLDMOSFETの一実施形態のソース領域および分離構造体を結合する抵抗回路は、代わりに、1つまたは複数のショットキーダイオードと1つまたは複数のPN接合ダイオードとの組み合わせを含んでもよい。たとえば、PLDMOSFETの一実施形態は、ソース領域と分離構造体との間に並列に接続されるショットキーダイオードと1つまたは複数のPN接合ダイオードとの組み合わせを含んでもよい。より詳細には、抵抗回路は、各々がシンカ領域において延びるとともにシンカ領域を部分的に横断する1つまたは複数のP型領域とともに、ショットキーコンタクトと分離構造体（たとえば、シンカ領域822）との間の金属-半導体接合から形成されるショットキーダイオードを含んでもよい。ショットキーコンタクトは抵抗ネットワークに接続され（すなわち、ショットキーダイオードのアノードが抵抗ネットワークに接続され）、P型領域（複数の場合もあり）とシンカ領域との間のPN接合（複数の場合もあり）が、抵抗回路のPN接合ダイオード（複数の場合もあり）を形成する。一実施形態に応じて、ショットキーダイオードと並べてPNダイオード（複数の場合もあり）を置くことによって、PN接合（複数の場合もあり）がショットキーダイオードの下のシリコンを使い尽くし、したがって、ショットキーダイオードにおける逆方向バイアスの漏れが低減される。ショットキーダイオードおよびPN接合ダイオード（複数の場合

40

50

もあり)は、用途に応じた所望の降伏電圧(たとえば、通常の負の動作電圧の最小値よりも大きい、小さいまたは等しい降伏電圧)を提供するように設計されることができる。たとえば、一実施形態では、ショットキーダイオードおよびPN接合ダイオード(複数の場合もあり)は各々、約-0.3ボルト~約-14.0ボルトの範囲の逆方向降伏電圧を提供するように設計されてもよいが、より小さいまたはより大きい降伏電圧が達成されてもよい。

#### 【0071】

上述するPLDMOSFETの実施形態において、ボディ領域(たとえば、図8のボディ領域834)と分離構造体は融合し、分離構造体(またはより具体的にはシンカ領域(たとえば、図8のシンカ領域822))は、ボディタイであるとみなされてもよい。このような実施形態において、抵抗回路(たとえば、図1の抵抗回路162)がソース端子に結合されるとき、ソース-ボディ領域接合が順方向バイアスになり得るため、動作中にボディバイアスが生成され得る。図14~図20に関連してより詳細に説明する代替の実施形態において、ボディ領域および分離構造体は、P型材料から形成される領域(たとえば、P型ウェルのアクティブ領域と関連付けられる基板の部分)によって分離されてもよく、ボディ領域に対する電気的アクセスを容易にするために別個のボディ端子が設けられてもよい。このような実施形態において、上述する抵抗回路と同様の抵抗回路が、上述する実施形態のようにソース領域と分離構造体との間に抵抗回路を結合するのではなく、ボディ領域と分離構造体との間に結合されてもよい。ボディ領域と分離構造体とが分離される実施形態において、ボディ領域とソース領域とがともに連結されてもよく(たとえば、それらは通常動作中に同じバイアスを有してもよい)、ソース/ボディ端子に負電位があるとき、分離構造体の電位は抵抗回路によって維持されてもよい。通常動作中、ボディ領域、ソース領域、および分離構造体がすべて高い電位にあるとき、分離構造体およびボディ領域は、いずれが先に起きるにかかわらず、それらの間のP型材料から形成される側方空乏層(たとえば、それらの間の降伏が起きる前に完全に使い尽くされてもよい)を通じて、またはP型基板における、ボディ領域とNBLとの間の部分の縦方向空乏層を通じて実効的に短絡されることができる。

#### 【0072】

たとえば、図14は、別の実施形態に応じた、ドライバ回路1410を含む電子システム1400の簡略化された図である。システム1400の大部分は図1に示すシステム100と同様であり、図1と図14との間の同様の参照符号は類似のシステム要素を表わす。簡略にするために、それらの同様のシステム要素はここでは詳細には説明しないが、上述したそれらの説明が、図14のシステムに等しく適用される。

#### 【0073】

システム1400は、ドライバ回路1410が、(図1のPLDMOSFET116に関してソース領域と分離構造体との間に結合される抵抗回路162ではなく)PLDMOSFET1416のボディ領域と分離構造体との間に結合される抵抗回路1462を含むという点において、システム100と異なる。加えて、ドライバ回路1410は、(図1のPLDMOSFET118に関してソース領域と分離構造体との間に結合される抵抗回路163ではなく)PLDMOSFET1418のボディ領域と分離構造体との間に結合される抵抗回路1463を含む。抵抗回路1462、1463は、上述する動作条件におけるSOC基板への電流注入を低減するかまたは除去するように構成される。

#### 【0074】

さまざまな実施形態において、PLDMOSFET1416、1418のボディ領域および分離構造体が融合されないため、PLDMOSFET1416、1418のボディ領域と分離構造体との間に抵抗回路1462、1463を挿入することが可能である。より具体的には、図14のPLDMOSFET1416、1418において、上述するように、また図15~図20に関連してより詳細に説明するように、ボディ領域および分離構造体がP型材料から形成される領域によって分離される。ボディ領域および分離構造体を分離して、ソース領域とボディ領域とをともに連結(たとえば、短絡)し、ともに連結され

ている分離構造体とソース/ボディ領域との間に抵抗回路（たとえば、抵抗回路1462、1463）を配置することによって、ボディ領域および分離構造体が分離されなければ（たとえば、ボディ領域および分離構造体が融合される上述する実施形態において）動作中に生成され得るボディバイアスが回避される。加えて、上述する実施形態のように、PLDMOSFET1416、1418のボディ領域と分離構造体との間に抵抗回路1462、1463を挿入することによって、システム1400における注入電流を低減するかまたは除去することができる。

#### 【0075】

PLDMOSFET（たとえば、PLDMOSFET1416）、および関連する抵抗回路（たとえば、抵抗回路1462）のさらなる実施形態を下記により詳細に説明する。たとえば、一実施形態に応じて、PLDMOSFET1416のボディ領域と分離構造体とを結合する抵抗回路1462は、抵抗ネットワークを含む。このような実施形態は、下記により詳細に説明する図15などに示されており、図15は、抵抗ネットワークを含む抵抗回路（たとえば、図14の抵抗回路1462）を有するPLDMOSFET1500（たとえば、図1のPLDMOSFET1416）の断面図である。本明細書における図面および記載は二重ゲートフィンガ構成に特に当てはまるが、本発明の主題の範囲はこのような構成に限定されない。本明細書における記載に基づいて、当業者は示され記載される実施形態を、隣接するゲートフィンガが一方ではドレイン（たとえば、ドレイン領域1536）を共有し、他方では（または極端な場合には、ソース領域1538において）ボディコンタクト領域（たとえば、ボディコンタクト領域1535）を共有し得る、複数（すなわち、 $>2$ ）のゲートフィンガを含む構成に適用させるように改変する方法を理解するであろう。このような実施形態では、ボディコンタクト領域は、図面に示すされるよりも、シンカ領域（たとえば、シンカ領域1522）からさらに横方向に分離されてもよい。

#### 【0076】

PLDMOSFET1500は、基板上面1512を有する半導体基板1510（たとえば、図1に関連して説明されるSOC基板）においておよびその上に形成される。一実施形態に応じて、PLDMOSFET1500は、基板において、PLDMOSFET1500のアクティブ領域1530に関連付けられる部分1516（すなわち、内部にアクティブデバイスが形成される基板1510の領域）を実質的に取り囲む分離構造体を含む。言い換えれば、このアクティブデバイスは分離構造体によって収容されるとみなされてもよい。分離構造体は箱型構造であり、NBL1520（基板上面1512の下の所定の深さに位置する）および基板上面1512からNBL1520の深さまで延びるN型シンカ領域1522から形成される。シンカ領域1522は、該シンカ領域1522がNBL1520まで延びることを可能にするための十分なインプラントエネルギーを有する一回のインプラント手順を用いて形成されてもよく、または、シンカ領域1522は、異なるインプラントエネルギーを有する複数回のインプラント手順を用いてし、したがって、異なる深さに直列に相互接続されるシンカ領域のサブ領域が形成されるように形成されてもよい。

#### 【0077】

PLDMOSFET1500は、アクティブ領域1530に形成されるアクティブデバイスをさらに含む。一実施形態に応じて、アクティブデバイスは、P型ドリフト領域1532と、N型ボディ領域1534と、P型ドレイン領域1536と、P型ソース領域1538と、ゲート電極1542（および対応するゲート絶縁膜、参照符号なし）を含む。ドリフト領域1532は、アクティブ領域1530の中央部分に形成され、基板上面1512から、NBL1520の深さよりも浅い深さにまで基板1510内に延びる。ドレイン領域1536はドリフト領域1532内に形成され、ドリフト領域1532よりも高濃度にドーピングされる。ドレイン領域1536は、基板上面1512から、ドリフト領域1532の深さよりも有意に浅い深さにまで基板1510内において延びる。導電性相互接続によって、ドレイン領域1536はドレイン端子1566に電氣的に結合される。



## 【 0 0 7 8 】

ボディ領域 1 5 3 4 はドリフト領域 1 5 3 2 とシンカ領域 1 5 2 2 との間に形成され、基板上面 1 5 1 2 から基板 1 5 1 0 内において N B L 1 5 2 0 の深さよりも浅く、ドリフト領域 1 5 3 2 の深さよりも深い深さにまで延びる（ただし、ボディ領域 1 5 3 4 はドリフト領域 1 5 3 2 の深さと実質的に等しいかまたはそれよりも浅い深さにまで延びてもよい）。ソース領域 1 5 3 8 とシンカ領域 1 5 2 2 との間のボディ領域 1 5 3 4 内に N 型ボディコンタクト領域 1 5 3 5 が形成される。ボディコンタクト領域 1 5 3 5 は、ボディ領域 1 5 3 4 よりも高濃度にドーピングされてもよい。一実施形態では、ボディ領域 1 5 3 4 はドリフト領域 1 5 3 2 に当接する。代替の実施形態では、ボディ領域 1 5 3 4 はドリフト領域 1 5 3 2 から横方向に分離されてもよく、またはボディ領域 1 5 3 4 はドリフト領域 1 5 3 2 と重なってもよい（そのチャネルまたはドリフト領域 1 5 3 2 のドーパントプロファイル（特性）とは異なるドーパントプロファイルを有する領域が作成される）。

10

## 【 0 0 7 9 】

一実施形態に応じて、ボディ領域 1 5 3 4 は本明細書において「P 型間隙」と称する、P 型材料から形成される領域 1 5 3 7 によってシンカ領域 1 5 2 2 から横方向に分離される。一実施形態に応じて、P 型間隙 1 5 3 7 は、分離構造体によって収容される P 型基板材料 1 5 1 6 の部分から形成され、P 型間隙 1 5 3 7 は、ボディ領域 1 5 3 4 とシンカ領域 1 5 2 2 との間で基板上面 1 5 1 2 に向かって延びる。代替の実施形態において、P 型間隙 1 5 3 7 は、ボディ領域 1 5 3 4 とシンカ領域 1 5 2 2 との間に形成される P 型ウェル（たとえば、高電圧 P ウェルまたは低電圧 P ウェル）から形成されてもよい。

20

## 【 0 0 8 0 】

概してドレイン領域 1 5 3 6 とソース領域 1 5 3 8 との間で、基板上面 1 5 1 2 上のゲート酸化膜の上にゲート電極 1 5 4 2 が形成される。導電性相互接続によって、ゲート電極 1 5 4 2 はゲート端子 1 5 6 4 に電気的に結合される。ソース領域 1 5 3 8 がボディ領域 1 5 3 4 内に形成され、基板上面 1 5 1 2 から基板 1 5 1 0 内へボディ領域 1 5 3 4 の深さよりも有意に浅い深さにまで延びる。ソース領域 1 5 3 8 はドリフト領域 1 5 3 2 よりも高濃度にドーピングされてもよい。導電性相互接続によってソース領域 1 5 3 8 はソース端子 1 5 6 2 に電気的に結合される。

## 【 0 0 8 1 】

一実施形態に応じて、P L D M O S F E T 1 5 0 0 は、図 1 5 に示すようにさまざまな S T I 領域 1 5 5 0、1 5 5 2、1 5 5 4 をさらに含んでもよい。たとえば、基板上面 1 5 1 2 において、S T I 1 5 5 0 はドリフト領域 1 5 3 2 においてドレイン領域 1 5 3 6 に当接し、S T I 1 5 5 2 はソース領域 1 5 3 8 とボディコンタクト領域 1 5 3 5 との間に位置付けられ、S T I 1 5 5 4 はボディ領域 1 5 3 4 と分離構造体（またはより具体的には、シンカ領域 1 5 2 2）との間に位置付けられる。代替の実施形態では、S T I 構造 1 5 5 0、1 5 5 2、および/または 1 5 5 4 のいずれかまたは両方が除外されてもよい。また他の代替の実施形態では、S T I 構造のうちのいくつかまたはすべてが、シリサイド遮断層に置き換えられてもよく、該シリサイド遮断層は、シリサイド形成を防止されることがなければその表面においてさまざまな領域とともに短絡することになるシリサイド形成を防止する。

30

40

## 【 0 0 8 2 】

一実施形態に応じて、P L D M O S F E T 1 5 0 0 は、ソース領域 1 5 3 8 とシンカ領域 1 5 2 2 において延びる N 型領域 1 5 2 4 との間に接続される抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2）をさらに含み、N 型領域 1 5 2 4 はシンカ領域 1 5 2 2 にオーミックコンタクトを提供するようにシンカ領域 1 5 2 2 よりも高濃度にドーピングされる。たとえば、抵抗回路は、1 つまたは複数の抵抗器 1 5 4 6 を有する抵抗ネットワークを含んでもよい。1 つのみの抵抗器 1 5 4 6 が図 1 5 に示されるが、抵抗ネットワークは複数の抵抗器を含んでもよいことが理解されるであろう。抵抗ネットワークの抵抗器（複数の場合もあり）1 5 4 6 は多結晶シリコンから形成されてもよく、基板の上面の 1 つまたは複数の分離された領域に（たとえば、S T I 1 5 5 2 または 1 5 5 4 に）位置してもよい。

50

代替的には、抵抗器 1 5 4 6 のうちの 1 つまたは複数は他の材料から形成されてもよく、かつ / または他の場所に位置してもよい。一実施形態に応じて、導電性相互接続によって（ボディコンタクト領域 1 5 3 5 を通じて）ボディ領域 1 5 3 4 および抵抗ネットワークの第 1 の端子（たとえば、抵抗器 1 5 4 6 の第 1 の端子）はボディ端子 1 5 6 8 に電氣的に結合される。他の導電性相互接続によって、抵抗ネットワークの第 2 の端子（たとえば、抵抗器 1 5 4 6 の第 2 の端子）は分離構造体（たとえば、N 型領域 1 5 2 4）に電氣的に結合される。一実施形態では、抵抗ネットワークは約 1 0 ~ 約 2 0 , 0 0 0 オームの範囲の抵抗を有するが、より小さいまたはより大きい抵抗が使用されてもよい。

#### 【 0 0 8 3 】

上述するように、かつ図 1 4 に示すように、ボディ領域 1 5 3 4 およびソース領域 1 5 3 8 は導電性相互接続（図 1 5 に示されず）を通じて電氣的に結合（短絡）されてもよく、抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2）は分離構造体（たとえば、シンカ領域 1 5 2 2）と短絡されたソースおよびボディ領域との間に電氣的に結合されてもよい。言い換えれば、ソース端子 1 5 6 2 とボディ端子 1 5 6 8 とがともに短絡されてもよい。通常動作中、ボディ領域 1 5 3 4、ソース領域 1 5 3 8、および分離構造体はすべて高い電位にあり、分離構造体およびボディ領域 1 5 3 4 は、いずれが先に起きるにかかわらず、それらの間の P 型間隙 1 5 3 7 の横方向空乏層（たとえば、それらの間の降伏が起きる前に完全に使い尽くされてもよい）を通じて、または P 型基板における、ボディ領域 1 5 3 4 と N B L 1 5 2 0 との間の部分の縦方向空乏層を通じて実効的に短絡されることができる。

#### 【 0 0 8 4 】

図 1 6 は、一実施形態に応じた、図 1 5 の P L D M O S F E T 1 5 0 0 の簡略化された回路図 1 6 0 0 である。図 1 5 も参照すると、端子 1 6 6 2（たとえば、端子 1 5 6 2）はソース領域（たとえば、ソース領域 1 5 3 8）に結合され、端子 1 6 6 4（たとえば、端子 1 5 6 4）はゲート電極（たとえば、ゲート電極 1 5 4 2）に結合され、端子 1 6 6 6（たとえば、端子 1 5 6 6）はドレイン領域（たとえば、ドレイン領域 1 5 3 6）に結合され、端子 1 6 6 8（たとえば、端子 1 5 6 8 は（たとえば、ボディコンタクト領域 1 5 3 5 を通じて）ボディ領域に結合される。

#### 【 0 0 8 5 】

一実施形態に応じて、かつ上述するように、P L D M O S F E T はまた、ボディ領域（たとえば、ボディコンタクト領域 1 5 3 5 を通じてボディ領域 1 5 3 4）とデバイスの分離構造体との間で電氣的に結合される抵抗回路（たとえば、抵抗ネットワーク 1 6 4 6 を含む）も含む。より具体的には、抵抗ネットワーク 1 6 4 6 の第 1 の端子はボディ領域に結合され、抵抗ネットワーク 1 6 4 6 の第 2 の端子は分離構造体（たとえば、シンカ領域 1 5 2 2 と N B L 1 5 2 0 との組み合わせ）に結合される。ノード 1 6 2 0 において、ダイオード 1 6 1 4 は、分離構造体と、該分離構造体の外側の基板の残りの部分との間の接合部によって形成されるダイオードを表す。

#### 【 0 0 8 6 】

ボディ電位が基板の電圧レベルと同じであるかまたはそれ以上（たとえば、上昇される）である通常動作の間中、分離構造体の電位は、ボディ領域を通じて流れる電流の量に応じて決まる抵抗ネットワーク 1 6 4 6 にわたる電圧降下によってボディ領域の電位に密接に応じる。他方、ボディ電位が負電圧に遷移すると、分離構造体の電位は抵抗ネットワーク 1 6 4 6 にわたる電圧降下によって維持される。ボディ電位が負になるときに分離構造体の電位を維持することによって、ボディ電位が負でなければボディおよび分離構造体が単に短絡された場合に発生し得る基板へのキャリア注入が低減されるかまたは消滅してもよく、したがって、隣接回路ブロックの破壊が回避される。

#### 【 0 0 8 7 】

別の実施形態に応じて、抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2）は、ショットキーダイオードと直列の抵抗ネットワークを含んでもよい。たとえば、図 1 7 は、代替の実施形態に応じた、ショットキーダイオード 1 7 1 0 と直列の抵抗ネットワーク 1 7 4

6を含む抵抗回路を有する図15のPLDMOSFET1500の簡略化された回路図1700である。図15も参照すると、端子1762(たとえば、端子1562)はソース領域(たとえば、ソース領域1538)に結合され、端子1764(たとえば、端子1564)はゲート電極(たとえば、ゲート電極1542)に結合され、端子1766(たとえば、端子1566)はドレイン領域(たとえば、ドレイン領域1536)に結合され、端子1768(たとえば、端子1568)は(たとえば、ボディコンタクト領域1535を通じて)ボディ領域に結合される。

【0088】

ショットキーダイオード1710および抵抗ネットワーク1746は、ボディ領域(たとえば、ボディコンタクト1535を通じてボディ領域1534)とデバイスの分離構造体との間に電氣的に直列に結合される。ショットキーダイオード1710は、たとえば、分離構造体と(たとえば、シンカ領域1522と)接しているショットキーコンタクト(図示せず)によって形成されてもよい。より詳細には、一実施形態において、ショットキーダイオードは、ショットキーコンタクト(たとえば、基板表面上においてシリサイド形成される)とシンカ領域1522の上面との間の金属-半導体接合から形成されてもよい。代替の実施形態では、ショットキーコンタクトは側壁または基板上面1512と同一の平面上に存在しない他の表面において形成されてもよい。

【0089】

動作中、ボディ電位が負電圧に遷移するとき、分離構造体の電位はショットキーダイオード1710の逆方向降伏電圧と直列の抵抗ネットワーク1746にわたる電圧降下によって維持される。ショットキーダイオード1710と抵抗ネットワーク1746との組み合わせは、ショットキーダイオード1710の構築においてより高い柔軟性をもたらしてもよい。加えて、PLDMOSFETの完全性の維持において全体的に最適な結果を達成するために抵抗ネットワーク1746の値を選択する際に、基板注入を低減しながらESDのロバスト性が達成されてもよい。より具体的には、たとえば、ショットキーダイオード1710の降伏が起きる状況において(たとえば、ESDストレス中に)、ショットキーダイオード1710を通じて流れる電流は、抵抗ネットワーク1746によって該抵抗ネットワークの容量の範囲に制限され、したがって、ESD事象がショットキーダイオード1710に損傷を与え得る可能性が低減される。

【0090】

また別の実施形態に応じて、抵抗回路(たとえば、図14の抵抗回路1462)は、ショットキーダイオードと並列の抵抗ネットワークを含んでもよい。たとえば、図18は、代替の実施形態に応じた、ショットキーダイオード1810と並列の抵抗ネットワーク1846を含む抵抗回路を有する図15のPLDMOSFET1500の簡略化された回路図1800である。図15も参照すると、端子1862(たとえば、端子1562)はソース領域(たとえば、ソース領域1538)に結合され、端子1864(たとえば、端子1564)はゲート電極(たとえば、ゲート電極1542)に結合され、端子1866(たとえば、端子1566)はドレイン領域(たとえば、ドレイン領域1536)に結合され、端子1868(たとえば、端子1568)は(たとえば、ボディコンタクト領域1535を通じて)ボディ領域に結合される。

【0091】

ショットキーダイオード1810(たとえば、ショットキーコンタクト(図示なし)とシンカ領域1522との間の接合部)および抵抗ネットワーク1846は、ボディ領域(たとえば、ボディコンタクト1535を通じてボディ領域1534)とデバイスの分離構造体との間に電氣的に並列に結合される。動作中、ソース電位が負電圧に遷移するとき、分離構造体の電位はショットキーダイオード1810の逆方向降伏電圧と並列の抵抗ネットワーク1846にわたる電圧降下によって維持される。図17に関連して説明されるダイオード回路のように、ショットキーダイオード1810と抵抗ネットワーク1846との組み合わせは、ショットキーダイオード1810の構築においてより高い柔軟性をもたらしてもよい。加えて、抵抗ネットワーク1846は、特定の状況において、分離構造体

10

20

30

40

50

の電位を P L D M O S F E T のボディ電位により近い電位に維持するように機能してもよい。たとえば、ボディ電位が低下しているとき（まだ正であるが）、分離構造体の電位は、ショットキーダイオード 1 8 1 0 の容量のみによって引き下げられ、これは十分である場合もあり、または十分でない場合もある。このような場合、抵抗ネットワーク 1 8 4 6 は、分離構造体の電位をボディ電位に向けて放電するのに役立ち得る。ボディ電位が負に遷移すると所定の少数キャリアの注入が加えられてもよいが、抵抗ネットワーク 1 8 4 6 はキャリア注入の量を制限し得る。

#### 【 0 0 9 2 】

図 1 7 および図 1 8 に関連して説明される実施形態において、抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2 ）は、ショットキーダイオードと直列に（図 1 7 ）または並列に（図 1 8 ）結合される抵抗ネットワーク（たとえば、抵抗ネットワーク 1 7 4 6 、 1 8 4 6 ）を含む。別の代替の実施形態では、抵抗回路は、直列結合抵抗ネットワーク構成および並列結合抵抗ネットワーク構成の両方によってもたらされ得る利点を実現するように、ショットキーダイオードと、該ショットキーダイオードと直列に結合される第 1 の抵抗ネットワークおよび並列に結合される第 2 の抵抗ネットワークの両方とを含んでもよい。

#### 【 0 0 9 3 】

図 1 7 および図 1 8 に関連して説明される実施形態において、P L D M O S F E T の一実施形態（たとえば、図 1 4 の P L D M O S F E T 1 4 1 6 ）のボディ領域および分離構造体を結合する抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2 ）は、ショットキーダイオードを含む。別の実施形態に応じて、抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2 ）は、ボディ領域（たとえば、図 1 5 のボディコンタクト 1 5 3 5 を介してボディ領域 1 5 3 4 ）と分離構造体との間に接続される、抵抗ネットワーク、および P N 接合ダイオード（図示せず）を含む。たとえば、再び図 1 5 を参照すると、N 型領域 1 5 2 4 を含む代わりに、P L D M O S F E T 1 5 0 0 は、シンカ領域 1 5 2 2 において延びる P 型領域（図示なし）を含んでもよく、P 型領域は P 型ドリフト領域 1 5 3 2 よりも高濃度にドーピングされる。P 型領域とシンカ領域 1 5 2 2 との間の P N 接合は、抵抗回路において相互接続され得る P N 接合ダイオードを形成する。P N 接合ダイオードは、用途に応じた所望の降伏電圧（たとえば、通常の負の動作電圧の最小値よりも大きい、小さいまたは等しい降伏電圧）を提供するように設計されることができる。たとえば、一実施形態では、P N 接合ダイオードは、約 - 0 . 3 ボルト ~ 約 - 1 4 . 0 ボルトの範囲の逆方向降伏電圧を提供するように設計されてもよいが、より小さいまたはより大きい降伏電圧が達成されてもよい。

#### 【 0 0 9 4 】

また別の実施形態に応じて、抵抗回路（たとえば、図 1 4 の抵抗回路 1 4 6 2 ）は、ボディ領域（たとえば、図 1 5 のボディコンタクト 1 5 3 5 を通じてボディ領域 1 5 3 4 ）と分離構造体との間に接続される、抵抗ネットワーク、および多結晶シリコンダイオード（図示なし）を含んでもよい。たとえば、多結晶シリコンダイオードは、多結晶シリコンダイオードの降伏電圧を定義する中性スペーサ領域によって分離される P 型領域および N 型領域から形成されてもよい。多結晶シリコンダイオードは、基板の上面の分離された領域において（たとえば、S T I 1 5 5 2 または 1 5 5 4 において）形成されてもよい。代替的には、多結晶シリコンダイオードは他の材料から形成されてもよく、かつ / または他の場所に位置してもよい。一実施形態では、多結晶シリコンダイオードは、通常の負の動作電圧の最小値よりも低い、高い、または等しい、用途に応じた所望の逆方向降伏電圧を提供するように設計されてもよい（たとえば、約 - 0 . 3 ボルト ~ 約 - 1 4 . 0 ボルトの範囲であるが、より小さいまたはより大きい降伏電圧が達成されてもよい）。

#### 【 0 0 9 5 】

図 1 9 は、代替の実施形態に応じた、P N 接合ダイオード 1 9 1 0 （たとえば、P 型領域とシンカ領域 1 5 2 2 との間の P N 接合から形成される P N 接合ダイオード、または多結晶シリコンダイオード）と直列の抵抗ネットワーク 1 9 4 6 を含む抵抗回路を有する図 1 5 の P L D M O S F E T 1 5 0 0 の簡略化された回路図 1 9 0 0 である。図 1 5 も参照

10

20

30

40

50

すると、端子１９６２（たとえば、端子１５６２）はソース領域（たとえば、ソース領域１５３８）に結合され、端子１９６４（たとえば、端子１５６４）はゲート電極（たとえば、ゲート電極１５４２）に結合され、端子１９６６（たとえば、端子１５６６）はドレイン領域（たとえば、ドレイン領域１５３６）に結合され、端子１９６８（たとえば、端子１５６８）は（たとえば、ボディコンタクト領域１５３５を通じて）はボディ領域に結合される。

#### 【００９６】

抵抗ネットワーク１９４６およびＰＮ接合ダイオード１９１０は、ボディ領域（たとえば、ボディコンタクト１５３５を通じてボディ領域１５３４）とデバイスの分離構造体との間に電氣的に直列に結合される。動作中、ボディ電位が負電圧に遷移すると、分離構造体の電位はＰＮ接合ダイオード１９１０の逆方向降伏電圧と直列の抵抗ネットワーク１９４６にわたる電圧降下によって維持される。図１７に関連して既に説明された実施形態のように、ＰＮ接合ダイオード１９１０と抵抗ネットワーク１９４６との組み合わせが、特定の有利な効果を提供してもよい。

10

#### 【００９７】

また別の実施形態に応じて、抵抗回路（たとえば、図１４の抵抗回路１４６２）は、ＰＮ接合ダイオードと並列の抵抗ネットワークを含んでもよい。たとえば、図２０は、代替の実施形態に応じた、ショットキーダイオード２０１０と並列の抵抗ネットワーク２０４６を含む抵抗回路を有する図１５のＰＬＤＭＯＳＦＥＴ１５００の簡略化された回路図２０００である。図１５の実施形態と同様に、端子２０６２（たとえば、端子１５６２）はソース領域（たとえば、ソース領域１５３８）に結合され、端子２０６４（たとえば、端子１５６４）はゲート電極（たとえば、ゲート電極１５４２）に結合され、端子２０６６（たとえば、端子１５６６）はドレイン領域（たとえば、ドレイン領域１５３６）に結合され、端子２０６８（たとえば、端子１５６８）は（たとえば、ボディコンタクト領域１５３５を通じて）ボディ領域に結合される。

20

#### 【００９８】

抵抗ネットワーク２０４６およびＰＮ接合ダイオード２０１０は、ボディ領域（たとえば、ボディコンタクト１５３５を通じてボディ領域１５３４）とデバイスの分離構造体との間に電氣的に並列に結合される。動作中、ボディ電位が負電圧に遷移すると、分離構造体の電位はＰＮ接合ダイオード２０１０の逆方向降伏電圧と並列の抵抗ネットワーク２０４６にわたる電圧降下によって維持される。図１９に関連して説明された抵抗回路のように、ＰＮ接合ダイオード２０１０と抵抗ネットワーク２０４６との組み合わせが、特定の有利な効果を提供してもよい。

30

#### 【００９９】

図１９および図２０に関連して説明される実施形態において、抵抗回路（たとえば、図１４の抵抗回路１４６２）は、ＰＮ接合ダイオード（たとえば、ＰＮ接合ダイオード１９１０、２０１０）と、ＰＮ接合ダイオードと直列に結合される抵抗ネットワーク（抵抗ネットワーク１９４６）またはＰＮ接合ダイオードと並列に結合される抵抗ネットワーク（抵抗ネットワーク２０４６）のいずれかを含む。別の代替の実施形態では、抵抗回路は、直列結合抵抗ネットワーク構成および並列結合抵抗ネットワーク構成の両方によってもたらされ得る利点を実現するように、ＰＮ接合ダイオードと、ＰＮ接合ダイオードと直列に結合される第１の抵抗ネットワークおよび並列に結合される第２の抵抗ネットワークの両方とを含んでもよい。

40

#### 【０１００】

図１７～図２０に関連して説明される実施形態において、ＰＬＤＭＯＳＦＥＴの一実施形態（たとえば、図１４のＰＬＤＭＯＳＦＥＴ１４１６）のボディ領域および分離構造体を結合する抵抗回路（たとえば、図１４の抵抗回路１４６２）は、ショットキーダイオードまたはＰＮ接合ダイオードのいずれかを含む。他の実施形態に応じて、ＰＬＤＭＯＳＦＥＴの一実施形態のボディ領域および分離構造体を結合する抵抗回路は、代わりに、１つまたは複数のショットキーダイオードと１つまたは複数のＰＮ接合ダイオードとの組み合

50

わせを含んでもよい。たとえば、PLDMOSFETの一実施形態は、ボディ領域と分離構造体との間に並列に接続されるショットキーダイオードと1つまたは複数のPN接合ダイオードとの組み合わせを含んでもよい。より詳細には、抵抗回路は、各々がシンカ領域において延びるとともにシンカ領域を部分的に横断する1つまたは複数のP型領域とともに、ショットキーコンタクトと分離構造体（たとえば、シンカ領域1522）との間の金属-半導体接合から形成されるショットキーダイオードを含んでもよい。ショットキーコンタクトは抵抗ネットワークに接続され（すなわち、ショットキーダイオードのアノードが抵抗ネットワークに接続され）、P型領域（複数の場合もあり）とシンカ領域との間のPN接合（複数の場合もあり）が、抵抗回路のPN接合ダイオード（複数の場合もあり）を形成する。一実施形態に応じて、ショットキーダイオードと並べてPNダイオード（複数の場合もあり）を置くことによって、PN接合（複数の場合もあり）がショットキーダイオードの下でシリコンを使い尽くし、したがって、ショットキーダイオードにおける逆方向バイアスの漏れが低減される。ショットキーダイオードおよびPN接合ダイオード（複数の場合もあり）は、用途に応じた所望の降伏電圧（たとえば、通常の負の動作電圧の最小値よりも大きい、小さい、または等しい降伏電圧）を提供するように設計されることができる。たとえば、一実施形態では、ショットキーダイオードおよびPN接合ダイオード（複数の場合もあり）は各々、約-0.3ボルト~約-14.0ボルトの範囲の逆方向降伏電圧を提供するように設計されてもよいが、より小さいまたはより大きい降伏電圧が達成されてもよい。

#### 【0101】

図21は、さまざまな実施形態に応じた、たとえば、図2、図8および図15に示されるデバイスを形成するとともに、これらのデバイスをSOCおよび誘導性負荷（たとえば、図1および図14の誘導性負荷132）を有するシステム（たとえば、図1および図14のシステム100、1400）に組み込むための方法を示す簡略化されたフローチャートである。SOCの製造に際し、標準的な半導体処理技法が採用されてもよく、簡潔にするために、それらの技法は本明細書において詳細に説明されない。

#### 【0102】

方法は、ブロック2102において、第1の導電型（たとえば、P型基板210、810、1510）を有する基板（たとえば、SOC基板）を提供することによって開始する。基板は、たとえば、ベース基板と、当該ベース基板に成長されるエピタキシャル層とを含んでもよい。その後、（たとえば、ドライバ回路に関連付けられる）アクティブデバイスが形成されてもよい（ブロック2104、2106、2108）。たとえば、ブロック2104において、分離構造体が基板に形成されてもよい。既に詳細に説明されたように、分離構造体は、第2の導電型の埋め込み層（たとえば、NBL220、820、1520）と、基板上面から埋め込み層まで延びる第2の導電型のシンカ領域（たとえば、シンカ領域222、822、1522）とを含んでもよい。埋め込み層とシンカ領域との組み合わせから形成される分離構造体は、デバイスのアクティブ領域（たとえば、アクティブ領域230、830、1530）を実質的に取り囲んでもよい。ブロック2106において、アクティブデバイスがアクティブ領域に形成されてもよい。アクティブ領域に形成されるアクティブデバイスは、既に説明されたように、たとえば、とりわけ、ドリフト領域と、ボディ領域と、ゲートと、デバイスのチャンネル領域の対向する両端に隣接する電流搬送領域（たとえば、ドレイン領域およびソース領域）とを含んでもよい。

#### 【0103】

ブロック2108において、抵抗回路（たとえば、図1の抵抗回路162）が、アクティブデバイスと分離構造体（またはより具体的にはシンカ領域222、822、1522などのシンカ領域）との間に形成および相互接続されてもよい。たとえば、NLDMOSFET（たとえば、図2のNLDMOSFET200）を製造する場合、抵抗回路はデバイスのドレイン領域と分離構造体との間に相互接続されてもよい。逆に、PLDMOSFET（たとえば、図8および図15のPLDMOSFET800、1500）を製造する場合、抵抗回路はデバイスのソース領域（図8）またはボディ領域（図15）と分離構造

体との間に形成されてもよい。上記において詳細に説明されるように、抵抗回路の実施形態は、1つまたは複数抵抗ネットワーク、ショットキーダイオードおよび/またはPN接合ダイオードを含んでもよい。

【0104】

ブロック2104、2106および2108と並行して実行されてもよいブロック2110において、「他のデバイス」が基板においておよび基板上に形成されてもよく、これは、ドライバ回路（たとえば、図1のドライバ回路110）に関連付けられる追加のデバイスおよびシステムオンチップ（SOC）に関連付けられる追加のデバイス（たとえば、処理構成要素、メモリアレイおよび他の回路）を形成することを含む。ドライバ回路および他のSOC構成要素はブロック2112において相互接続されてもよく、SOC基板はパッケージされてもよく、したがってSOCの作製が完了する。ブロック2114において、SOCは、パッケージされているか否かにかかわらず、誘導性負荷（たとえば、図1の誘導性負荷132）を含むシステムなどのより大きなシステムに組み込まれてもよく、方法は終了してもよい。

10

【0105】

既に説明されたように、ブロック2104、2106および2108において形成されるデバイスは、さまざまな動作条件においてSOCへの電流注入を低減するように構成される。より詳細には、ドライバ回路の少なくとも1つのアクティブデバイスの電流搬送領域（たとえば、ドレイン領域またはソース領域）と分離構造体との間に抵抗回路が結合される結果として、このような抵抗回路が存在しない他のシステム（たとえば、ソース領域、ボディ領域および分離構造体が単にともに短絡されるシステムにおける）と比較して、注入電流が低減されてもよい。したがって、さまざまな実施形態は、著しく有利な結果をもたらしてもよい。

20

【0106】

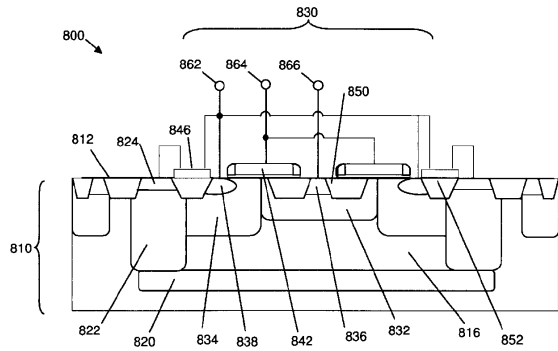
上述する詳細な説明において、少なくとも1つの例示的な実施形態を提示してきたが、特にデバイスタイプ、材料およびドーピングの選択に関して、膨大な数の変形形態が存在することが理解されるべきである。1つまたは複数の例示的な実施形態は例に過ぎず、実施形態の範囲、適用性または構成を限定することは決して意図されていないことが理解されるべきである。そうではなく、上述する詳細な説明は、説明された1つまたは複数の例示的な実施形態を実行するための有意義な指針を当業者に提供するものである。添付の特許請求の範囲に記載される本発明の主題の範囲およびその適法な均等物から逸脱することなく、要素の機能および構成におけるさまざまな変更を行うことができることが理解されるべきである。

30

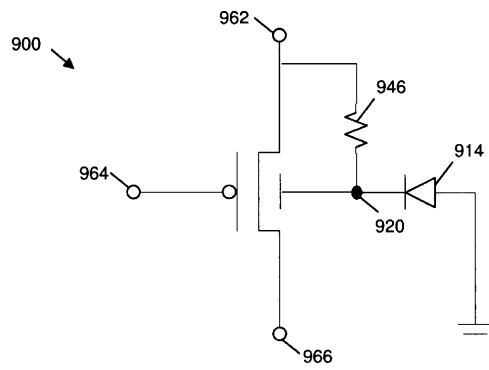




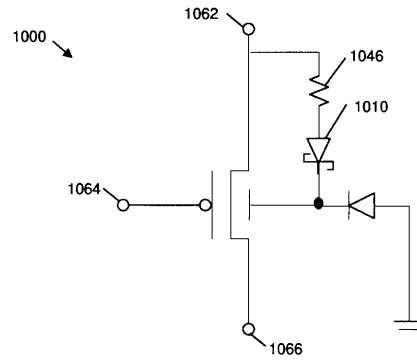
【図 8】



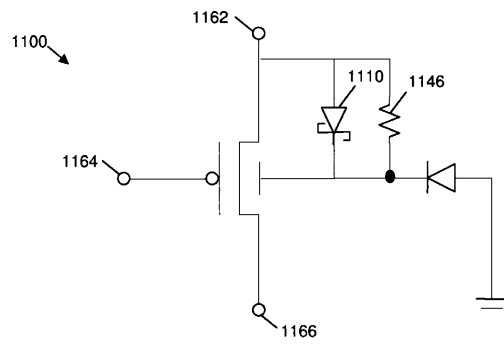
【図 9】



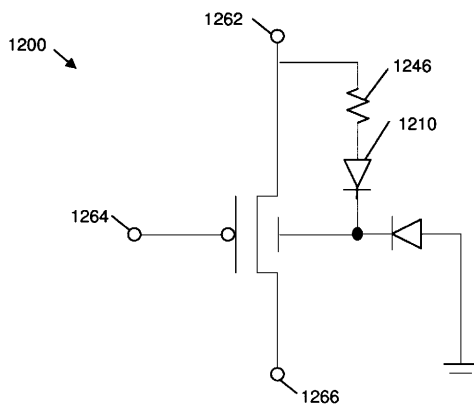
【図 10】



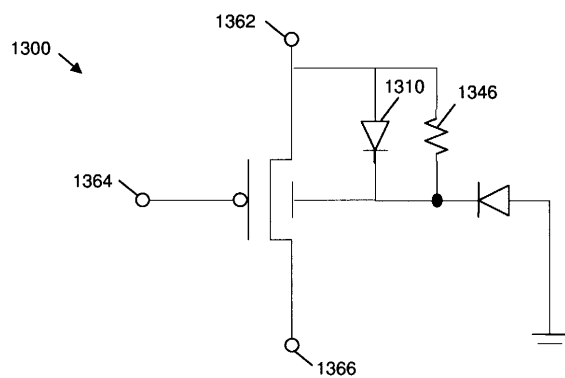
【図 11】



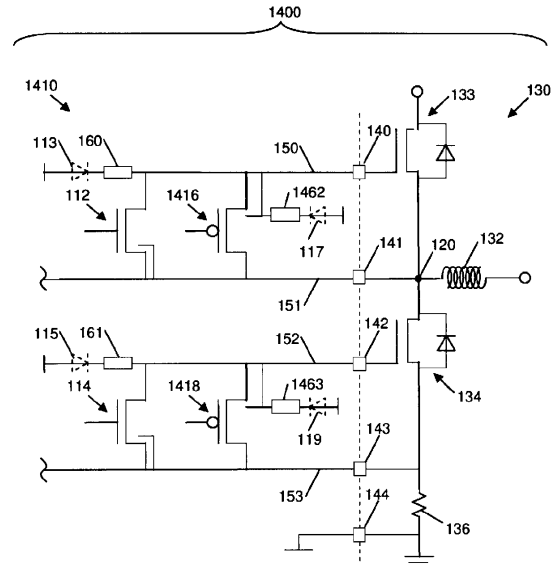
【図 12】



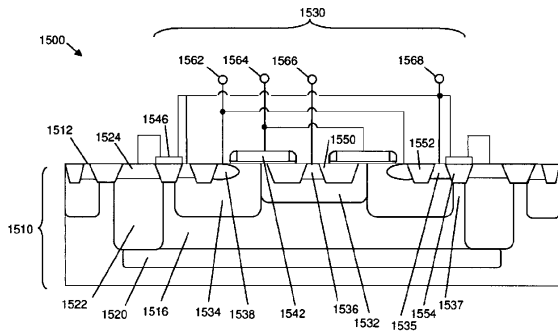
【図 13】



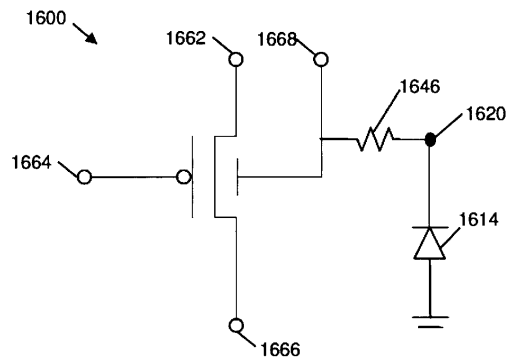
【図 14】



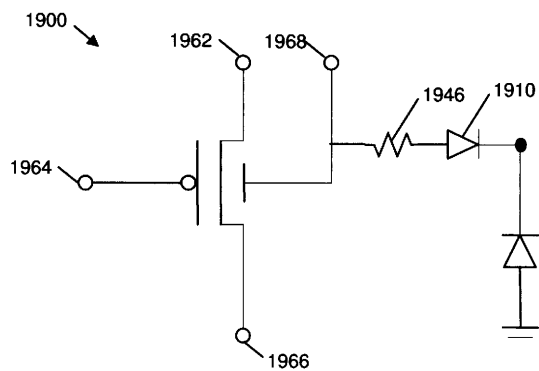
【図 15】



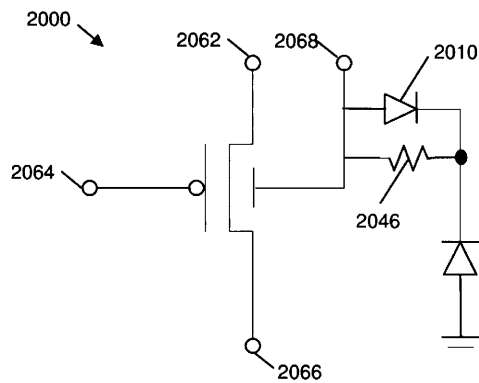
【図 16】



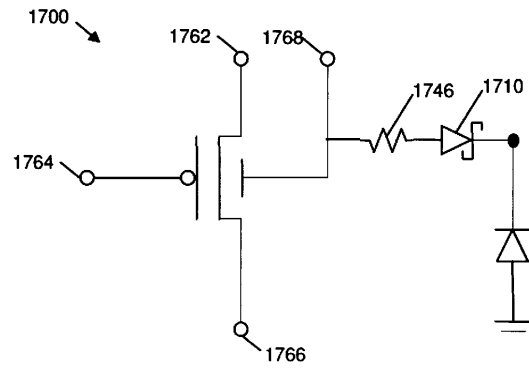
【図 19】



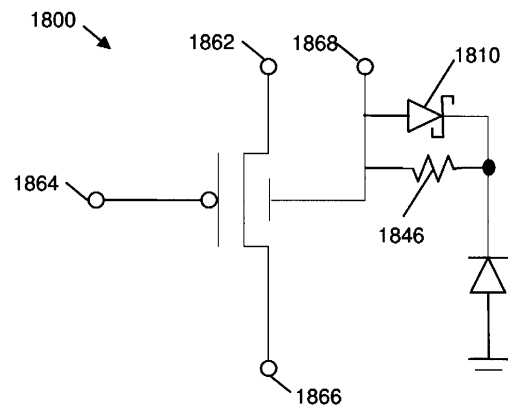
【図 20】



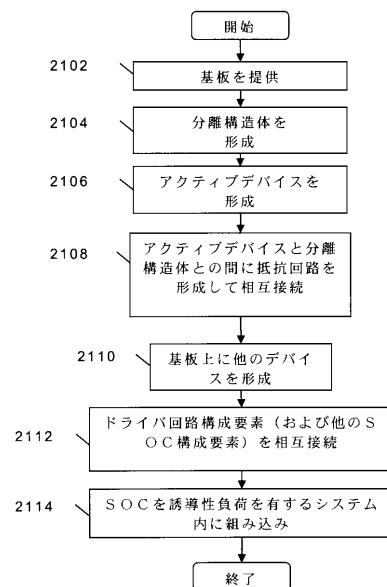
【図 17】



【図 18】



【図 21】



## フロントページの続き

(51)Int.Cl. F I

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/868 (2006.01)

H 0 1 L 29/861 (2006.01)

H 0 1 L 21/761 (2006.01)

(72)発明者 ワイズ チェン

アメリカ合衆国 85045 アリゾナ州 フェニックス ウェスト グレンハイブス ドライブ  
2816

(72)発明者 リチャード ジェイ . デ ソウザ

アメリカ合衆国 85249 アリゾナ州 チャンドラー イー . ザイオン ウェイ 1473

(72)発明者 パトリス エム . パリス

アメリカ合衆国 85048 アリゾナ州 フェニックス エス . フォーティーンズ ウェイ 1  
4613

審査官 市川 武宜

(56)参考文献 特開2003 - 338538 (JP, A)

特開平10 - 065018 (JP, A)

特開昭53 - 039087 (JP, A)

米国特許出願公開第2003 / 0080381 (US, A1)

特開2003 - 224244 (JP, A)

特開2012 - 146978 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

H 0 1 L 21 / 8 2 3 4

H 0 1 L 21 / 3 3 6

H 0 1 L 21 / 7 6 1

H 0 1 L 21 / 8 2 2

H 0 1 L 27 / 0 4

H 0 1 L 27 / 0 6

H 0 1 L 29 / 7 8

H 0 1 L 29 / 8 6 1

H 0 1 L 29 / 8 6 8