



(51) 国際特許分類:

H01L 21/3205 (2006.01) H01L 23/52 (2006.01)
H01L 21/76 (2006.01)田技研工業株式会社 (HONDA MOTOR CO., LTD.)
[JP/JP]; 〒1078556 東京都港区南青山二丁目1番1号
Tokyo (JP).

(21) 国際出願番号:

PCT/JP2006/316734

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 守屋 聡
(MORIYA, Satoshi) [JP/JP]; 〒1988512 東京都青梅市
新町六丁目16番地の3 株式会社日立製作所 マイ
クロデバイス事業部内 Tokyo (JP). 齋藤 敏男 (SAITO,
Toshio) [JP/JP]; 〒1988512 東京都青梅市新町六丁
目16番地の3 株式会社日立製作所 マイクロデバ
イス事業部内 Tokyo (JP). 横山 悟一 (YOKOYAMA,
Goichi) [JP/JP]; 〒1988512 東京都青梅市新町六丁
目16番地の3 株式会社日立製作所 マイクロデ
バイス事業部内 Tokyo (JP). 藤原 剛 (FUJIWARA,
Tsuyoshi) [JP/JP]; 〒1988512 東京都青梅市新町六丁
目16番地の3 株式会社日立製作所 マイクロデバ
イス事業部内 Tokyo (JP). 佐藤 英紀 (SATO, Hidenori)

(22) 国際出願日:

2006年8月25日 (25.08.2006)

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

(30) 優先権データ:

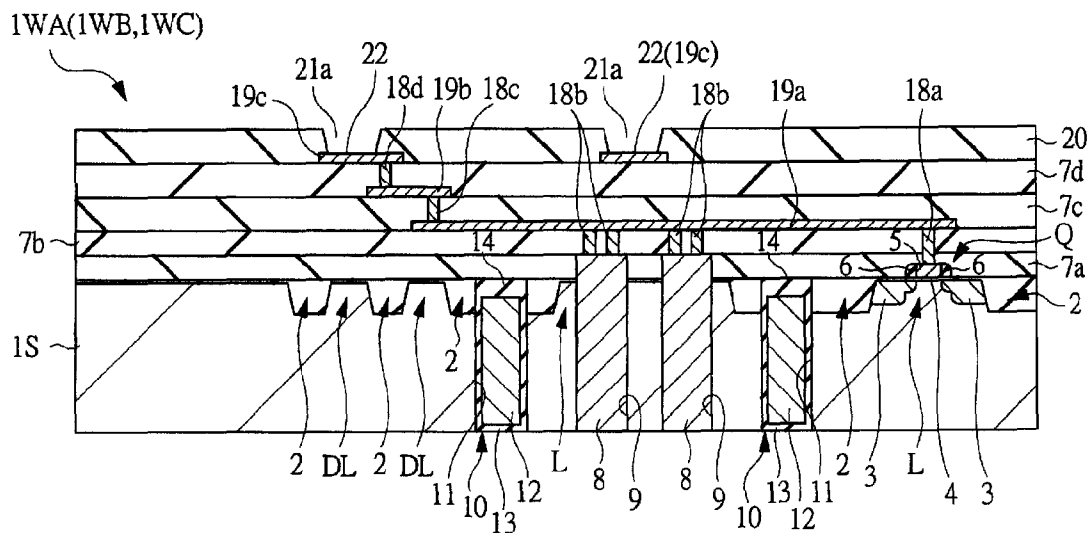
特願2005-245552 2005年8月26日 (26.08.2005) JP

(71) 出願人 (米国を除く全ての指定国について): 株式会
社日立製作所 (HITACHI, LTD.) [JP/JP]; 〒1008280 東
京都千代田区丸の内一丁目6番6号 Tokyo (JP). 本

/ 続葉有 /

(54) Title: SEMICONDUCTOR DEVICE MANUFACTURING METHOD AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法および半導体装置



(57) Abstract: A desired integrated circuit is obtained by bonding a plurality of semiconductor substrates and electrically connecting integrated circuits formed respectively on semiconductor chips of the semiconductor substrates. A penetrating electrode penetrating between the main plane and the rear plane of each of the semiconductor substrates and a penetrating separation section for separating the penetrating electrode are separately arranged. After forming an insulating trench section for forming the penetrating separation section on the semiconductor substrate, a MIS-FET can be formed, and then, a conductive trench section for forming the penetrating electrode can be formed. Thus, element characteristics of the semiconductor device having a three-dimensional structure can be improved.

(57) 要約: 複数枚の半導体基板を貼り合わせ、各々の半導体基板の半導体チップに形成された集積回路を互いに電気的に接続することで所望の集積回路を得る

/ 続葉有 /



WO 2007/023947 A1



[JP/JP]; 〒1988512 東京都青梅市新町六丁目 1 6 番地の 3 株式会社日立製作所 マイクロデバイス事業部内 Tokyo (JP). 宮川 宣明 (MIYAKAWA, Nobuaki)
[JP/JP]; 〒3510114 埼玉県和光市本町 8 - 1 株式会社ホンダ・リサーチ・インスティテュート・ジャパン内 Saitama (JP).

(74) 代理人: 筒井 大和 (TSUTSUI, Yamato); 〒1020076 東京都千代田区五番町 1 4 番地 国際中正会館 6 階 筒井国際特許事務所 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM,

SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

2 文字コード及び他の略語については、定期発行される各 *PCT* ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

構成を備え、各半導体基板の主裏面間を貫通する貫通電極と、その貫通電極を分離する貫通分離部とを別々に分けて設けた。これにより、半導体基板に、貫通分離部形成用の絶縁トレンチ部を形成した後、MIS・FETを形成し、さらにその後、貫通電極形成用の導通トレンチ部を形成することができる。したがって、3次元構造の半導体装置の素子特性を向上させることができる。

明 細 書

半導体装置の製造方法および半導体装置

技術分野

- [0001] 本発明は、半導体装置の製造方法および半導体装置技術に関し、特に、3次元構造の半導体装置の製造方法および半導体装置技術に適用して有効な技術に関するものである。

背景技術

- [0002] 3次元構造の半導体装置は、半導体活性層を多層に積み重ねた構造に3次元的に半導体素子を集積化することにより、2次元構造の半導体装置が直面する種々の障壁、例えばリソグラフィ技術の限界、配線抵抗の増大や寄生効果による動作速度の飽和傾向、素子寸法の微細化による高電界効果等を回避し、集積度の向上を維持する有力な構造として注目されている。

- [0003] 3次元構造の半導体装置については、例えば特開平11-261000号公報(特許文献1)または特開2002-334967号公報(特許文献2)に記載があり、半導体素子が形成された半導体基板を貼り合わせることで3次元構造の半導体装置を製造する方法が開示されている。また、これらの文献には、所望の半導体基板の主裏面間を貫通する溝内に垂直相互接続体または埋込接続電極と称する貫通電極を形成し、半導体基板の主裏面間を導通可能なようにする構成が開示されている。

特許文献1:特開平11-261000号公報

特許文献2:特開2002-334967号公報

発明の開示

発明が解決しようとする課題

- [0004] 一般に、半導体装置の製造工程では、下層の配線と上層の配線(または配線と半導体基板)とを電氣的に接続する接続孔の電気抵抗を低減する方法として、径の小さな正方形の接続孔を近接して多数配置する方法が採用されている。
- [0005] しかし、複数枚のチップあるいはウエハを積層して貼り合わせた3次元構造の半導体装置の製造工程では、ウエハにアスペクト比が20~30程度の深い導電溝を形成

してその内部に上下のチップ間を接続する導電膜を埋め込まなければならない。

[0006] このような深い導電溝形成プロセスは、既存のLSIプロセスと融合させる場合、その影響を小さくすることが必要である。その影響とは、LSI加工プロセス(平坦性、接続孔(Via)加工性等)とデバイスへの影響(熱負荷、ストレス等)である。そのために、深い導電溝の平面パターン及び断面構造の検討が最重要課題となる。

[0007] そこで、本発明の目的は、3次元構造の半導体装置の素子特性を向上させることのできる技術を提供することにある。

[0008] 本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

課題を解決するための手段

[0009] 本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

[0010] 本発明は、半導体ウエハの第1面に半導体ウエハの厚さ方向に延びる第1分離部と、前記第1面から前記半導体ウエハの厚さ方向に前記第1分離部より深い位置まで延びる第2分離部を有する構造を持ち、前記第1分離部の上面から前記半導体ウエハの厚さ方向に延びる第1溝を形成する工程を有する半導体装置の製造方法において、前記第1溝の内面に熱酸化法により第1絶縁膜を形成する工程と、前記第1溝の内部に前記第1絶縁膜を介して埋込膜を充填する工程と、前記第1溝内の前記埋込膜の上面が前記第1分離部の上面よりも低く窪むように前記埋込膜の上部を除去する工程と、前記埋込膜の上部を除去することで形成された窪みに第2絶縁膜を埋め込む工程とを有するものである。

[0011] また、本発明は、所望の半導体基板の第1面に形成され、集積回路を構成する素子と、

前記所望の半導体基板の第1面から第2面に貫通して設けられ、複数枚の半導体基板の集積回路同士を電氣的に接続する貫通電極と、前記所望の半導体基板の第1面の面内において、前記貫通電極から離間した位置に前記貫通電極を取り囲むように設けられ、前記所望の半導体基板の第1面から第2面に貫通して設けられた貫通分離部とを有するパターンにおいて、前記貫通電極が配置される領域が活性領域と

されているものである。

発明の効果

[0012] 本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

[0013] すなわち、3次元構造の半導体装置の素子特性を向上させることができる。

図面の簡単な説明

[0014] [図1]本発明の一実施の形態である半導体装置の製造工程中における複数枚の半導体ウエハの各々の全体斜視図である。

[図2]図1の複数枚の半導体ウエハの各々の半導体チップの要部断面図である。

[図3]図1の半導体ウエハの半導体チップの形成工程のフロー図である。

[図4]分離部形成工程後の半導体ウエハの主面の要部平面図である。

[図5]図4のX1－X1線の断面図である。

[図6]図5に続く製造工程中の半導体ウエハの図4のX1－X1線に相当する箇所の断面図である。

[図7]図6に続く分離溝形成工程後の半導体ウエハの主面の要部平面図である。

[図8]図7のX1－X1線の断面図である。

[図9]図8に続く熱酸化膜形成工程後の半導体ウエハの図7のX1－X1線に相当する箇所の断面図である。

[図10]図9に続く埋込膜の堆積工程後の半導体ウエハの図7のX1－X1線に相当する箇所の断面図である。

[図11]図10に続く埋込膜のエッチバック工程後の半導体ウエハの図7のX1－X1線に相当する箇所の断面図である。

[図12]図11に続くキャップ絶縁膜堆積工程後の半導体ウエハの図7のX1－X1線に相当する箇所の断面図である。

[図13]図12に続くキャップ絶縁膜形成工程後の半導体ウエハの図7のX1－X1線に相当する箇所の断面図である。

[図14]図13に続くキャップ絶縁膜形成工程後の半導体ウエハの図7のX1－X1線に相当する箇所の断面図である。

[図15]図14に続く絶縁トレンチ部形成工程後の半導体ウエハの要部平面図である。

[図16]図15のX1－X1線の断面図である。

[図17]図16に続くウエル形成工程後の半導体ウエハの図15のX1－X1線に相当する箇所の断面図である。

[図18]図17に続くゲート絶縁膜およびゲート電極形成工程後の半導体ウエハの主面の要部平面図である。

[図19]図18のX1－X1線の断面図である。

[図20]図19に続くソース・ドレイン形成工程後の半導体ウエハの図18のX1－X1線の断面図である。

[図21]図20に続く層間絶縁膜堆積工程後の半導体ウエハの図18のX1－X1線に相当する箇所の断面図である。

[図22]図21に続く導通溝形成工程中の半導体ウエハの図18のX1－X1線に相当する箇所の断面図である。

[図23]図22に続く導通溝形成工程後の半導体ウエハの図18のX1－X1線に相当する箇所の断面図である。

[図24]図23に続く導体膜堆積工程後の半導体ウエハの図18のX1－X1線に相当する箇所の断面図である。

[図25]図24に続く導通トレンチ形成工程後の半導体ウエハの主面の要部平面図である。

[図26]図25のX1－X1線の断面図である。

[図27]図26に続くプラグ形成工程中の半導体ウエハの図25のX1－X1線に相当する箇所の断面図である。

[図28]図27に続くプラグ形成工程中の半導体ウエハの図25のX1－X1線に相当する箇所の断面図である。

[図29]図28に続くプラグ形成工程中の半導体ウエハの図25のX1－X1線に相当する箇所の断面図である。

[図30]図29に続くプラグ形成工程後の半導体ウエハの主面の要部平面図である。

[図31]図30のX1－X1線の断面図である。

[図32]図30の導通トレンチ部の拡大平面図である。

[図33]図32のX2－X2線の要部拡大断面図である。

[図34]図31に続く配線層形成工程中の半導体ウエハの図30のX1－X1線に相当する箇所の断面図である。

[図35]図34に続く配線層形成工程中の半導体ウエハの図30のX1－X1線に相当する箇所の断面図である。

[図36]図35に続く配線層形成工程中の半導体ウエハの図30のX1－X1線に相当する箇所の断面図である。

発明を実施するための最良の形態

[0015] 以下の実施の形態においては便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらはお互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等(個数、数値、量、範囲等を含む)に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でも良い。さらに、以下の実施の形態において、その構成要素(要素ステップ等も含む)は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。また、本実施の形態を説明するための全図において同一機能を有するものは同一の符号を付すようにし、その繰り返しの説明は可能な限り省略するようにしている。以下、本発明の実施の形態を図面に基づいて詳細に説明する。

[0016] 本実施の形態の半導体装置の製造方法を図1および図2によって説明する。図1は本実施の形態の半導体装置の製造工程中における複数枚の半導体ウエハの各々の全体斜視図、図2は図1の複数枚の半導体ウエハのうちの所望の半導体ウエハの

半導体チップの要部断面図を示している。

- [0017] まず、図1に示すように、厚さ方向に沿って互いに反対側に位置する主面(第1面)および裏面(第2面)を有する複数枚の半導体ウエハ(以下、単にウエハという)1WA, 1WB, 1WCを用意する。続いて、各ウエハ1WA, 1WB, 1WCの主面に複数の半導体チップ(以下、単にチップという)1CA, 1CB, 1CCを形成する。各ウエハ1WA, 1WB, 1WCは、例えばシリコン(Si)単結晶を主材料とする平面略円形状の半導体薄板からなる。本実施の形態では、これら複数枚のウエハ1WA, 1WB, 1WCを後述するように貼り合わせることで3次元構造の半導体装置を実現する。ウエハ1WAは最上段のウエハを、ウエハ1WBは中段のウエハを、ウエハ1WCは最下段のウエハをそれぞれ示している。
- [0018] 上記複数のチップ1CA, 1CB, 1CCは、ウエハ1WA, 1WB, 1WCの主面内に左右上下方向に沿って行列状に規則的に並んで配置されている。各ウエハ1WA, 1WB, 1WCの各チップ1CA, 1CB, 1CCには、ウエハプロセスを経ることで、例えば論理回路やメモリ回路等のような集積回路が形成されている。ウエハプロセスは、前工程とも呼ばれ、成膜工程、リソグラフィ工程、エッチング工程および不純物添加工程等を有している。各ウエハ1WA, 1WB, 1WCのチップ1CA, 1CB, 1CCは、その平面の寸法、形状および配置座標が互いに同一になるように形成されている。
- [0019] 各ウエハ1WA, 1WB, 1WCは、図2に示すように、半導体基板(以下、単に基板という)1Sを有している。この基板1Sは、例えばp型のシリコン単結晶からなり、その厚さ方向に沿って互いに反対側に位置する主面(すなわち、ウエハ1WA, 1WB, 1WCの主面であり第1面)および裏面(すなわち、ウエハ1WA, 1WB, 1WCの裏面であり第2面)を有している。
- [0020] 各ウエハ1WA, 1WB, 1WCの各基板1Sの主面には、例えばSTI(Shallow Trench Isolation)またはSGI(Shallow Groove Isolation)と称する溝型の分離部(トレンチアイソレーション部)2が形成されている。この溝型の分離部2は、各基板1Sの主面に掘られた溝内に、例えば酸化シリコン等のような絶縁膜が埋め込まれることで形成されており、この分離部2によって各基板1Sの主面に活性領域Lおよびダミー活性領域DLが規定されている。

- [0021] ウエハ1WA, 1WB, 1WCの各基板1Sの主面において上記分離部2に囲まれた活性領域Lには、上記集積回路を構成する集積回路素子(以下、単に素子という)が形成されている。ここでは、素子として、例えばMIS・FET (Metal Insulator Semiconductor Field Effect Transistor) Qが例示されている。この素子の例としては、MIS・FETの他に、バイポーラトランジスタやダイオード等のような能動素子がある。また、上記素子の他の例としては、抵抗(基板1Sに不純物が添加されることで形成される拡散抵抗や基板1S上に形成された多結晶シリコンのパターンで構成される抵抗)、キャパシタおよびインダクタ等のような受動素子がある。
- [0022] 上記MIS・FETQは、ソースおよびドレイン用の半導体領域3と、ゲート絶縁膜4と、ゲート電極5とを有している。ソースおよびドレイン用の半導体領域3は、基板1Sに所望の不純物(nチャネル型のMIS・FETQであれば、例えばリン(P)またはヒ素(As)、pチャネル型のMIS・FETQであればホウ素(B))が添加されることで形成されている。ゲート絶縁膜4は、例えば酸化シリコンからなり、各基板1Sの主面上に形成されている。ゲート電極5は、例えば低抵抗な多結晶シリコンからなり、ゲート絶縁膜4上に形成されている。ゲート電極5の側面には、例えば酸化シリコンからなるサイドウォール6が形成されている。このMIS・FETQは、各基板1Sの主面上に堆積された層間絶縁膜7aによって覆われている。なお、nチャネル型のMIS・FETとpチャネル型のMIS・FETとを形成することでCMIS (Complimentary MIS) 回路を形成しても良い。
- [0023] また、素子が形成されていない他の活性領域Lには貫通電極8が配置されている。貫通電極8の配置領域に分離部2を配置しない理由は、貫通電極8の配置領域に分離部2を設けると、その領域に大面積の分離部2が形成される結果、分離部2を化学的機械的研磨法 (Chemical Mechanical Polishing: 以下、単にCMPという) で形成する際に、上記大面積の分離部2の平面のほぼ中央が、いわゆるエロージョンにより周囲よりも窪み、基板1Sの主面の平坦性が損なわれてしまうからである。また、貫通電極8の形成領域に分離部2が存在すると貫通孔9の形成時に分離部2の一部もエッチング除去しなければならず孔開け処理が難しいからである。
- [0024] このような貫通電極8は、例えば主導体膜(導体部)と、その側面および底面を覆う

ように形成されたバリア導体膜(導体部)とを有している。主導体膜は、例えばタングステン(W)等のような高融点金属膜からなり、バリア導体膜は、例えば窒化チタン(TiN)等のような高融点金属窒化膜からなる。バリア導体膜は、上記貫通孔9の内壁面を通じて基板1SA, 1SBに直接接触されている。バリア導体膜は、貫通電極8と基板1Sとの接触部における主導体膜の材料と基板1SのSiとの反応や基板1Sのシリコンが主導体膜側に拡散してしまうのを抑制する機能を有している。

[0025] 貫通分離部10を活性領域Lに配置しない理由は、貫通分離部10を活性領域Lに形成すると、貫通分離部10と基板1Sとの材料の違いにより、半導体装置の製造工程中の洗浄処理やエッチング処理により貫通分離部10の上部が基板1Sの主面から突出してしまったり、窪んでしまったりする結果、基板1Sの主面の平坦性が損なわれるからである。

[0026] このような貫通分離部10は、埋込膜12と、その側面および底面を覆うように形成された絶縁膜13と、埋込膜12の上面を覆うように形成されたキャップ絶縁膜14とを有している。

[0027] 埋込膜12は、例えば意図的には不純物が添加されていない多結晶シリコン等のような真性半導体膜からなる。埋込膜12の厚さ(体積)は絶縁膜13よりも厚く(大きく)なっている。貫通孔11内を熱酸化膜のみで埋め尽くそうとすると、貫通分離部10の中央(貫通孔11の内周から中央に向かって成長した熱酸化膜の合わせ目)に「す」が形成される結果、基板1Sの主面の平坦性を損なう場合がある。また、上記熱酸化膜の形成後にCVD酸化膜で貫通孔11を埋め込むようにした場合でも、貫通孔11内に埋め込まれた絶縁膜と基板1Sとの熱膨張係数の差に起因して貫通分離部10部分に応力が加わり、基板1Sに微細な結晶欠陥等が生じる結果、基板1Sに形成された上記素子の電気的特性が劣化する場合がある。そこで、本実施の形態では、熱酸化膜形成後の貫通孔11内に、段差被覆性の良い多結晶シリコン膜をCVD法等により埋め込む。これにより、貫通分離部10の中央に「す」が形成されるのを抑制または防止することができるので、基板1Sの主面の平坦性を確保できる。また、埋込膜12を基板1Sと同じシリコンによって形成することにより、埋込膜12と基板1Sとの熱膨張係数を等しくまたはほぼ等しくすることができるので、貫通分離部10で生じる熱応力を

低減することができる。これにより、貫通分離部10の部分で基板1Sに結晶欠陥等が生じるのを抑制または防止することができるので、基板1Sに形成された上記素子の電気的特性の劣化を抑制または防止することができる。

[0028] 上記絶縁膜13は、例えば酸化シリコン(SiO_2)等からなり熱酸化法等によって形成されている。すなわち、絶縁膜13をCVD酸化膜よりも欠陥が少なく絶縁性の高い熱酸化膜によって形成することにより、貫通分離部10の分離能力を向上させることができる。すなわち、貫通電極8を周囲の基板1S部分から分離する能力を向上させることができる。ただし、絶縁膜13を熱酸化膜とCVD酸化膜との積層膜で形成しても良い。これにより、貫通孔11内における絶縁膜13の被覆性を向上させることができる。

[0029] 上記キャップ絶縁膜14は、上記埋込膜12の上面を覆う部材である。キャップ絶縁膜14の上面は、貫通分離部10の上面を形成しており、上記溝型の分離部2の上面と一致またはほぼ一致している。キャップ絶縁膜14は、例えば酸化シリコンからなり、特に分離部2を構成する絶縁膜と同一またはほぼ同一範囲のエッチングレートを持つ絶縁材料によって形成されている。これにより、基板1Sの主面の平坦性を確保することができる。すなわち、分離部2とキャップ絶縁膜14とのエッチングレートの差が大きいと、半導体装置の製造工程中の洗浄処理やエッチング処理時に分離部2とキャップ絶縁膜14とでエッチング量に差が生じる結果、キャップ絶縁膜14の上面高さが分離部2の上面高さよりも高くまたは低くなり、基板1Sの主面に凹凸が形成されてしまう場合がある。基板1Sの主面上に凹凸があるとその上層に形成される配線が断線したり、所望のパターンの転写時に露光不良が生じたり、配線の電気的特性が変動したりする等、種々の不具合が生じる場合がある。これに対して、本実施の形態のように、分離部2を構成する絶縁膜とキャップ絶縁膜14とのエッチングレートを同一またはほぼ同一範囲とすることにより、半導体装置の製造工程中の洗浄処理やエッチング処理時に分離部2とキャップ絶縁膜14とが同じ量またはほぼ同じ量だけエッチングされるようにすることができるので、分離部2の上面の平坦性を確保できる。すなわち、基板1Sの主面の平坦性を確保することができるので、配線の断線不良、露光不良あるいは配線層の電気的特性の変動等のような種々の不具合を抑制または防止

することができる。

[0030] このように本実施の形態では、貫通電極8と貫通分離部10とを分離したことにより、後述のように貫通電極8と貫通分離部10とを別々に形成することができる。これにより、後述のように貫通電極8と貫通分離部10とを各々に適した工程において形成することができる。また、貫通電極8と貫通分離部10とを分けたことにより、貫通電極8および貫通分離部10に要求される各々の機能がより発揮されるように各々を形成することができる。

[0031] 上記各ウエハ1WA, 1WB, 1WCの各基板1Sの主面上には、配線層が形成されている。ここでは、各ウエハ1WA, 1WB, 1WCに3層配線構成が形成されている場合が例示されているが、これに限定されるものではなく、例えば1層配線構成、2層配線構成、4層配線構成あるいは4層以上の配線構成が形成されていても良い。また、各ウエハ1WA, 1WB, 1WC毎に配線層数が異なるようにしても良い。

[0032] 各ウエハ1WA, 1WB, 1WCの配線層は、層間絶縁膜7a～7dと、プラグ18a～18dと、配線19a～19cと、保護膜20とを有している。層間絶縁膜7a～7dは、例えば酸化シリコンからなり、上記プラグ18a～18dおよび上記配線19a～19cは、例えばタングステン、アルミニウム(Al)または銅(Cu)等のような金属膜からなる。

[0033] 各ウエハ1WA, 1WB, 1WCにおいて層間絶縁膜7b上には、第1層目の配線19aが形成されている。各ウエハ1WA, 1WB, 1WCにおいて第1層目の配線19aはプラグ18aを通じて上記MIS・FETQに電氣的に接続されている(ここでは配線19aがMIS・FETQのゲート電極5に電氣的に接続されている場合が例示されている)。また、最上段および中段のウエハ1WA, 1WBにおいて第1層目の配線19aはプラグ18bを通じて上記貫通電極8に電氣的に接続されている。このプラグ18bは、貫通電極8の上面中央(シーム部、プラグ形成用の導体膜の合わせ目)を避けて配置されている。これは、貫通電極8とプラグ18bとの接続性を向上させるためである。これについては後述する。

[0034] このようなウエハ1WA, 1WB, 1WCの貼り合わせ工程では、例えば次のようにする。まず、ウエハ1WAの裏面の上記貫通電極8の端部にバンプ電極を形成する。続いて、ウエハ1WAと、その下層に張り合わされるウエハ1WBとの位置を合わせ、ウエハ

1WAとウエハ1WBとをウエハ1WAの裏面のバンプ電極を介して接続することによりウエハ1WA, 1WBを貼り合わせる。このような手順を繰り返すことにより、複数枚のウエハ1WA, 1WB, 1WCを積み重ねる。

[0035] 次に、上記各ウエハ1WA, 1WB, 1WCのチップ1CA, 1CB, 1CCの形成方法を図3の工程フローに沿って説明する。なお、ここでは中段のウエハ1WBのチップ1CBの形成方法を例示する。

[0036] まず、ウエハ1WBの主面に上記溝型の分離部(第1分離部)2を形成する(図3の工程101)。図4は溝型の分離部2の形成工程後のウエハ1WBの主面の要部平面図、図5は図4のX1-X1線の断面図を示している。

[0037] ここでは、まず、例えばp型のシリコン(Si)単結晶からなる基板1Sを持つウエハ1WBの主面上に、例えば酸化シリコンからなるパッド絶縁膜35を熱酸化法等によって形成する。続いて、その絶縁膜35上に、例えば窒化シリコン(Si_3N_4 等)からなる絶縁膜をCVD法等によって堆積した後、その上に、フォトリソist膜の塗布、露光および現像等のような一連の処理(以下、フォトリソグラフィという)を施してフォトリソistパターン(以下、単にレジストパターンという)を形成し、さらにそのレジストパターンをエッチングマスクとしてそこから露出する絶縁膜部分を除去することにより上記窒化シリコン等からなる絶縁膜36のパターンを形成する。絶縁膜36のパターンは、分離部2の形成領域が露出され、活性領域Lおよびダミー活性領域DLの形成領域が覆われるように形成されている。

[0038] 次に、上記絶縁膜36をエッチングマスクとして、そこから露出される基板1Sをエッチングすることにより基板1Sの主面に分離溝2aを形成する。分離溝2aは、基板1Sの主面から基板1Sの厚さ方向(基板1Sの主面に直交する方向)の途中の第1位置まで延びるように形成されている。続いて、上記分離溝2aを埋め込むように、ウエハ1WBの主面上に、例えばオゾン(O_3)とTEOS(Tetra Ethyl Ortho Silicate)ガスとの混合ガスを用いたCVD法によって、例えば酸化シリコンからなる絶縁膜を堆積した後、その絶縁膜をCMP法等によって研磨する。この研磨処理では、分離溝2aの外部の余分な絶縁膜を除去し、分離溝2a内のみに絶縁膜2bを埋め込む。これにより、溝型の分離部2を形成するとともに、この分離部2によって規定される活性領域Lおよびダ

ミー活性領域DLを形成する。その後、絶縁膜36をエッチング除去する。

[0039] 活性領域Lは、上記素子や貫通電極8が配置される領域である。ダミー活性領域DLは、素子や貫通電極8を配置するために設けられているわけではなく、分離部2の平面積を低減するために設けられている。すなわち、ダミー活性領域DLは、上記分離部2の形成のための上記CMP処理の際に、平面積が広い分離部2が存在すると、その分離部2(絶縁膜2b)の上面中央が、いわゆるエロージョンにより窪んでしまうので、それを抑制または防止するために設けられている。したがって、ダミー活性領域DLは、分離部2の平面積が広がってしまう箇所に設けられている。これにより、この段階での基板1Sの主面の平坦性を確保できる。特に本実施の形態では、上記のように貫通電極8の周囲に貫通分離部10を設けるが、上記貫通分離部10の配置を考慮すると貫通電極8の周囲の分離部2の平面積が広くなり窪み易い。そこで、本実施の形態では、貫通電極8の周囲(あるいは異なる貫通電極8を配置する活性領域Lの隣接間)や貫通電極8を配置する活性領域Lと素子を配置する活性領域Lとの間に複数のダミー活性領域DLが配置されている。これにより、貫通電極8の周囲で分離部2の上面に窪みが生じるのを抑制または防止できる。なお、個々のダミー活性領域DLの平面パターンは、活性領域Lよりも小さな平面矩形状のパターンとされている。

[0040] 次に、絶縁トレンチ部の形成工程に移行する(図3の工程102)。以下、この絶縁トレンチ部の形成方法を図6～図16により説明する。図6は図5に続く製造工程中のウエハ1WBの図4のX1-X1線に相当する箇所の断面図、図7は図6に続く分離溝形成工程後のウエハ1WBの主面の要部平面図、図8は図7のX1-X1線の断面図を示している。

[0041] まず、図6に示すように、ウエハ1WBの主面上に、例えば窒化シリコンからなる絶縁膜38をCVD法等によって堆積した後、その絶縁膜38上にレジストパターン39aをフォトリソグラフィ技術により形成する。レジストパターン39aは、絶縁トレンチ部(貫通分離部10)の形成領域が露出され、それ以外の領域が覆われるようにパターン形成されている。

[0042] 続いて、図7および図8に示すように、レジストパターン39aをエッチングマスクとして、そこから露出する絶縁膜38、分離部2の絶縁膜2bおよび基板1Sを順にエッチング

除去することにより、基板1Sの主面に分離溝(第1溝)11aを形成する。この分離溝11aは、上記貫通孔11を形成することになる溝であり、基板1Sの主面から基板1Sの厚さ方向の途中の位置であって上記第1位置(分離溝2aの深さ)よりも深い第2位置まで延びるように形成されている。

[0043] なお、レジストパターン39aで絶縁膜38をエッチング除去した後、レジストパターン39aを除去し、残された絶縁膜38をエッチングマスクとして、上記分離溝11aを形成しても良い。

[0044] 次いで、図9は図8に続く熱酸化膜形成工程後のウエハ1WBの図7のX1-X1線に相当する箇所の断面図、図10は図9に続く埋込膜の堆積工程後のウエハ1WBの図7のX1-X1線に相当する箇所の断面図、図11は図10に続く埋込膜のエッチバック工程後のウエハ1WBの図7のX1-X1線に相当する箇所の断面図を示している。

[0045] ここでは、まず、図8で示したレジストパターン39aを除去した後、ウエハ1WBの基板1Sに対して熱酸化処理を施すことにより、図9に示すように、分離溝11aの内面(側面および底面)の基板1Sの露出面に、例えば酸化シリコン(SiO_2 等)からなる絶縁膜(第1絶縁膜)13を熱酸化法によって形成する。このように絶縁膜13をCVD酸化膜よりも欠陥が少なく絶縁性の高い熱酸化膜によって形成することにより、貫通分離部10の絶縁分離能力を向上させることができる。また、この段階ではウエハ1WBの主面に上記素子が形成されていないので、素子を構成する半導体領域中の不純物が上記絶縁膜13形成時の熱処理に起因して拡散してしまうような不具合が生じないので、素子の電気的特性(しきい値電圧等)が変動するというような不具合も生じない。したがって、素子の電気的特性を向上させることができる。

[0046] 続いて、図10に示すように、ウエハ1WBの基板1SBの主面上に、上記分離溝11aが充填されるように埋込膜12をCVD法等によって堆積する。この埋込膜12は、例えば意図的には不純物が添加されていない多結晶シリコン等のような真性半導体からなり、その厚さは絶縁膜13よりも厚く形成されている。分離溝11aを埋込膜12で充填することにより、分離溝11aの中央に「す」が形成されるのを抑制または防止することができ、分離溝11aの上面側に「す」による凹凸が形成されるのを抑制または防止で

きるので、基板1Sの主面の平坦性を確保できる。また、埋込膜12を基板1Sと同じシリコンによって形成することにより、埋込膜12と基板1Sとの熱膨張係数を等しくまたはほぼ等しくすることができるので、分離溝11aで生じる熱応力を低減することができる。このため、分離溝11aの部分で基板1SBに結晶欠陥等が生じるのを抑制または防止することができるので、基板1Sに形成された上記素子の電気的特性の劣化を抑制または防止することができる。

[0047] その後、埋込膜12を異方性のドライエッチング法によってエッチバックすることにより、図11に示すように、分離溝11aの外部の余分な埋込膜12を除去し、分離溝11a内のみに埋込膜12が残されるようにする。この時、分離部2の上面から埋込膜12の上面までの深さD1が、分離部2の厚さD2の半分程度になるようにオーバーエッチング処理を施す。これにより、埋込膜12の上面は分離部2の上面よりも深さD1分だけ窪んでいる。なお、基板1Sの主面は絶縁膜38により保護されているのでダメージを受けることも無い。

[0048] 次いで、図12は図11に続くキャップ絶縁膜堆積工程後のウエハ1WBの図7のX1-X1線に相当する箇所の断面図、図13は図12に続くキャップ絶縁膜形成工程後のウエハ1WBの図7のX1-X1線に相当する箇所の断面図、図14は図13に続くキャップ絶縁膜形成工程後のウエハ1WBの図7のX1-X1線に相当する箇所の断面図、図15は図14に続く絶縁トレンチ部形成工程後のウエハ1WBの要部平面図、図16は図15のX1-X1線の断面図を示している。

[0049] まず、図12に示すように、ウエハ1WBの主面上に、上記埋込膜12の上部の窪みが埋め込まれるように、例えば酸化シリコンからなるキャップ絶縁膜(第2絶縁膜)14をCVD法等により堆積した後、上記キャップ絶縁膜14をCMP法等により研磨することにより、図13に示すように、埋込膜12の上部の窪みの外部の余分なキャップ絶縁膜14を除去し、埋込膜12の上部の窪み内のみにキャップ絶縁膜14が残されるようにする。このようにして埋込膜12の上面をキャップ絶縁膜14により覆う。この段階のキャップ絶縁膜14の上面は絶縁膜38の上面と一致している。

[0050] その後、図14に示すように、キャップ絶縁膜14の上面が分離部2の上面と一致する程度まで、キャップ絶縁膜14の上部をウェットエッチング法によって選択的にエッ

チングした後、絶縁膜38およびその下層の絶縁膜35をウェットエッチング法によって除去することにより、図15および図16に示すように、絶縁トレンチ部(第2分離部)10Aを形成する。絶縁トレンチ部10Aは、上記貫通分離部10を形成する部分であり、平面形状は枠状とされている。この絶縁トレンチ部10Aの内側には、上記貫通電極8が配置される活性領域Lが配置されている。絶縁トレンチ部10Aの構成は、基板1Sの主裏面間を貫通していないことを除いて、貫通分離部10と同じである。絶縁トレンチ部10Aは、分離部2の平面内に配置されている。この段階の絶縁トレンチ部10Aのキャップ絶縁膜14の上面は、分離部2の上面と一致またはほぼ一致している。すなわち、分離部2の面内の平坦性が確保されている。特に、本実施の形態では、キャップ絶縁膜14が、例えば分離部2の絶縁膜2bと同一または同一範囲のエッチングレートを持つ絶縁材料で形成されている。これにより、その後の製造工程中の洗浄処理やエッチング処理に際して、分離部2とキャップ絶縁膜14とのエッチングによる目減り量を同じかまたはほぼ同じにすることができるので、分離部2の上面の平坦性を確保できる。すなわち、基板1Sの主面の平坦性を確保することができるので、配線の断線不良、露光不良あるいは配線層の電気的特性の変動を抑制または防止することができる。なお、図15には図面を見易くするために絶縁トレンチ部10Aにハッチングを付した。また、この段階のウエハ1WBには上記素子は形成されていない。

[0051] 次に、素子形成工程に移行する(図3の工程103~107)。以下、この素子形成工程を図17~図20により説明する。図17は図16に続くウェル形成工程後のウエハ1WBの図15のX1-X1線に相当する箇所の断面図、図18は図17に続くゲート絶縁膜およびゲート電極形成工程後のウエハ1WBの主面の要部平面図、図19は図18のX1-X1線の断面図、図20は図19に続くソース・ドレイン形成工程後のウエハ1WBの図18のX1-X1線の断面図を示している。なお、ここでは素子として、例えばnチャネル型のMIS・FETを形成する場合について説明する。

[0052] まず、図17に示すように、ウエハ1WBの主面上にウェル形成用のレジストパターンをフォトリソグラフィ技術により形成した後、これをマスクとして、上記レジストパターンから露出する基板1Sの素子形成用の活性領域Lに、例えばホウ素(B)等のような不純物をイオン注入法等によって導入することにより、p型のウェルPWLを形成する(図

3の工程103)。

[0053] 続いて、上記レジストパターンをマスクとして、そこから露出する基板1Sの素子形成用の活性領域Lのp型のウエルPWLに所望の不純物をイオン注入法等によって導入する。この工程は、上記nチャネル型のMIS・FETのチャネル形成のための不純物導入工程であり、これによりnチャネル型のMIS・FETのしきい値電圧等の調整が行われる(図3の工程104)。

[0054] その後、ウエルおよびチャネル形成用のレジストパターンを除去した後、ウエハ1WBの基板1Sに対して熱酸化処理を施すことにより、図18および図19に示すように、基板1Sの活性領域Lおよびダミー活性領域DLの主面上に、例えば酸化シリコンからなるゲート絶縁膜4を形成した後(図3の工程105)、ウエハ1WBの主面上に、例えば低抵抗な多結晶シリコン膜をCVD法等によって堆積し、これをフォトリソグラフィ技術およびエッチング技術によりパターニングすることにより、ゲート絶縁膜4上にゲート電極5を形成する(図3の工程106)。

[0055] 次いで、ウエハ1WBの主面上にMIS・FET形成領域が露出されるレジストパターンをフォトリソグラフィ技術により形成し、そのレジストパターンとゲート電極5とをマスクとして、例えばリン(P)またはヒ素(As)等のような不純物を基板1Sのp型のウエルPWLにイオン注入法等によって導入した後、そのレジストパターンを除去する。これにより、図20に示すように、MIS・FETのソース・ドレイン用の n^- 型の半導体領域3aをゲート電極5に対して自己整合的に形成する。

[0056] 続いて、ウエハ1WBの主面上に、例えば酸化シリコンからなる絶縁膜をCVD法等によって堆積し、さらにその絶縁膜を異方性ドライエッチング法等によってエッチバックすることにより、ゲート電極5の側面にサイドウォール6を形成する。

[0057] その後、ウエハ1WBの主面上にMIS・FET形成領域が露出されるレジストパターンをフォトリソグラフィ技術により形成し、そのレジストパターン、ゲート電極5およびサイドウォール6をマスクとして、例えばリンまたはヒ素等のような不純物を基板1Sのp型のウエルPWLにイオン注入法等によって導入した後、そのレジストパターンを除去する。これにより、MIS・FETのソース・ドレイン用の n^+ 型の半導体領域3bをゲート電極5およびサイドウォール6に対して自己整合的に形成する(図3の工程107)。

- [0058] このようにして、基板1Sの主面の活性領域Lに、nチャネル型のMIS・FETQnを形成する。nチャネル型のMIS・FETQnのソースおよびドレイン用の半導体領域3は、 n^- 型の半導体領域3aと、その n^- 型の半導体領域よりも不純物濃度の高い n^+ 型の半導体領域3bとを有する、いわゆるLDD (Lightly Doped Drain) 構成とされている。
- [0059] 次に、導通トレンチ部の形成工程に移行する(図3の工程108)。以下、この導通トレンチ部の形成工程を図21～図26により説明する。図21は図20に続く層間絶縁膜堆積工程後のウエハ1WBの図18のX1-X1線に相当する箇所の断面図、図22は図21に続く導通溝形成工程中のウエハ1WBの図18のX1-X1線に相当する箇所の断面図、図23は図22に続く導通溝形成工程後のウエハ1WBの図18のX1-X1線に相当する箇所の断面図を示している。
- [0060] まず、図21に示すように、ウエハ1WBの主面上全面に、例えば酸化シリコンからなる層間絶縁膜(第3絶縁膜)7aをCVD法等によって堆積する。MIS・FETQn、絶縁トレンチ部10A、分離部2および基板1Sの主面上のゲート絶縁膜4は、層間絶縁膜7aにより覆われている。層間絶縁膜7aの上面は平坦に形成されている。
- [0061] 続いて、図22に示すように、層間絶縁膜7a上にレジストパターン39bをフォトリソグラフィ技術により形成する。レジストパターン39bは、導通トレンチ部(貫通電極8)の形成領域が露出され、それ以外の領域が覆われるようにパターン形成されている。
- [0062] その後、図23に示すように、レジストパターン39bをエッチングマスクとして、そこから露出する層間絶縁膜7a、ゲート絶縁膜4および基板1SBを順にエッチング除去する。これにより、基板1Sの主面に導通溝(第2溝)9aを形成した後、レジストパターン39bを除去する。この導通溝9aは、上記貫通孔9を形成することになる溝であり、基板1Sの主面の層間絶縁膜7aの上面から基板1Sの厚さ方向の途中の位置であって上記第1位置(分離溝2aの深さ)よりも深い第3位置まで延びるように形成されている。
- [0063] 次いで、図24は図23に続く導体膜堆積工程後のウエハ1WBの図18のX1-X1線に相当する箇所の断面図、図25は図24に続く導通トレンチ形成工程後のウエハ1WBの主面の要部平面図、図26は図25のX1-X1線の断面図を示している。
- [0064] まず、図24に示すように、ウエハ1WBの主面上に、例えば窒化チタン等からなるバリア導体膜8aをスパッタリング法等によって堆積した後、例えばタングステン等からな

る主導体膜8bをCVD法等によって堆積し、バリア導体膜8aおよび主導体膜8bにより導通溝9aを埋め込む。バリア導体膜8aは、主導体膜8bの側面および底面を覆うように形成されており、導通溝9aの内面(側面および底面)を通じて基板1Sと直接接している。バリア導体膜8aの厚さは主導体膜8bの厚さよりも薄い。

[0065] 続いて、上記主導体膜8bおよびバリア導体膜8aをCMP法等により研磨することにより、図25および図26に示すように、導通溝9aの外部の余分な主導体膜8bおよびバリア導体膜8aを除去し、導通溝9a内のみに主導体膜8bおよびバリア導体膜8aが残されるようにする。このようにして導通溝9a内に導通トレンチ部(導体部)8Cを形成する。なお、図25には図面を見易くするために絶縁トレンチ部10Aおよび導通トレンチ部8Cにハッチングを付した。

[0066] 導通トレンチ部8Cは、上記貫通電極8を形成する部分である。この導通トレンチ部8Cの構成は、基板1Sの主裏面間を貫通していないことを除いて上記貫通電極8と同じである。ここでは、導通トレンチ部8Cが、図25に示すように、1つの活性領域L内に2つ配置されている。本実施の形態では、上記のように導通トレンチ部8Cがメタルで形成されているので、導通トレンチ部8Cを低抵抗な多結晶シリコンで形成した場合に比べて、導通トレンチ部8C(すなわち、貫通電極8)の電気抵抗を大幅に下げることができる。特に、本実施の形態では、各導通トレンチ部8Cの平面形状が大きな長方形形状(図25の左右方向の長さよりもこれに直交する上下方向の長さの方が長い形状)とされている。これにより、導通トレンチ部8Cの体積を大きく確保できるので、導通トレンチ部8Cの電気抵抗をさらに下げることができる。また、導通トレンチ部8Cの上面は、層間絶縁膜7aの上面と一致している。これにより、層間絶縁膜7aの上面の平坦性が確保されている。

[0067] この導通トレンチ部8Cから離れた位置には、導通トレンチ部8Cを取り囲むように上記した絶縁トレンチ部10Aが配置されている。このように本実施の形態では、導通トレンチ部8Cと絶縁トレンチ部10Aとが分離されているので、導通トレンチ部8Cと絶縁トレンチ部10Aとを別々に形成することができる。導通トレンチ部と絶縁トレンチ部とが一体の場合、導通トレンチ部と絶縁トレンチ部とを同一工程で形成しなければならないので、上記のように素子特性の変動を回避するために絶縁トレンチ部を素子

形成の前に形成する場合、導通トレンチ部も素子形成の前に形成しなければならない。しかし、導通トレンチ部を素子形成の前に形成すると、導通トレンチ部形成用の導体膜(バリア導体膜および主導体膜)が基板1Sに極めて近い層に堆積されることになるので、素子特性の劣化や金属汚染を引き起こす可能性が高い、という問題が生じる。これに対して、本実施の形態では、上記のように導通トレンチ部8Cと絶縁トレンチ部10Aとを別々に形成することができる。ここでは、上記のように素子(MIS・FETQn)および層間絶縁膜7aを形成した後に導通トレンチ部8Cを形成することができる。これにより、素子特性の劣化や金属汚染を引き起こす可能性をより低減することができる。したがって、素子の電気的特性を向上させることができる。

[0068] 次に、配線層の形成工程に移行する(図3の工程109)。以下、この配線層の形成工程を図27～図36により説明する。図27は図26に続くプラグ形成工程中のウエハ1WBの図25のX1-X1線に相当する箇所の断面図、図28は図27に続くプラグ形成工程中のウエハ1WBの図25のX1-X1線に相当する箇所の断面図、図29は図28に続くプラグ形成工程中のウエハ1WBの図25のX1-X1線に相当する箇所の断面図、図30は図29に続くプラグ形成工程後のウエハ1WBの主面の要部平面図、図31は図30のX1-X1線の断面図、図32は図30の導通トレンチ部8Cの拡大平面図、図33は図32のX2-X2線の要部拡大断面図を示している。

[0069] まず、図27に示すように、ウエハ1WBの主面上に、例えば酸化シリコンからなる層間絶縁膜(第4絶縁膜)7bをCVD法等により堆積した後、その層間絶縁膜7b上に、コンタクトホール形成用のレジストパターン39cをフォトリソグラフィ技術により形成する。レジストパターン39cは、導通トレンチ部8Cおよびその周辺のMIS・FETQnにおけるコンタクトホールの形成領域が露出され、それ以外の領域を覆うような平面形状に形成されている。

[0070] 続いて、上記レジストパターン39cをエッチングマスクとして、そこから露出する層間絶縁膜7b、7aを順にエッチングすることにより、図28に示すように、層間絶縁膜7b、7aに、MIS・FETQnのソース、ドレイン用の n^+ 型の半導体領域3bの上面が露出される複数のコンタクトホール(第1接続孔)CH1を形成するとともに、層間絶縁膜7bに、導通トレンチ部8Cの主導体膜8bの上面が露出される複数のコンタクトホール(第2

接続孔)CH2を形成する。その後、上記レジストパターン39cを除去した後、図29に示すように、ウエハ1WBの主面上に、例えばタングステン等のような高融点金属からなる導体膜18をコンタクトホールCH1, CH2を埋め込むようにCVD法等により堆積する。

[0071] 次いで、上記導体膜18をCMP法等により研磨することにより、図30～図33に示すように、コンタクトホールCH1, CH2の外部の余分な導体膜18を除去し、コンタクトホールCH1, CH2内のみに導体膜18が残されるようにする。このようにしてコンタクトホールCH1内にプラグ(接続部)18bを形成し、コンタクトホールCH2内にプラグ(接続部)18bを形成する。このように、MIS・FETQnに接続されるプラグ18aと、導通トレチ部8Cに接続されるプラグ18bとを同時に形成することにより、工程の簡略化が可能となる。なお、図30および図32には図面を見易くするために絶縁トレチ部10A、導通トレチ部8Cおよびプラグ18a, 18bにハッチングを付した。

[0072] ここで、本実施の形態では、プラグ18bが導通トレチ部8Cの主導体膜8bの上面中央を避けるように配置されている。これは、次のような理由からである。すなわち、主導体膜8bの上面中央には、主導体膜8bの堆積の際に導通溝9aの外周から成長してきた主導体膜8bの合わせ目(以下、シーム部という)45が形成されている。このシーム部45は、「す」が形成されていたり、「す」が形成されていないとしても他の部分より膜質が劣り導電性が低かったりする。このため、このシーム部45上にプラグ18bを配置すると、主導体膜8bとプラグ18bとの接触抵抗が大きくなるという問題が生じる。そこで、本実施の形態では、プラグ18bを導通トレチ部8Cの主導体膜8bの上面中央のシーム部45を避けるように配置することにより、プラグ18bと主導体膜8bとの接続性を向上させることができるので、プラグ18bと主導体膜8bとの接触抵抗を低減できる。

[0073] 次いで、図34～図36は図31に続く配線層形成工程中のウエハ1WBの図30のX1-X1線に相当する箇所の断面図を示している。

[0074] まず、図34に示すように、ウエハ1WBの主面の層間絶縁膜7b上に、例えばアルミニウムまたはアルミニウム合金等からなる導体膜19をスパッタリング法等によって堆積した後、その上に、配線形成用のレジストパターン39dをフォトリソグラフィ技術によ

り形成する。続いて、レジストパターン39dをエッチングマスクとして、そこから露出する導体膜19をエッチングすることにより、図35に示すように、第1層目の配線19aを形成する。その後、レジストパターン39dを除去する。ここでは、MIS・FETQ_nのソース、ドレイン用の半導体領域3と、導通トレンチ部8Cとを電氣的に接続する配線19が例示されている。この配線19aは、プラグ18aを通じてMIS・FETQ_nのソース、ドレイン用の一方の半導体領域3と電氣的に接続されているとともに、プラグ18bを通じて導通トレンチ部8Cと電氣的に接続されている。

[0075] 続いて、上記と同様にプラグおよび配線の形成工程を繰り返すことにより、図36に示すように、3層配線構成の配線層を形成する。その後、ウエハ1WBの最上の配線19cを覆うように層間絶縁膜7d上に、例えば酸化シリコンと窒化シリコンとを下層から順にCVD法等によって堆積することによって保護膜20を形成した後、その一部にフォトリソグラフィ技術およびエッチング技術により、下層の第3層配線19cの一部が露出される開口部21bを形成する。

産業上の利用可能性

[0076] 本発明は、3次元構造を有する半導体装置の製造業に適用できる。

請求の範囲

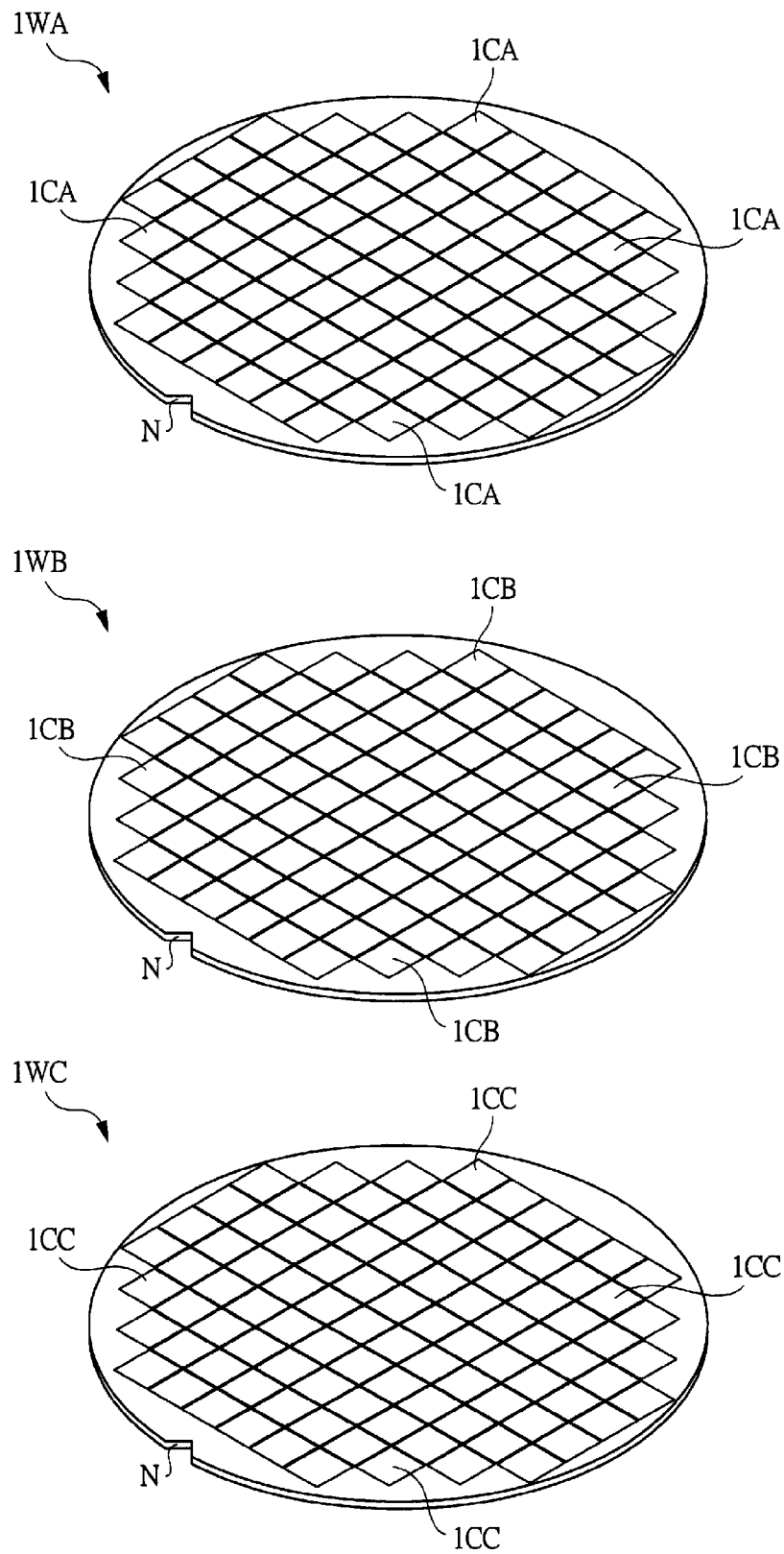
- [1] 半導体ウエハの第1面に半導体ウエハの厚さ方向に延びる第1分離部と、前記第1面から前記半導体ウエハの厚さ方向に前記第1分離部より深い位置まで延びる第2分離部を有する構造を持ち、前記第1分離部の上面から前記半導体ウエハの厚さ方向に延びる第1溝を形成する工程を有する半導体装置の製造方法において、前記第1溝の内面に熱酸化法により第1絶縁膜を形成する工程と、前記第1溝の内部に前記第1絶縁膜を介して埋込膜を充填する工程と、前記第1溝内の前記埋込膜の上面が前記第1分離部の上面よりも低く窪むように前記埋込膜の上部を除去する工程と、前記埋込膜の上部を除去することで形成された窪みに第2絶縁膜を埋め込む工程とを有することを特徴とする半導体装置の製造方法。
- [2] 請求項1記載の半導体装置の製造方法において、前記第2絶縁膜は、前記第1分離部を形成する絶縁膜と同一のエッチングレートを持つ絶縁材料からなることを特徴とする半導体装置の製造方法。
- [3] 所望の半導体基板の第1面に形成され、集積回路を構成する素子と、
前記所望の半導体基板の第1面から第2面に貫通して設けられ、複数枚の半導体基板の集積回路同士を電氣的に接続する貫通電極と、
前記所望の半導体基板の第1面の面内において、前記貫通電極から離間した位置に前記貫通電極を取り囲むように設けられ、前記所望の半導体基板の第1面から第2面に貫通して設けられた貫通分離部とを有するパターンにおいて、前記貫通電極が配置される領域が活性領域であることを特徴とする半導体装置。
- [4] 請求項3記載の半導体装置において、前記貫通電極の周囲にはダミー活性領域が配置されていることを特徴とする半導体装置。
- [5] 請求項3記載の半導体装置において、
前記活性領域を規定する分離部は、前記所望の半導体基板の第1面に掘られた溝内に絶縁膜を埋め込むことで形成されており、
前記貫通分離部は、前記所望の半導体基板の第1面の前記分離部の上面から前記所望の半導体基板の第2面に貫通する孔内の埋込膜と前記埋込膜の外周を覆うように熱酸化法によって形成された第1絶縁膜とを有することを特徴とする半導体装

置。

- [6] 請求項5記載の半導体装置において、前記埋込膜は半導体膜からなることを特徴とする半導体装置。
- [7] 請求項5記載の半導体装置において、前記貫通分離部は、さらに、前記埋込膜の上面上に設けられた第2絶縁膜を有していることを特徴とする半導体装置。
- [8] 請求項7記載の半導体装置において、前記第2絶縁膜は、前記分離部を形成する絶縁膜と同一のエッチングレートを持つ絶縁材料からなることを特徴とする半導体装置。
- [9] 請求項3記載の半導体装置において、前記所望の半導体基板の第1面上には第3絶縁膜が堆積されており、前記第3絶縁膜上には配線層が形成されており、前記配線層は前記貫通電極と電氣的に接続されており、前記配線層と前記貫通電極とを接続する接続部は、前記貫通電極を構成する導体部の上面内において前記導体部を形成する膜の合わせ目を避けて配置されていることを特徴とする半導体装置。

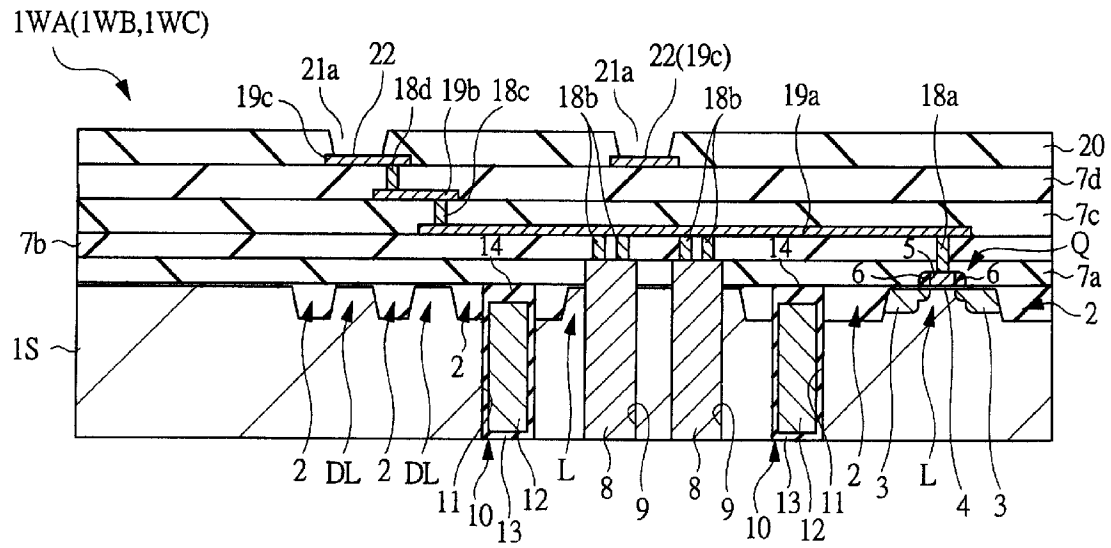
[図1]

図 1



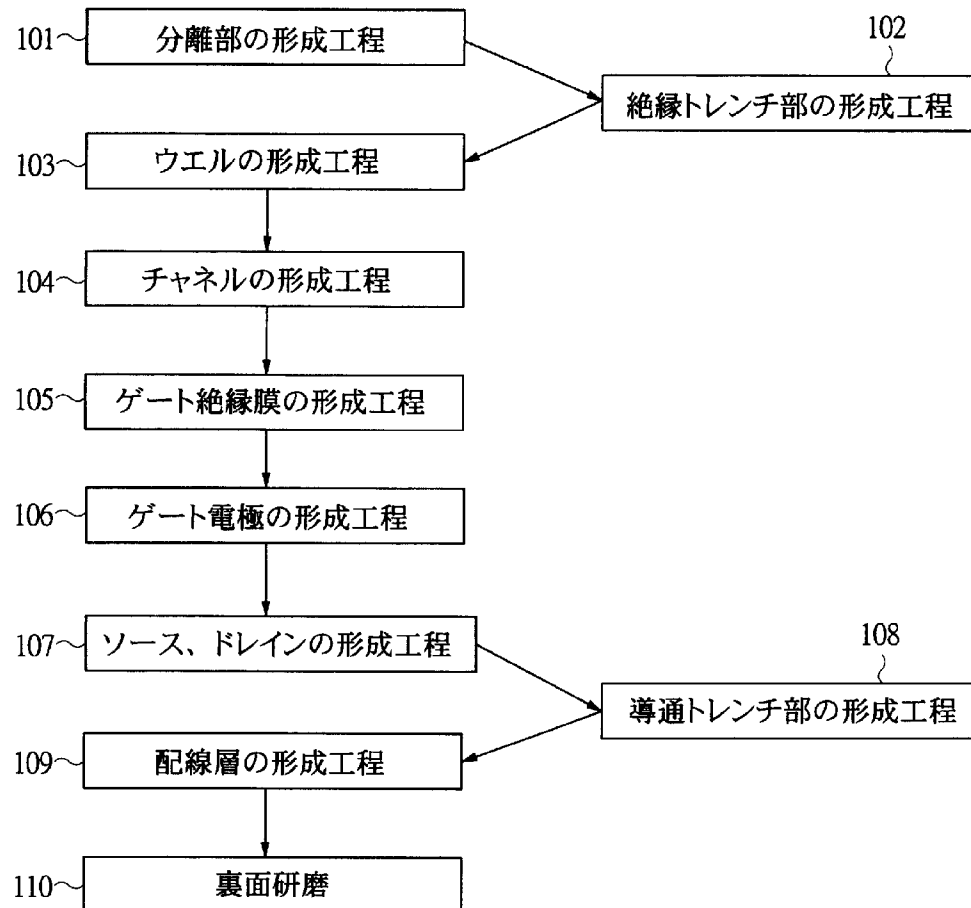
[図2]

2

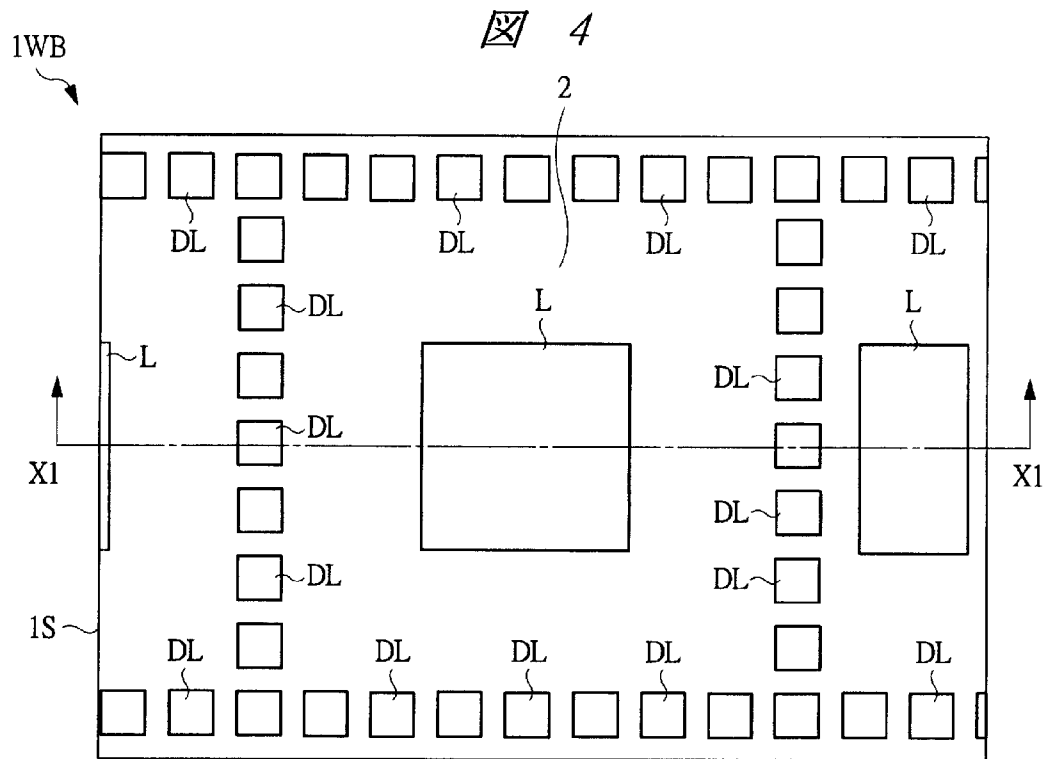


[図3]

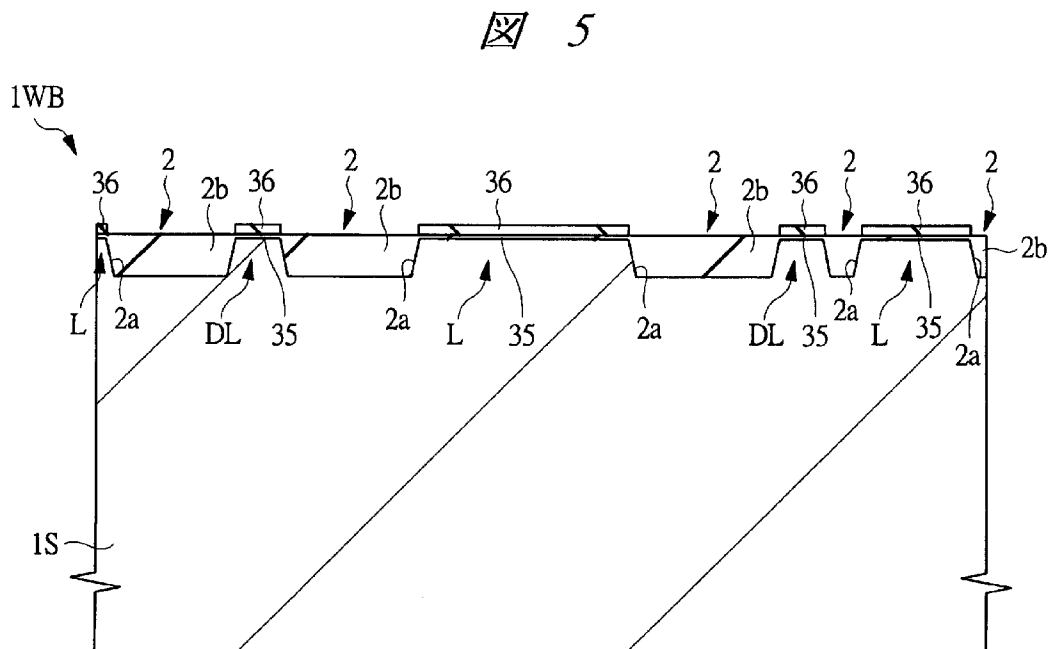
図 3



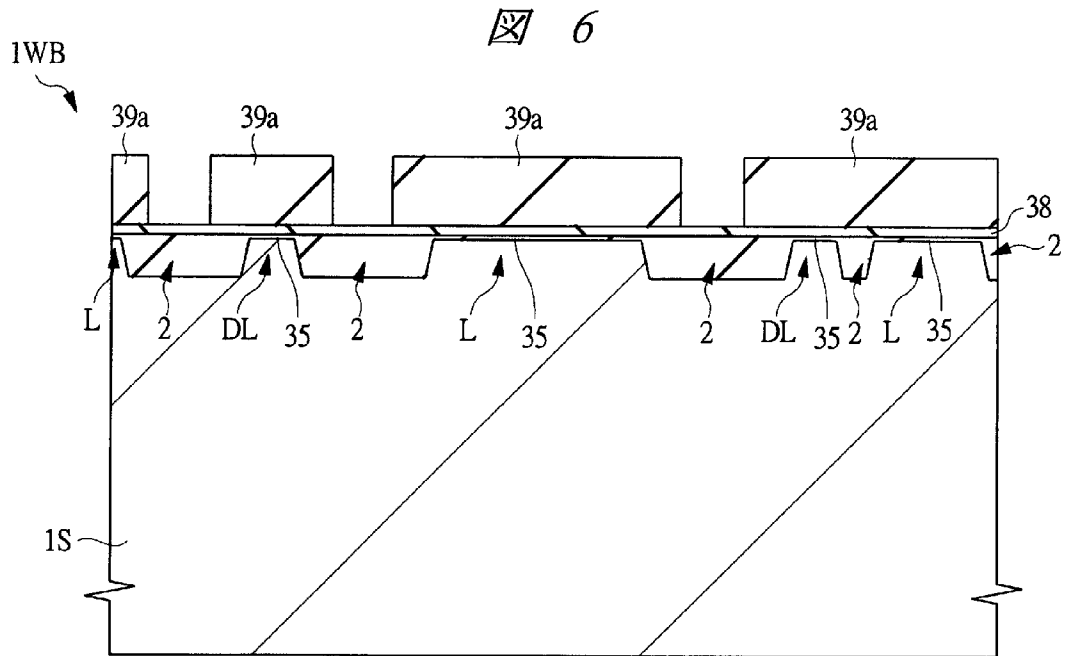
[図4]



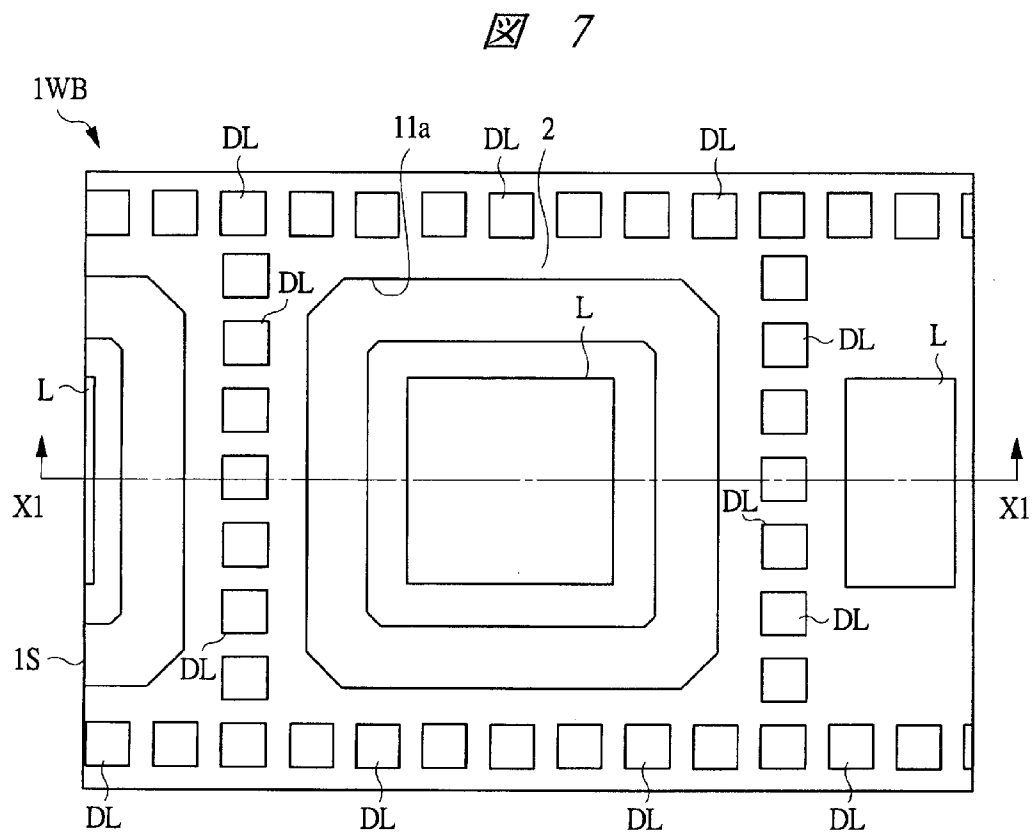
[図5]



[図6]

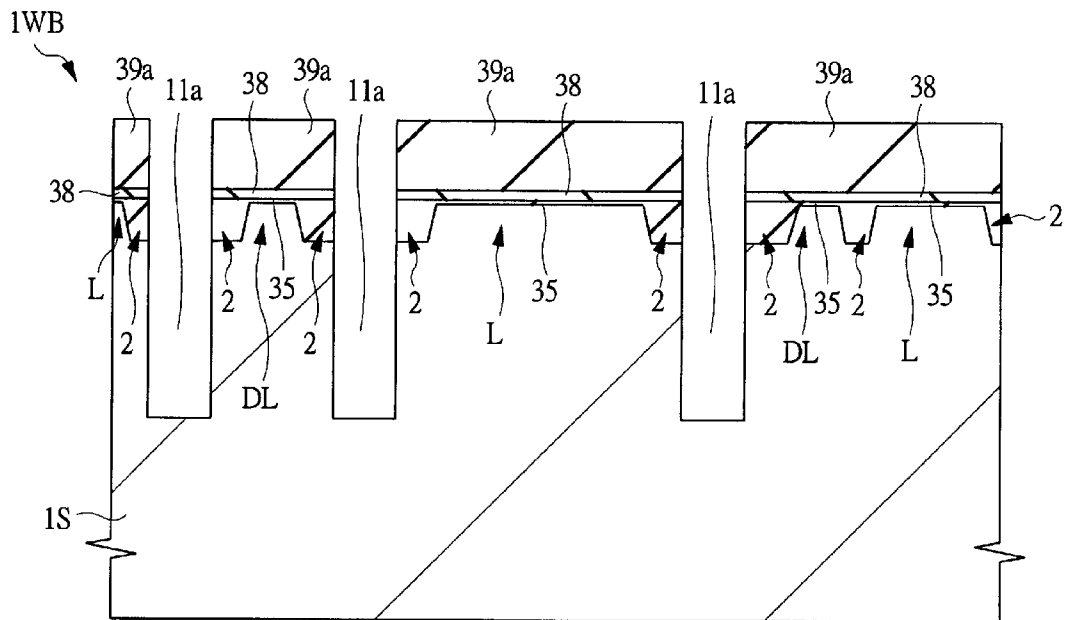


[図7]



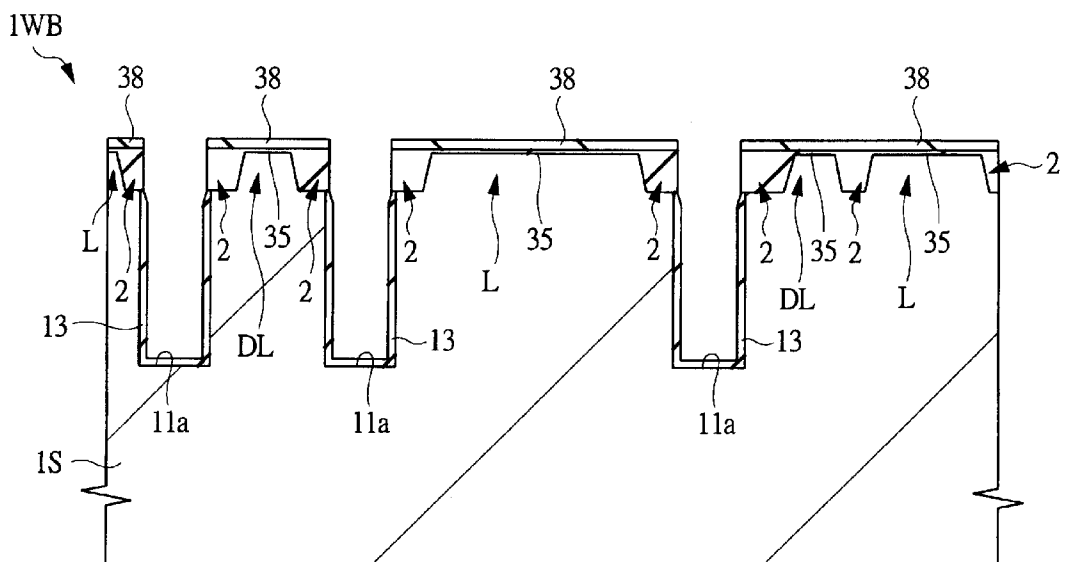
[図8]

8



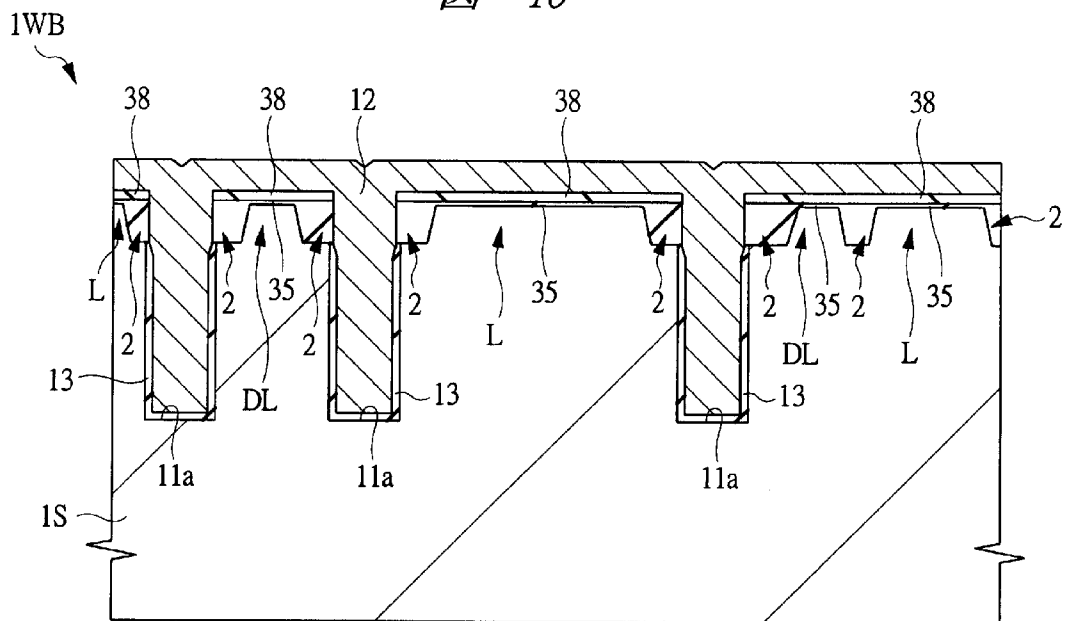
[図9]

図 9



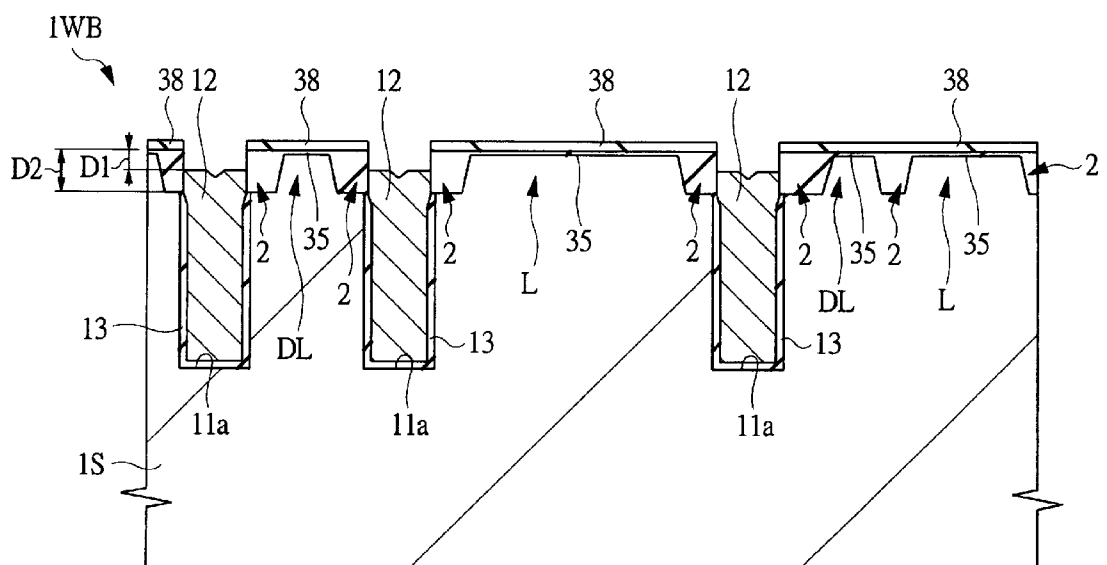
[図10]

図 10

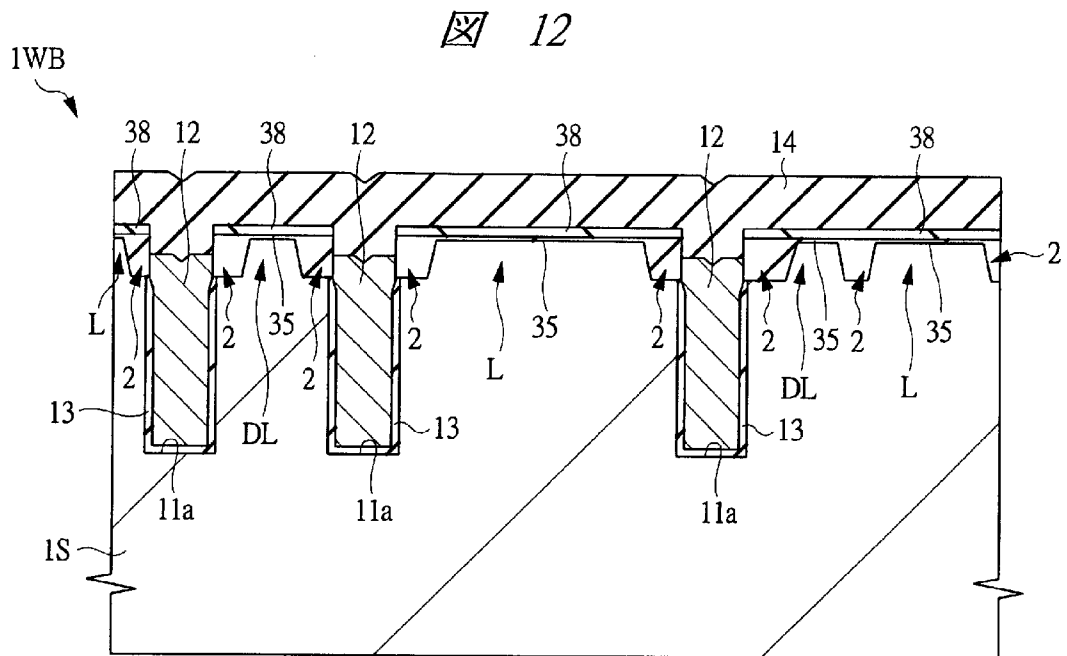


[図11]

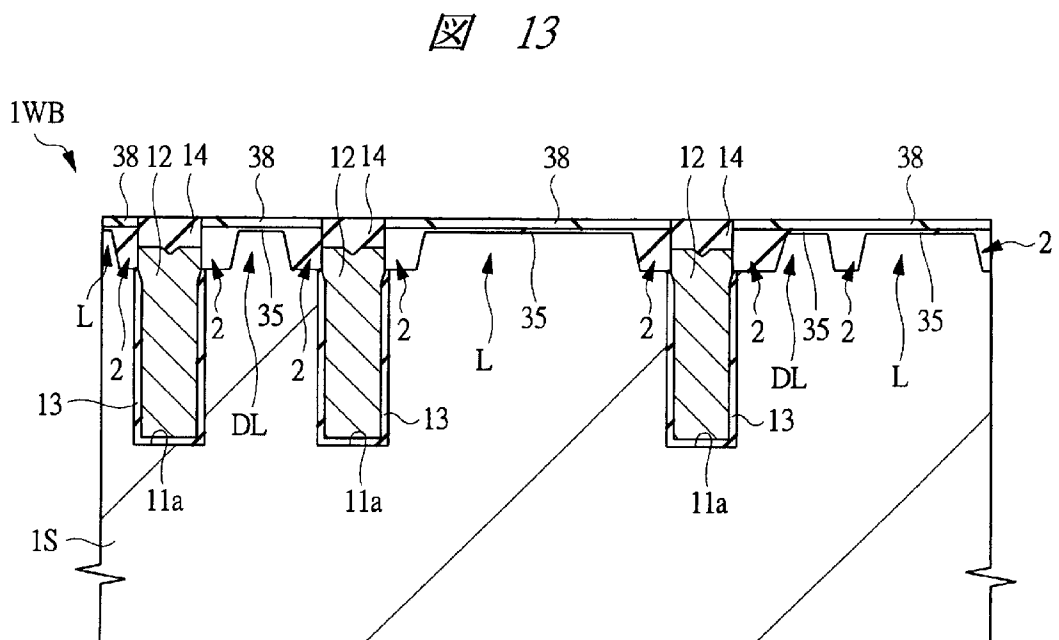
図 11



[図12]

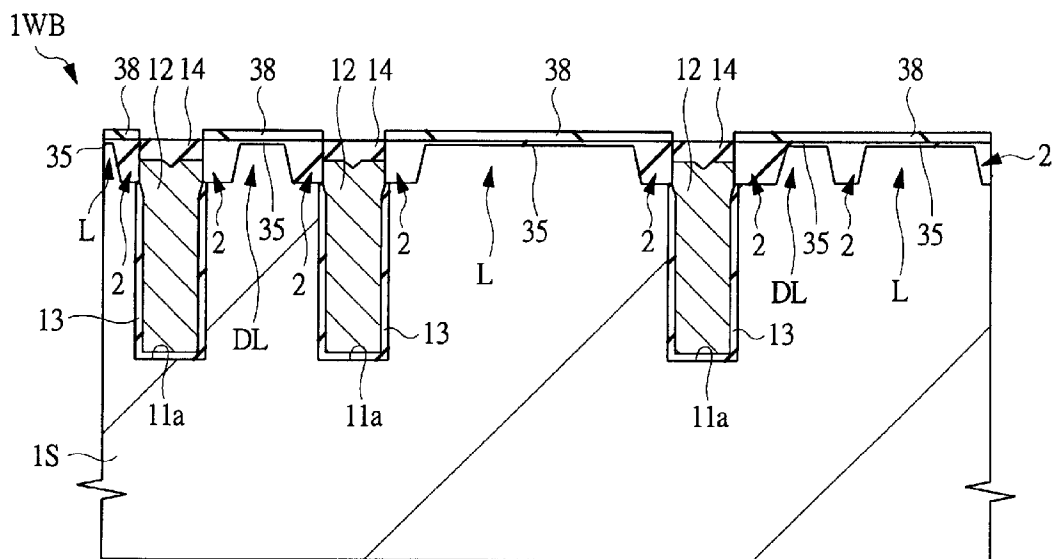


[図13]



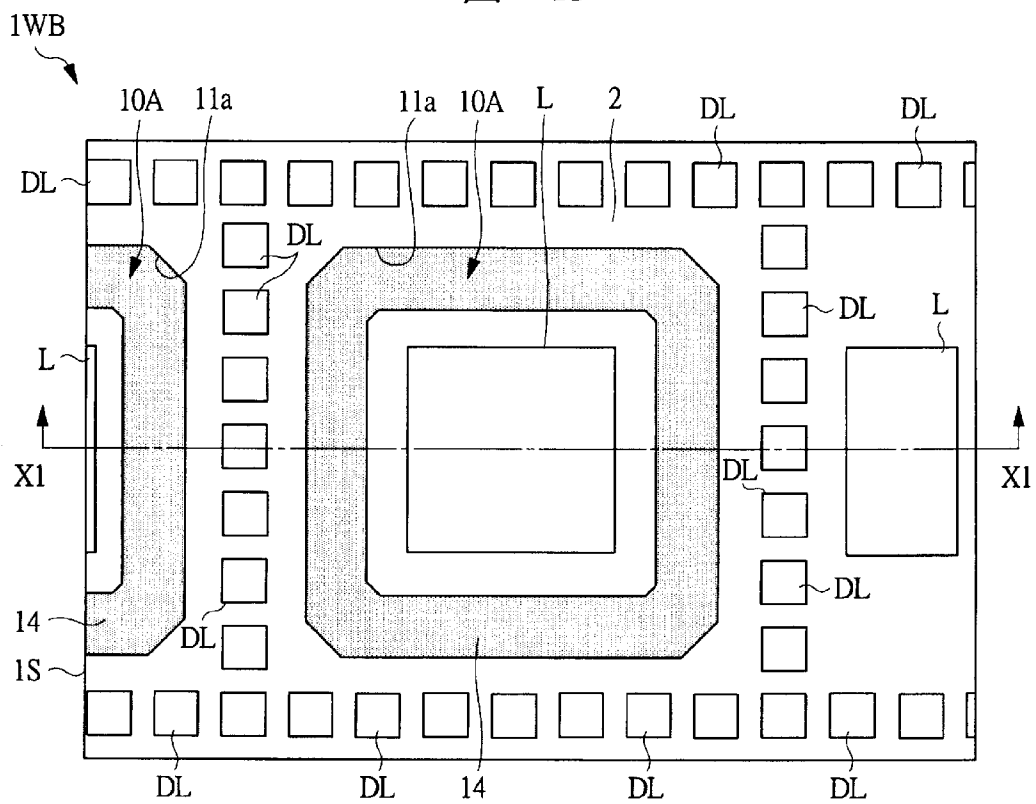
[図14]

図 14



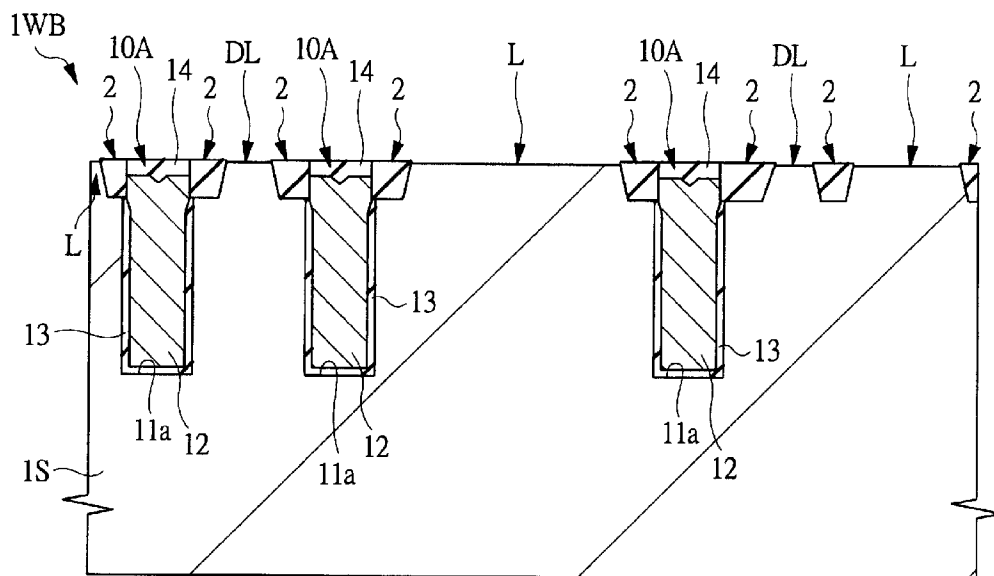
[図15]

図 15



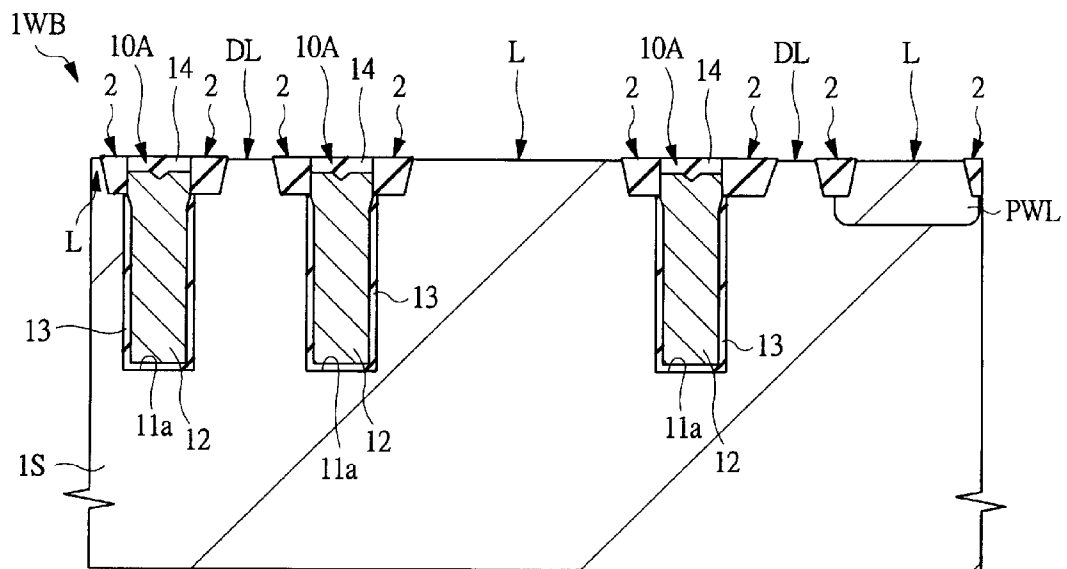
[図16]

図 16



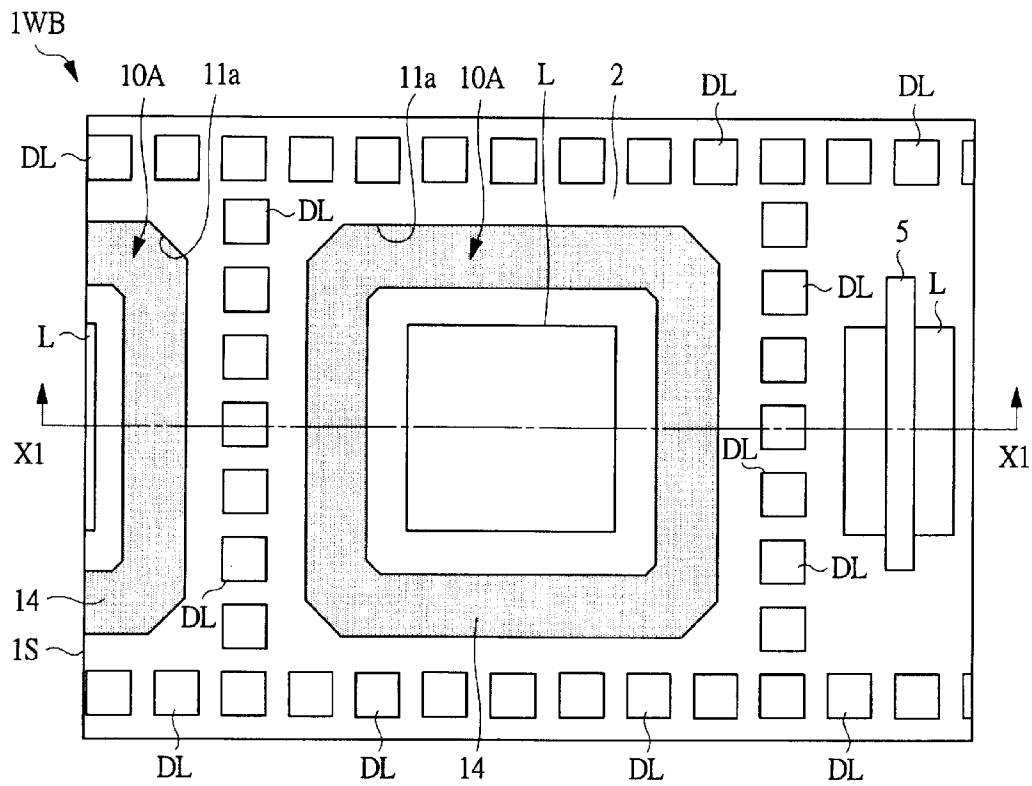
[図17]

図 17



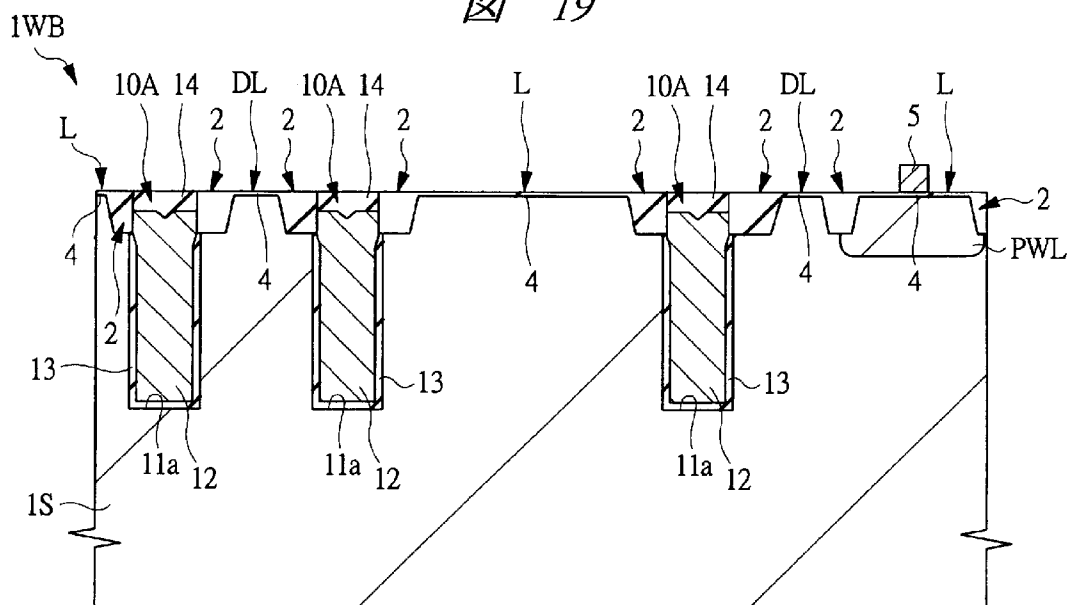
[図18]

図 18



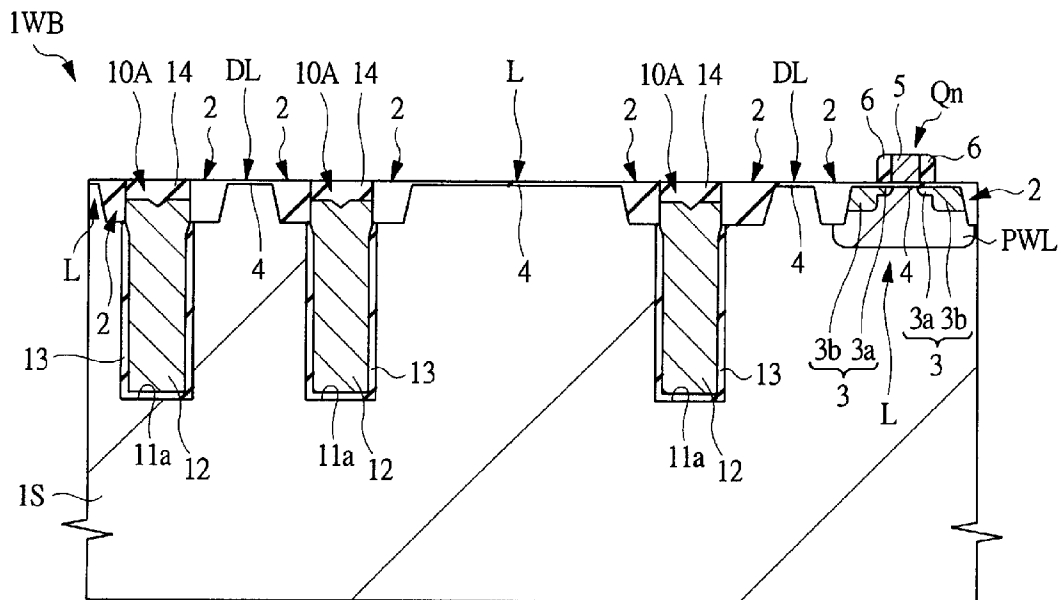
[図19]

図 19



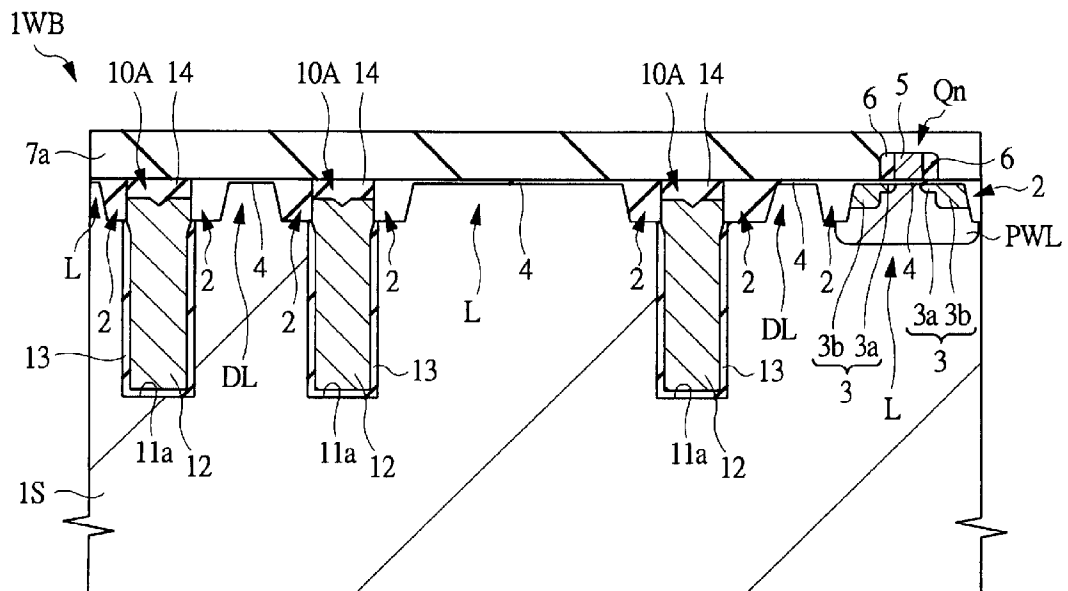
[図20]

20

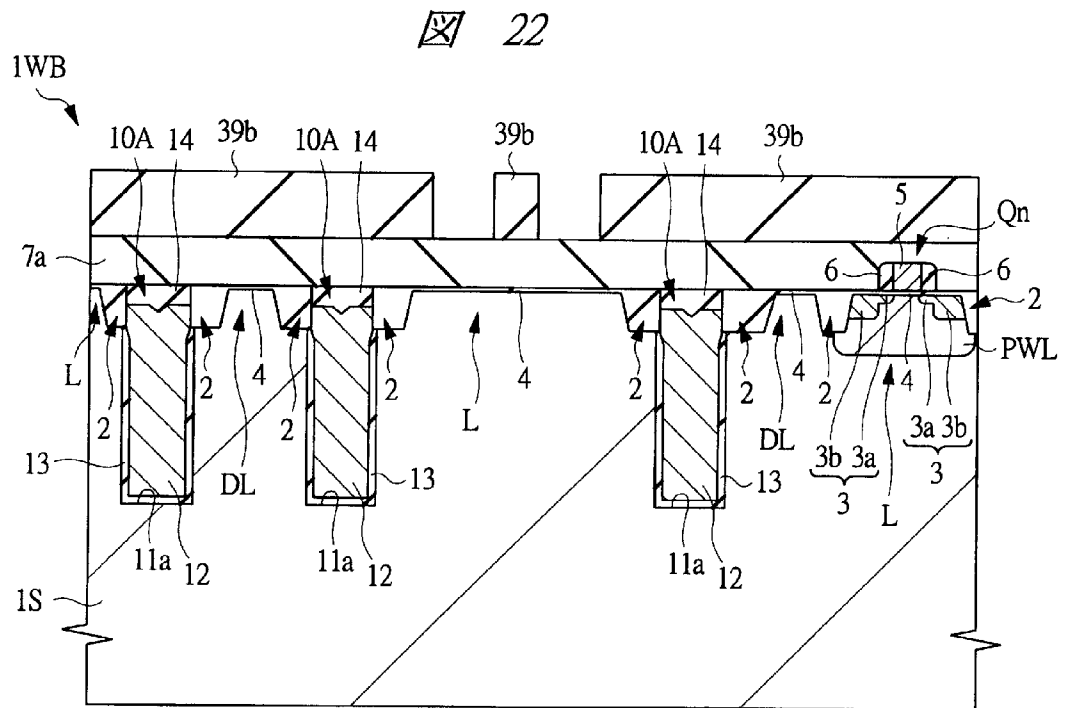


[図21]

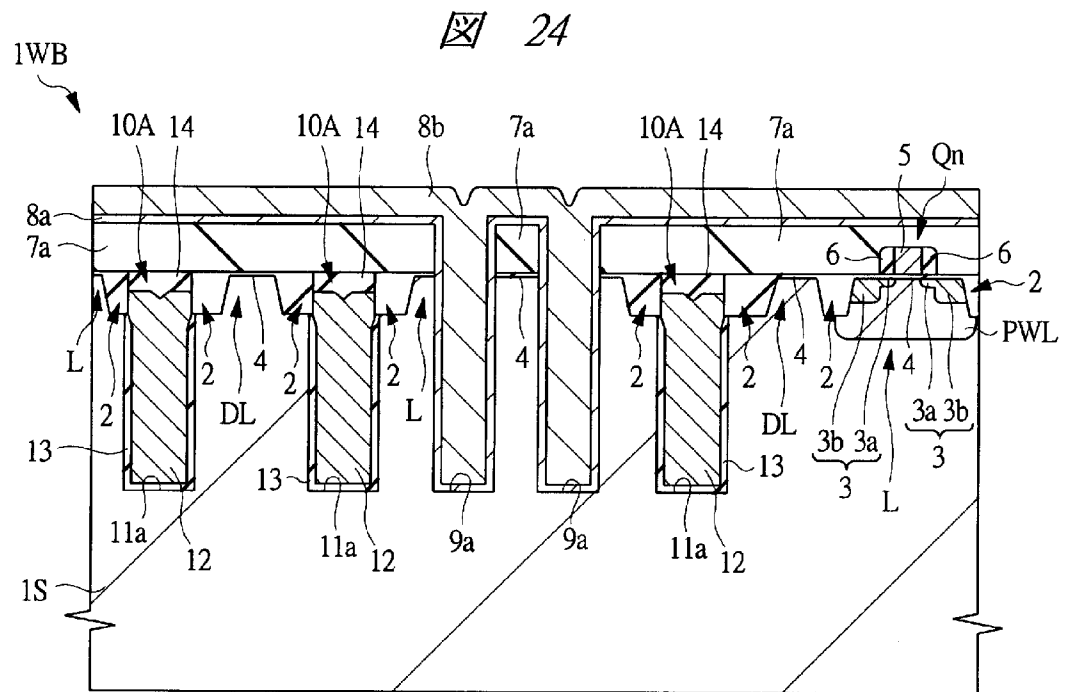
21



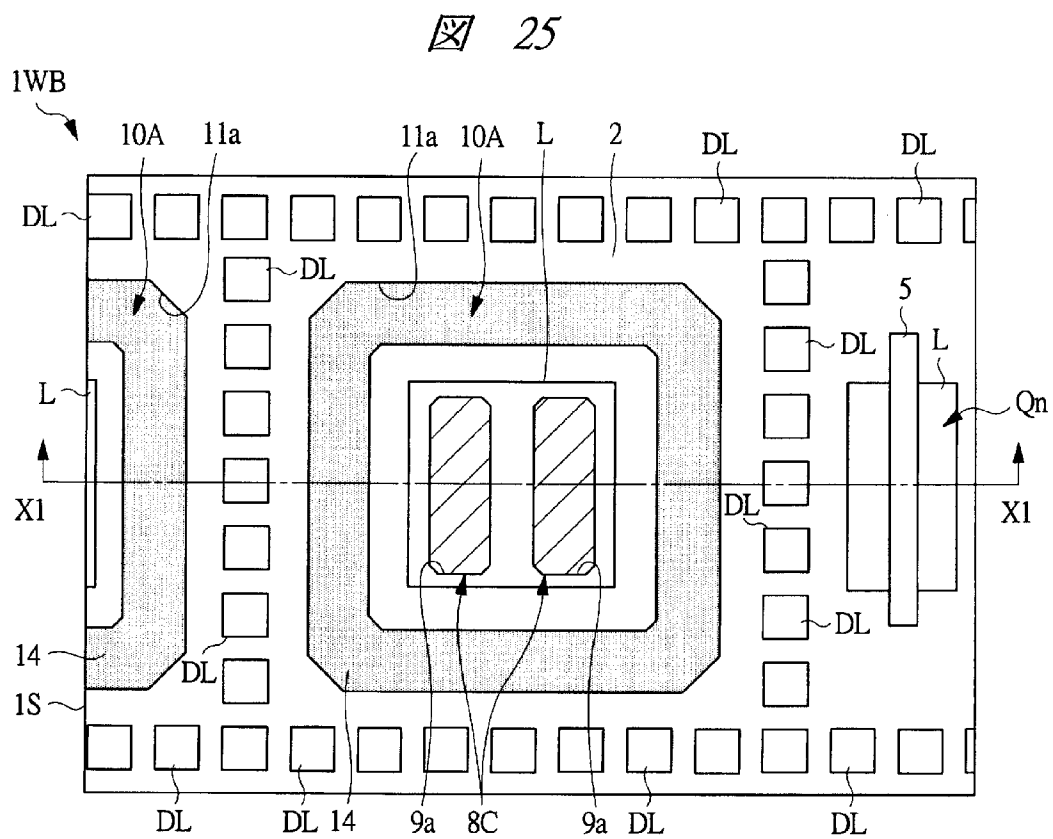
[図22]



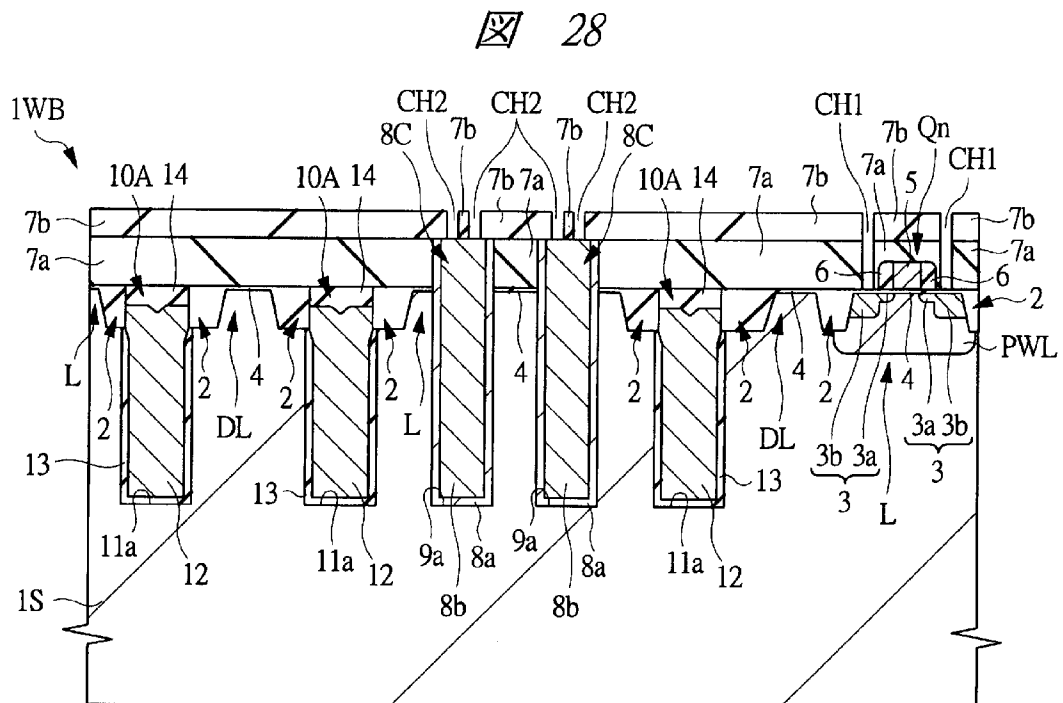
[図24]



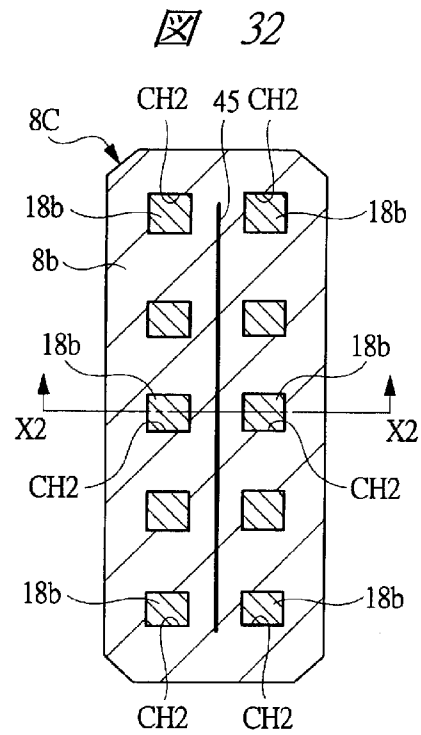
[図25]



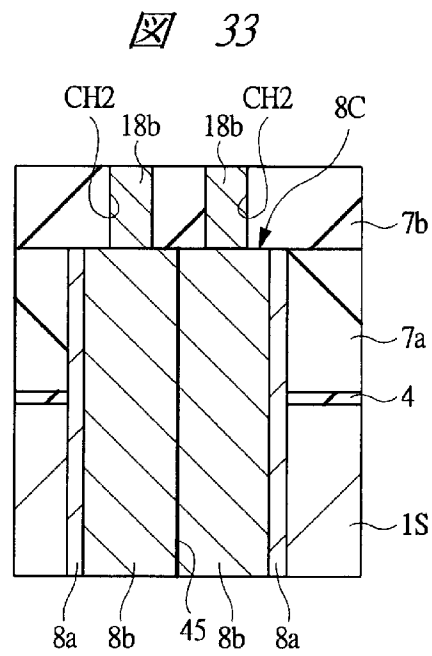
[図28]



[図32]

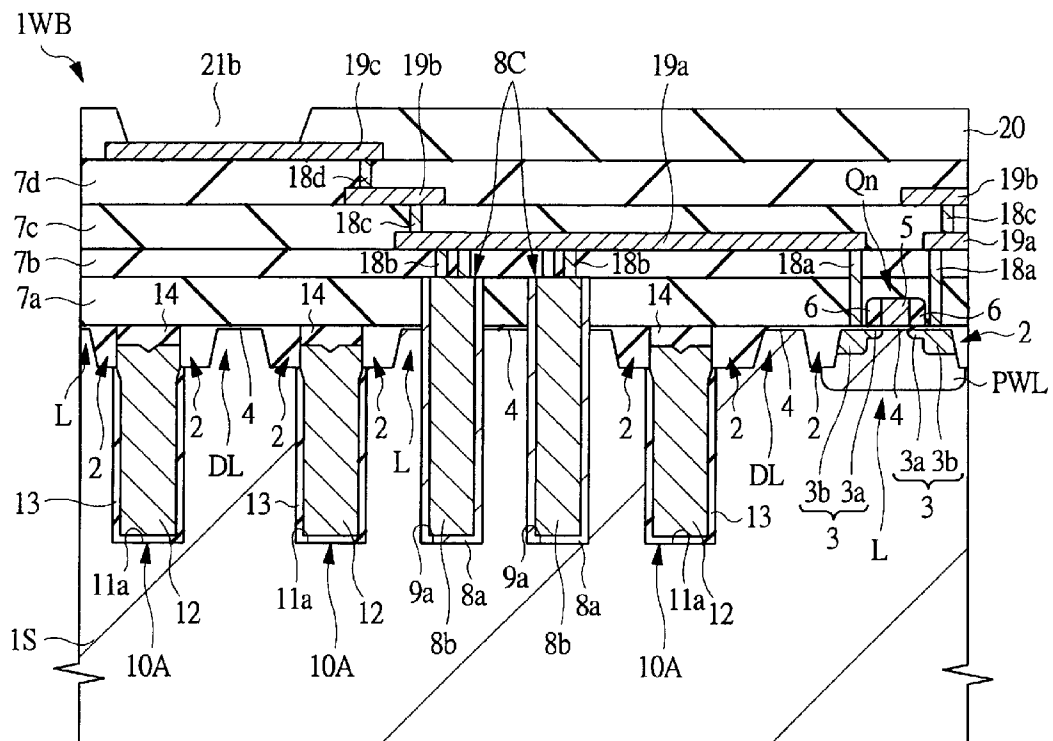


[図33]



[図36]

36



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/316734

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, H01L21/76(2006.01)i, H01L23/52(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, H01L21/76, H01L23/52

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 61-067932 A (Oki Electric Industry Co., Ltd.), 08 April, 1986 (08.04.86), Full text; all drawings (Family: none)	1-2 3-9
X A	JP 2004-335836 A (Matsushita Electric Industrial Co., Ltd.), 25 November, 2004 (25.11.04), Full text; all drawings (Family: none)	1-2 3-9
X A	JP 03-218049 A (Sony Corp.), 25 September, 1991 (25.09.91), Full text; all drawings (Family: none)	1-2 3-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
08 November, 2006 (08.11.06)

Date of mailing of the international search report
21 November, 2006 (21.11.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/316734

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 05-021592 A (Fujitsu Ltd.), 29 January, 1993 (29.01.93), Full text; all drawings (Family: none)	1-2 3-9
X A	JP 03-234041 A (Fujitsu Ltd.), 18 October, 1991 (18.10.91), Full text; all drawings (Family: none)	1-2 3-9
A	JP 2005-222994 A (NEC Electronics Corp.), 18 August, 2005 (18.08.05), Full text; all drawings & US 2005/0167805 A1	1-9
A	JP 2005-026582 A (Olympus Corp.), 27 January, 2005 (27.01.05), Full text; all drawings (Family: none)	1-9

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3205(2006.01)i, H01L21/76(2006.01)i, H01L23/52(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3205, H01L21/76, H01L23/52

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 6 1 - 0 6 7 9 3 2 A（沖電気工業株式会社） 1 9 8 6 . 0 4 . 0 8 , 全文, 全図（ファミリーなし）	1 - 2 3 - 9
X A	J P 2 0 0 4 - 3 3 5 8 3 6 A（松下電器産業株式会社） 2 0 0 4 . 1 1 . 2 5 , 全文, 全図（ファミリーなし）	1 - 2 3 - 9
X A	J P 0 3 - 2 1 8 0 4 9 A（ソニー株式会社） 1 9 9 1 . 0 9 . 2 5 , 全文, 全図（ファミリーなし）	1 - 2 3 - 9

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 8 . 1 1 . 2 0 0 6

国際調査報告の発送日

2 1 . 1 1 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

小野田 誠

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

4 L

8 4 2 7

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	J P 05-021592 A (富士通株式会社) 1993. 01. 29, 全文, 全図 (ファミリーなし)	1-2 3-9
X A	J P 03-234041 A (富士通株式会社) 1991. 10. 18, 全文, 全図 (ファミリーなし)	1-2 3-9
A	J P 2005-222994 A (NECエレクトロニクス株式 会社), 2005. 08. 18, 全文, 全図 & U S 2005/0167805 A1	1-9
A	J P 2005-026582 A (オリンパス株式会社) 2005. 01. 27, 全文, 全図 (ファミリーなし)	1-9