

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
5. August 2004 (05.08.2004)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2004/064477 A2

(51) Internationale Patentklassifikation:
Nicht klassifiziert

(21) Internationales Aktenzeichen: PCT/DE2004/000057

(22) Internationales Anmeldedatum:
16. Januar 2004 (16.01.2004)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
103 01 696.1 17. Januar 2003 (17.01.2003) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von
US): **INFINEON TECHNOLOGIES AG** [DE/DE]; St.-
Martin-Str. 53, 81669 München (DE).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): **ENDRES, Heinz**
[DE/DE]; Am Eichenpfad 23, 97253 Gaukönigshofen
(DE). **ZETTLER, Thomas** [DE/DE]; Lena-Christ-Str.
18, 85635 Höhenkirchen-Siegertsbrunn (DE).

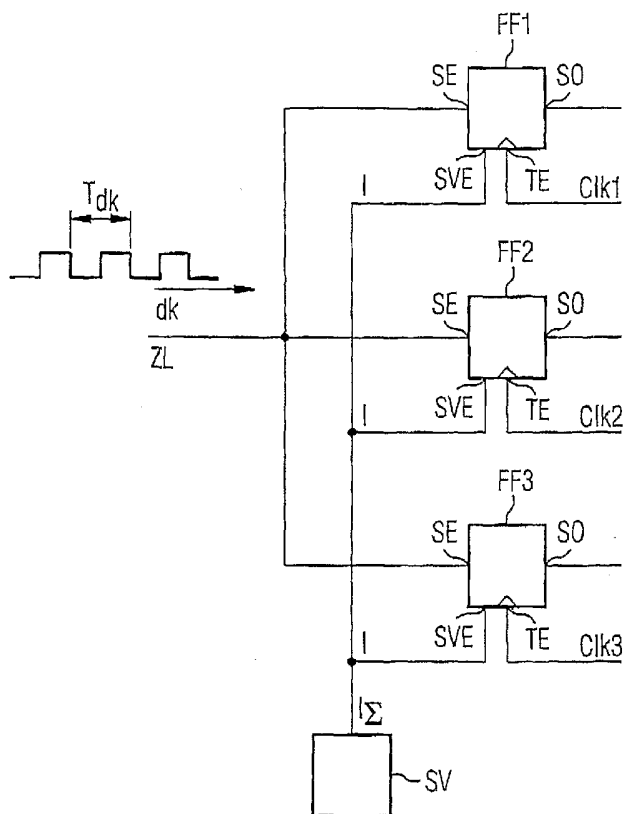
(74) **Anwalt: DOKTER, Eric-Michael**; Viering, Jentschura &
Partner, Steinsdorfstr. 6, 80538 München (DE).

(81) **Bestimmungsstaaten** (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,

[Fortsetzung auf der nächsten Seite]

(54) **Title:** METHOD FOR CREATING AN INTEGRATED SEMICONDUCTOR CIRCUIT COMPRISING A TIMING HIER-
ARCHY, COMPUTER PROGRAM PRODUCT FOR CREATING A TIMING HIERARCHY IN AN INTEGRATED SEMICON-
DUCTOR CIRCUIT, AND LAYOUT DEVICE

(54) **Bezeichnung:** VERFAHREN ZUM ERSTELLEN EINER INTEGRIERTEN HALBLEITERSCHALTUNG MIT EINER
TAKTBAUMSTRUKTUR, COMPUTERPROGRAMMPRODUKT ZUM ERZEUGEN EINER TAKTBAUMSTRUKTUR IN
EINER INTEGRIERTEN HALBLEITERSCHALTUNG SOWIE LAYOUTVORRICHTUNG



(57) **Abstract:** Disclosed is a method for creating a timing hierarchy in an integrated semiconductor circuit comprising a sequential circuit that is provided with at least two synchronous switching elements with respective timing circuits. The inventive method comprises the following steps: synchronous switching elements having uncritical switching prerequisites regarding a signal arrival time relative to a clock pulse arrival time are determined; the clock pulse arrival time is delayed with the aid of at least one delaying element located in the timing circuit of at least one synchronous switching element having uncritical switching prerequisites so as to minimize the number of synchronous switching elements that simultaneously change the switching mode.

(57) **Zusammenfassung:** Ein Verfahren zum Erstellen einer Taktbaumstruktur in einer integrierten Halbleiterschaltung mit einem wenigstens zwei synchronen Schaltelemente mit jeweiligen Taktleitungen aufweisenden Schaltwerk weist folgende Schritte auf. Es werden synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen bezüglich einer Signalankunftszeit in Relation zu einer Taktankunftszeit bestimmt. Die Taktankunftszeit wird mit Hilfe wenigstens eines Verzögerungselements in der Taktleitung

[Fortsetzung auf der nächsten Seite]

WO 2004/064477 A2



AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— ohne internationalen Recherchenbericht und erneut zu veröffentlichen nach Erhalt des Berichts

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

Beschreibung

Verfahren zum Erstellen einer Integrierten Halbleiterschaltung mit einer Taktbaumstruktur, Computerprogrammprodukt zum Erzeugen einer Taktbaumstruktur in einer integrierten Halbleiterschaltung sowie Layoutvorrichtung

Die vorliegende Erfindung betrifft ein Verfahren zum Erstellen einer Integrierten Halbleiterschaltung mit einer Taktbaumstruktur, Computerprogrammprodukt zum Erzeugen einer Taktbaumstruktur in einer integrierten Halbleiterschaltung sowie Layoutvorrichtung.

Die stetig zunehmende Komplexität von integrierten Halbleiterschaltungen führt zu einer Reihe von Herausforderungen beim Entwerfen der Schaltungsarchitektur. Bei mobilen Anwendungen gilt es beispielsweise, den Stromverbrauch zu minimieren. Mit der Anzahl der Schaltelemente - wie logische Gatter, Flip-Flops, etc. - treten ohne spezielle Vorkehrungen erhöhte Spitzenströme in der Spannungsversorgung der integrierten Halbleiterschaltung auf. In den meisten Fällen ragen die maximalen Stromspitzen deutlich aus dem durchschnittlichen Strombedarfsprofil heraus und erfordern daher eine entsprechende Über-Dimensionierung der Spannungsversorgungseinheit.

Diese Problematik wird insbesondere dadurch verschärft, dass bei der Bildung von Taktbaumstrukturen innerhalb einer integrierten Halbleiterschaltung aus funktionaler Sicht darauf abgezielt wird, minimale Laufzeitunterschiede der Takte an den Schaltelementen herzustellen. Die Erzeugung einer Taktbaumstruktur ist beispielsweise aus "Principles of CMOS VLSI Design" von Neil H. E. Weste und Kamram Eshragian, ISBN 0-201-53376-6, bekannt.

Ein Grund dafür, die absolute Synchronität anzustreben, liegt an Umschaltvoraussetzungen, die an jedem Schaltelement
5 eingehalten werden müssen. Diese Umschaltvoraussetzungen können in zwei Kategorien unterteilt werden. Der "Setup" legt fest, wie lange Eingangssignale an einem Schaltelement vor Einschalten des folgenden Taktimpulses stabil sein müssen. Der "Hold", bzw. die Halte-Bedingung legt dagegen fest, wie lange

nach einem Taktimpuls - also nach der steigenden bzw. fallenden Flanke des Taktimpulses - die Eingangssignale am Schaltelement noch stabil bleiben müssen. Eine Verletzung der Umschaltvoraussetzungen würde einen sogenannten meta-stabilen Zustand des Schaltelements hervorrufen.

Werden in Erfüllung der Funktionssicherung alle Schaltelemente gleichzeitig getaktet, so führt dies zu einer Summation der an den Schaltelementen auftretenden Umlade-Stromspitzen.

10

Damit ist eine Reihe von Aufwendungen erforderlich.

Um eine ausreichende Versorgung sämtlicher Komponenten und Schaltelemente zu gewährleisten, sind die Metallzuleitungen auf den Strombedarf ausgelegt. Dieser ergibt sich maximal aus der Summe der Umlade-Stromspitzen. Die notwendige Verbreiterung der Leitungen führt zu einem zusätzlichen Flächenverbrauch auf dem Chip und damit zu erhöhten Kosten bei der Herstellung desselben. Ebenso ist eine erhöhte Zahl von Versorgungspads und Bond-Verbindungen erforderlich, die zu einer weiteren Kostensteigerung führt.

15

20

Aufgrund eines erhöhten Strombedarfs sind die Spannungsregler der integrierten Halbleiterschaltung entsprechend überdimensioniert ausgelegt. Nur so ist eine stabile Versorgung während einer maximalen Stromspitze garantiert.

25

Über die Spannungsversorgungsleitung werden hochfrequente Spannungsschwankungen auf die übrigen Bauteile einer Platine übertragen, auf der sich die integrierte Halbleiterschaltung befindet. Als Konsequenz ist die elektromagnetische Verträglichkeit (EMV) des Bausteins verringert.

30

In dem eingangs genannten Dokument "Principles of CMOS VLSI Design" wird auf Seite 239 zur Glättung des Stromaufnahme- profils der Einsatz von Pufferkapazitäten vorgeschlagen. Damit ist wiederum der Nachteil verbunden, dass ein erhöhter Flä-

35

chenbedarf für die Pufferkapazitäten zu erhöhten Herstellungskosten führt. Zudem vermindert sich die Ausbeute bei der Herstellung durch zusätzliche defektsensitive Bereiche aufgrund der Implementierung der Pufferkapazitäten in der integrierten Halbleiterschaltung.

Aufgabe der vorliegenden Erfindung ist es, die oben genannten Aufwendungen bei synchron getakteten Halbleiterschaltungen zu vermeiden, und ein Verfahren anzugeben, mit dem beim Entwurf einer Schaltung diese Aufwendungen so gering wie möglich gehalten werden können.

Gelöst wird die Aufgabe durch die Merkmale der unabhängigen Ansprüche 1, 9 bzw. 10.

Die der Erfindung zugrunde liegende Idee besteht darin, Schaltelemente mit zugeführter Taktleitung zu identifizieren, bei denen eine Verschiebung der Laufzeit der Taktsignale in der Taktleitung um wenige Bruchteile der Taktperiodendauer die Funktionssicherheit nicht beeinträchtigt. Diese ist selbstverständlich nur dann möglich, wenn danach an dem Schaltelement Umschaltvoraussetzungen weiterhin erfüllt sind oder wiederhergestellt werden.

Durch die Verschiebung der Laufzeit in der Taktleitung wird die Taktsignalankunftszeit verschoben. Werden bei einer Vielzahl von Schaltelementen die Umschaltzeiten zueinander verschoben, so werden dadurch die Spitzenströme abgebaut und das Profil des Summenstroms ist geglättet. Die maximale Stromspitze fällt geringer aus, als in dem ursprünglichen synchronen Schaltwerk.

Bei der Verschiebung der Laufzeit in der Taktleitung wird ein synchrones Schaltelement ausgewählt, bei dem der Schaltelement-spezifische Setup größer ist, als in dem Schaltwerk benötigt; dies wird im weiteren als unkritische Umschaltvoraussetzung bezeichnet. Die Laufzeit einer zuführenden Taktlei-

- tung zu dem ausgewählten Schaltelement wird erhöht. Das ausgewählte Schaltelement wird in eine Liste veränderter Schaltelemente eingetragen oder in irgendeiner anderen Weise als verändertes Schaltelement gekennzeichnet. Der Einfluss der Veränderung auf die Umschaltvoraussetzungen aller synchronen Schaltelemente im Schaltwerk wird berechnet. Es wird überprüft, ob die vorgenommene Veränderung der Laufzeit zu einer Verletzung der Umschaltvoraussetzungen geführt hat. Im Falle einer Verletzung einer Umschaltvoraussetzung wird die vorgenommene Veränderung zurückgenommen. Bevorzugterweise kann eine Erhöhung um einen geringeren oder größeren Wert der Laufzeit als im vorherigen Schritt vorgenommen und das Vorgehen wiederholt werden.
- 15 Sind keine Umschaltvoraussetzungen verletzt oder konnte die Laufzeit der Taktleitung nach einer festen Anzahl von Versuchen nicht ohne eine Verletzung von Taktlaufzeiten geändert werden, wird das vorstehende Vorgehen nacheinander für weitere synchrone Schaltelemente wiederholt, die zum jeweiligen Zeitpunkt nicht in der Liste veränderter Schaltelemente eingetragen oder als solche gekennzeichnet sind.

Vorteilhaft ist dabei eine Veränderung der Taktsignalankunftszeiten an allen synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen. Dadurch kann eine breite Verteilung der Taktsignalankunftszeiten erreicht werden, wodurch die Umlade-Stromspitzen der Schaltelemente zeitlich verteilt sind.

- 30 Weitere vorteilhafte Weiterbildungen der Erfindung sind in den Unteransprüchen angegeben.

In einer besonders bevorzugten Weiterbildung der Erfindung werden die Taktsignalankunftszeiten von synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen verschoben, indem zunächst die Laufzeit einer Taktleitung zu einem gewählten synchronen Schaltelement erhöht wird. Das gewählte

- synchrone Schaltelement wird in eine Liste veränderter Schaltelemente eingetragen oder in irgendeiner anderen Weise als verändertes Schaltelement gekennzeichnet. Der Einfluss der Veränderung auf die Umschaltvoraussetzungen aller Schaltelemente wird berechnet. Schaltelemente, deren Umschaltvoraussetzungen aufgrund ihrer durch die Nachfolge im Signalpfad bedingten Abhängigkeit höchstwahrscheinlich verändert wurden, werden ebenfalls in die Liste veränderter Schaltelemente eingetragen bzw. als solche gekennzeichnet. Das beschriebene Vorgehen wird für alle synchronen Schaltelemente mit unkritischen Umschaltvoraussetzungen wiederholt, die zum jeweiligen Zeitpunkt nicht in der Liste veränderter Schaltelemente eingetragen oder als solche gekennzeichnet sind.
- Als Vorteil ist anzusehen, dass die Neuberechnungen der Umschaltvoraussetzungen in geringerer Anzahl als in der ersten genannten Weiterbildung stattfinden können. Das Verfahren kann somit schnell durchgeführt werden, wobei trotzdem eine breite Verteilung der Umlade-Stromspitzen erzielt wird.
- Die Erfindung wird nachfolgend an mehreren Ausführungsbeispielen anhand der Zeichnung näher erläutert.
- Dabei zeigen
- Fig. 1 eine Halbleiterschaltung mit bezüglich ihres Eingangs parallel geschalteten Kippstufen,
- Fig. 2a eine schematische Darstellung von Stromprofilen von parallel geschalteten Kippstufen nach Fig.1 und der Summe aller Stromprofile in einer synchron getakteten Halbleiterschaltung,
- Fig. 2b eine schematische Darstellung von Stromprofilen von parallel geschalteten Kippstufen nach Fig.1 und der Summe aller Stromprofile in einer erfindungsgemäß getakteten Halbleiterschaltung,

Fig. 3 ein Flussdiagramm mit Verfahrensschritten zur Erstellung einer Taktbaumstruktur gemäß der vorliegenden Erfindung,

5

Fig. 4 ein Flussdiagramm mit Verfahrensschritten zur Verschiebung der Taktsignalankunftszeiten bei synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung,

10

Fig. 5 ein Flussdiagramm mit Verfahrensschritten zum Verschieben der Taktsignalankunftszeiten bei synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen gemäß einer weiteren bevorzugten Ausführungsform der vorliegenden Erfindung,

15

Fig. 6 ein Flussdiagramm mit Verfahrensschritten für eine Verschiebung der Taktsignalankunftszeit eines noch nicht veränderten synchronen Schaltelements gemäß einer bevorzugten Ausführungsform der vorliegenden Erfindung und

20

Fig. 7 Simulationsergebnisse des Summenstroms in einer Halbleiterschaltung deren Taktbaumstruktur gemäß einer Ausführungsform der vorliegenden Erfindung erstellt ist.

25

Fig. 1 zeigt beispielhaft eine Halbleiterschaltung mit drei Kippstufen FF1, FF2, FF3. Jede Kippstufe FF1, FF2, FF3 weist einen Signaleingang SE, einen Signalausgang SO, einen Spannungsversorgungseingang SVE und einen Takteingang TE auf. Auf die Darstellung eines Masseanschlusses wurde verzichtet. Die Signaleingänge SE der Kippstufen FF1, FF2, FF3 sind mit einer Zuleitung ZL verbunden, während die Spannungsversorgungseingänge SVE mit einer gemeinsamen Spannungsversorgung SV verbunden sind. Über die Zuleitung ZL werden den Kippstufen FF1,

30

35

FF2, FF3 Datensignale d_k zugeführt. Die Datensignale d_k werden mit einer Frequenz übertragen, die durch eine Periodendauer T_{dk} bestimmt ist.

- 5 Eine Signalverarbeitung der Datensignale d_k in den Kippstufen FF1, FF2, FF3 wird über Taktsignale $clk1$, $clk2$, $clk3$ gesteuert, die den Kippstufen FF1, FF2, FF3 an ihren Takteingängen TE zugeführt werden. Die Taktsignale $clk1$, $clk2$, $clk3$ sind periodisch, beispielsweise mit einer Periodendauer T_{dk} oder
10 einem Vielfachen davon.

Während der Signalverarbeitung der Daten d_k in den Kippstufen FF1, FF2, FF3 fließt am Ausgang der Spannungsversorgung SV ein Summenstrom I_Σ , der sich aus der Summe von Stromprofilen
15 I ergibt, die an den jeweiligen Spannungsversorgungseingängen SVE fließen.

An dem Spannungsversorgungseingang SVE einer der Kippstufen FF1, FF2, FF3 fließt das Stromprofil I , wenn das Taktsignal
20 $clk1$, $clk2$, $clk3$ an dem Takteingang TE der Kippstufe FF1, FF2, FF3 ein Wechseln eines Ausgangssignals am jeweiligen Signalausgang SO schaltet.

In einer synchron getakteten Halbleiterschaltung sind die
25 Taktsignale $clk1$, $clk2$, $clk3$ in Phase und Frequenz exakt gleich, so dass alle Kippstufen FF1, FF2, FF3 gleichzeitig schalten. In realen Schaltungen wird mittels eines bekannten Verfahrens der Taktbaum-Balanzierung versucht, diesem idealen Zustand des gleichzeitigen Schaltens möglichst nahe zu kommen. In einem anderen Fall, in dem sich mindestens ein Takt-
30 signal $clk1$, $clk2$, $clk3$ von den anderen Taktsignalen $clk1$, $clk2$, $clk3$ unterscheidet, handelt es sich um eine zumindest teilweise asynchron getaktete Halbleiterschaltung. Die Taktsignale $clk1$, $clk2$, $clk3$ können sich dabei in der Frequenz
35 oder in der Phase unterscheiden.

Weisen die verschiedenen Taktsignale $clk1$, $clk2$, $clk3$ an den Takteingängen TE die gleiche Frequenz und eine im Verhältnis zu der Taktperiodendauer kleine Phasenverschiebung auf, d.h. dass die Taktsignale $clk1$, $clk2$, $clk3$ zueinander zeitlich geringfügig versetzt verschiedene Takteingänge TE von unterschiedlichen Kippstufen FF1, FF2, FF3 erreichen, wird von einer quasi-synchronen Halbleiterschaltung gesprochen.

Fig. 2a und Fig. 2b zeigen mit ihren ersten drei Kurven jeweils Stromprofile I an Spannungsversorgungseingängen SVE von drei Kippstufen FF1, FF2, FF3 in einer Halbleiterschaltung nach Fig. 1. Die im Einzelnen dargestellten Kurven zeigen in der Ordinate das Stromprofil I, das über eine Zeitachse T in der Abszisse aufgetragen ist.

Ein Stromprofil I an einem Spannungsversorgungseingang SVE einer Kippstufe FF1, FF2, FF3 weist Umlade-Stromspitzen auf, wenn ein Signalausgang SO der Kippstufe FF1, FF2, FF3 das Ausgangspotential wechselt. Im dargelegten Beispiel sei zur Vereinfachung angenommen, dass nur bei einem Wechsel beispielsweise von einem low- auf high-Potential eine Umlade-Stromspitze auftritt. Das auf die Umlade-Stromspitze folgende, im wesentlichen flache Plateau des Stromprofils I entspricht in seiner Höhe einem Strom, der für eine Umladung von Logik-Stufen erforderlich sind, die im Signalpfad hinter der Kippstufe FF1, FF2, FF3 geschaltet sind. Die Umlade-Stromspitze entsteht bei einem Schalten der Kippstufe FF1, FF2, FF3. Ein verändertes Signal am Signalausgang SO setzt sich sequentiell durch folgende Logik-Stufen fort und erzeugt so sequentiell Umladeströme an den einzelnen Logik-Stufen.

Unterhalb der gezeigten Stromprofile I der Kippstufen FF1, FF2, FF3 ist in beiden Figuren ein Summenstrom I_{Σ} aufgezeigt. Dieser fließt an der gemeinsamen Spannungsversorgung SV aller Kippstufen FF1, FF2, FF3 und ist jeweils die Superposition der darüber dargestellten Stromprofile I.

In dem in Fig. 2a dargestellten Fall sind alle Kippstufen FF1, FF2, FF3 exakt synchron getaktet. Dadurch wird der Summenstrom aus der Summation der einzelnen Spitzenströme gebildet.

5

Sind sämtliche Kippstufen FF1, FF2, FF3 von ihrem Strombedarf gesehen identisch, so sind die Stromspitzen des Summenstroms I_{Σ} proportional zu der Anzahl der Kippstufen FF1, FF2, FF3 und proportional zu der Höhe der Umlade-Stromspitzen dieser Kippstufen FF1, FF2, FF3. Eine gemeinsame Spannungsversorgung SV der Kippstufen FF1, FF2, FF3 muss derart ausgelegt sein, dass eine maximale Stromspitze des Summenstroms I_{Σ} fließen kann.

10

Die dargestellten Stromprofile I in Fig. 2b unterscheiden sich von denen in Fig. 2a gezeigten darin, dass die betrachteten Kippstufen FF1, FF2, FF3 quasi-synchron getaktet sind. Taktsignale $clk1$, $clk2$, $clk3$ an Takteingängen TE der Kippstufen FF1, FF2, FF3 weisen zueinander Laufzeitunterschiede auf, die kleiner als die Periodendauer T_{dk} sind. Die Laufzeitunterschiede verursachen eine Taktverschiebung, die dazu führt, dass ein Profil des Summenstroms I_{Σ} geglättet und über einen breiteren Zeitraum verteilt wird. Dadurch weist der Summenstrom I_{Σ} keine ausgeprägten Stromspitzen auf. Die gemeinsame Spannungsversorgung SV der Kippstufen FF1, FF2, FF3 kann somit für einen geringeren maximalen Strombedarf als im Fall der Fig. 2a ausgelegt sein.

20

25

Fig. 3 zeigt ein Flussdiagramm mit Verfahrensschritten zum Entwerfen einer integrierten Halbleiterschaltung.

30

In einem ersten Schritt werden Eingangsdaten bereitgestellt. Die Eingangsdaten umfassen eine Schaltelementliste im Sinne einer Bibliothek mit Schaltelementen, die in Schaltwerken der integrierten Halbleiterschaltung verwendet werden. Solche Schaltelemente können Einzelschaltelemente wie Gatter, Flip-Flops, etc. oder Gruppen von Einzelschaltelementen sein.

35

Die Schaltelementeliste kann darüber hinaus verschiedene (Gatterlevel-)Netzlisten enthalten, die aus einem ersten Syntheseschritt resultieren. Die (Gatterlevel-)Netzlisten beschreiben die konkrete Halbleiterschaltung bzw. Signalverbindungen aller ihrer Einzelschaltelemente untereinander. Verfahrensschritte für einen solchen ersten Syntheseschritt sind dem Fachmann bekannt.

- 10 Die Eingangsdaten enthalten ebenfalls Randbedingungen (sogenannten high level constraints) bezüglich Laufzeitvorgaben bei komplexen Einheiten aus mehreren Schaltelementen. Die umfassen unter anderem die Taktfrequenz und Anforderungen an Sende- und Ankunftszeiten von Ein- und Ausgangssignalen am
15 Schaltungsrand.

Zusätzlich können in einer Schaltelementbibliothek Schaltzeiten und Layout-Informationen der verwendeten Schaltelemente enthalten sein. Die Eingangsdaten umfassen in der Regel auch
20 eine Bibliothek der Verdrahtung zwischen den einzelnen Schaltelementen inklusive zugehöriger Verdrahtungsparameter, wie beispielsweise Kapazitätsbeläge oder Widerstandsbeläge der Signalverbindungen.

- 25 Im zweiten Schritt des Verfahrens wird ein Flurplan der integrierten Halbleiterschaltung erstellt und die Schaltelemente werden innerhalb der integrierten Halbleiterschaltung platziert. Dabei wird die Platzierung der Schaltelemente nach Verdrahtungs- und Laufzeitkriterien an den Signalverbindungen
30 vorgenommen. Üblicherweise handelt es sich bei derartigen Halbleiterschaltungen um komplett synchron getaktete Systeme.

Im dritten Verfahrensschritt erfolgt eine Synthese einer Taktbaumstruktur. Dabei wird zunächst eine konventionelle
35 Synthese der Taktbaumstruktur durchgeführt und eine Taktzufuhr mit ihren Taktsignalankunftszeiten soweit balanciert, bis Setup-Kriterien erfüllt sind.

Im weiteren findet in diesem Verfahrensschritt ein Wiederherstellen der Halte-Bedingungen statt, das durch Einfügen von Verzögerungselementen zu schnelle Signalpfade verlangsamt, bis die Halte-Bedingungen erfüllt sind. Gegebenenfalls ist eine nachfolgende Überprüfung der Setup-Kriterien und entsprechend bei einer Verletzung von Setup-Kriterien eine Wiederholung des dritten Verfahrensschritts erforderlich.

- 10 Nach der Synthese der Taktbaumstruktur ist das Design der integrierten Halbleiterschaltung frei von Verletzungen der Umschaltvoraussetzungen.

Die Taktsignalankunftszeiten an den Schaltelementen wurden aufgrund der gewünschten Synchronität möglichst gleichzeitig eingestellt. Üblicherweise liegen Laufzeitunterscheide in modernen Technologien mit Strukturbreiten von $0,18\mu\text{m}$ in der Größenordnung von 200-400 ps. Bis zu 95% der synchronen Schaltelemente haben dabei Laufzeitreserven (Slacks) innerhalb der Umschaltvoraussetzungen, die größer als 1 ns sind.

Alternativ zum aufgezeigten dritten Verfahrensschritt ist es ebenfalls möglich, die Taktbaumstruktur unter Außerachtlassung von besonderen Randbedingungen nur entsprechend einer für einen Aufbau der Taktbaumstruktur im Flurplan vorgesehenen Fläche im Schaltungslayout der integrierten Halbleiterschaltung aufzubauen. Als Resultat wird so eine Taktbaumstruktur erzeugt, die Verletzungen der Umschaltvoraussetzungen aufweist. Jedoch wird eine bessere Verteilung von Taktsignalankunftszeiten als Ausgangsposition für die folgenden Verfahrensschritte erreicht.

Im vierten Verfahrensschritt werden zunächst alle diejenigen synchronen Schaltelemente identifiziert, deren Laufzeitreserve (Slack) bei Einhaltung der Umschaltvoraussetzungen größer als ein vorgegebener Schwellenwert ist. Solche synchronen Schaltelemente werden als synchrone Schaltelemente

mit unkritischen Umschaltvoraussetzungen bezeichnet. Der Schwellenwert wird idealerweise aus der typischen Breite von Stromspitzen bestimmt und weist zum Beispiel Werte von ca. 0,05 ns bis 10 ns auf.

5

Die Taktsignalankunftszeiten werden im Folgenden auf Taktleitungen zu Schaltelementen mit unkritischen Umschaltvoraussetzungen statistisch um eine jeweilige Verschiebedauer verschoben. Eine Statistik für die jeweilige Verschiebedauern ist dabei so gewählt, dass die Taktsignalankunftszeiten der Taktsignale an synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen über mehrere Nanosekunden verstreut sind, und so eine weitgehende Glättung des Stromaufnahme-
10 profils erreicht ist. Laufzeit-kritische Signalpfade bleiben unverändert erhalten.
15

Die Verteilung der verschobenen Taktsignalankunftszeiten ist bevorzugterweise eine Gleichverteilung in einem Zeitintervall, das zwischen dem Wert 0 und einer maximal erlaubten globalen Verschiebedauer $S_{\max}$ liegt. Die globale Verschiebedauer $S_{\max}$ entspricht einem Maximalwert der aus den Verschiebedauern der Schaltelemente bestimmt wird, um die die jeweiligen Taktsignalankunftszeiten der Schaltelemente verschoben werden können, so dass die Umschaltvoraussetzungen gerade
20 noch erfüllt bleiben. Sie wird ihrerseits durch die Länge der Taktperiode in der integrierten Halbleiterschaltung nach oben beschränkt.
25

Es können auch Verteilungsfunktionen gewählt werden, die ein Maximum innerhalb des Zeitintervalls aufweisen, wie beispielsweise eine Poisson-Verteilung, eine Gauß-Verteilung, etc.. Eine weitere bevorzugte Verteilungsfunktion ist dadurch definiert, dass für jedes synchrone Schaltelement mit unkritischen Umschaltvoraussetzungen eine maximal zulässige lokale
30 Verschiebedauer ausgenutzt wird. Das heißt, dass die Taktsignalankunftszeiten so weit verschoben werden, dass gerade noch die Umschaltvoraussetzungen erfüllt bleiben.
35

Wurde entsprechend dem alternativen dritten Verfahrensschritt die Taktbaumstruktur ohne besondere Randbedingungen nur nach der zur Verfügung gestellten Fläche im Schaltungslayout der integrierten Halbleiterschaltung aufgebaut, so werden die jeweiligen Taktsignalankunftszeiten an den synchronen Schaltelementen derart verschoben, dass die jeweiligen Setup-Kriterien an den Schaltelementen erfüllt werden. Dies kann dadurch geschehen, dass die Taktsignalankunftszeit soweit verschoben wird, bis die Setup-Kriterien gerade erfüllt werden und ein "Setup-Slack" maximal ausgenutzt wird. Somit wird eine Streuung der Taktsignalankunftszeiten und damit der Umlade-Stromspitzen innerhalb des Zeitintervalls erreicht, das oben bereits genannt wurde.

Bei synchronen Schaltelementen, die mehrere Einzelschaltelemente umfassen, kann eine bis jetzt nicht vorgestellte Verteilung wünschenswert sein. Bei dieser wird eine Gewichtung der synchronen Schaltelemente mit der Anzahl der enthaltenen Einzelschaltelemente vorgenommen. Die Gewichtung kann dabei durch eine Maßzahl M dargestellt werden. Mit einem Takt-Schaltzeitpunkt t_i des Einzelschaltelements i der N Einzelschaltelemente des synchronen Schaltelements ergibt sich die Maßzahl M zu

$$M = \sum_{i=1, N} \sum_{j>i} |t_i - t_j|.$$

Ein Anwachsen der Maßzahl M innerhalb des Verfahrens entspricht einer Optimierung der Stromverteilung, während eine Abnahme einer Verschlechterung entspricht.

In Fig. 4 werden Teilschritte des vierten Verfahrensschritts nach Fig. 3 zum Verschieben einer Taktsignalankunftszeit bei synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen dargestellt. Dabei wird zunächst die Taktsignalankunftszeit eines bislang durch diesen Verfahrensschritt unveränderten synchronen Schaltelements geändert. Das synchrone Schaltelement selber wird daraufhin in einer Liste mit veränderten Schaltelementen eingetragen.

- Es erfolgt eine Neuberechnung der Umschaltvoraussetzungen für die synchronen Schaltelemente, die in der integrierten Halbleiterschaltung enthalten sind. Vorzugsweise werden nur Umschaltvoraussetzungen solcher synchronen Schaltelemente neu berechnet, die bereits beeinflusst wurden. Das sind insbesondere solche Schaltelemente, die auf Nachfolgepfaden bzw. Vorgangspfaden des veränderten Schaltelements liegen.
- 10 Im Anschluss folgt an diesen Teilschritt eine Prüfung auf ein Abbruchkriterium. Ist ein Zielbereich für die Abstände zwischen Taktsignalankunftszeiten verschiedener Schaltelemente erreicht, so wird das Verfahren beendet. Der Zielbereich kann beispielsweise vorher durch eine maximal zulässige Anzahl von
- 15 innerhalb eines Zeitintervalls schaltenden Schaltelementen festgelegt werden. Ebenso wird das Verfahren beendet, wenn keine weiteren Verschiebungen von Taktsignalankunftszeiten zulässig sind. Sollten beide Abbruchkriterien nicht erfüllt sein, wird ein weiteres synchrones Schaltelement mit unkritischen Umschaltvoraussetzungen ausgewählt, das nicht in der
- 20 Liste veränderter Schaltelemente eingetragen ist, um die Teilschritte des dargestellten Verfahrens erneut durchzuführen.
- 25 Die in Fig. 5 dargestellten Verfahrensschritte sind als Alternativen zu denen in Fig. 4 dargestellten zu verstehen und ähneln denen in Fig. 4 gezeigten. Anfangs werden ebenfalls alle synchronen Schaltelemente mit unkritischen Umschaltvoraussetzungen zu Berücksichtigung freigegeben indem sie beispielsweise in eine Liste freigegebener Elemente eingetragen werden. Es wird ein beliebiges synchrones Schaltelement mit unkritischen Umschaltvoraussetzungen ausgewählt. Für dieses
- 30 synchrone Schaltelement wird eine Taktsignalankunftszeit zugeführten Taktsignals verändert und dieses synchrone Schaltelement wird in eine Liste veränderter Schaltelemente eingetragen. Daraufhin erfolgt eine Bestimmung derjenigen synchronen Schaltelemente, deren Umschaltvoraussetzungen durch die
- 35

vorhergehende Verschiebung beeinflusst wurden. Die beeinflussten synchronen Schaltelemente werden zusammen mit dem beliebig ausgewählten Schaltelement aus der Liste freigegebener Elemente gestrichen. Dieser Anfangsteil des Verfahrens wird solange rekursiv durchgeführt, bis die Liste freigegebener Elemente leer ist.

Alle Schaltelemente, deren Umschaltvoraussetzungen im vorherigen Verfahren verändert wurden, werden anschließend als solche gekennzeichnet und die synchronen Schaltelemente mit unkritischen Umschaltvoraussetzungen, die nicht in der Liste veränderter Schaltelemente eingetragen sind, werden erneut freigegeben.

Die Verfahrensschritte werden für die synchronen Schaltelemente mit unkritischen Umschaltvoraussetzungen wiederholt, die nicht in der Liste veränderter synchroner Schaltelemente eingetragen sind. Alternativ können beim Durchlaufen sämtlicher synchronen Schaltelemente alle diejenigen synchronen Schaltelemente übersprungen werden, deren direkte Nachbarn bereits in vorhergehenden Verfahrensschritten berücksichtigt wurden.

Sollte am Ende des Verfahrens ein geforderter Zielbereich für Abstände zwischen den Taktsignalankunftszeiten oder den Taktschaltzeitpunkten der Schaltelemente nicht erreicht werden, so wird das Verfahren mit einem sich von dem beliebigen synchronen Schaltelement unterscheidenden, anderen beliebigen synchronen Schaltelement neu aufgesetzt.

Sowohl das in Fig. 4 als auch das in Fig. 5 dargestellte Verfahren kann vorzeitig abgebrochen werden. Beispielsweise kann dabei das Erreichen eines Zielbereichs für die Abstände zwischen den Taktsignalankunftszeiten als Abbruchskriterium dienen. Dies entspricht beispielsweise einer Senkung von Stromspitzen im Summenstrom um einen gewünschten Prozentsatz bzw. einem Erreichen einer Taktsignalankunftszeit-Zielverteilung.

Ein weiteres Abbruchkriterium in den Verfahren kann das Erreichen einer Maximalzahl von Optimierungsschritten sein. Diese kann beispielsweise durch einen Bruchteil der Anzahl von synchronen Schaltelementen mit unkritischen Umschaltvor-

5 aussetzungen oder aber auch aller synchronen Schaltelemente sein. Dadurch kann die Dauer der Durchführung des Verfahrens verkürzt werden.

Fig. 6 zeigt Verfahrensschritte zur erfindungsgemäßen Ver-

10 schiebung von Taktsignalankunftszeiten eines synchronen Schaltelements. Diese Verfahrensschritte als Teilschritte in den in Fig. 4 und 5 gezeigten Verfahren einsetzbar.

In einem ersten Schritt werden die Taktsignalankunftszeiten

15 verändert, obwohl Halte-Bedingungen verletzt werden. Diese Veränderung geschieht zunächst versuchsweise. Durch das Einfügen von Verzögerungselementen in eine eingehende Signalleitung des synchronen Schaltelements werden die Halte-

20 Bedingungen wieder erfüllt. Ähnlich kann dies durch ein sogenanntes Scan-Chain-Reordering auf Grundlage der Taktsignalankunftszeiten geschehen, bei dem die Länge der Signalleitung und damit die Signallaufzeit verändert wird.

Ist eine Erfüllung der Halte-Bedingungen trotz einer vorher

25 festgelegten Anzahl von Verzögerungselementen nicht möglich, so wird die Verschiebung der Taktsignalankunftszeiten für dieses Schaltelement wieder zurückgenommen.

Die festgelegte Anzahl von Verzögerungselementen ergibt sich

30 dabei beispielsweise aus einer Verzögerungsdauer der Verzögerungselemente und einer maximal erlaubten lokalen Laufzeitverschiebung des Datensignals am des Schaltelements.

Generell für alle Verfahren gelten die folgenden Überlegungen. In einigen vorstehend beschriebenen Verfahrensschritten

35 müssen die Umschaltvoraussetzungen neu berechnet werden. Durch die Verschiebung von Taktsignalankunftszeiten an einem

synchronen Schaltelement werden sowohl die Anforderungen an die Signalpfade zu den nachfolgenden synchronen Schaltelementen als auch die Anforderung an Signalpfade von den vorausgehenden synchronen Schaltelementen verändert. So bewirkt beispielsweise eine Verzögerung einer Taktsignalankunftszeit um eine Größe Δ eine entsprechende Verschärfung der Setup-Bedingungen (Slack) auf einem Folgesignalpfad sowie eine Verschärfung der Hold-Anforderung auf einem Vorgängersignalpfad. Es gelten also die folgenden Gleichungen:

Folgesignalpfade:

$$\text{Setup-Slack neu} = \text{Setup-Slack alt} - \Delta$$

$$\text{Hold-Slack neu} = \text{Hold-Slack alt} + \Delta$$

Vorgängersignalpfade:

$$\text{Setup-Slack neu} = \text{Setup-Slack alt} + \Delta$$

$$\text{Hold-Slack neu} = \text{Hold-Slack alt} - \Delta$$

Aus den genannten Gleichungen und der Randbedingung, dass der Setup-Slack und der Hold-Slack größer als 0 sein müssen, werden nun die größten und kleinsten zulässigen Δ -Werte für jedes synchrone Schaltelement bestimmt, die als zulässige Verzögerungswerte Dx^- und Dx^+ bezeichnet werden. Es werden alle Signalpfade berücksichtigt, die an jeweiligen synchronen Schaltelementen beginnen oder enden. Die Verzögerungswerte Dx^- und Dx^+ werden für "bestcase"- und "worstcase"-Betriebsbedingungen bestimmt und in einer Verzögerungswert-Tabelle abgelegt.

Für jedes synchrone Schaltelement wird eine Einheiten-Liste der verbundenen synchronen Schaltelemente angelegt, und für jedes verbundene synchrone Schaltelement j gibt es einen Spielraum für den Setup mit der Größe Sx_j . Der Verzögerungswert Dx^+ ergibt sich daher aus der Formel:

$$Dx^+ = \text{MIN}(Sx_j), \text{ für alle verbundenen synchronen Schaltelemente } j.$$

Analog erfolgt die Berechnung des Verzögerungswerts D_{x+} für ein synchrones Schaltelement, das aus einer Cluster-Schaltung mehrerer Einzelschaltelemente besteht. Dabei werden alle Vorgängersignalpfade und Folgesignalpfade der Cluster-Schaltung berücksichtigt. Vorgängersignalpfade sind alle Signalpfade, die an Einzelschaltelementen in der Cluster-Schaltung enden, und nicht solche Signalpfade, die an Einschaltelementen in der Cluster-Schaltung beginnen. Nachfolgersignalpfade sind alle Signalpfade, die an Einzelschaltelementen in der Cluster-Schaltung beginnen, und nicht solche Signalpfade, die an Einzelschaltelementen in der Cluster-Schaltung enden. Interne Signalpfade, die innerhalb der Cluster-Schaltung beginnen und enden, erfahren durch eine Veränderung der Taktsignalankunftszeit des synchronen Schaltelements keine Veränderungen und werden deshalb nicht berücksichtigt.

Aufgrund der Neuberechnung der Umschaltvoraussetzungen können Verzögerungselemente in die Taktbaumstruktur eingefügt werden. Diese bewirkt stets ein positives Δ . Deshalb ist im Folgenden nur der Verzögerungswert D_{+} relevant. Ein Verzögerungselement kann eingefügt werden, wenn die Verzögerung des Verzögerungselements kleiner ist als D_{+} . Nach Einfügen eines Verzögerungselements in der Taktbaumstruktur werden die zugehörigen Verzögerungswerte D_{+} und D_{-} der Schaltelemente in den Vorgänger- und Folgesignalpfaden in der Verzögerungswert-Tabelle neu berechnet.

Die oben beschriebenen Ausführungsbeispiele lassen sich ebenfalls in integrierten Halbleiterschaltungen einsetzen, die aus zueinander asynchronen und in sich synchronen Blöcken bzw. Schaltelementen bestehen. Insbesondere Systeme wie beispielsweise System-on-chips oder SOC weisen vielfach mehrere zueinander asynchrone Teilblöcke oder Schaltelemente auf. Neben dem Glätten des Stromprofils der synchronen Teilblöcke bzw. Schaltelemente mit den obigen Verfahrensschritten kann hier noch das folgende Glättungsverfahren eingesetzt werden.

Zunächst werden die Teilblöcke oder Schaltelemente innerhalb der integrierten Halbleiterschaltung platziert, indem ein Flurplan erstellt wird. Laufzeitunterschiede der Signalverbindungen und dazugehörige Latenzen werden ermittelt. Danach werden durch das Einfügen von Verzögerungselementen in eine zentrale Taktzuleitung Taktsignalankunftszeiten an den synchronen Teilblöcken bzw. Schaltelementen derart verschoben, dass maximal nur eine gewünschte Anzahl von Einzelschaltelementen in unterschiedlichen synchronen Teilblöcken bzw. Schaltelementen zu einem gleichen Zeitpunkt schalten.

Fig. 7 zeigt in Kurven A, B und C Simulationsergebnisse eines Summenstroms an der Spannungsversorgung einer Halbleiterschaltung deren Taktbaumstruktur auf Grundlage der vorliegenden Erfindung erstellt ist. Der Summenstrom ist dabei proportional zu den Schaltereignissen N_{FF} an einzelnen Schaltelementen. Die Schaltereignisse N_{FF} sind über die Zeit $T_{arrival}$ aufgetragen. Die Zeit $T_{arrival}$ wird in Nanosekunden (ns) angegeben.

Die Simulation erfolgte in einer Tcl-Code-Implementierung eines in Fig. 5 dargestellten Ausführungsbeispiels. Die einzelnen Schaltelemente in der integrierten Halbleiterschaltung sind dabei zur Vereinfachung der Beschreibung standardisiert und besitzen deshalb identische Eigenschaften. Es werden 50000 Schaltelemente bei einer Taktfrequenz von 400 MHz verwendet.

Die Kurve A (gepunktete dargestellt) stellt dabei das Stromprofil einer synchronen Halbleiterschaltung da, wie es sich bei einer gemäß dem Stand der Technik erstellten Taktbaumstruktur ergeben würde. Die Periode der Stromspitzen beträgt 2,5 ns. Alle Schaltelemente schalten hier praktisch gleichzeitig. Im Intervall $(2,5 \pm 0,05)$ ns schalten dabei 90,7% aller Schaltelemente

Die Kurve B (gestrichelt dargestellt) zeigt das Ergebnis nach einem ersten kompletten Durchlauf des Verfahrens. Dabei wird ein Setup-Kriterium mit einem "Setup-Slack" von $<+100\text{ps}$ und einem "Hold-Slack" von -1ns berücksichtigt. Das bedeutet,
5 dass diejenigen Schaltelemente als Schaltelemente mit unkritischen Umschaltvoraussetzungen gewählt werden, deren "Setup-Slack" größer als 100 ps ist. Es werden keine Hold-Verletzungen erzeugt, die größer als 1 ns sind. In jedem Schritt wird ein Verzögerungselement mit einer größtmöglichen
10 Laufzeitverzögerung in eine Taktleitung eingebaut, wobei die Umschaltvoraussetzungen der Schaltelemente erfüllt bleiben.

Als Schaltelemente kommen solche zur Anwendung, die mindestens 40, höchstens jedoch 200 Einzelschaltelemente umfassen.
15

Die maximale Anzahl der Schaltelemente, die in einem Intervall der Breite 100 ps schalten, hat sich in diesem ersten Durchlauf bereits auf $55,9\%$ reduziert.

20 Die Kurve C (durchgezogene Linie) zeigt das Ergebnis nach einem zweiten Durchlauf des Verfahrens und einem zusätzlichen Wiederherstellen der Halte-Bedingungen mit Verzögerungselementen. Nach diesen Schritten ist eine eventuell eingetragene Verletzung der Halte-Bedingungen beseitigt. Die maximale Anzahl der Schaltelemente innerhalb eines Intervalls der Breite
25 100 ps beträgt 28% .

Es ist zu erkennen, dass der Spitzenstrom der Kurve C im Vergleich zur Kurve A deutlich verringert ist. Im Fall der Simulation ist die Stromspitze der Kurve C nur 27% der Stromspitze der Kurve A.
30

Bezugszeichenliste

	A, B, C	Simulationsergebnisse
	I	Stromprofil
5	I_{Σ}	Summenstrom
	FF1, FF2, FF3	Schaltelement
	clk1, clk2, clk3	Taktsignal
	d_k	Datensignal
	T, $T_{arrival}$	Zeit
10	T_{dk}	Zeitintervall
	N_{FF}	Anzahl von Schalterereignissen
	TE	Takteingang
	SE	Signaleingang
	SO	Signalausgang
15	ZL	Zuleitung
	SV	Spannungsversorgung
	SVE	Spannungsversorgungseingang

Patentansprüche

1. Verfahren zum Erstellen einer Taktbaumstruktur in einer integrierten Halbleiterschaltung mit einem wenigstens zwei
5 synchrone Schaltelemente mit jeweiligen Taktleitungen aufweisenden Schaltwerk, welches folgende Schritte umfasst:
- a) Bestimmen von synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen bezüglich einer Signalankunftszeit in Relation zu einer Taktankunftszeit und
 - 10 b) Verschieben der Taktsignalankunftszeit mit Hilfe wenigstens eines Verzögerungselements in der Taktleitung wenigstens eines synchronen Schaltelements mit unkritischen Umschaltvoraussetzungen im Sinne einer Minimierung der Anzahl von gleichzeitig den Schaltzustand wechselnden synchronen Schaltelementen,
 - 15 wobei das Verschieben der Taktsignalankunftszeit bei synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen die folgenden Schritte umfasst:
 - c) Verschieben der Taktsignalankunftszeit an einem ausgewählten synchronen Schaltelement mit unkritischen Umschaltvoraussetzungen mit Hilfe wenigstens eines Verzögerungselements,
 - 20 d) Identifizieren des ausgewählten synchronen Schaltelements als verändertes Schaltelement,
 - e) Neuerfassen der Umschaltvoraussetzungen der synchronen Schaltelemente,
 - 25 f) Überprüfung auf eine Verletzung der neuerfassten Umschaltvoraussetzungen und bei Verletzungsfreiheit
 - g) Wiederholen der Schritte c) bis f) für synchrone
 - 30 Schaltelemente unter Außerachtlassung der identifizierten Schaltelemente.
2. Verfahren gemäß Anspruch 1, bei dem das Verschieben der Taktsignalankunftszeiten bei einem synchronen Schaltelement
35 mit unkritischen Umschaltvoraussetzungen dadurch bewirkt wird, dass das Verzögerungselement mit seinem Verzögerungswert derart bemessen wird, dass die Taktsignalankunftszeit um

einen durch ein Verteilungsverfahren ermittelten, innerhalb eines die Umschaltvoraussetzungen währenden Zeitintervalls liegenden Verzögerungswert verschoben wird.

5 3. Verfahren gemäß Anspruch 2, wobei der Verzögerungswert innerhalb des Zeitintervalls maximal gewählt wird.

4. Verfahren gemäß Anspruch 2, bei dem das Verteilungsverfahren bei mehr als zwei synchronen Schaltelementen mit un-
10 kritischen Umschaltvoraussetzungen auf eine Gleichverteilung der Verzögerungswerte über eine Taktperiode abzielt.

5. Verfahren gemäß einem der Ansprüche 1 bis 4,
bei dem wenigstens ein synchrones Schaltelement aus einem
15 Einzelschaltelement oder aus einer Gruppe von miteinander verbundenen Einzelschaltelementen gebildet ist.

6. Verfahren gemäß einem der Ansprüche 1 bis 5,
bei dem das Verschieben der Taktsignalankunftszeit bei syn-
20 chronen Schaltelementen mit unkritischen Umschaltvoraussetzungen den folgenden Schritt umfasst:

f1) Identifizieren derjenigen synchronen Schaltelemente als veränderte Schaltelemente, bei denen sich die Umschaltvoraussetzungen verändert haben.

25

7. Verfahren gemäß einem der Ansprüche 1 bis 6, bei dem bei einer Bestimmung von synchronen Schaltelementen mit unkritischen Umschaltvoraussetzungen eine Signalhaltezeit in Relation zur Taktsignalankunftszeit außer Acht gelassen werden.

30

8. Verfahren gemäß Anspruch 7, bei dem bei einer Verschiebung der Taktsignalankunftszeit an einem synchronen Schaltelement im Sinne einer Wiederherstellung der Signalhaltezeit mindestens ein Verzögerungselement in eine Signalleitung des syn-
35 chronen Schaltelements eingefügt wird.

9. Computerprogrammprodukt zum automatischen Erzeugen einer Taktbaumstruktur in einer integrierten Halbleiterschaltung, das direkt oder indirekt in den internen Speicher eines Computers geladen werden kann und Koordinierungsabschnitte umfasst, die ein Verfahren gemäß Anspruch 1 bis 8 ausführen.

10. Layoutvorrichtung mit einem Prozessor, der derart eingerichtet ist, dass er ein Verfahren gemäß Anspruch 1 bis 8 durchführt.

FIG 1

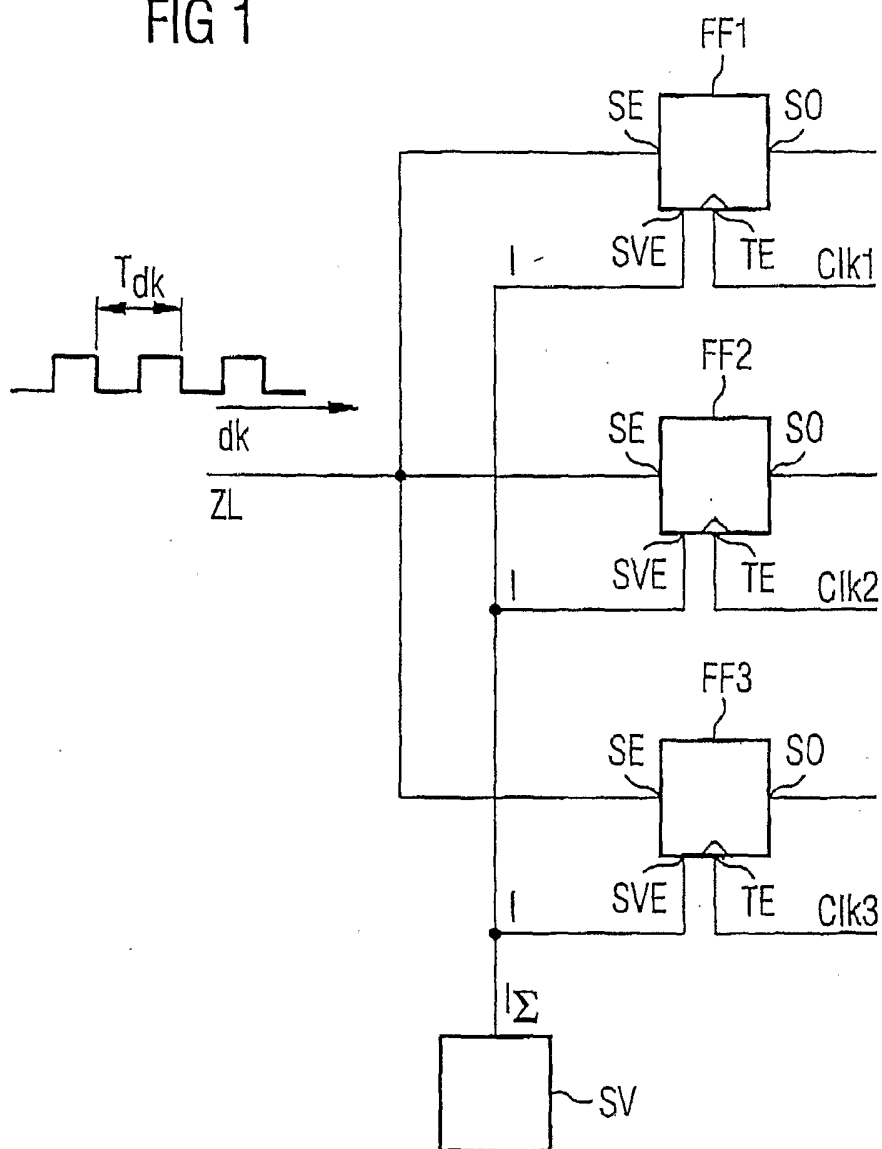


FIG 2A

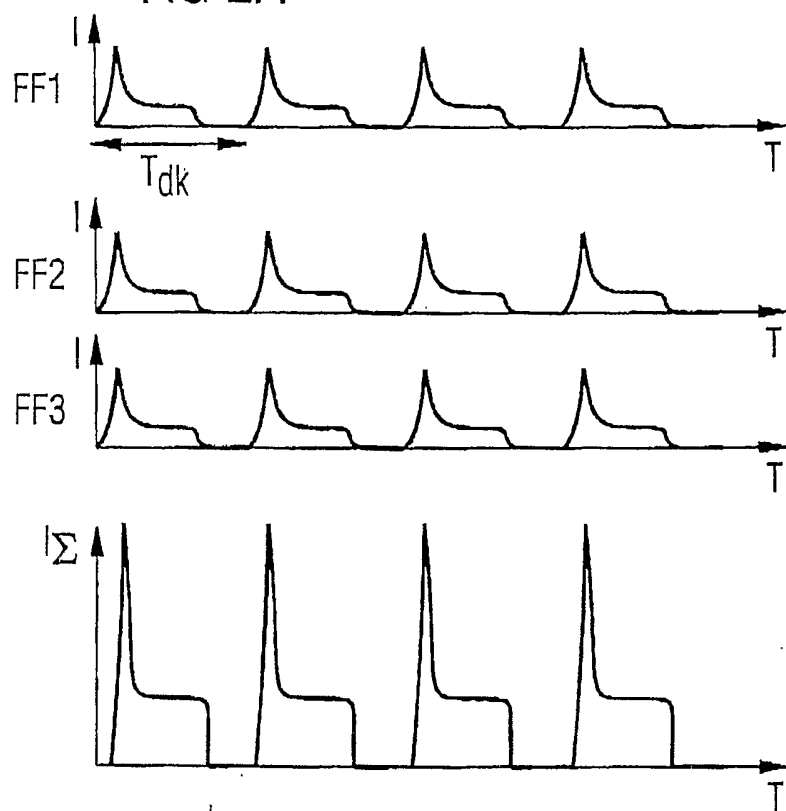


FIG 2B

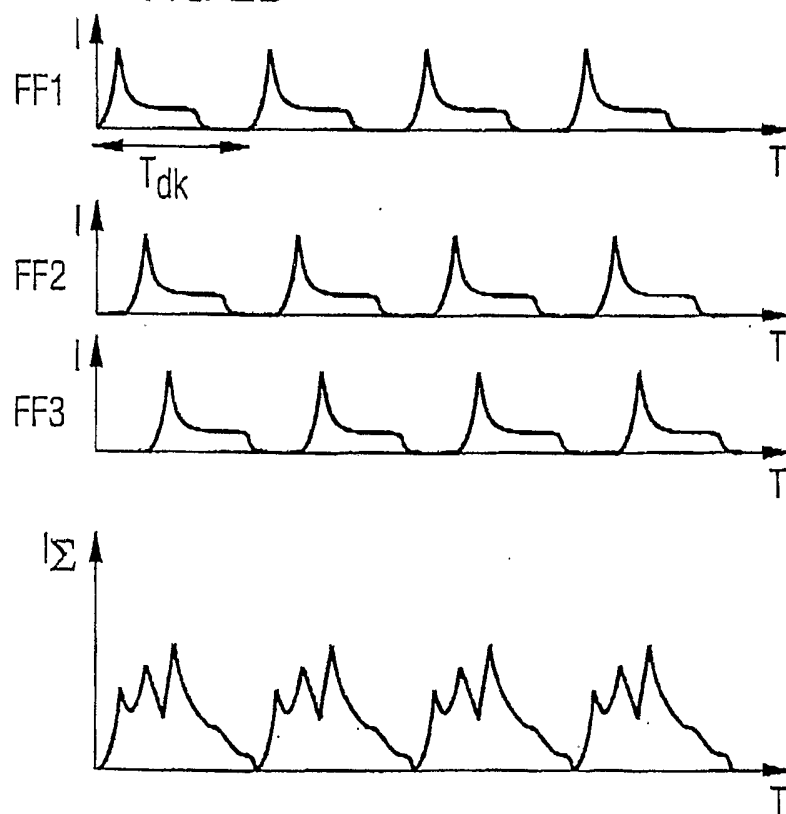


FIG 3

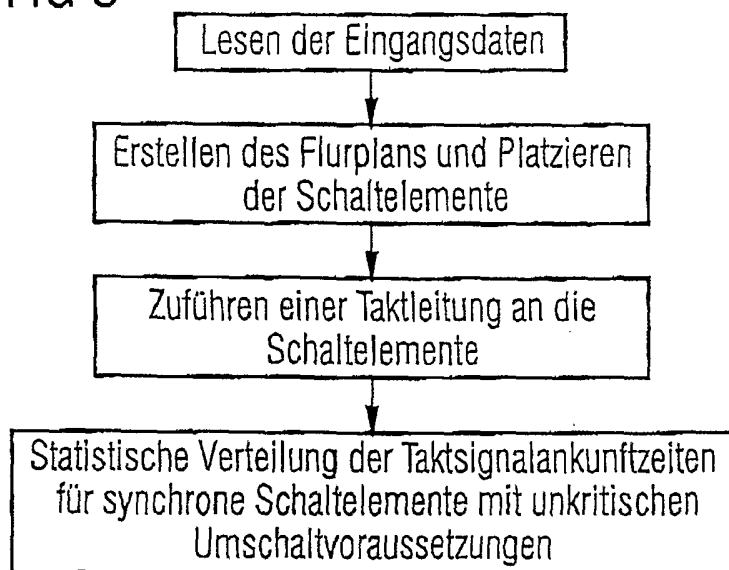


FIG 4

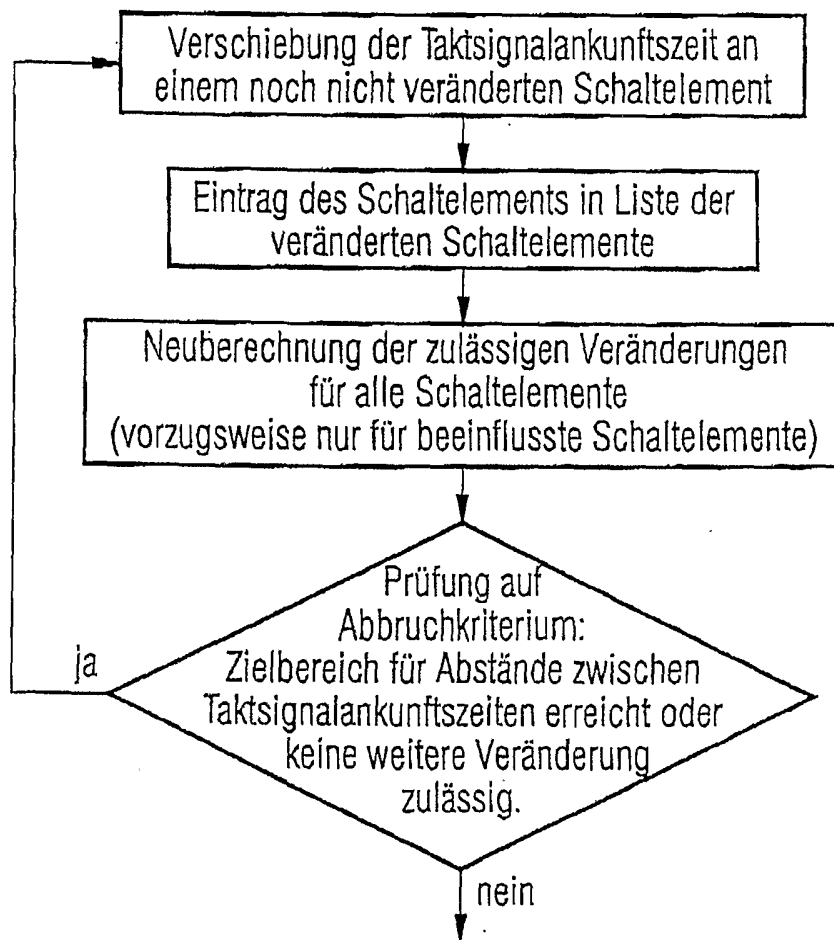


FIG 5

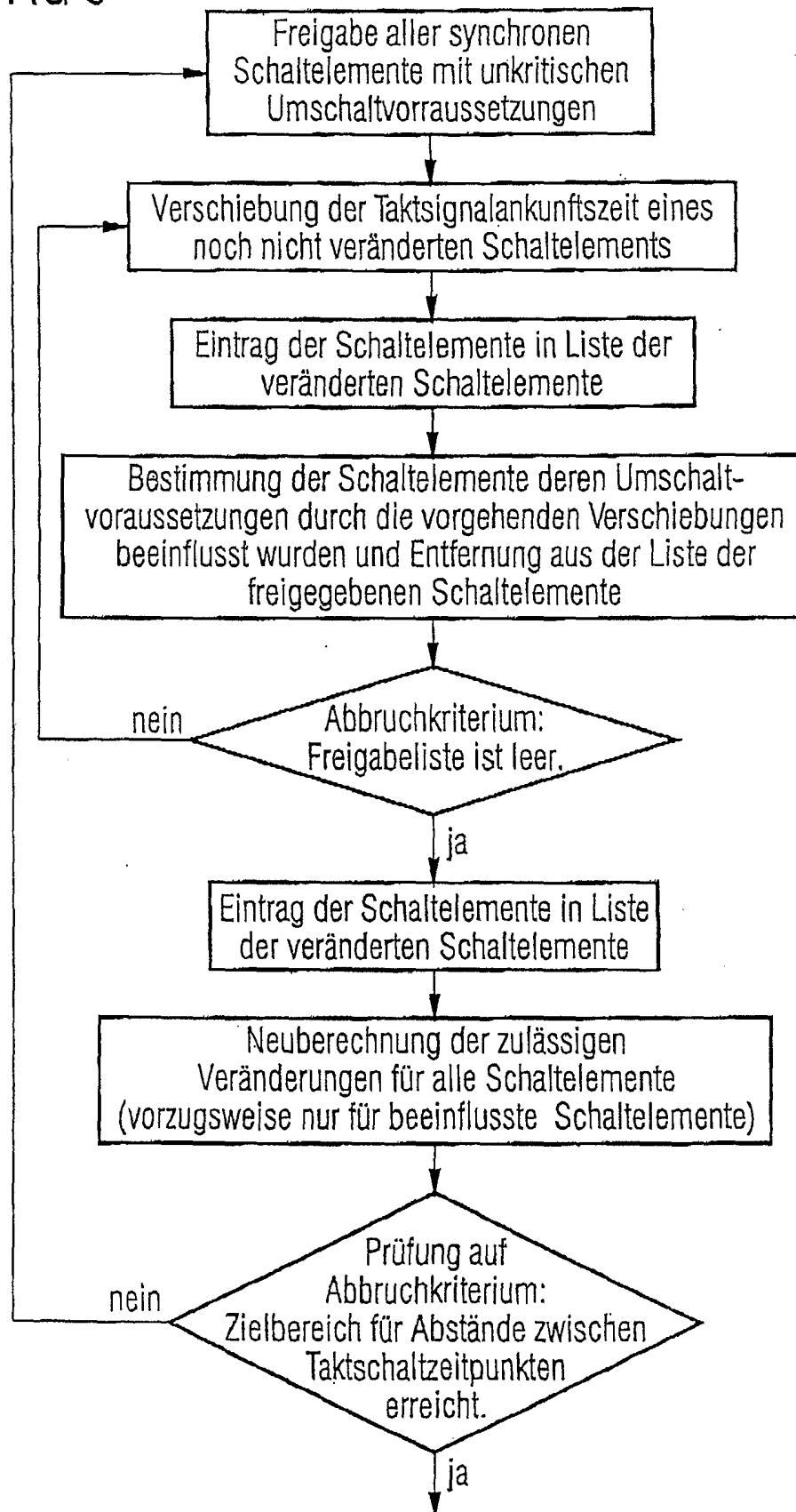


FIG 6

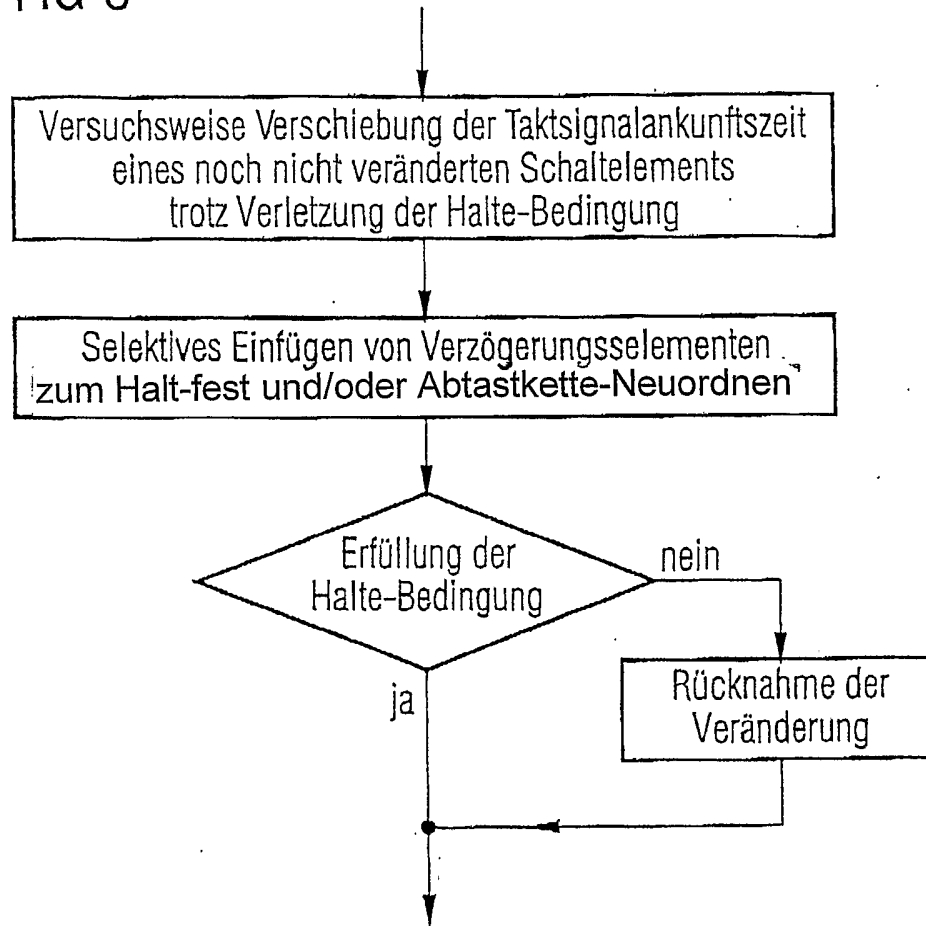


FIG 7

