

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3558404号

(P3558404)

(45) 発行日 平成16年8月25日(2004.8.25)

(24) 登録日 平成16年5月28日(2004.5.28)

(51) Int. Cl.⁷

F I

G 0 6 F 15/16

G 0 6 F 15/16

H 0 4 L 13/08

H 0 4 L 13/08

請求項の数 12 (全 9 頁)

(21) 出願番号	特願平7-85585	(73) 特許権者	398012616
(22) 出願日	平成7年4月11日(1995.4.11)		ノキア コーポレーション
(65) 公開番号	特開平7-295948		フィンランド エフイーエンー02150
(43) 公開日	平成7年11月10日(1995.11.10)		エスプー ケイララーデンティエ 4
審査請求日	平成13年11月22日(2001.11.22)	(74) 代理人	100059959
(31) 優先権主張番号	9407232:9		弁理士 中村 稔
(32) 優先日	平成6年4月12日(1994.4.12)	(74) 代理人	100067013
(33) 優先権主張国	英国(GB)		弁理士 大塚 文昭
		(74) 代理人	100065189
			弁理士 穴戸 嘉一
		(74) 代理人	100096194
			弁理士 竹内 英人
		(74) 代理人	100074228
			弁理士 今城 俊夫

最終頁に続く

(54) 【発明の名称】 データバッファ

(57) 【特許請求の範囲】

【請求項1】

携帯用データ処理装置において、

動作状態と電力節約状態を有する第1のプロセッサ(22、21)と、

第2のプロセッサ(21、22)と、

前記第1及び第2のプロセッサ(21、22)に相互にアクセス可能であるデータ記憶場

所(33、36)であって、前記第1及び第2のプロセッサ(21、22)はそれらの間

で前記データ記憶場所(33、36)を介してデータを転送するように構成されている、

前記データ記憶場所(33、36)と、

前記データ記憶場所(33、36)が読み出されるべきデータをそこに記憶しているか否

か、または、前記データ記憶場所がそこへデータを書き込むために使用しうるか否かを指

示するレジスタ(41)と、

前記第1のプロセッサ(22、21)によって読み出されるデータを前記データ記憶場所

が含むことを指示するように前記レジスタ(41)がセットされているときに、前記電力

節約状態から前記動作状態へ前記第1のプロセッサ(22、21)の状態を変更するため

に、前記第2のプロセッサ(21、22)による開始下で前記第1のプロセッサ(22、

21)へ割り込み信号を送るよう構成された割り込み発生手段(42、F1、F2、G1)

と、を備え、

前記割り込み発生手段(43、G2)は、前記データ記憶場所が読み出されたことを指示す

るよう前記レジスタ(41)がリセットされたとき、前記第1のプロセッサ(22、2

10

20

1)による開始下で前記第2のプロセッサ(21、22)へ割込み信号を供給するように構成されていることを特徴とする携帯用データ処理装置。

【請求項2】

前記第2のプロセッサ(21、22)は動作状態と電力節約状態を有しており、前記割込み発生手段(43、G2)は、前記第2のプロセッサ(21、22)の状態を前記電力節約状態から前記動作状態へ変更するために前記第1のプロセッサ(22、21)による開始下で前記割込み信号を供給するように構成されている請求項1記載の装置。

【請求項3】

前記データ記憶場所は、前記第1のプロセッサ(22)から前記第2のプロセッサ(21)へと転送されるデータを記憶するための第1の組の記憶場所と、前記第2のプロセッサ(21)から前記第1のプロセッサ(22)へと転送されるデータを記憶するように構成されている第2の組の記憶場所とを備える請求項1若しくは2記載の装置。

10

【請求項4】

前記各組の記憶場所は、各レジスタと、各割込み発生手段とを有する請求項3記載の装置。

【請求項5】

前記第1のプロセッサ(22)はバッテリー(19)で作動させられる請求項1乃至4のいずれかに記載の装置。

【請求項6】

前記第2のプロセッサ(21、22)は、スタンバイ状態に入るように構成されており、且つ、割込み信号を受信するとき、前記スタンバイ状態を中断するように構成されている請求項1乃至5のいずれかに記載の装置。

20

【請求項7】

前記第2のプロセッサ(21、22)はバッテリー(19)で作動させられる請求項6記載の装置。

【請求項8】

データは、68バイトを単位として転送される請求項1乃至7のいずれかに記載の装置。

【請求項9】

前記第2のプロセッサ(21、22)は信号処理ユニットである請求項1乃至8のいずれかに記載の装置。

30

【請求項10】

前記第1のプロセッサ(22)はマイクロ制御ユニットである請求項1乃至9のいずれかに記載の装置。

【請求項11】

前記装置は無線電話である請求項1乃至10のいずれかに記載の装置。

【請求項12】

データ処理装置における電力の保存方法において、

第1のプロセッサ(22、21)と第2のプロセッサ(21、22)との間でデータバッファ(33、36)を介してデータを送信し、電力を節約するために前記第1のプロセッサ(22、21)を選択的にスイッチオン/オフとし、更に、

40

前記データバッファ(33、36)が前記第1のプロセッサ(22、21)によって読み出されるべきデータを含むときに、前記第1のプロセッサ(22、21)の状態を電力節約状態から動作状態へ変更するために、前記第2のプロセッサ(21、22)による開始下で前記第1のプロセッサ(22、21)に割込みをかけ、前記データバッファ(33、36)のデータが読み出されたときに、前記第1のプロセッサ(22、21)による開始下で前記第2のプロセッサ(21、22)に割込みをかける、

ことを特徴とする方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】

50

本発明は、少なくとも1つのプロセッサがバッテリーにて給電されるもので、必要のないときに電力消費を低減させるようにスタンバイ状態に置かれるように構成されているような通信プロセッサの間に配置されるデータバッファ装置に関するものである。

【0002】

【従来の技術】

データ処理装置はますますより小型なものとされる傾向にあるので、携帯用装置に、ますますより複雑で精巧な機能を備えるさせることが可能である。“ラップトップ”および“パームトップ”としてよく市販されている通常のコンピュータシステムに加えて、伝統的にその性格上携帯用とされるその他の装置がデジタル処理技術を利用する場合が増えてきている。したがって、新しく出現してきた移動セルラー電話は、制御環境内におけるデジタル信号処理に加えて、音声信号の送信および受信のためにデジタルコーディングを利用している。

10

【0003】

デジタル的に信号を操作することにより多くの利点を得られるのであるが、この種のデジタル処理は、アナログ処理に比較すると、電力需要が増大する傾向があるという点で欠点がある。明らかなことに、携帯用装置においては、電力は、バッテリーパックから供給されており、所定のサイズのバッテリーについて言えば、電力需要を低減するような方策をとれば、作動時間を増大させることができることになる。

【0004】

データ処理の環境においては、特に、バッテリーの如き局部電力供給装置から電力が供給されるときには、それらのプロセッサがあるデータ処理機能を行うために実際には必要とされていないときに、それらプロセッサを不作動としたりは消勢させることにより、需要電力を低減させるようにすることは知られている。しかし、当然のことながら、プロセッサは必要とされるときには再作動されて、処理動作を行う必要があるときにスタンバイ状態のままでないようにするための方策がとられなければならない。

20

【0005】

【発明が解決しようとする課題】

この種の問題は、第1のプロセッサが第2のプロセッサと通信することが必要とされるときに生ずる。セルラー移動電話においては、第1のプロセッサは、制御機能を果たすために設けられ、第2のプロセッサは、特に、音声信号の処理に関連して、データ信号処理を行うために設けられる。これらのプロセッサは、共に、バッテリーから相当量の電力を消費し、したがって、情報を処理するのに必要とされていないときには、それらプロセッサをスタンバイ状態にしておくのが望ましい。しかしながら、これらのプロセッサは、他方のプロセッサから情報を受信したり、または、他方のプロセッサへ情報を送信したりする必要があり、それらのスタンバイ状態にないようにするのも必須のことである。

30

【0006】

【課題を解決するための手段】

本発明の一つの特徴によれば、携帯用データ処理装置において、動作状態と電力節約状態を有する第1のプロセッサ(22、21)と、第2のプロセッサ(21、22)と、前記第1及び第2のプロセッサ(21、22)に相互にアクセス可能であるデータ記憶場所(33、36)であって、前記第1及び第2のプロセッサ(21、22)はそれら間で前記データ記憶場所(33、36)を介してデータを転送するように構成されている、前記データ記憶場所(33、36)と、前記データ記憶場所(33、36)が読み出されるべきデータをそこに記憶しているか否か、または、前記データ記憶場所がそこへデータを書き込むために使用しうるか否かを指示するレジスタ(41)と、前記第1のプロセッサ(22、21)によって読み出されるデータを前記データ記憶場所が含むことを指示するように前記レジスタ(41)がセットされているときに、前記電力節約状態から前記動作状態へ前記第1のプロセッサ(22、21)の状態を変更するために、前記第2のプロセッサ(21、22)による開始下で前記第1のプロセッサ(22、21)へ割込み信号を送るよう構成された割込み発生手段(42、F1、F2、G1)と、を備え、前記割

40

50

込み発生手段(43、G2)は、前記データ記憶場所を読み出されたことを指示するように前記レジスタ(41)がリセットされたとき、前記第1のプロセッサ(22、21)による開始下で前記第2のプロセッサ(21、22)へ割込み信号を供給するように構成されていることを特徴とする携帯用データ処理装置が提供される。

【0007】

好ましい実施態様においては、また、新しいデータが前記データ記憶場所へ書き込まれうることを指示するように前記レジスタがリセットされるときに、送信プロセッサへの割込み信号を供給するように割込み発生手段が設けられる。

【0008】

好ましくは、第1のプロセッサから第2のプロセッサへとデータを転送するために、第1の組の記憶場所が設けられ、前記第2のプロセッサから前記第1のプロセッサへの転送を行なうために、第2の組の記憶場所が設けられる。

また、本発明の他の特徴によれば、データ処理装置における電力の保存方法において、第1のプロセッサ(22、21)と第2のプロセッサ(21、22)との間でデータバッファ(33、36)を介してデータを送信し、電力を節約するために前記第1のプロセッサ(22、21)を選択的にスイッチオン/オフとし、更に、前記データバッファ(33、36)が前記第1のプロセッサ(22、21)によって読み出されるべきデータを含むときに、前記第1のプロセッサ(22、21)の状態を電力節約状態から動作状態へ変更するために、前記第2のプロセッサ(21、22)による開始下で前記第1のプロセッサ(22、21)に割込みをかけ、前記データバッファ(33、36)のデータが読み出されたときに、前記第1のプロセッサ(22、21)による開始下で前記第2のプロセッサ(21、22)に割込みをかける、ことを特徴とする方法が提供される。

【0009】

【実施例】

次に、添付図面に基づいて、本発明の実施例について、本発明をより詳細に説明する。

【0010】

図1には、送話マイクロフォン15と、受話拡声器16とを有した携帯電話が示されている。電話番号をダイヤルしたり、*印ボタンや#印ボタンを使用して補足的な電話サービスを行えるようにする通常の信号ボタン17が設けられている。液晶ディスプレイ18は、オペレータに対する可視表示を与え、通常の電話操作を容易にすることに加えて、オペレータがその他の諸操作を選択する上で助けとなるようにする。

【0011】

動作において、図1に示した電話は、デジタルコーディング技術を使用して基地局との通信を容易とするために、相当程度のデータ処理を行う。

【0012】

図1に示した電話によって行われる処理のすべては、局部バッテリーパック19を用いて給電される。この局部バッテリーパック19には、通常、再充電してからまた再充電するまでの間において、数時間にわたって完全動作状態にて電話に給電するに十分なエネルギーが与えられている。

【0013】

当然のことながら、信号を受信するときに、アナログ音声信号をデジタルエンコード信号へと変換し且つその逆の変換を行うには、相当の処理オーバーヘッドが必要とされる。音声信号の処理は、図1に示した電話ハウジング内の専用デジタル信号プロセッサを使用して行われる。同様に、相当程度の制御および信号送信が必要とされ、電話内で制御機能を行えるようにする専用マイクロコンピュータ制御ユニットが設けられる。したがって、ある範囲までは、これらの処理区分の各々は別々のままで、各々がその通信環境内において特定のタスクに割り当てられている。しかしながら、場合によっては、マイクロコンピュータ制御ユニットがデジタル信号プロセッサと通信することも必要である。

【0014】

実際に、デジタル信号プロセッサは、マイクロコンピュータ制御ユニットよりもはるかに

10

20

30

40

50

速い速度で動作する傾向にあり、その制御ユニットをスタンバイ状態に実効的において、その次のタスクを開始する前にデジタル信号プロセッサによって処理されるべきデータを待つようにさせることにより、電力節約をなすことができる。しかしながら、スタンバイ状態に一度置かれるときには、そのデジタル信号プロセッサとのデータ転送を行う前に、それを動作状態へと戻すための動作がなされねばならないという問題が生ずる。その上、通信が行われる前に、そのマイクロコンピュータ制御ユニットが通信のために適当な状態にあるようにさせるような付加的なタスクをそのデジタル信号プロセッサに課するのは望ましいことではない。

【 0 0 1 5 】

図 1 に示した電話の概略ブロック図を図 2 に示している。送話器 1 5 および受話器 1 6 は、デジタル処理サブシステム 2 1 と通信する。サブシステム 2 1 は、A T & T によって供給される D S P 1 6 1 6 の如き通常のデジタル信号プロセッサを含む。

10

【 0 0 1 6 】

キー 1 7 を押し下げることに応答して発生される信号は、マイクロ制御ユニットサブシステム 2 2 に供給されるような信号を発生する。このマイクロ制御ユニットサブシステム 2 2 は、日立によって適用される H 8 / 5 3 6 の如き通常のマイクロプロセッサを含む。さらに、そのマイクロ制御ユニットサブシステムは、ディスプレイ装置 1 8 へ信号を供給するようにも構成されている。データ信号処理サブシステム 2 1 とマイクロ制御ユニットサブシステム 2 2 との間のデータ転送を行うための回路を含む専用集積回路 2 3 によって、付加的な機能が与えられる。この専用集積回路 2 3 は、また、無線装置 2 4 に対するインターフェイスを与える。この無線装置 2 4 は、アンテナ 2 5 への送信信号を変調し且つそのアンテナからの受信信号を復調するように構成されている。

20

【 0 0 1 7 】

デジタル信号処理サブシステム 2 1 とマイクロ制御ユニットサブシステム 2 2 との間での信号転送を行うための専用集積回路 2 3 の部分は、図 3 に詳細に示されている。集積回路 2 3 は、デジタル信号処理サブシステム 2 1 のバスライン 3 1 に接続され且つマイクロ制御ユニットサブシステム 2 2 のバスライン 3 2 に接続されている。デジタル信号処理サブシステムからマイクロ制御ユニットサブシステムへのデータの転送を行うために、データは、制御回路 3 4 の制御の下に、ランダムアクセスメモリ装置 3 3 の形の記憶場所へと書き込まれる。データがランダムアクセスメモリ装置 3 3 へ書き込まれた後には、そのデータは、再び、制御回路 3 4 の制御の下に、マイクロ制御ユニットサブシステム 2 2 によって読み出されうる。

30

【 0 0 1 8 】

マイクロ制御ユニットサブシステム 2 2 からデジタル信号処理サブシステム 2 1 への転送を行うために、同様の構成がとられている。したがって、制御回路 3 5 の制御の下に、データは、記憶場所 3 6 へと書き込まれ、その後は、再び、制御回路 2 1 の制御の下に、データは、各バスライン 3 1 によって、記憶場所 3 6 からデジタル信号処理サブシステム 2 1 へと読み出される。

【 0 0 1 9 】

デジタル信号処理サブシステム 2 1 とマイクロ制御ユニットサブシステム 2 2 との間の送信は、6 8 個の 8 ビットバイトのブロックにて行われ、1 0 ミリ秒毎に送信が行われる傾向にある。その他の処理機能を行う必要にもかかわらず、デジタル信号処理サブシステム 2 1 およびマイクロ制御ユニットサブシステム 2 2 は、互いに通信する必要のないときには、不作動スタンバイ状態に置かれ、バッテリー電力を節約する。

40

【 0 0 2 0 】

したがって、専用集積回路 2 3 は、実効的に、第 1 のプロセッサ 2 1 と第 2 のプロセッサ 2 2 との間に配置されたバッファ装置として作用する。バッファ装置は、第 1 のプロセッサから第 2 のプロセッサへのデータ転送のためのメモリ装置 3 3 の形のデータ記憶場所と、第 2 のプロセッサから第 1 のプロセッサへの転送のためのメモリ装置 3 6 の形の記憶場所とを含む。転送は、制御回路 3 4 の制御の下で、行われる。制御回路 3 4 は、各データ

50

記憶場所が読み出されて第2のプロセッサ22へと供給されるべきデータを記憶しているか否かを指示するレジスタを含む。また、レジスタは、第1のプロセッサ22からデータを書き込むために各記憶場所が使用できるか否かを指示する。さらに、制御回路34は、また、記憶場所が受信プロセッサによって読み出されるべきデータを含むことを指示するようにレジスタがセットされたときに、その第2の受信プロセッサ22へ割込み信号を供給するように構成された割込み信号発生手段を含む。その上、制御回路34は、また、データを書き込むのに記憶場所が使用しうることを指示するようにレジスタがリセットされるとき、送信プロセッサ21へ割込み信号を発生するように構成された割込み発生手段を含む。

【0021】

バッファは、メールボックスと称されうる。何故ならば、バッファは、どちらか一方のプロセッサがデータをそこへ書き込みまたはそこから読み出している間、他方のプロセッサをスタンバイ状態またはスリープモードのままとするようにするからである。データがメールボックスから読み出されたときには、割込み信号が送信プロセッサへ供給され、そのプロセッサに次のメッセージを送信させるように実効的に命令する。同様に、データがメールボックスに書き込まれたときには、受信プロセッサに割込み信号が送られて、読み出しを待っている完全なメッセージが存在することの指示がなされる。

【0022】

制御回路34または制御回路35の如き制御回路は、図4に詳細に示されている。この制御回路は、各記憶場所が送信プロセッサから受信されたデータで一杯であるときにセットされるA-B全レジスタとして示されたレジスタ41を含む。したがって、図4に示す装置が制御回路34を表すときには、デジタル信号処理サブシステム21は、プロセッサAとなり、マイクロ制御ユニットサブシステム22は、プロセッサBとなる。同様に、制御回路35を表すときには、それらの役割は逆転され、プロセッサAがマイクロ制御ユニットサブユニット22となり、プロセッサBがデジタル信号処理サブシステム21となる。

【0023】

図4に示した回路は、プロセッサAからプロセッサBへデータを転送するように構成されている。プロセッサAは、そのアドレスバスAddに特定のアドレスを出すことによって、A-B全レジスタ41にアドレスすることができる。アドレスバスに出されたその特定のアドレスは、アドレスデコードロジック42によって解釈される。アドレスデコードロジック42に供給されたその特定のアドレスに应答して、WSライン44の信号が低(“0”)にセットされているならば、レジスタ41に記憶されたデータビットレベルがプロセッサAのDATAラインに供給されて、そのバッファが一杯であり、レジスタが論理1にセットされているか、または、バッファが空であり、レジスタ41が論理0にセットされていることをプロセッサAに知らせる。

【0024】

論理レベル0がレジスタ41の質問時にプロセッサAに戻されるならば、プロセッサAは、それに論理1を書き込むことによってそのレジスタをセットする。

【0025】

プロセッサAによってレジスタ41に書き込まれる値は、ゲートG1に関連して2つのフリップフロップF1およびF2によって集積回路23のシステムクロックに再同期化される。したがって、ゲートG1は、第1の非反転入力論理レベル1であり、第2の反転入力が論理レベル0であるとき、論理レベル1の出力を与える。ゲートG1は、レジスタ41がセットされた後すぐに、1つのシステムクロックサイクルの間、“高”であるパルスを発生する。

【0026】

ゲートG1によって発生されるパルスは、プロセッサBに割込みを与える。プロセッサBは、電力を節約するように、スリープ状態に置かれていたかもしれない。したがって、プロセッサBは、割込み信号を受信するとき、そのスリープ状態を中断し、サブルーチン呼び出し、記憶場所からのデータの読み出しを行うように、構成されている。

10

20

30

40

50

【 0 0 2 7 】

データが記憶場所から読み出されたとき、プロセッサ B は、アドレスデコードロジック 4 3 によってデコードされる特定のアドレスを出すことによって、A - B 全レジスタ 4 1 をリセットさせる。アドレスされているロジック 4 3 に応答して、WS ライン 4 5 の信号が高(“ 1 ”)にセットされているならば、ゲート G 2 は、非同期的にレジスタ 4 1 をリセットするリセットパルスが発生する。これにより、再び、レジスタ 4 1 内に記憶された論理レベル、この場合には、論理レベル 0 が、フリップフロップ F 1 および F 2 を通して伝播させられる。この結果として、ゲート G 3 は、1 つのシステムクロックサイクルの間、高であるパルスが発生する。このパルスは、プロセッサ B がメールボックスからデータを読み出すのを待っている間スリープ状態に置かれていたかもしれないプロセッサ A に割込みをかける。

10

【 0 0 2 8 】

プロセッサ A が書き込みをしているとき、ゲート G 4 からの出力は、論理 0 にセットされ、したがって、ゲート D 1 は、そのプロセッサに対してデータバスを駆動しない。同様に、プロセッサ B が書き込んでいるときは、ゲート G 5 の出力は、論理レベル 0 であり、ライン D 2 は、プロセッサ B に対してデータバスを駆動しない。

【 0 0 2 9 】

理論的には、どちらのプロセッサも任意の時点で A - B 全レジスタ 4 1 を読み出すような場合がありうる。これらプロセッサは、各プログラム内に例外条件を置いておくことにより、特定の時間にそのレジスタにアクセスすることが阻止され、デッドロック状態を避けることができるようになっている。

20

【 図面の簡単な説明 】

【 図 1 】出力拡声器、入力マイクロフォン、メニューディスプレイおよびバッテリーパックを有した携帯電話を示す図である。

【 図 2 】デジタル信号処理サブシステム、マイクロ制御ユニットサブシステムおよびこれらサブシステムの間からのデータ転送を行う専用集積回路を含む図 1 に示した電話の概略ブロック図である。

【 図 3 】ランダムアクセスメモリ装置および制御回路を含む図 2 に示した専用集積回路の詳細図である。

【 図 4 】図 3 に示した型の制御回路の詳細図である。

30

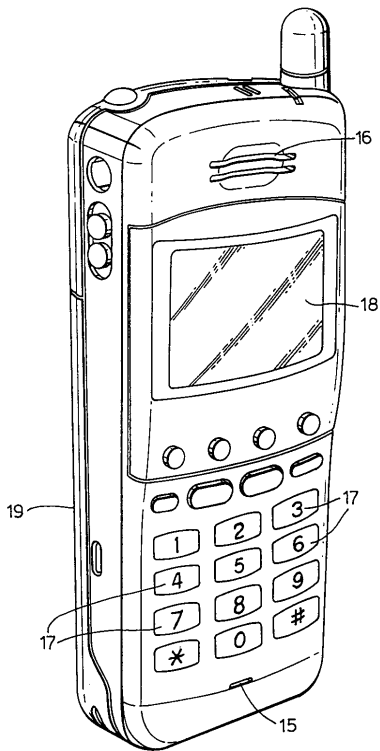
【 符号の説明 】

- 1 5 送話マイクロフォン
- 1 6 受話拡声器
- 1 7 信号ボタン
- 1 8 ディスプレイ
- 1 9 局部バッテリーパック
- 2 1 デジタル信号処理サブシステム(第 1 のプロセッサ)
- 2 2 マイクロ制御ユニットサブシステム(第 2 のプロセッサ)
- 2 3 専用集積回路
- 2 4 無線装置
- 2 5 アンテナ
- 3 1 バスライン
- 3 2 バスライン
- 3 3 ランダムアクセスメモリ装置
- 3 4 制御回路
- 3 5 制御回路
- 3 6 ランダムアクセスメモリ装置
- 4 1 A - B 全レジスタ
- 4 2 アドレスデコードロジック
- 4 3 アドレスデコードロジック

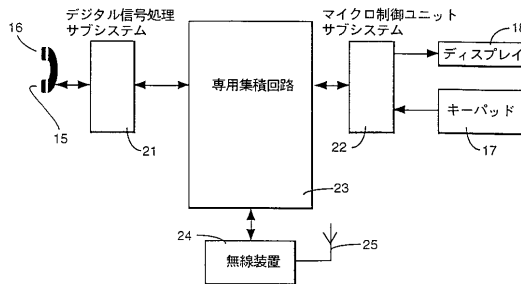
40

50

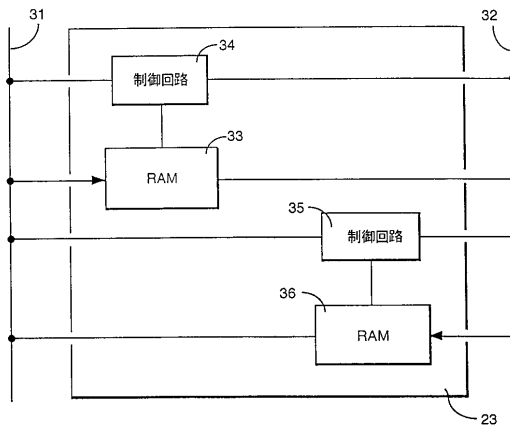
【図1】



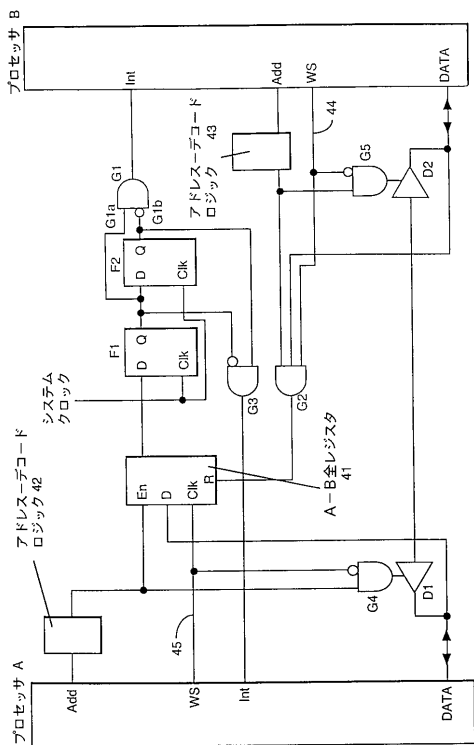
【図2】



【図3】



【図4】



フロントページの続き

(74)代理人 100084009

弁理士 小川 信夫

(74)代理人 100082821

弁理士 村社 厚夫

(72)発明者 カール ハイデマン

イギリス ハンプシャー アールジー 2 3 8 エイチワイ ベイジングストーク クローディアス
ドライヴ 4

(72)発明者 ガイ アレクサンダー フーカー

イギリス サリー ジュー 1 5 2 エスピー キャンバーリー パーク ロード コンプトン
ガーデンズ 4

審査官 矢頭 尚之

(56)参考文献 特開昭 6 1 - 2 3 2 7 4 6 (J P , A)

特開平 0 6 - 0 5 2 0 0 0 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B名)

H04L 29/02