

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6162834号
(P6162834)

(45) 発行日 平成29年7月12日 (2017.7.12)

(24) 登録日 平成29年6月23日 (2017.6.23)

(51) Int.Cl.

F I

H O 1 L 21/8242 (2006.01)

H O 1 L 27/108 3 2 1

H O 1 L 27/108 (2006.01)

H O 1 L 27/108 6 2 1 Z

H O 1 L 21/8234 (2006.01)

H O 1 L 27/108 6 7 1 C

H O 1 L 27/06 (2006.01)

H O 1 L 27/108 6 7 1 Z

H O 1 L 29/786 (2006.01)

H O 1 L 27/06 1 0 2 A

請求項の数 3 (全 20 頁) 最終頁に続く

(21) 出願番号 特願2016-21996 (P2016-21996)
 (22) 出願日 平成28年2月8日 (2016.2.8)
 (62) 分割の表示 特願2011-253400 (P2011-253400)
 の分割
 原出願日 平成23年11月21日 (2011.11.21)
 (65) 公開番号 特開2016-122852 (P2016-122852A)
 (43) 公開日 平成28年7月7日 (2016.7.7)
 審査請求日 平成28年2月9日 (2016.2.9)
 (31) 優先権主張番号 特願2010-261470 (P2010-261470)
 (32) 優先日 平成22年11月24日 (2010.11.24)
 (33) 優先権主張国 日本国 (JP)

前置審査

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 齋藤 利彦
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 加藤 俊哉

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

トランジスタと、第1のキャパシタと、第2のキャパシタと、絶縁膜と、を有し、

前記トランジスタは、前記第1のキャパシタと同層であり、

前記絶縁膜は、前記トランジスタ上方及び前記第1のキャパシタ上方に設けられており

、

前記第2のキャパシタは、前記絶縁膜上方に設けられており、

前記トランジスタのチャネルは、酸化物半導体を有し、

前記第1のキャパシタの容量は、前記第2のキャパシタの容量よりも小さく、

前記トランジスタのソース又はドレインの一方は、前記第1のキャパシタの第1の電極
 及び前記第2のキャパシタの第1の電極と電氣的に接続されていることを特徴とする半導
 体装置。

【請求項 2】

トランジスタと、第1のキャパシタと、第2のキャパシタと、第3のキャパシタと、絶
 縁膜と、を有し、

前記トランジスタは、前記第1のキャパシタ及び第2のキャパシタと同層であり、

前記絶縁膜は、前記トランジスタ上方、前記第1のキャパシタ上方及び前記第2のキャ
 パシタ上方に設けられており、

前記第3のキャパシタは、前記絶縁膜上方に設けられており、

前記トランジスタのチャネルは、酸化物半導体を有し、

10

20

前記第 1 のキャパシタの容量は、前記第 3 のキャパシタの容量よりも小さく、
前記第 2 のキャパシタの容量は、前記第 3 のキャパシタの容量よりも小さく、
前記トランジスタのソース又はドレインの一方は、前記第 1 のキャパシタの第 1 の電極、
前記第 2 のキャパシタの第 1 の電極及び前記第 3 のキャパシタの第 1 の電極と電氣的に
接続されていることを特徴とする半導体装置。

【請求項 3】

トランジスタと、第 1 のキャパシタと、第 2 のキャパシタと、絶縁膜と、を有し、
前記トランジスタは、前記第 1 のキャパシタと同層であり、
前記絶縁膜は、前記第 2 のキャパシタ上方に設けられており、
前記トランジスタ及び前記第 1 のキャパシタは、前記絶縁膜上方に設けられており、
前記トランジスタのチャネルは、酸化物半導体を有し、
前記第 1 のキャパシタの容量は、前記第 2 のキャパシタの容量よりも小さく、
前記トランジスタのソース又はドレインの一方は、前記第 1 のキャパシタの第 1 の電極
及び前記第 2 のキャパシタの第 1 の電極と電氣的に接続されていることを特徴とする半導
体装置。

【発明の詳細な説明】

【技術分野】

【0001】

半導体記憶装置に関する。

【背景技術】

【0002】

DRAM (Dynamic Random Access Memory) は、1つのト
ランジスタと1つのキャパシタで1ビット分のデータを記憶することのできる半導体記憶
装置である。単位メモリセルあたりの面積が小さく、モジュール化した際の集積が容易で
あり、かつ安価に製造できる。

【0003】

DRAMは、キャパシタに蓄積した電荷がトランジスタのオフ電流によってリークしてし
まうため、必要な電荷が失われる前に充電し直す（リフレッシュする）必要があった。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開平 6 - 295589 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

図 8 (A) に示す回路図を用いて DRAM について説明する。DRAMは、ビット線 BL
と、ワード線 WL と、センスアンプ S Amp と、トランジスタ Tr と、キャパシタ C と、
を有する。

【0006】

キャパシタに保持された電位の時間変化は、図 8 (B) に示すように徐々に低減していく
ことが知られている。当初 V 0 から V 1 まで充電された電位は、時間が経過すると d a t
a 1 を読み出す限界点である V A まで低減する。この期間を保持期間 T _ 1 とする。即ち
、2 値メモリセルの場合、保持期間 T _ 1 の間にリフレッシュ動作をする必要がある。

【0007】

一方、単位面積あたりのメモリモジュールの記憶容量を増加させるためには、メモリセル
を縮小化するだけでは限界があり、1メモリセルあたりに複数のデータを持たせる多値化
が求められている。

【0008】

d a t a 1 および d a t a 2 を読み出し可能とした 3 値メモリセルについて説明する。図
8 (C) において、d a t a 2 を読み出す限界点は V 1 となり、その期間を保持期間 T _

10

20

30

40

50

2とする。保持期間 T_{-2} は、2値メモリセルの保持期間 T_{-1} と比べて、その期間が短いことがわかる。そのため、さらにリフレッシュの頻度を上げる必要があった。しかしながら、読み出しの余裕も考えると多値メモリセルは実現が困難であった。

【0009】

特許文献1に記載の発明は、1つのメモリセルにつき1つのトランジスタと複数のキャパシタを有し、該複数のキャパシタの一端はトランジスタのソースまたはドレインと電気的に接続され、もう一端はプレート電極としてそれぞれ独立している。そして、書き込み時プレート電極に印加する電位の組み合わせによって複数の値をメモリセルに記憶させるというものである。

【0010】

しかし、(1)リフレッシュ動作が必要な時間が短く、単位時間あたりに多くのリフレッシュ動作を繰り返す必要がある(そのため、消費電流が増大する)こと、(2)さらなる多値化が困難である点が挙げられる。

【0011】

(1)については、メモリセルにシリコンでなる半導体基板にチャンネルが形成されるトランジスタを用いることが原因である。トランジスタはオフ状態であってもわずかに電流が流れるが、シリコンでなる半導体基板にチャンネルが形成されるトランジスタの場合オフ状態でのリーク電流は1 nA程度となる。これに1 fFの保持容量を用いたとすると保持時間は数 μ 秒程度となり、データ保持のために極めて頻繁にリフレッシュ動作を行わなくてはならない。

【0012】

(2)については、特許文献1に示した例では4つの分離した容量を用いているにもかかわらず、容量ごとに保持したデータを区別できないため4値(あるいは書き込みに負の電位も用いても9値)のデータを格納できるとどまり、効率が悪い。

【0013】

そこで、単位面積あたりのメモリモジュールの記憶容量を増加させることを課題の一とする。

【0014】

また、消費電力の小さなメモリモジュールを提供することを課題の一とする。

【課題を解決するための手段】

【0015】

メモリセルの多値化および積層構造化によって、単位面積あたりのメモリモジュールの記憶容量を増加させる。

【0016】

本発明の一態様は、ビット線と、ワード線と、 n 本(n は2以上の自然数)のデータ線と、チャンネルに酸化物半導体膜を含むトランジスタおよび容量の異なる n 個のキャパシタからなるメモリセルと、を有し、トランジスタのソースまたはドレインの一方がビット線と接続し、トランジスタのソースまたはドレインの他方が n 個のキャパシタの一方の電極と接続し、トランジスタのゲートがワード線と接続し、 n 個のキャパシタの他方の電極がそれぞれ異なる前記 n 本のデータ線のいずれかと接続する半導体記憶装置である。

【0017】

キャパシタからの電荷の消失は、トランジスタのオフ電流によって起こる。オフ電流とは、トランジスタがオフ状態のときソースおよびドレイン間を流れる電流をいう。オフ電流が流れることによりキャパシタに蓄積された電荷は時間の経過とともに消失してしまう。このような現象を回避するためにオフ電流の小さいトランジスタを用いることで、キャパシタの電位の保持期間を延ばすことができる。

【0018】

トランジスタのオフ電流は、半導体膜におけるキャリアの再結合に起因して起こる。そのため、半導体膜のバンドギャップが大きいほど、また、キャリアの再結合中心となる不純物が少ないほどオフ電流は流れにくくなる。例えば、トランジスタは、高純度化された、

10

20

30

40

50

バンドギャップが2.5 eV以上の酸化物半導体膜、炭化シリコン膜または窒化ガリウム膜などを用いればよい。ただし、炭化シリコン膜および窒化ガリウム膜を用いたトランジスタは、デプレッション型となることが多く、しきい値の制御が困難である。そのため、本明細書では、エンハンスメント型のトランジスタの報告もされている、酸化物半導体膜を用いた場合について説明する。

【0019】

特に、酸化物半導体膜はスパッタリング装置などで容易に成膜可能であり、かつ酸化物半導体膜を用いたトランジスタは低いオフ電流を実現しているため、本発明の実施に適した材料である。例えば、In-Ga-Zn-Oからなる酸化物半導体膜を用いたトランジスタのオフ電流は、 1×10^{-18} A以下、高純度化されたIn-Ga-Zn-Oからなる酸化物半導体膜を用いたトランジスタのオフ電流は、 1×10^{-21} A以下、さらに不純物を低減していくと 1×10^{-24} A以下という極めて小さな値をとる。これは、シリコンでなる半導体基板にチャネルが形成されるトランジスタのオフ電流の実に 10^{14} 分の1~ 10^8 分の1であり、キャパシタの電荷の保持期間は $10^8 \sim 10^{14}$ 倍にもなる。

10

【0020】

このように、オフ電流の小さなトランジスタを用いることで、リフレッシュ動作の頻度を増さなくてもキャパシタの電荷を長期間保持することができる。

【0021】

また、リフレッシュ動作の頻度が低減することによって、消費電力を小さくすることができる。

20

【0022】

また、電荷の消失がほとんど起こらないことによって微小な容量の差が比較可能となるため、キャパシタのサイズを小さくでき、メモリセルが縮小化されるため、メモリモジュールの小面積化または高集積化が実現可能となる。

【0023】

さらに、メモリセルが容量の異なるn個のキャパシタを有し、n個のキャパシタとそれぞれ異なるn本のデータ線を接続することによって、メモリセル全体の保持容量を様々にとることができる。保持容量に応じた電位を読み取ることで多値メモリセルを実現することができる。

【0024】

例えば、1番目のキャパシタの容量を1としたとき、2番目のキャパシタの容量を2、k番目(kはn以下の自然数)のキャパシタの容量を 2^{k-1} とする。メモリセルの有するキャパシタの数がn個の場合、メモリセルに保持される電位の組み合わせは 2^n 組できる。即ち、 2^n 値メモリセルを作製することができる。

30

【0025】

また、本発明の一態様は、キャパシタを重畳して設けることができる。キャパシタを重畳して設けることで小さな面積のメモリセルを作製でき、単位面積あたりのメモリモジュールの記憶容量をさらに増加させることができる。

【0026】

または、メモリセルを重畳して設ける構成としても構わない。こうすることで、単位面積あたりのメモリモジュールの記憶容量をさらに増加させることができる。

40

【発明の効果】

【0027】

メモリセルの多値化および積層構造化によって、単位面積あたりのメモリモジュールの記憶容量を増加させることができる。

【0028】

また、メモリセルのリフレッシュの頻度を低減させることで、メモリモジュールの消費電力を低減することができる。

【図面の簡単な説明】

【0029】

50

【図１】半導体記憶装置の例を示す回路図。

【図２】半導体記憶装置のモジュール化の例を示す回路図。

【図３】半導体記憶装置のメモリセルの断面図および上面図。

【図４】半導体記憶装置のメモリセルの断面図および上面図。

【図５】半導体記憶装置のメモリセルの断面図および上面図。

【図６】半導体記憶装置のメモリセルの断面図および上面図。

【図７】半導体記憶装置のメモリセルの断面図および上面図。

【図８】従来の半導体記憶装置について説明する図。

【発明を実施するための形態】

【００３０】

10

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。なお、同様のものを指す際にはハッチパターンを同じくし、特に符号を付さない場合がある。

【００３１】

なお、第１、第２として付される序数詞は便宜上用いるものであり、工程順または積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

20

【００３２】

以下、本発明の説明を行うが、本明細書で用いる用語について簡単に説明する。まず、トランジスタのソースとドレインについては、本明細書においては、一方をドレインと呼ぶとき他方をソースとする。すなわち、電位の高低によって、それらを区別しない。従って、本明細書において、ソースとされている部分をドレインと読み替えることもできる。

【００３３】

また、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【００３４】

30

本明細書においては、「接続する」と表現される場合であっても、現実の回路においては、物理的な接続部分がなく、配線が延在している場合だけのこともある。例えば、絶縁ゲート型電界効果トランジスタ（ＭＩＳＦＥＴ）の回路では、一本の配線が複数のＭＩＳＦＥＴのゲートを兼ねている場合もある。その場合、回路図では、一本の配線からゲートに何本もの分岐が生じるように書かれることもある。本明細書では、そのような場合でも、「配線がゲートに接続する」という表現を用いることがある。

【００３５】

なお、本明細書では、マトリクスにおいて特定の行や列、位置を扱う場合には、符号に座標を示す記号をつけて、例えば、「トランジスタＴｒ__a__b」、「ビット線ＢＬ__b」というように表記するが、特に、行や列、位置を特定しない場合や集合的に扱う場合、またはどの位置にあるか明らかである場合には、「トランジスタＴｒ」、「ビット線ＢＬ」、または、単に「トランジスタ」、「ビット線」というように表記することもある。

40

【００３６】

（実施の形態１）

本実施の形態では、半導体記憶装置であるメモリセルの構成およびその動作の例について、図１を用いて説明する。

【００３７】

図１（Ａ）は、ビット線ＢＬと、ワード線ＷＬと、データ線ＤＬ__１乃至ＤＬ__ｎと、トランジスタＴｒおよびキャパシタＣ__１乃至Ｃ__ｎを含むメモリセルＣＬと、センスアンプＳＡｍｐと、を有する２ⁿ値メモリセルの回路図である。

50

【 0 0 3 8 】

トランジスタ T_r のゲートはワード線 W_L と接続し、トランジスタ T_r のソースまたはドレインの一方はビット線 B_L と接続し、トランジスタ T_r のソースまたはドレインの他方はキャパシタ C_1 乃至 C_n の一端と接続し、キャパシタ C_1 乃至 C_n の他端とデータ線 D_L_1 乃至 D_L_n が接続する。例えば、キャパシタ C_1 とデータ線 D_L_1 、キャパシタ C_2 とデータ線 D_L_2 、キャパシタ C_n とデータ線 D_L_n がそれぞれ接続すればよい。ビット線 B_L はセンスアンプ S_Amp と接続する。

【 0 0 3 9 】

トランジスタ T_r には、オフ電流の小さいトランジスタを用いる。具体的には、高純度化された、バンドギャップが 2.5 eV 以上の酸化物半導体膜などを活性層に用いたトランジスタとすればよい。バンドギャップが大きく、キャリアの再結合中心が少ないため、オフ電流の小さいトランジスタとすることができる。

10

【 0 0 4 0 】

オフ電流の小さいトランジスタをメモリセルに用いることで、キャパシタに保持された電荷の消失を抑制できる。そのため、電荷の保持期間が延び、リフレッシュ動作の頻度を低減できるため、消費電力の低減が見込める。また、電荷の消失が抑制できることによって、従来の $DRAM$ におけるメモリセルと比較してキャパシタの容量を小さくすることが可能となり、メモリセルを小面積化することができる。

【 0 0 4 1 】

さらに、各キャパシタの容量を調整することによって、保持される電荷量を複数持たせることができる。即ち多値化したメモリセルが作製できる。

20

【 0 0 4 2 】

例えば、キャパシタ C_k (k は n 以下の自然数) の容量を C_1 の 2^{k-1} 倍とすることによって、保持される電荷の組み合わせを 2^n 個作ることができる。ただし、 n の大きさに合わせてキャパシタの面積を大きくするか、容量絶縁膜を薄くしなくてはならない。そのため、 n の大きさによっては小面積化には不利な場合がある。また、電荷の蓄積が少ないと、電位の読み出しが困難になることがあるため、 n を適切な範囲とすることが好ましい。例えば、 n を $2 \sim 8$ 、好ましくは $3 \sim 5$ とすればよい。

【 0 0 4 3 】

なお、最も容量の小さいキャパシタ C_1 の容量が 0.1 fF 以上 1 fF 以下となるようにすればよい。メモリセルのトランジスタに酸化物半導体膜を用いることで、上述したような小さな容量でも、長期間電荷を保持することが可能となる。

30

【 0 0 4 4 】

例えば、図 1 (B) を用いて、 $n = 3$ で、キャパシタ C_1 の容量が 1 fF 、キャパシタ C_2 の容量が 2 fF 、キャパシタ C_3 の容量が 4 fF のときの書き込みの方法について説明する。

【 0 0 4 5 】

キャパシタ C_1 乃至 C_3 の書き込みは、独立して行うことができる。例えば、ビット線を所定の電位 V_{DD} (キャパシタの充電に十分な電位) とし、ワード線に V_H を印加する。このとき、データ線 D_L_1 乃至 D_L_3 の電位を制御すればよい。電位を V_{DD} としたデータ線と接続するキャパシタは充電されず、電位を接地電位 GND (基準電位) としたデータ線と接続するキャパシタは容量に応じた電荷が保持される。本明細書において、 V_H は、トランジスタのしきい値電圧 (V_{th}) に V_{DD} を加えたよりも高い電位を有する電圧とする。表 1 に、ビット線 (B_L)、ワード線 (W_L) およびデータ線 (D_L_1 乃至 D_L_3) の電圧、電位および保持容量の組み合わせを示す。

40

【 0 0 4 6 】

【表 1】

BL	WL	DL_1	DL_2	DL_3	保持容量[fF]
VDD	VH	GND	GND	GND	7
VDD	VH	VDD	GND	GND	6
VDD	VH	GND	VDD	GND	5
VDD	VH	VDD	VDD	GND	4
VDD	VH	GND	GND	VDD	3
VDD	VH	VDD	GND	VDD	2
VDD	VH	GND	VDD	VDD	1
VDD	VH	VDD	VDD	VDD	0

【0047】

10

表 1 に示した通り、 $n = 3$ では、3 ビット（8 値）の書き込みができる。ここでは $n = 3$ の場合についてのみ示しているが、さらに n を大きくした場合に拡張して適用することもできる。即ち、本発明の一態様によって、 2^n 個の組み合わせで書き込みを行うことができる。

【0048】

メモリセル CL 内の電位は、ビット線 BL の電位を浮遊電位（float）に、ワード線 WL の電位を GND またはしきい値電圧未満に、データ線 DL_1 乃至 DL_3 の電位を GND にすることで保持できる。

【0049】

次に、読み出し方法について説明する。

20

【0050】

読み出しの際は、データ線 DL_1 乃至 DL_3 を GND とし、ビット線 BL を適切な電位、例えば VR とする。次に、ワード線 WL を VH とすると、保持された電位に応じてビット線 BL の電位が data_CL に変動する。ここで、data_CL は数式 1 で示すことができる。

【0051】

【数 1】

$$data_CL = \frac{VR \cdot C_BL + VDD \cdot (f(1) \cdot C_1 + f(2) \cdot C_2 + f(3) \cdot C_3)}{C_BL + C_1 + C_2 + C_3}$$

【0052】

30

ここで、 C_BL はビット線 BL の容量を示す。 $f(1)$ 乃至 $f(3)$ は、それぞれ C_1 乃至 C_3 に保持される電荷に対応し、キャパシタに電荷が保持されている場合は 1、保持されていない場合は 0 を与える。

【0053】

data_CL をセンスアンプ S_Amp で検出することで、3 ビット（8 値）のデータの読み出しが可能となる。 $n = 3$ の場合について示しているが、もっと n を大きくした場合に拡張して適用することもできる。即ち、本発明の一態様によって、 2^n 個の組み合わせで読み出しを行うことができる。その場合、数式 1 を拡張して数式 2 のように表すことができる。

【0054】

40

【数 2】

$$data_CL = \frac{VR \cdot C_BL + VDD \cdot (f(1) \cdot C_1 + f(2) \cdot C_2 + \dots + f(n) \cdot C_n)}{C_BL + C_1 + C_2 + \dots + C_n}$$

【0055】

ここで、 $f(n)$ は C_n に保持される電荷に対応し、キャパシタに電荷が保持されている場合は 1、保持されていない場合は 0 を与える。

【0056】

従来のシリコンでなる半導体基板にチャネルが形成されるトランジスタでは、オフ電流が大きいため電位を保持することができずメモリセルの多値化は困難となるところ、オフ電流の小さなトランジスタ用い、かつ複数のキャパシタと、該複数のキャパシタとそれぞれ

50

接続する容量配線を有することで 2^n 値メモリセルを実現できる。

【0057】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0058】

(実施の形態2)

本実施の形態では、半導体記憶装置の例として、実施の形態1に示したメモリセルを用いた a 行 b 列のメモリモジュールについて図2を用いて説明する。

【0059】

図2は、アドレス線 ADL と、データ線 DL と、ビット線 BL_1 乃至 BL_b と、ワード線 WL_1 乃至 WL_a と、AND回路と、出力 OUT と、読み出し回路 10_1 乃至 10_b と、スイッチ回路 20_1 乃至 20_b と、メモリセル CL_1_1 乃至 CL_a_b と、を有するメモリモジュールである。

【0060】

アドレス線 ADL は、AND回路を介して読み出し回路 10_1 乃至 10_b およびスイッチ回路 20_1 乃至 20_b と接続する。データ線 DL は、スイッチ回路 20_1 乃至 20_b を介してメモリセル CL_1_1 乃至 CL_a_b にあるキャパシタの一つ一つと接続する。 BL_1 は、メモリセル CL_1_1 乃至 CL_a_1 のトランジスタのソースまたはドレインの一方、および読み出し回路 10_1 を介して出力 OUT と接続する。同様に、 BL_2 および BL_b は、それぞれメモリセル CL_1_2 乃至 CL_a_2 および CL_1_b 乃至 CL_a_b のトランジスタのソースまたはドレインの一方、ならびに読み出し回路 10_2 および読み出し回路 10_b を介して出力 OUT と接続する。ワード線 WL_1 は、メモリセル CL_1_1 乃至 CL_1_b のトランジスタのゲートと接続する。同様にワード線 WL_2 および WL_a は、それぞれメモリセル CL_2_1 乃至 CL_2_b および CL_a_1 乃至 CL_a_b のトランジスタのゲートと接続する。

【0061】

メモリセル CL_1_1 乃至 CL_a_b は、実施の形態1で説明したメモリセル CL と同様の構成とすればよい。

【0062】

読み出し回路 10_1 乃至 10_b は、例えばセンスアンプを用いればよい。

【0063】

スイッチ回路 20_1 乃至 20_b は、例えばアナログスイッチを用いればよい。

【0064】

なお、スイッチ回路 20_1 乃至 20_b とメモリセル CL_1_1 乃至 CL_1_b との間にレジスタを設ける構成としても構わない。後ほど詳細に説明するが、レジスタを設けることによって、行単位で一括に書き込むことが可能となり、書き込み速度を高めることができる。

【0065】

データ線 DL は、本実施の形態では4本設けているが、これに限定されない。メモリセル CL_1_1 乃至 CL_a_b に含まれるキャパシタの数に応じて適宜本数を選択すればよい。

【0066】

アドレス線 ADL は、本実施の形態では6本設けているが、これに限定されない。メモリモジュールを構成するメモリセルの数に応じて適宜本数を選択すればよい。

【0067】

次に、図2のメモリモジュールにおいて、データを書き込みする方法を説明する。

【0068】

データの書き込みはメモリセルごとに行う。例えば、メモリセル CL_a_b にデータを書き込む場合、ビット線 BL_b を電位 VDD とし、ワード線 WL_a に VH を印加する。このとき、書き込みを行わないメモリセルに接続するビット線とデータ線は、適切な高

10

20

30

40

50

い電位（例えば、 V_H 以上の電位）とすることで、メモリセル CL_a_b 以外のメモリセルのトランジスタがオフ状態を維持するようにする。そして、データ線 DL の電位を制御した上でアドレス線 ADL を用いてスイッチ回路 20_b をオンとすればよい。このようにすることで、メモリセル CL_a_b に $data_CL_a_b$ を書き込むことができる。この動作をメモリセルごとに行えば、全てのメモリセルに対してデータ（ $data_CL_1_1$ 乃至 $data_CL_a_b$ ）を書き込むことができる。

【0069】

または、データの書き込みは行単位で行う。この場合、前述したレジスタをスイッチ回路とメモリセルとの間に設ける構成とすればよい。具体的なデータの書き込み方法として、例えば、ワード線 WL_a を共有する a 行のメモリセル CL_a_1 乃至 CL_a_b に一括でデータを書き込む方法について説明する。まず、アドレス線 ADL を用いてスイッチ回路 20_1 のみをオンとし、制御したデータ線 DL の電位をレジスタに保持する。次に、アドレス線 ADL を用いてスイッチ回路 20_2 のみをオンとし制御したデータ線 DL の電位をレジスタに保持する。これを繰り返し、アドレス線 ADL を用いてスイッチ回路 20_b のみをオンとし制御したデータ線 DL の電位をレジスタに保持する。その後、スイッチ回路 20_1 乃至 20_b をオフした状態で、ビット線 BL_1 乃至 BL_b を電位 V_{DD} とし、ワード線 WL_a に V_H を印加することで、レジスタに保持した電位に応じたデータを a 行のメモリセル CL_a_1 乃至 CL_a_b に書き込むことができる。この動作を行ごとに行うことで、 a 行 b 列にそれぞれメモリセルを有するメモリモジュールにデータを書き込むことができる。

【0070】

次に、図2のメモリモジュールにおいて、データを読み出す方法を説明する。

【0071】

データの読み出しはメモリセルごとに行う。例えば、 CL_a_b のデータを読み出す際は、アドレス線 ADL を用いてスイッチ回路 20_b をオンしてデータ線 DL を全て GND とし、ビット線 BL_b を V_R とする。また、読み出しを行わないメモリセルに接続するビット線とデータ線は、適切な高い電位（例えば、 V_H 以上の電位）とすることで、メモリセル CL_a_b 以外のメモリセルのトランジスタがオフ状態を維持するようにする。次に、ワード線 WL_a を V_H とすると、ビット線 BL_b の電位が $data_CL_a_b$ に変動する。この電位を読み出し回路 10_b で読み出す。この動作をメモリセルごとに行うことで、 a 行 b 列にそれぞれメモリセルを有するメモリモジュールのデータを読み出すことができる。

【0072】

なお、スイッチ回路と読み出し回路は接続されているため、スイッチ回路をオンする電位を読み出し回路の参照電位としてもよい。このような構成とすることで、配線の本数を減らすことができ、メモリモジュールを小面積化または高集積化できる。

【0073】

本発明の一態様を用いることで、 2^n 値メモリセルを複数接続した大容量のメモリモジュールを作製することができる。

【0074】

本実施の形態は他の実施の形態と適宜組み合わせることができる。

【0075】

（実施の形態3）

本実施の形態では、図3を用いて、半導体記憶装置のメモリセルについて説明する。

【0076】

図3(A)は、半導体基板331および第1の絶縁膜332を有する領域300と、領域300上の第2の絶縁膜302と、第2の絶縁膜302上に設けられた島状の半導体膜306と、半導体膜306と一部が接する導電膜308および導電膜309と、半導体膜306、導電膜308および導電膜309上に設けられた第3の絶縁膜312と、第3の絶縁膜312を介して半導体膜306に重畳して設けられた導電膜304と、導電膜304

10

20

30

40

50

と同一層で設けられた導電膜 341 乃至 344 と、第 3 の絶縁膜 312、導電膜 304 および導電膜 341 乃至 344 を覆って設けられた第 4 の絶縁膜 316 とを有する半導体記憶装置の断面構造である。

【0077】

半導体膜 306 は、高純度化された、バンドギャップが 2.5 eV 以上の半導体膜を用いる。例えば、酸化物半導体膜、炭化シリコン膜、窒化ガリウム膜などを用いればよい。

【0078】

酸化物半導体膜に用いる材料としては、四元系金属酸化物である In - Sn - Ga - Zn - O 系の材料や、三元系金属酸化物である In - Ga - Zn - O 系の材料、In - Sn - Zn - O 系の材料、In - Al - Zn - O 系の材料、Sn - Ga - Zn - O 系の材料、Al - Ga - Zn - O 系の材料、Sn - Al - Zn - O 系の材料や、二元系金属酸化物である In - Zn - O 系の材料、Sn - Zn - O 系の材料、Al - Zn - O 系の材料、Zn - Mg - O 系の材料、Sn - Mg - O 系の材料、In - Mg - O 系の材料、In - Ga - O 系の材料や、In - O 系の材料、Sn - O 系の材料、Zn - O 系の材料などを用いてもよい。また、上記の材料に酸化シリコンを含ませてもよい。ここで、例えば、In - Ga - Zn - O 系の材料とは、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn) を有する酸化物、という意味であり、その組成比は特に問わない。また、In と Ga と Zn 以外の元素を含んでいてもよい。

【0079】

特に、In - Sn - Zn - O 系の材料は、高い電界効果移動度を得られるため、半導体記憶装置の高速動作の観点で好ましい材料である。

【0080】

また、酸化物半導体膜は、化学式 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される材料を用いた薄膜により形成してもよい。ここで、M は、Ga、Al、Mn および Co から選ばれた一または複数の金属元素を示す。例えば、M として、Ga、Ga および Al、Ga および Mn または Ga および Co などを用いてもよい。

【0081】

酸化物半導体膜は、スパッタリング法、PLD 法、スプレー法などで形成することができる。

【0082】

特に、スパッタリング法を用いて、高純度で欠陥の少ない酸化物半導体膜を形成する場合、成膜中の酸素分圧を 10% 以上にすることが好ましい。また、成膜温度を 200 以上 450 以下とすることで、膜中の不純物 (水素など) 濃度を低減できる。

【0083】

さらに、成膜後に熱処理を行うことで、より高純度で欠陥の少ない酸化物半導体膜を形成できる。具体的には、温度を 150 以上基板の歪み点未満、好ましくは 250 以上 450 以下、高純度化された窒素、酸素、希ガスまたはこれらの混合雰囲気中で 6 分以上 24 時間以下の熱処理を行えばよい。処理時間は 24 時間より長くなっても構わないが、時間を長くしすぎるとその費用対効果は小さくなる。好ましくは、窒素雰囲気中で熱処理を行った後、温度を変更せずに酸化性雰囲気 (酸素、オゾン、亜酸化窒素などを 10 ppm 以上含む雰囲気) で熱処理を行う。こうすることで、高純度化し、かつ酸素欠損を低減することができる。

【0084】

図示しないが、領域 300 は、センスアンプ回路、レジスタ回路、アナログスイッチ回路等の回路、および配線等の少なくともいずれかを有する構成としてもよい。ここで、半導体基板 331 は、シリコンウェハ、炭化シリコン基板、窒化ガリウム基板、ガリウムヒ素基板、ゲルマニウム基板、SOI (Silicon On Insulator) 基板などの半導体を含む基板とすればよい。また、第 1 の絶縁膜 332 は、上記回路および配線等と、メモリセルを分離するために設けられるが、第 2 の絶縁膜 302 にてその機能を兼ねる構成としても構わない。領域 300 の表面は CMP (Chemical Mecha

10

20

30

40

50

nical Polishing) などによって平坦化されていてもよい。

【0085】

ここで、トランジスタTrは、第2の絶縁膜302を下地絶縁膜に、半導体膜306を活性層に、導電膜308および導電膜309をソース電極およびドレイン電極に、導電膜304をゲート電極に、第3の絶縁膜312をゲート絶縁膜に用いて構成される。なお、トランジスタTrの構造は、図示した構造に限定されず、適宜選択すればよい。

【0086】

第2の絶縁膜302は、酸化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、窒化シリコン膜、酸化アルミニウム膜等を単層または積層で設ければよい。第2の絶縁膜302は、トランジスタTrの下地絶縁膜として機能するため、加熱により酸素を放出する絶縁膜を用いると好ましい。

10

【0087】

「加熱により酸素を放出する」とは、TDS (Thermal Desorption Spectroscopy: 昇温脱離ガス分光法) 分析にて、酸素原子に換算しての酸素の放出量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上であることをいう。

【0088】

ここで、TDS分析にて、酸素原子に換算しての酸素の放出量の測定方法について、以下に説明する。

【0089】

20

TDS分析したときの気体の放出量は、スペクトルの積分値に比例する。このため、絶縁膜のスペクトルの積分値と、標準試料から得られる基準値に対する比とにより、気体の放出量を計算することができる。標準試料の基準値とは、所定の原子を含む試料の、スペクトルの積分値に対する原子の密度の割合である。

【0090】

例えば、標準試料である所定の密度の水素を含むシリコンウェハのTDS分析結果、及び絶縁膜のTDS分析結果から、絶縁膜の酸素分子の放出量 (N_{O_2}) は、数式3で求めることができる。ここで、TDS分析で得られる質量数32で検出されるスペクトルの全てが酸素分子由来と仮定する。質量数32のものとして CH_3OH があるが、存在する可能性が低いものとしてここでは考慮しない。また、酸素原子の同位体である質量数17の酸素原子及び質量数18の酸素原子を含む酸素分子についても、自然界における存在比率が極微量であるため考慮しない。

30

【0091】

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2} / \text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \quad (\text{数} 3)$$

【0092】

N_{H_2} は、標準試料から脱離した水素分子を密度で換算した値である。 S_{H_2} は、標準試料をTDS分析したときのスペクトルの積分値である。ここで、標準試料の基準値を、 $\text{N}_{\text{H}_2} / \text{S}_{\text{H}_2}$ とする。 S_{O_2} は、絶縁膜をTDS分析したときのスペクトルの積分値である。は、TDS分析におけるスペクトル強度に影響する係数である。数式3の詳細に関しては、特開平6-275697公報を参照する。なお、上記絶縁膜の酸素の放出量は、電子科学株式会社製の昇温脱離分析装置EMD-WA1000S/Wを用い、標準試料として $1 \times 10^{16} \text{ atoms/cm}^3$ の水素原子を含むシリコンウェハを用いて測定した。

40

【0093】

また、TDS分析において、酸素の一部は酸素原子として検出される。酸素分子と酸素原子の比率は、酸素分子のイオン化率から算出することができる。なお、上述のは酸素分子のイオン化率を含むため、酸素分子の放出量を評価することで、酸素原子の放出量についても見積もることができる。

【0094】

なお、 N_{O_2} は酸素分子の放出量である。絶縁膜においては、酸素原子に換算したときの

50

酸素の放出量は、酸素分子の放出量の2倍となる。

【0095】

上記構成において、加熱により酸素を放出する絶縁膜は、酸素が過剰な酸化シリコン(SiO_x ($x > 2$))であってもよい。酸素が過剰な酸化シリコン(SiO_x ($x > 2$))とは、シリコン原子数の2倍より多い酸素原子を単位体積あたりに含むものである。単位体積あたりのシリコン原子数および酸素原子数は、ラザフォード後方散乱法により測定した値である。

【0096】

下地絶縁膜から酸化物半導体領域に酸素が供給されることで、下地絶縁膜および酸化物半導体領域の界面準位密度を低減できる。この結果、トランジスタの動作などに起因して生じうる電荷などが、上述の下地絶縁膜および酸化物半導体領域の界面に捕獲されることを抑制することができ、電気特性の劣化の少ないトランジスタを得ることができる。

10

【0097】

さらに、酸化物半導体領域の酸素欠損に起因して電荷が生じる場合がある。一般に酸化物半導体領域の酸素欠損は、一部がドナーとなりキャリアである電子を生じる。この結果、トランジスタのしきい値電圧がマイナス方向にシフトしてしまう。これはバックチャネル側で生じる酸素欠損において顕著である。なお、本明細書におけるバックチャネルとは、酸化物半導体領域において下地絶縁膜側の界面近傍を指す。下地絶縁膜から酸化物半導体領域に酸素が十分に放出されることにより、しきい値電圧がマイナス方向へシフトする要因である、酸化物半導体領域の酸素欠損を低減することができる。

20

【0098】

即ち、酸化物半導体領域に酸素欠損が生じると、下地絶縁膜と酸化物半導体領域との界面における電荷の捕獲を抑制することが困難となるところ、下地絶縁膜に、加熱により酸素を放出する絶縁膜を設けることで、酸化物半導体領域および下地絶縁膜の界面準位、ならびに酸化物半導体領域の酸素欠損を低減し、酸化物半導体領域および下地絶縁膜の界面における電荷捕獲の影響を小さくすることができる。

【0099】

導電膜308および導電膜309の材料は、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、タングステンからなる、単体金属、合金または金属窒化物を用いればよい。酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いても構わない。また、前述の材料を積層した構成としても構わない。

30

【0100】

また、導電膜309は、キャパシタC__1乃至C__4の電極の一方として機能する。

【0101】

第3の絶縁膜312は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化ハフニウムまたはイットリア安定化ジルコニアなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、CVD法、スパッタリング法などで形成すればよい。第3の絶縁膜312は、加熱により酸素を放出する膜を用いてもよい。第3の絶縁膜312に加熱により酸素を放出する膜を用いることで、半導体膜306に生じる欠陥を修復することができ、トランジスタの電気特性の劣化を抑制できる。

40

【0102】

また、第3の絶縁膜312は、キャパシタC__1乃至C__4の容量絶縁膜として機能する。

【0103】

導電膜304および導電膜341乃至344の材料は、導電膜308および導電膜309と同様の構成とすればよい。

【0104】

導電膜341乃至344は、キャパシタC__1乃至C__4の電極の他方として機能する。

50

即ち、第3の絶縁膜312の材料および厚さ、ならびに導電膜341乃至導電膜344の面積によってキャパシタC__1乃至C__4の容量が決まる。

【0105】

第4の絶縁膜316の材料は、例えば酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコンなどを用いればよく、積層または単層で設ける。例えば、熱酸化法、CVD法またはスパッタリング法などで形成すればよい。ポリイミドまたはアクリルなどの有機材料を用いてもよい。

【0106】

図3(B)は、図3(A)に対応するメモリセルの上面図である。なお、簡単のため導電膜308、導電膜309、導電膜304および導電膜341乃至344以外は省略する。

10

【0107】

導電膜308はビット線BLであり、導電膜304はワード線WLであり、導電膜341乃至344はデータ線DL__1乃至DL__4である。

【0108】

本実施の形態を用いることで、トランジスタTrのオフ電流が小さいため、キャパシタの保持容量を小さくすることができる。また、メモリセルに保持される電位の変化が微小であるため、細かい電位の差を読み出すことが可能となり、多値メモリセルを作製することができる。

【0109】

なお、本実施の形態では、メモリセルにキャパシタを4つ、データ線を4本有する構成としているが、これに限定されない。必要な記憶容量によって適宜キャパシタおよびデータ線の数を変更することができる。

20

【0110】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0111】

(実施の形態4)

本実施の形態では、キャパシタを重畳することで小面積化した、実施の形態3と異なるメモリセルについて説明する。

【0112】

図4(A)は、メモリセルの断面図である。本実施の形態では、領域300と、領域300上の領域471と、領域471上の領域472と、領域472上の領域473と、を有する。

30

【0113】

領域471はトランジスタTrおよびキャパシタC__1を有し、領域472はキャパシタC__2を有し、領域473はキャパシタC__3を有する。なお、キャパシタC__1乃至C__3は、導電膜441乃至443、絶縁膜491乃至493および導電膜481乃至483から構成される。絶縁膜491乃至493は、キャパシタC__1乃至C__3の容量を制御するため、それぞれ異なる材料や膜厚としても構わない。導電膜481乃至483は、コンタクトホールを介して接続している。

【0114】

領域300および領域471乃至473の表面は、CMPなどによって平坦化されていても構わない。各領域の表面が平坦化されることによって、各領域で生じる段差の影響を低減することができる。

40

【0115】

図4(B)は領域473を、図4(C)は領域472を、図4(D)は領域471を、それぞれ上面から観察した上面図である。

【0116】

本実施の形態では、キャパシタを有する領域を3層重畳する構成としたが、これに限定されない。例えば、キャパシタを有する領域を4層以上重畳しても構わない。

【0117】

50

このような構成とすることで、メモリセルの小面積化が可能となる。

【0118】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0119】

(実施の形態5)

本実施の形態では、キャパシタを重畳し、かつ同一層に複数のキャパシタを有することによってさらに小面積化した、実施の形態3および実施の形態4と異なるメモリセルについて説明する。

【0120】

図5(A)は、メモリセルの断面図である。本実施の形態では、領域300と、領域300上の領域571と、領域571上の領域572と、領域572上の領域573と、を有する。

10

【0121】

領域571はトランジスタTr、キャパシタC__1およびC__2を有し、領域572はキャパシタC__3およびC__4を有し、領域573はキャパシタC__5を有する。なお、キャパシタC__1乃至C__5は、導電膜541乃至545、絶縁膜591乃至593および導電膜581乃至583から構成される。絶縁膜591乃至593は、キャパシタC__1乃至C__5の容量を制御するため、それぞれ異なる材料や膜厚としても構わない。導電膜581乃至583は、コンタクトホールを介して接続している。

【0122】

20

領域300および領域571乃至573の表面は、CMPなどによって平坦化されていても構わない。

【0123】

図5(B)は領域573を、図5(C)は領域572を、図5(D)は領域571を、それぞれ上面から観察した上面図である。

【0124】

本実施の形態では、キャパシタを有する領域を3層重畳する構成としたが、これに限定されない。例えば、キャパシタを有する領域を4層以上重畳しても構わない。

【0125】

一つの領域に複数のキャパシタを有することで、実施の形態4と比較し、同程度の面積でさらにメモリセルを多値化することができる。即ち、記憶容量当たりのメモリセルのさらなる小面積化が可能となる。

30

【0126】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0127】

(実施の形態6)

本実施の形態では、領域600に段差を有し、該段差部にキャパシタを埋め込むことによってさらに小面積化した、実施の形態3乃至実施の形態5と異なる半導体記憶装置であるメモリセルについて説明する。本実施の形態の構造は、いわゆるトレンチ構造と呼ばれるものであり、小面積でも大容量のキャパシタを作製することができるものである。

40

【0128】

図6(A)は、メモリセルの断面図である。本実施の形態では、領域600と、領域600上の領域671と、領域671上の領域672と、を有する。

【0129】

領域600は、段差部およびキャパシタを有する以外は領域300と同様の構成である。キャパシタC__5は絶縁膜690、導電膜680および導電膜645によって構成される。

【0130】

領域671はトランジスタTr、キャパシタC__1およびC__2を有し、領域672はキャパシタC__3およびC__4を有し、領域600はキャパシタC__5を有する。なお、キ

50

ャパシタC__1乃至C__5は、導電膜641乃至645、絶縁膜690乃至692および導電膜680乃至682から構成される。絶縁膜690乃至692は、キャパシタC__1乃至C__5の容量を制御するため、それぞれ異なる材料や膜厚としても構わない。導電膜680乃至682は、コンタクトホールを介して接続している。

【0131】

領域600、領域671および672の表面は、CMPなどによって平坦化されていても構わない。

【0132】

図6(B)は領域672を、図6(C)は領域671を、図6(D)は領域600を、それぞれ上面から観察した上面図である。

10

【0133】

本実施の形態では、キャパシタを有する領域を3層重畳する構成としたが、これに限定されない。例えば、キャパシタを有する領域を4層以上重畳しても構わない。

【0134】

領域600に段差部を有し、該段差部にキャパシタを有するため、メモリセルでキャパシタの占める面積を縮小することができ、実施の形態4および実施の形態5と比較し、メモリセルのさらなる小面積化が可能となる。

【0135】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0136】

20

(実施の形態7)

本実施の形態では、領域700に段差を有し、図7(A)に示すように該段差部をキャパシタが乗り越えることによって小面積化した、実施の形態6で示したトレンチ構造の半導体記憶装置の別形態について説明する。

【0137】

図7(A)は、メモリセルの断面図である。本実施の形態では、領域700と、領域700上の領域771と、領域771上の領域772と、を有する。

【0138】

領域700は、段差部およびキャパシタを有する以外は領域300と同様の構成である。キャパシタC__5は、絶縁膜790、導電膜780および導電膜745によって構成される。

30

【0139】

領域771はトランジスタTr、キャパシタC__1およびC__2を有し、領域772はキャパシタC__3およびC__4を有し、領域700はキャパシタC__5を有する。なお、キャパシタC__1乃至C__5は、導電膜741乃至745、絶縁膜790乃至792および導電膜780乃至782から構成される。絶縁膜790乃至792は、キャパシタC__1乃至C__5の容量を制御するため、それぞれ異なる材料や膜厚としても構わない。導電膜780乃至782は、コンタクトホールを介して接続している。

【0140】

領域700、領域771および772の表面は、CMPなどによって平坦化されていても構わない。

40

【0141】

図7(B)は領域772を、図7(C)は領域771を、図7(D)は領域700を、それぞれ上面から観察した上面図である。

【0142】

本実施の形態では、キャパシタを有する領域を3層重畳する構成としたが、これに限定されない。例えば、キャパシタを有する領域を4層以上重畳しても構わない。

【0143】

領域700に段差部を有し、該段差部にキャパシタを有するため、メモリセルでキャパシタの占める面積を縮小することができ、実施の形態4および実施の形態5と比較し、メモ

50

リセルのさらなる小面積化が可能となる。

【 0 1 4 4 】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

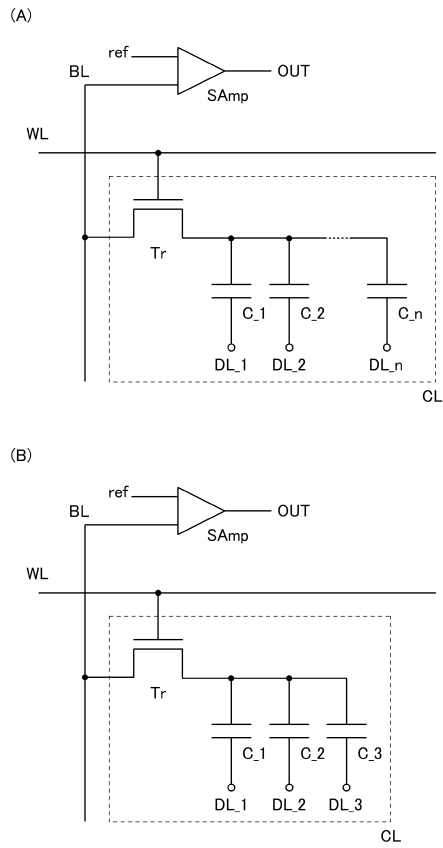
【 符号の説明 】

【 0 1 4 5 】

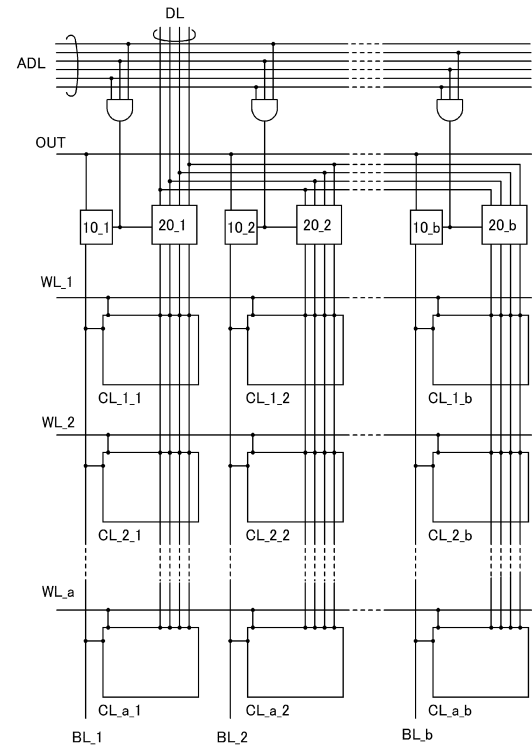
1 0	読み出し回路	
2 0	スイッチ回路	
3 0 0	領域	
3 0 2	第 2 の絶縁膜	
3 0 4	導電膜	10
3 0 6	半導体膜	
3 0 8	導電膜	
3 0 9	導電膜	
3 1 2	第 3 の絶縁膜	
3 1 6	第 4 の絶縁膜	
3 3 1	半導体基板	
3 3 2	第 1 の絶縁膜	
3 4 1	導電膜	
3 4 2	導電膜	
3 4 3	導電膜	20
3 4 4	導電膜	
4 4 1	導電膜	
4 4 2	導電膜	
4 4 3	導電膜	
4 7 1	領域	
4 7 2	領域	
4 7 3	領域	
4 8 1	導電膜	
4 8 2	導電膜	
4 8 3	導電膜	30
4 9 1	絶縁膜	
4 9 2	絶縁膜	
4 9 3	絶縁膜	
5 4 1	導電膜	
5 4 2	導電膜	
5 4 3	導電膜	
5 4 4	導電膜	
5 4 5	導電膜	
5 7 1	領域	
5 7 2	領域	40
5 7 3	領域	
5 8 1	導電膜	
5 8 2	導電膜	
5 8 3	導電膜	
5 9 1	絶縁膜	
5 9 2	絶縁膜	
5 9 3	絶縁膜	
6 0 0	領域	
6 1 2	絶縁膜	
6 4 1	導電膜	50

6 4 2	導電膜	
6 4 3	導電膜	
6 4 4	導電膜	
6 4 5	導電膜	
6 7 1	領域	
6 7 2	領域	
6 8 0	導電膜	
6 8 1	導電膜	
6 8 2	導電膜	
6 9 0	絶縁膜	10
6 9 1	絶縁膜	
6 9 2	絶縁膜	
7 0 0	領域	
7 1 2	絶縁膜	
7 4 1	導電膜	
7 4 2	導電膜	
7 4 3	導電膜	
7 4 4	導電膜	
7 4 5	導電膜	
7 7 1	領域	20
7 7 2	領域	
7 8 0	導電膜	
7 8 1	導電膜	
7 8 2	導電膜	
7 9 0	絶縁膜	
7 9 1	絶縁膜	
7 9 2	絶縁膜	

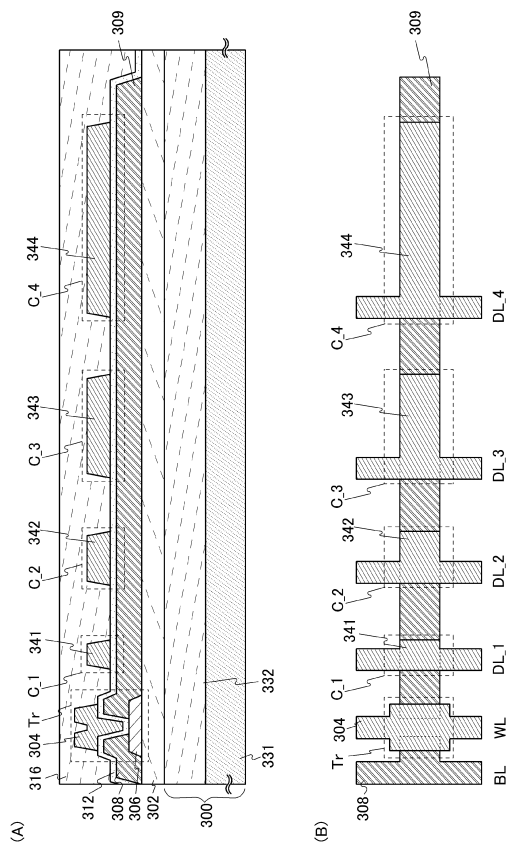
【図 1】



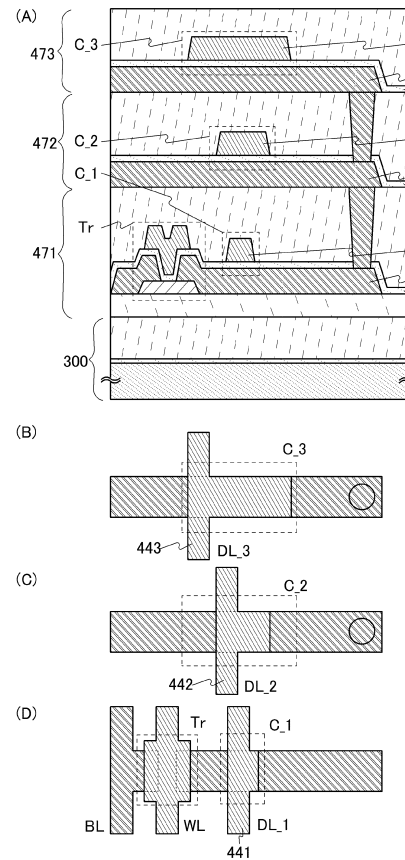
【図 2】



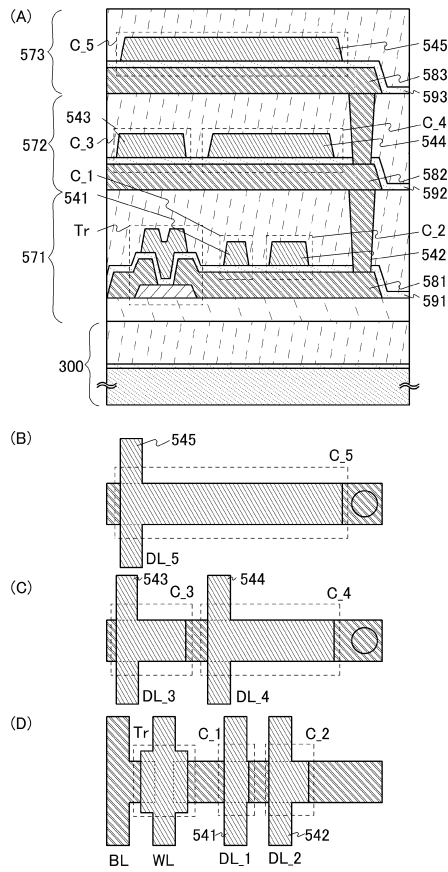
【図 3】



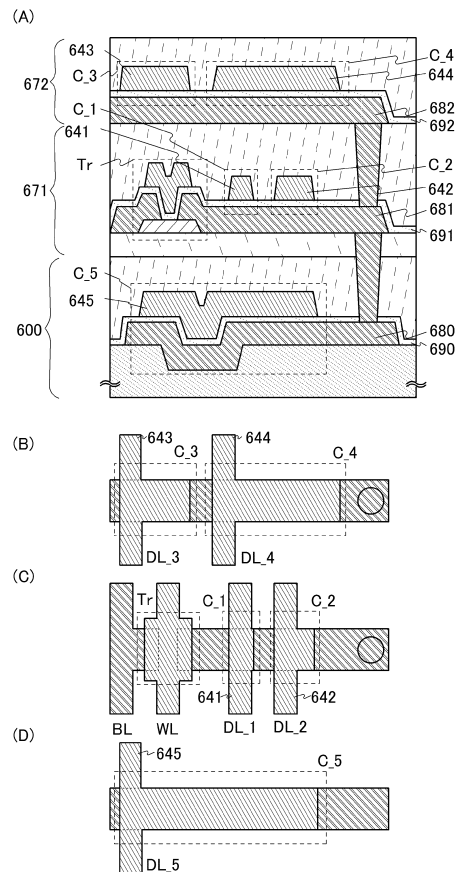
【図 4】



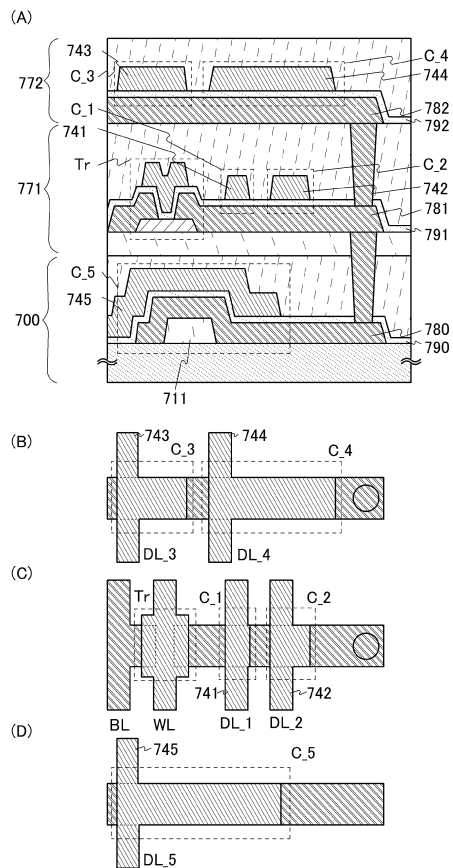
【 図 5 】



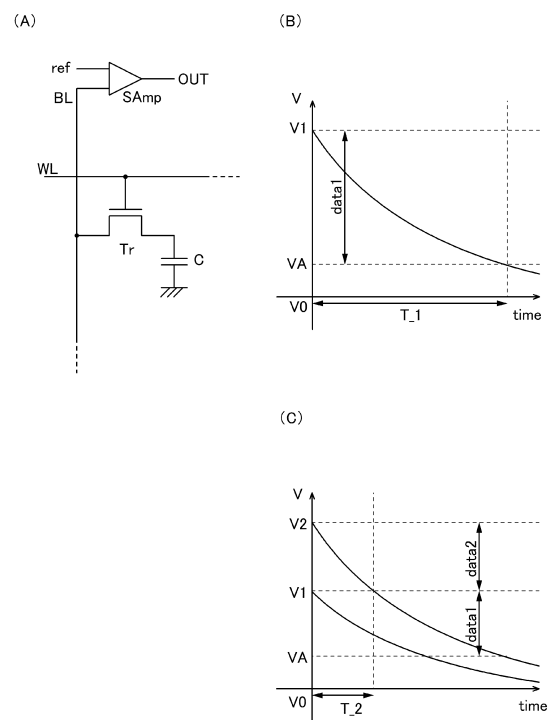
【 図 6 】



【圖 7】



【圖 8】



フロントページの続き

(51)Int.Cl. F I
G 1 1 C 11/404 (2006.01) H 0 1 L 29/78 6 1 3 B
H 0 1 L 29/78 6 1 8 B
G 1 1 C 11/404

(56)参考文献 特開平 1 0 - 2 0 0 0 5 8 (J P , A)
特開 2 0 0 0 - 1 0 0 1 7 5 (J P , A)
特開 2 0 0 0 - 1 5 0 9 0 0 (J P , A)
特開平 0 4 - 0 9 0 1 8 9 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H 0 1 L 2 1 / 8 2 4 2
G 1 1 C 1 1 / 4 0 4
H 0 1 L 2 1 / 8 2 3 4
H 0 1 L 2 7 / 0 6
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 9 / 7 8 6