

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-27710

(P2010-27710A)

(43) 公開日 平成22年2月4日(2010.2.4)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/78 (2006.01)	H O 1 L 29/78 6 5 2 Q	
H O 1 L 29/739 (2006.01)	H O 1 L 29/78 6 5 5 Z	
H O 1 L 25/07 (2006.01)	H O 1 L 25/04 C	
H O 1 L 25/18 (2006.01)		

審査請求 未請求 請求項の数 4 O L (全 22 頁)

(21) 出願番号	特願2008-184724 (P2008-184724)	(71) 出願人	000006013
(22) 出願日	平成20年7月16日 (2008.7.16)		三菱電機株式会社
			東京都千代田区丸の内二丁目7番3号
		(74) 代理人	100094916
			弁理士 村上 啓吾
		(74) 代理人	100073759
			弁理士 大岩 増雄
		(74) 代理人	100093562
			弁理士 児玉 俊英
		(74) 代理人	100088199
			弁理士 竹中 孝生
		(72) 発明者	碓井 修
			東京都千代田区丸の内二丁目7番3号 三
			菱電機株式会社内

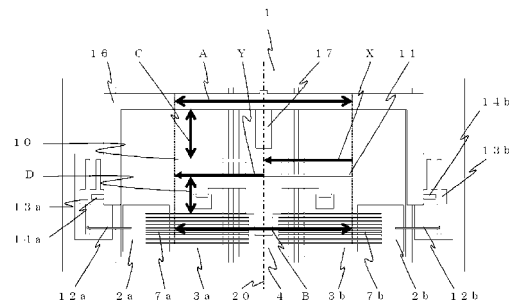
(54) 【発明の名称】 半導体モジュール

(57) 【要約】

【課題】 各半導体スイッチ素子に流れる電流を同一にし、寿命が長く信頼性の高い半導体モジュールを提供する。

【解決手段】 並列に接続された半導体スイッチ素子 2 a , 2 b と、コレクタ端子 8 と半導体スイッチ素子 2 a , 2 b のコレクタ電極とを接続するコレクタ中継導体 1 0 と、エミッタ端子 9 とエミッタ電極とを接続するためのエミッタワイヤ 7 a、7 b 及びエミッタ中継導体 1 1 と、ゲート端子 1 8 とゲート電極とを接続するためのゲート中継導体 1 6 とを備え、コレクタ中継導体 1 0 とエミッタ中継導体 1 1 を流れる電流によってゲート中継導体 1 6 において発生する誘導起電力と、エミッタワイヤ 7 a、7 b において発生する誘導起電力とが同一となるようコレクタ中継導体 1 0、エミッタ中継導体 1 1、ゲート中継導体 1 6 及びエミッタワイヤ 7 a、7 b を配置する。

【選択図】 図 4



【特許請求の範囲】

【請求項 1】

複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された上記半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有する半導体モジュールであって、
上記複数の半導体スイッチ素子のゲート電極と上記ゲート端子とを接続するとともに電流経路が上記対称線に対して対称に配置されているゲート側配線と、
上記複数の半導体スイッチ素子の制御エミッタ電極と上記制御エミッタ端子とを接続するとともに電流経路が上記対称線に対して対称に配置されている制御エミッタ側配線と、
上記複数の半導体スイッチ素子のコレクタ電極と上記コレクタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第 1 のコレクタ側配線及び電流経路が上記対称線に対して非対称に配置されている第 2 のコレクタ側配線と、
上記複数の半導体スイッチ素子のエミッタ電極と上記エミッタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第 1 のエミッタ側配線及び電流経路が上記対称線に対して非対称に配置されている第 2 のエミッタ側配線とを備えた半導体モジュールにおいて、
上記第 2 のエミッタ側配線及び上記第 2 のコレクタ側配線を流れる電流によって、上記ゲート側配線において発生する誘導起電力による電圧と上記第 1 のエミッタ側配線において発生する誘導起電力による電圧とが同一となるよう上記第 2 のコレクタ側配線、上記第 1 及び第 2 のエミッタ側配線及び上記ゲート側配線を配置したことを特徴とする半導体モジュール。

10

20

【請求項 2】

複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された上記半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有する半導体モジュールであって、
上記複数の半導体スイッチ素子のゲート電極と上記ゲート端子とを接続するとともに電流経路が上記対称線に対して対称に配置されているゲート側配線と、
上記複数の半導体スイッチ素子の制御エミッタ電極と上記制御エミッタ端子とを接続するとともに電流経路が上記対称線に対して対称に配置されている制御エミッタ側配線と、
上記複数の半導体スイッチ素子のコレクタ電極と上記コレクタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第 1 のコレクタ側配線及び電流経路が上記対称線に対して非対称に配置されている第 2 のコレクタ側配線と、
上記複数の半導体スイッチ素子のエミッタ電極と上記エミッタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第 1 のエミッタ側配線及び電流経路が上記対称線に対して非対称に配置されている第 2 のエミッタ側配線とを備えた半導体モジュールにおいて、
上記第 2 のエミッタ側配線及び上記第 2 のコレクタ側配線を流れる電流によって、上記第 1 のエミッタ側配線において発生する誘導起電力と上記制御エミッタ側配線において発生する誘導起電力とにより上記複数の半導体スイッチ素子の上記エミッタ電極間において生ずる電圧が、
上記第 2 のエミッタ側配線及び上記第 2 のコレクタ側配線を流れる電流によって、上記ゲート側配線において発生する誘導起電力により上記複数の半導体スイッチ素子の上記ゲート電極間において生ずる電圧と同等になるよう上記第 2 のコレクタ側配線、上記第 1 及び第 2 のエミッタ側配線、上記ゲート側配線及び上記制御エミッタ側配線を配置したことを特徴とする半導体モジュール。

30

40

【請求項 3】

複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された上記半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有する半導体モジュールであって、
上記複数の半導体スイッチ素子のゲート電極と上記ゲート端子とを接続するとともに電流

50

経路が上記対称線に対して対称に配置されている第１のゲート側配線と、
上記複数の半導体スイッチ素子の上記ゲート電極間を接続するとともに電流経路が上記対称線に対して対称に配置されている第２のゲート側配線と、
上記複数の半導体スイッチ素子の制御エミッタ電極と上記制御エミッタ端子とを接続するとともに電流経路が上記対称線に対して対称に配置されている制御エミッタ側配線と、
上記複数の半導体スイッチ素子のコレクタ電極と上記コレクタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第１のコレクタ側配線及び電流経路が上記対称線に対して非対称に配置されている第２のコレクタ側配線と、
上記複数の半導体スイッチ素子のエミッタ電極と上記エミッタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第１のエミッタ側配線及び電流経路が上記対称線に対して非対称に配置されている第２のエミッタ側配線とを備えた半導体モジュールにおいて、

10

上記第２のエミッタ側配線及び上記第２のコレクタ側配線を流れる電流によって、上記第１のエミッタ側配線において発生する誘導起電力と上記制御エミッタ側配線において発生する誘導起電力とにより上記複数の半導体スイッチ素子の上記エミッタ電極間において生ずる電圧が、

上記第２のエミッタ側配線及び上記第２のコレクタ側配線を流れる電流によって、上記第１のゲート側配線において発生する誘導起電力と上記第２のゲート側配線において発生する誘導起電力とにより上記複数の半導体スイッチ素子の上記ゲート電極間において生ずる電圧と同等になるよう上記第２のコレクタ側配線、上記第１及び第２のエミッタ側配線、
上記第１及び第２のゲート側配線及び上記制御エミッタ側配線を配置したことを特徴とする半導体モジュール。

20

【請求項４】

複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された上記半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有する半導体モジュールであって、

上記複数の半導体スイッチ素子のゲート電極と上記ゲート端子とを接続するとともに電流経路が上記対称線に対して対称に配置されている第１のゲート側配線と、

上記複数の半導体スイッチ素子の上記ゲート電極間を接続するとともに電流経路が上記対称線に対して対称に配置されている第２のゲート側配線と、

30

上記複数の半導体スイッチ素子の制御エミッタ電極と上記制御エミッタ端子とを接続するとともに電流経路が上記対称線に対して対称に配置されている第１の制御エミッタ側配線と、

上記複数の半導体スイッチ素子の上記制御エミッタ電極間を接続するとともに電流経路が上記対称線に対して対称に配置されている第２の制御エミッタ側配線と、

上記複数の半導体スイッチ素子のコレクタ電極と上記コレクタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第１のコレクタ側配線及び電流経路が上記対称線に対して非対称に配置されている第２のコレクタ側配線と、

上記複数の半導体スイッチ素子のエミッタ電極と上記エミッタ端子とを接続し、電流経路が上記対称線に対して対称に配置されている第１のエミッタ側配線及び電流経路が上記対称線に対して非対称に配置されている第２のエミッタ側配線とを備えた半導体モジュールにおいて、

40

上記第２のエミッタ側配線及び上記第２のコレクタ側配線を流れる電流によって、上記第１のエミッタ側配線において発生する誘導起電力と上記第１の制御エミッタ側配線において発生する誘導起電力と上記第２の制御エミッタ側配線において発生する誘導起電力とにより上記複数の半導体スイッチ素子の上記エミッタ電極間において生ずる電圧が、

上記第２のエミッタ側配線及び上記第２のコレクタ側配線を流れる電流によって上記第１のゲート側配線において発生する誘導起電力と上記第２のゲート側配線において発生する誘導起電力とにより上記複数の半導体スイッチ素子の上記ゲート電極間において生ずる電圧と同等に近づくよう上記第２のコレクタ側配線、上記第１及び第２のエミッタ側配線、

50

上記第 1 及び第 2 のゲート側配線及び上記第 1 及び第 2 の制御エミッタ側配線を配置したことを特徴とする半導体モジュール。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、IGBT (insulated gate bipolar transistor) 等の電圧駆動型の半導体スイッチ素子からなる半導体モジュールに関するものであり、特に半導体モジュールの配線構造に関するものである。

【背景技術】

【0002】

複数の半導体スイッチ素子が並列に接続された半導体モジュールにおいて、主電流により各半導体スイッチ素子のゲート・エミッタ間に誘導起電力を発生すると、各半導体スイッチ素子間においてゲート・エミッタ間電圧に差が発生し、各半導体スイッチ素子に流れる電流が不均一となり、半導体モジュールの信頼性が低下するという問題があった。

【0003】

このような問題点を解決するための従来技術として、並列に接続された半導体スイッチ素子のエミッタ間接続導体に発生するリアクトル成分の電圧降下に相当する電圧を発生させる電圧源と、電圧源を介して半導体スイッチ素子を駆動する駆動手段を有し、リアクトル成分によるエミッタ電位の降下を電圧源によってゲート電位に加えることにより、各半導体スイッチ素子のゲート・エミッタ間の電圧を均一にしたものがあった（特許文献 1）

。

【0004】

【特許文献 1】特開平 07 - 177727 号公報（図 1）

【発明の開示】

【発明が解決しようとする課題】

【0005】

上記特許文献 1 に示されたものでは、各半導体スイッチ素子のエミッタ配線の自己インダクタンス差に起因して発生するゲート・エミッタ間の電圧差を均一にするものであるため、相互インダクタンス差に起因して発生するゲート・エミッタ間の電圧差を均一にすることはできなかった。更には主電流が流れるエミッタ側共通端子をゲート・エミッタ間電圧の基準電位とする構造であるため、エミッタ配線における自己インダクタンスのばらつきを避けるために、大電流である主電流が流れるエミッタ配線とは別に各半導体スイッチ素子のエミッタ電極に主電流が流れない制御エミッタ配線を設けて、これをゲート・エミッタ間電圧の基準電位として自己インダクタンスの影響を受けないようにした構造においては、ゲート・エミッタ間の電圧差を均一にし、各半導体スイッチ素子に流れる電流を同一にすることはできなかった。

【0006】

各半導体スイッチ素子に流れる電流が相違し、特定の半導体スイッチ素子に電流が集中すると、その半導体スイッチ素子の温度が上昇し、高温、低温を繰り返すことによって半導体モジュールの寿命が短くなったり、短絡した場合の耐久性を低下させてしまうという問題があった。

【0007】

この発明は、上記のような問題点を解決するためになされたものであり、相互インダクタンス差に起因してゲート・エミッタ間に電圧差が発生するような構造及び制御エミッタ配線を設けるような構造においても、各半導体スイッチ素子に流れる電流を同一にし、寿命が長く信頼性の高い半導体モジュールを提供することを目的としている。

【課題を解決するための手段】

【0008】

この発明の請求項 1 に係る半導体モジュールは、複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された上記半導体スイッチ素子同士が並列

10

20

30

40

50

に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有するものであって、複数の半導体スイッチ素子のゲート電極とゲート端子とを接続するとともに電流経路が対称線に対して対称に配置されているゲート側配線と、複数の半導体スイッチ素子の制御エミッタ電極と制御エミッタ端子とを接続するとともに電流経路が対称線に対して対称に配置されている制御エミッタ側配線と、複数の半導体スイッチ素子のコレクタ電極とコレクタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のコレクタ側配線及び電流経路が対称線に対して非対称に配置されている第2のコレクタ側配線と、複数の半導体スイッチ素子のエミッタ電極とエミッタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のエミッタ側配線及び電流経路が対称線に対して非対称に配置されている第2のエミッタ側配線とを備え、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、ゲート側配線において発生する誘導起電力による電圧と第1のエミッタ側配線において発生する誘導起電力による電圧とが同一となるよう第2のコレクタ側配線、第1及び第2のエミッタ側配線及びゲート側配線を配置したものである。

10

20

30

40

50

【0009】

この発明の請求項2に係る半導体モジュールは、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、第1のエミッタ側配線において発生する誘導起電力と制御エミッタ側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のエミッタ電極間において生ずる電圧が、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、ゲート側配線において発生する誘導起電力により複数の半導体スイッチ素子のゲート電極間において生ずる電圧と同等になるよう第2のコレクタ側配線、第1及び第2のエミッタ側配線、ゲート側配線及び制御エミッタ側配線を配置したものである。

【0010】

この発明の請求項3に係る半導体モジュールは、複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有するものであって、複数の半導体スイッチ素子のゲート電極とゲート端子とを接続するとともに電流経路が対称線に対して対称に配置されている第1のゲート側配線と、複数の半導体スイッチ素子のゲート電極間を接続するとともに電流経路が対称線に対して対称に配置されている第2のゲート側配線と、複数の半導体スイッチ素子の制御エミッタ電極と制御エミッタ端子とを接続するとともに電流経路が対称線に対して対称に配置されている制御エミッタ側配線と、複数の半導体スイッチ素子のコレクタ電極とコレクタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のコレクタ側配線及び電流経路が対称線に対して非対称に配置されている第2のコレクタ側配線と、複数の半導体スイッチ素子のエミッタ電極とエミッタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のエミッタ側配線及び電流経路が対称線に対して非対称に配置されている第2のエミッタ側配線とを備え、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、第1のエミッタ側配線において発生する誘導起電力と制御エミッタ側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のエミッタ電極間において生ずる電圧が、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、第1のゲート側配線において発生する誘導起電力と第2のゲート側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のゲート電極間において生ずる電圧と同等になるよう第2のコレクタ側配線、第1及び第2のエミッタ側配線、第1及び第2のゲート側配線及び制御エミッタ側配線を配置したものである。

【0011】

この発明の請求項4に係る半導体モジュールは、複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有するものであって、複数の半導体スイッチ素子のゲート電極とゲート端子とを接続するとともに

電流経路が対称線に対して対称に配置されている第１のゲート側配線と、複数の半導体スイッチ素子のゲート電極間を接続するとともに電流経路が対称線に対して対称に配置されている第２のゲート側配線と、複数の半導体スイッチ素子の制御エミッタ電極と制御エミッタ端子とを接続するとともに電流経路が対称線に対して対称に配置されている第１の制御エミッタ側配線と、複数の半導体スイッチ素子の制御エミッタ電極間を接続するとともに電流経路が対称線に対して対称に配置されている第２の制御エミッタ側配線と、複数の半導体スイッチ素子のコレクタ電極とコレクタ端子とを接続し、電流経路が対称線に対して対称に配置されている第１のコレクタ側配線及び電流経路が対称線に対して非対称に配置されている第２のコレクタ側配線と、複数の半導体スイッチ素子のエミッタ電極とエミッタ端子とを接続し、電流経路が対称線に対して対称に配置されている第１のエミッタ側配線及び電流経路が対称線に対して非対称に配置されている第２のエミッタ側配線とを備え、第２のエミッタ側配線及び第２のコレクタ側配線を流れる電流によって、第１のエミッタ側配線において発生する誘導起電力と第１の制御エミッタ側配線において発生する誘導起電力と第２の制御エミッタ側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のエミッタ電極間において生ずる電圧が、第２のエミッタ側配線及び第２のコレクタ側配線を流れる電流によって第１のゲート側配線において発生する誘導起電力と第２のゲート側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のゲート電極間において生ずる電圧と同等に近づくよう第２のコレクタ側配線、第１及び第２のエミッタ側配線、第１及び第２のゲート側配線及び第１及び第２の制御エミッタ側配線を配置したものである。

10

20

【発明の効果】**【００１２】**

この発明の請求項１に係る半導体モジュールによれば、複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された上記半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有するものであって、複数の半導体スイッチ素子のゲート電極とゲート端子とを接続するとともに電流経路が対称線に対して対称に配置されているゲート側配線と、複数の半導体スイッチ素子の制御エミッタ電極と制御エミッタ端子とを接続するとともに電流経路が対称線に対して対称に配置されている制御エミッタ側配線と、複数の半導体スイッチ素子のコレクタ電極とコレクタ端子とを接続し、電流経路が対称線に対して対称に配置されている第１のコレクタ側配線及び電流経路が対称線に対して非対称に配置されている第２のコレクタ側配線と、複数の半導体スイッチ素子のエミッタ電極とエミッタ端子とを接続し、電流経路が対称線に対して対称に配置されている第１のエミッタ側配線及び電流経路が対称線に対して非対称に配置されている第２のエミッタ側配線とを備え、第２のエミッタ側配線及び第２のコレクタ側配線を流れる電流によって、ゲート側配線において発生する誘導起電力による電圧と第１のエミッタ側配線において発生する誘導起電力による電圧とが同一となるよう第２のコレクタ側配線、第１及び第２のエミッタ側配線及びゲート側配線を配置したので、各半導体スイッチ素子に印加されるゲート・エミッタ間電圧を均等にし、各半導体スイッチ素子に流れる電流を同一にすることにより、寿命が長く信頼性の高い半導体モジュールを得ることができる。

30

40

【００１３】

この発明の請求項２に係る半導体モジュールによれば、第２のエミッタ側配線及び第２のコレクタ側配線を流れる電流によって、第１のエミッタ側配線において発生する誘導起電力と制御エミッタ側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のエミッタ電極間において生ずる電圧が、第２のエミッタ側配線及び第２のコレクタ側配線を流れる電流によって、ゲート側配線において発生する誘導起電力により複数の半導体スイッチ素子のゲート電極間において生ずる電圧と同等になるよう第２のコレクタ側配線、第１及び第２のエミッタ側配線、ゲート側配線及び制御エミッタ側配線を配置したので、各半導体スイッチ素子に印加されるゲート・エミッタ間電圧を均等にし、各半導体スイッチ素子に流れる電流を同一にすることにより、寿命が長く信頼性の高い半導体モジュ

50

ールを得ることができる。

【0014】

この発明の請求項3に係る半導体モジュールによれば、複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有するものであって、複数の半導体スイッチ素子のゲート電極とゲート端子とを接続するとともに電流経路が対称線に対して対称に配置されている第1のゲート側配線と、複数の半導体スイッチ素子のゲート電極間を接続するとともに電流経路が対称線に対して対称に配置されている第2のゲート側配線と、複数の半導体スイッチ素子の制御エミッタ電極と制御エミッタ端子とを接続するとともに電流経路が対称線に対して対称に配置されている制
御エミッタ側配線と、複数の半導体スイッチ素子のコレクタ電極とコレクタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のコレクタ側配線及び電流経路が対称線に対して非対称に配置されている第2のコレクタ側配線と、複数の半導体スイッチ素子のエミッタ電極とエミッタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のエミッタ側配線及び電流経路が対称線に対して非対称に配置されている第2のエミッタ側配線とを備え、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、第1のエミッタ側配線において発生する誘導起電力と制御エミッタ側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のエミッタ電極間において生ずる電圧が、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によつて、第1のゲート側配線において発生する誘導起電力と第2のゲート側配線において発生
する誘導起電力とにより複数の半導体スイッチ素子のゲート電極間において生ずる電圧と同等になるよう第2のコレクタ側配線、第1及び第2のエミッタ側配線、第1及び第2のゲート側配線及び制御エミッタ側配線を配置したので、各半導体スイッチ素子に印加されるゲート・エミッタ間電圧を均等にし、各半導体スイッチ素子に流れる電流を同一にすることにより、寿命が長く信頼性の高い半導体モジュールを得ることができる。

【0015】

この発明の請求項4に係る半導体モジュールによれば、複数の半導体スイッチ素子が対称線に対して対称に配置されるとともに、対称に配置された半導体スイッチ素子同士が並列に接続され、更にコレクタ端子、エミッタ端子、ゲート端子及び制御エミッタ端子を有するものであって、複数の半導体スイッチ素子のゲート電極とゲート端子とを接続すると
ともに電流経路が対称線に対して対称に配置されている第1のゲート側配線と、複数の半導体スイッチ素子のゲート電極間を接続するとともに電流経路が対称線に対して対称に配置されている第2のゲート側配線と、複数の半導体スイッチ素子の制御エミッタ電極と制
御エミッタ端子とを接続するとともに電流経路が対称線に対して対称に配置されている第1の制御エミッタ側配線と、複数の半導体スイッチ素子の制御エミッタ電極間を接続するとともに電流経路が対称線に対して対称に配置されている第2の制御エミッタ側配線と、
複数の半導体スイッチ素子のコレクタ電極とコレクタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のコレクタ側配線及び電流経路が対称線に対して非対称に配置されている第2のコレクタ側配線と、複数の半導体スイッチ素子のエミッタ電極
とエミッタ端子とを接続し、電流経路が対称線に対して対称に配置されている第1のエミ
ッタ側配線及び電流経路が対称線に対して非対称に配置されている第2のエミッタ側配線とを備え、第2のエミッタ側配線及び第2のコレクタ側配線を流れる電流によって、第1
のエミッタ側配線において発生する誘導起電力と第1の制御エミッタ側配線において発生する誘導起電力と第2の制御エミッタ側配線において発生する誘導起電力とにより複数の
半導体スイッチ素子のエミッタ電極間において生ずる電圧が、第2のエミッタ側配線及び
第2のコレクタ側配線を流れる電流によって第1のゲート側配線において発生する誘導起電力と第2のゲート側配線において発生する誘導起電力とにより複数の半導体スイッチ素子のゲート電極間において生ずる電圧と同等に近づくよう第2のコレクタ側配線、第1及び第2のエミッタ側配線、第1及び第2のゲート側配線及び第1及び第2の制御エミッタ側配線を配置したので、半導体スイッチ素子のゲート・エミッタ間電圧を均一に近づける

ことができ、半導体スイッチ素子に流れる電流を均等に近づけることができる。

【発明を実施するための最良の形態】

【0016】

実施の形態 1 .

以下この発明の一実施形態を図に基づいて説明する。図 1 はこの発明の実施の形態 1 による半導体モジュール 1 の内部配線構造を示す斜視図、図 2 は図 1 の P 方向から見た半導体モジュール 1 の内部配線構造を示す斜視図、図 3 は上記内部配線を示す簡略回路図である。IGBT チップ等からなる半導体スイッチ素子 2 a , 2 b はコレクタパターン 3 a , 3 b 上に配置されるとともに、各半導体スイッチ素子 2 a , 2 b のコレクタ電極 100 a 、 100 b とコレクタパターン 3 a , 3 b ははんだ等により接続されている。

10

【0017】

コレクタパターン 3 a , 3 b は絶縁板 5 a , 5 b 上に配置される。エミッタパターン 4 と半導体スイッチ素子 2 a , 2 b のエミッタ電極 101 a 、 101 b はエミッタワイヤ 7 a , 7 b によって接続される。エミッタパターン 4 は絶縁板 5 c 上に配置される。コレクタ端子 8 とコレクタパターン 3 a , 3 b はコレクタ中継導体 10 を介して接続され、エミッタ端子 9 とエミッタパターン 4 はエミッタ中継導体 11 を介して接続される。

【0018】

半導体スイッチ素子 2 a , 2 b の制御用の配線であるゲート中継導体 16 と制御エミッタ中継導体 17 はベース板 6 から一定の距離の位置に配置され、ゲート中継導体 16 にはゲート電源接続用の正極側端子であるゲート端子 18 が配置され、制御エミッタ中継導体 17 には制御エミッタ電源接続用の負極側端子である制御エミッタ端子 19 が配置される。

20

【0019】

半導体スイッチ素子 2 a , 2 b のゲート電極 103 a 、 103 b とゲート中継導体 16 は、ゲートワイヤ 12 a , 12 b 、ゲートパターン 13 a , 13 b 、ゲートピン 14 a , 14 b を介して接続され、これによりゲート電極 103 a 、 103 b とゲート端子 18 とを接続するゲート側配線が構成される。半導体スイッチ素子 2 a , 2 b の制御エミッタ電極 102 a 、 102 b と制御エミッタ中継導体 17 は、エミッタワイヤ 7 a , 7 b 、エミッタパターン 4 、制御エミッタピン 15 を介して接続され、これにより制御エミッタ電極 102 a 、 102 b と制御エミッタ端子 19 とを接続する制御エミッタ側配線が構成される。ゲートパターン 13 a , 13 b は絶縁板 5 d , 5 e 上に配置される。絶縁板 5 a ~ 5 e はベース板 6 上に配置される。又図 3 に示すように、エミッタ電極 101 a は制御エミッタ電極 102 a と同じ場所から取り出されるとともに、エミッタ電極 101 b は制御エミッタ電極 102 b と同じ場所から取り出される。

30

【0020】

図 4 はコレクタ端子 8 とエミッタ端子 9 を除いた半導体モジュール 1 の内部配線構造を示す平面図である。半導体スイッチ素子 2 a と 2 b は半導体モジュール 1 における対称線 20 に対して対称に配置されるとともに、コレクタ端子 8 とエミッタ端子 9 を除いた半導体モジュール 1 を構成する内部部品は、対称線 20 に対して左右略対称に配置される。但し後述するように、矢印 X で示すコレクタ中継導体 10 を流れる電流経路と対称となる電流経路は存在せず、更に矢印 Y で示すエミッタ中継導体 11 を流れる電流経路と対称となる電流経路は存在しない。図 5 は半導体モジュール 1 の内部配線構造を示す側面図である。エミッタワイヤ 7 a , 7 b とゲート中継導体 16 は略同等な高さに配置される。

40

【0021】

図 6 はコレクタ側配線の電流経路を示す平面図、図 7 はエミッタ側配線の電流経路を示す平面図である。主電流は、コレクタ端子 8 から半導体モジュール 1 内に入り、コレクタ中継導体 10 で 2 方向に分流し、コレクタパターン 3 a , 3 b を通って、半導体スイッチ素子 2 a , 2 b のコレクタ電極 100 a 、 100 b に流れ込む。このようにしてコレクタ電極 100 a 、 100 b とコレクタ端子 8 とを接続するコレクタ側配線が構成される。半導体スイッチ素子 2 a , 2 b のエミッタ電極 101 a 、 101 b から出た電流は、エミッ

50

タワイヤ 7 a, 7 b を介してエミッタパターン 4 に流れ込み、エミッタパターン 4 において分流していた電流が合流し、エミッタ中継導体 11 を通り、エミッタ端子 9 から半導体モジュール 1 の外に出る。このようにしてエミッタ電極 101 a、101 b とエミッタ端子 9 とを接続するエミッタ側配線が構成される。

【0022】

このような電流経路のうち、図 6 中の矢印 X で示すコレクタ中継導体 10 を流れる電流経路と、図 7 中の矢印 Y で示すエミッタ中継導体 11 を流れる電流経路は対称線 20 に対して非対称であるのに対し、矢印 X と矢印 Y を除く電流経路は対称線 20 に対し対称となる。ここで上記コレクタ側配線のうち、電流経路が対称線 20 に対して対称に配置されている配線を第 1 のコレクタ側配線といい、矢印 X で示すコレクタ中継導体 10 を流れる電流経路のように、電流経路が対称線 20 に対して非対称に配置されている配線を第 2 のコレクタ側配線という。更に上記エミッタ側配線のうち、電流経路が対称線 20 に対して対称に配置されている配線を第 1 のエミッタ側配線といい、矢印 Y で示すエミッタ中継導体 11 を流れる電流経路のように、電流経路が対称線 20 に対して非対称に配置されている配線を第 2 のエミッタ側配線という。

10

【0023】

半導体モジュール 1 には周波数の高い交流電流が流れるので、電流による磁束は時間によって変化し、他の配線に誘導起電力を発生させる場合がある。誘導起電力がゲート側配線やエミッタ側配線に発生すると、並列接続された半導体スイッチ素子のゲート・エミッタ間電圧を不均等にさせる場合があり、それに伴い並列接続された半導体スイッチ素子に流れる電流が不均一になる。

20

【0024】

第 1 のコレクタ側配線及び第 1 のエミッタ側配線は対称線 20 に対し対称の関係にあり、ゲートワイヤ 12 a、12 b、ゲートパターン 13 a、13 b、ゲートピン 14 a、14 b 及びゲート中継導体 16 からなるゲート側配線と、エミッタワイヤ 7 a、7 b、エミッタパターン 4、制御エミッタピン 15 及び制御エミッタ中継導体 17 からなる制御エミッタ側配線も対称線 20 に対し略対称に配置されているので、矢印 X と矢印 Y を除く電流に起因して発生する誘導起電力は、半導体スイッチ素子 2 a、2 b のゲート・エミッタ間電圧に略同等な影響を及ぼす。このため互いに相殺し合うので、半導体スイッチ素子 2 a、2 b に流れる電流の均一性に影響を与えない。

30

【0025】

これに対して矢印 X と矢印 Y の電流経路は対称線 20 に対し非対称の関係にあるので、矢印 X と矢印 Y の電流による磁束に起因して発生する誘導起電力が、半導体スイッチ素子 2 a、2 b のゲート・エミッタ間電圧に異なる影響を及ぼすことにより、電流が不均一になる場合が生じる。本実施形態においては、エミッタワイヤ 7 a、7 b が制御エミッタ側配線を構成するとともに、第 1 のエミッタ側配線も構成する。

【0026】

以上の点を考慮し、本発明においては図 4 に示すように矢印 X と矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 に対して平行であり、かつ矢印 X の部分の長さ、矢印 Y の部分の長さを合せた長さを有するゲート中継導体 16 の矢印 A 部と、コレクタ中継導体 10 及びエミッタ中継導体 11 に対して平行であり、かつ矢印 X の部分の長さ、矢印 Y の部分の長さを合せた長さを有するエミッタワイヤ 7 a 及び 7 b の矢印 B 部を以下のように構成するものである。

40

【0027】

即ちコレクタ中継導体 10 とゲート中継導体 16 における矢印 A 部との距離を C、エミッタ中継導体 11 とエミッタワイヤ 7 a 及び 7 b における矢印 B 部との距離を D とした場合、C と D が略同等になるように配置したものである。ここで距離 C は、ゲート中継導体 16 におけるコレクタ中継導体 10 側の端部とコレクタ中継導体 10 までの距離であり、距離 D は、エミッタワイヤ 7 a のうち最もエミッタ中継導体 11 に近いエミッタワイヤ 7 a からエミッタ中継導体 11 までの距離である。尚図 4 においては、距離 C の方が距離 D

50

よりも長いように見えるが、実際には距離 C と距離 D は略同等である。

【 0 0 2 8 】

ここで図 4 においては、コレクタ中継導体 1 0 及びエミッタ中継導体 1 1 よりこれらと平行な位置関係にあるゲート中継導体 1 6 およびエミッタワイヤ 7 a、7 b が長い状態を示している。この場合、ゲート中継導体 1 6 における矢印 A 部とエミッタワイヤ 7 a、7 b における矢印 B 部の長さが略同一となる。なお、ゲート中継導体 1 6 およびエミッタワイヤ 7 a、7 b がコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 より短い場合には、ゲート中継導体 1 6 における矢印 A 部とエミッタワイヤ 7 a、7 b における矢印 B 部の長さが略同一となるように構成する。

【 0 0 2 9 】

このように構成したことにより、電流 X と電流 Y の大きさは略同一であるとともに、電流 X が流れている部分のベース板 6 からの高さで電流 Y が流れている部分のベース板 6 からの高さも略同一であるので、ゲート中継導体 1 6 の矢印 A 部とエミッタワイヤ 7 a、7 b の矢印 B 部には電流 X 及び電流 Y によって略同等な誘導起電力が発生することとなり、半導体スイッチ素子 2 a のゲート電極と半導体スイッチ素子 2 b のゲート電極間に発生する電圧は、半導体スイッチ素子 2 a のエミッタ電極と半導体スイッチ素子 2 b のエミッタ電極間に発生する電圧と略同等にすることができる。従って、半導体スイッチ素子 2 a と 2 b のゲート・エミッタ間電圧を均等にし、半導体スイッチ素子 2 a と 2 b に流れる電流を均等にすることができる。

【 0 0 3 0 】

なお上記説明においては、エミッタワイヤ 7 a、7 b とゲート中継導体 1 6 の高さを略同等としたが、高さが異なる場合であってもよく、この場合矢印 X と矢印 Y の電流が流れるコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 からの水平方向の距離を調整することにより、ゲート中継導体 1 6 の矢印 A 部に発生する誘導起電力とエミッタワイヤ 7 a、7 b の矢印 B 部に発生する誘導起電力を略同一にして、半導体スイッチ素子 2 a、2 b に流れる電流を均等にすることができる。

【 0 0 3 1 】

更に上記説明においては、コレクタ中継導体 1 0 及びエミッタ中継導体 1 1 に対してゲート中継導体 1 6 及びエミッタワイヤ 7 a、7 b が平行に配置されている場合について説明したが、平行に配置されていない場合は、エミッタワイヤ 7 a、7 b とコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 間のそれぞれの最短距離と、ゲート中継導体 1 6 とコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 間のそれぞれの最短距離が略同等で、更にエミッタワイヤ 7 a、7 b とコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 間のそれぞれの最長距離と、ゲート中継導体 1 6 とコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 間のそれぞれの最長距離が略同等であるように構成すればよい。

【 0 0 3 2 】

以上のように本発明によれば、各半導体スイッチ素子に流れる電流を同一にし、寿命が長く信頼性の高い半導体モジュールを提供することができるとともに、余分な電流を流すことがなくなるので、エネルギー消費量を削減することができる。又各半導体スイッチ素子の発熱を均一にすることにより、特定の半導体スイッチ素子のみが多く発熱することを回避することができるので、冷却構造が小さくて済み、減量化を図ることができる。また装置全体が小さく済むので、包装も小さくて済み。また装置自体が小さいので、廃棄する際ゴミも少なく済み、従って環境に対しても優しいものとなる。

【 0 0 3 3 】

実施の形態 2 .

図 8 はこの発明の実施の形態 2 による半導体モジュールの内部配線構造を示す斜視図、図 9 は図 8 の Q 方向から見た半導体モジュール 1 の内部配線構造を示す斜視図である。半導体スイッチ素子 2 a、2 b の制御エミッタ電極 1 0 2 a、1 0 2 b と制御エミッタ中継導体 1 7 は、制御エミッタワイヤ 2 1 a、2 1 b、制御エミッタパターン 2 2 a、2 2 b、制御エミッタピン 1 5 a、1 5 b を介して接続されることにより、制御エミッタ側配線

10

20

30

40

50

が構成されている。又制御エミッタパターン 2 2 a , 2 2 b はゲートパターン 1 3 a , 1 3 b と同様に絶縁板 5 d , 5 e 上に配置される。

【 0 0 3 4 】

また、半導体スイッチ素子 2 a , 2 b の第 1 のエミッタ側配線及び制御エミッタ側配線は、半導体スイッチ素子 2 a , 2 b のエミッタ電極 1 0 1 a 、 1 0 1 b 、エミッタワイヤ 7 a , 7 b 、エミッタパターン 4 a , 4 b 、エミッタ中継導体 1 1 、制御エミッタワイヤ 2 1 a , 2 1 b 、制御エミッタパターン 2 2 a , 2 2 b 、制御エミッタピン 1 5 a , 1 5 b 、制御エミッタ中継導体 1 7 によって閉ループを形成している。図 1 0 は上記内部配線構造を示す簡略回路図である。

【 0 0 3 5 】

図 1 1 はコレクタ端子 8 とエミッタ端子 9 、ゲート中継導体 1 6 を除いた半導体モジュール 1 の内部配線構造を示す平面図、図 1 2 はコレクタ端子 8 とエミッタ端子 9 、制御エミッタ中継導体 1 7 を除いた半導体モジュール 1 の内部配線構造を示す平面図、図 1 3 は対称線 2 0 における断面図である。

【 0 0 3 6 】

コレクタ端子 8 とエミッタ端子 9 を除いた半導体モジュール 1 を構成する内部部品は、対称線 2 0 に対して略対称に配置される。但し矢印 X で示すコレクタ中継導体 1 0 を流れる電流経路と対称となる電流経路は存在せず、更に矢印 Y で示すエミッタ中継導体 1 1 を流れる電流経路と対称となる電流経路は存在しない。ゲート中継導体 1 6 と制御エミッタ中継導体 1 7 は接近して配置され、またゲート中継導体 1 6 と制御エミッタ中継導体 1 7 及び第 2 のエミッタ中継導体 2 3 は略同等な高さに配置される。

【 0 0 3 7 】

ここで第 2 のエミッタ中継導体 2 3 とはエミッタ中継導体 1 1 の一部を構成するものであり、ベース板 6 に対して平行に配置されている部分をいう。本実施形態においては、第 2 のエミッタ中継導体 2 3 が第 1 のエミッタ側配線を構成し、エミッタ中継導体 1 1 のうちの電流 Y が流れる部分が第 2 のエミッタ側配線を構成する。又図 1 1 に示すように、制御エミッタ中継導体 1 7 と矢印 X の電流が流れるコレクタ中継導体 1 0 との距離を E 1 、制御エミッタ中継導体 1 7 と矢印 Y の電流が流れるエミッタ中継導体 1 1 との距離を E 2 、第 2 のエミッタ中継導体 2 3 と矢印 X の電流が流れるコレクタ中継導体 1 0 との距離を F 1 、第 2 のエミッタ中継導体 2 3 と矢印 Y の電流が流れるエミッタ中継導体 1 1 との距離を F 2 としたとき、 $E 1 > F 2$ 並びに $E 2 > F 1$ となるようにしたものである。

【 0 0 3 8 】

このため、第 2 のエミッタ中継導体 2 3 に発生する誘導起電力が制御エミッタ中継導体 1 7 に発生する誘導起電力よりも大きくなる。更に図 1 2 に示すように、ゲート中継導体 1 6 と矢印 X の電流が流れるコレクタ中継導体 1 0 との距離を G 1 , ゲート中継導体 1 6 と矢印 Y の電流が流れるエミッタ中継導体 1 1 との距離を G 2 としたとき、 $E 1 > G 1 > F 2$ 並びに $E 2 > G 2 > F 1$ となるように設定したものである。

【 0 0 3 9 】

このように構成したことにより、半導体スイッチ素子 2 a , 2 b のエミッタ電極 1 0 1 a 、 1 0 1 b は、閉ループ中の第 2 のエミッタ中継導体 2 3 と制御エミッタ中継導体 1 7 の間に位置しているので、半導体スイッチ素子 2 a のエミッタ電極 1 0 1 a と半導体スイッチ素子 2 b のエミッタ電極 1 0 1 b 間に発生する電圧は、第 2 のエミッタ中継導体 2 3 に発生する誘導起電力と制御エミッタ中継導体 1 7 に発生する誘導起電力の間の値となる。

【 0 0 4 0 】

一方、ゲート中継導体 1 6 に発生する誘導起電力、すなわち半導体スイッチ素子 2 a のゲート電極 1 0 3 a と半導体スイッチ素子 2 b のゲート電極 1 0 3 b 間に発生する電圧は、第 2 のエミッタ中継導体 2 3 に発生する誘導起電力と制御エミッタ中継導体 1 7 に発生する誘導起電力の間の値となる。

【 0 0 4 1 】

10

20

30

40

50

そしてE 1、G 1、F 1、E 2、G 2、F 2の値を調整することにより、半導体スイッチ素子2 aのゲート電極1 0 3 aと半導体スイッチ素子2 bのゲート電極1 0 3 b間に発生する電圧を、半導体スイッチ素子2 aのエミッタ電極1 0 1 aと半導体スイッチ素子2 bのエミッタ電極1 0 1 b間に発生する電圧と略同等にすることができるので、半導体スイッチ素子2 a、2 bにおけるゲート・エミッタ間電圧を略均等にして、半導体スイッチ素子2 a、2 bに流れる電流を均等にすることができる。

【0 0 4 2】

実施の形態3 .

図1 4はこの発明の実施の形態3による半導体モジュールの内部配線構造を示す斜視図、図1 5は図1 4のR方向から見た半導体モジュール1の内部配線構造を示す斜視図である。半導体スイッチ素子2 a、2 bの第1のエミッタ側配線及び制御エミッタ側配線は、半導体スイッチ素子2 a、2 bのエミッタ電極1 0 1 a、1 0 1 b、エミッタワイヤ7 a、7 b、エミッタパターン4 a、4 b、エミッタ中継導体1 1、制御エミッタワイヤ2 1 a、2 1 b、制御エミッタパターン2 2 a、2 2 b、制御エミッタピン1 5 a、1 5 b、制御エミッタ中継導体1 7によって、閉ループを形成している。また、ゲート中継導体1 6 a、1 6 bも閉ループを形成している。

10

【0 0 4 3】

図1 6は上記内部配線構造を示す簡略回路図である。図1 7はコレクタ端子8とエミッタ端子9、ゲート中継導体1 6 a、1 6 bを除いた半導体モジュール1の内部配線構造を示す平面図、図1 8はコレクタ端子8とエミッタ端子9、制御エミッタ中継導体1 7を除いた半導体モジュール1の内部配線構造を示す平面図、図1 9は対称線2 0における断面図である。

20

【0 0 4 4】

コレクタ端子8とエミッタ端子9を除いた半導体モジュール1を構成する内部部品は、対称線2 0に対して略対称に配置される。但し矢印Xで示すコレクタ中継導体1 0を流れる電流経路と対称となる電流経路は存在せず、更に矢印Yで示すエミッタ中継導体1 1を流れる電流経路と対称となる電流経路は存在しない。ゲート中継導体1 6 a、1 6 bと制御エミッタ中継導体1 7は接近して配置され、またゲート中継導体1 6 a、1 6 bと制御エミッタ中継導体1 7及び第2のエミッタ中継導体2 3は略同等な高さに配置される。又ゲート中継導体1 6 aが第1のゲート側配線を構成するとともに、ゲート中継導体1 6 bが第2のゲート側配線を構成し、又第2のエミッタ中継導体2 3が第1のエミッタ側配線を構成する。更にゲート中継導体1 6 bは半導体スイッチ素子2 a、2 bのゲート電極1 0 3 aと1 0 3 b間を接続している。

30

【0 0 4 5】

本実施形態においては、図1 7に示すように、制御エミッタ中継導体1 7と矢印Xの電流が流れるコレクタ中継導体1 0との距離をE 1、制御エミッタ中継導体1 7と矢印Yの電流が流れるエミッタ中継導体1 1との距離をE 2、第2のエミッタ中継導体2 3と矢印Xの電流が流れるコレクタ中継導体1 0との距離をF 1、第2のエミッタ中継導体2 3と矢印Yの電流が流れるエミッタ中継導体1 1との距離をF 2としたとき、 $E 1 > F 2$ 並びに $E 2 > F 1$ となるようにしたものである。

40

【0 0 4 6】

このため第2のエミッタ中継導体2 3に発生する誘導起電力が制御エミッタ中継導体1 7に発生する誘導起電力よりも大きくなる。更に図1 8に示すように、ゲート中継導体1 6 aと矢印Xの電流が流れるコレクタ中継導体1 0との距離をH 1、ゲート中継導体1 6 aと矢印Yの電流が流れるエミッタ中継導体1 1との距離をH 2、ゲート中継導体1 6 bとコレクタ中継導体1 0との距離をI 1、ゲート中継導体1 6 bとエミッタ中継導体1 1との距離をI 2としたとき、 $H 1 = F 2$ 、 $H 2 = F 1$ 、 $I 1 = E 2$ 、 $I 2 = E 1$ となるように構成したものである。

【0 0 4 7】

このように構成したことにより、電流Xと電流Yは略同一なので、ゲート中継導体1 6

50

aと第2のエミッタ中継導体23に発生する誘導起電力は略同等になる。また、ゲート中継導体16bと制御エミッタ中継導体17に発生する誘導起電力も略同等になる。半導体スイッチ素子2a, 2bのゲート電極は、閉ループ中のゲート中継導体16aとゲート中継導体16bの間に位置しているので、半導体スイッチ素子2aのゲート電極103aと半導体スイッチ素子2bのゲート電極103b間に発生する電圧は、ゲート中継導体16aに発生する誘導起電力とゲート中継導体16bに発生する誘導起電力の間の値になる。

【0048】

同様に半導体スイッチ素子2a, 2bのエミッタ電極は、閉ループ中の第2のエミッタ中継導体23と制御エミッタ中継導体17の間に位置しているので、半導体スイッチ素子2aのエミッタ電極と半導体スイッチ素子2bのエミッタ電極間に発生する電圧は、第2のエミッタ中継導体23に発生する誘導起電力と制御エミッタ中継導体17に発生する誘導起電力の間の値になる。

10

【0049】

従って、半導体スイッチ素子2aのゲート電極と半導体スイッチ素子2bのゲート電極間に発生する電圧は、半導体スイッチ素子2aのエミッタ電極と半導体スイッチ素子2bのエミッタ電極間に発生する電圧とほぼ同等にすることができるので、半導体スイッチ素子2a、2bにおけるゲート・エミッタ間電圧をほぼ均等にして、半導体スイッチ素子2a、2bに流れる電流を均等にすることができる。

【0050】

尚上記説明においては、 $H1 = F2$ 、 $H2 = F1$ 、 $I1 = E2$ 、 $I2 = E1$ となるようにコレクタ中継導体10, エミッタ中継導体11, ゲート中継導体16a、16b、制御エミッタ中継導体17及び第2のエミッタ中継導体23を配置したが、電流X、Yによって第2のエミッタ中継導体23において発生する誘導起電力と電流X、Yによって制御エミッタ中継導体17において発生する誘導起電力とにより半導体スイッチ素子2a、2bのエミッタ電極間において生ずる電圧が、電流X、Yによってゲート中継導体16aにおいて発生する誘導起電力と、電流X、Yによってゲート中継導体16bにおいて発生する誘導起電力とにより半導体スイッチ素子2a、2bのゲート電極間において生ずる電圧と同等になるようにすれば上記配置関係に限るものではない。

20

【0051】

実施の形態4.

30

図20はこの発明の実施の形態4による半導体モジュールの内部配線構造を示す斜視図、図21は同じく正面図、図22はコレクタ端子8、エミッタ端子9、ゲート中継導体16、制御エミッタ中継導体17を除いた半導体モジュール1の内部配線構造を示す平面図である。

【0052】

半導体スイッチ素子2a, 2c, 2eと半導体スイッチ素子2b, 2d, 2fは対称線20に対して対称関係となるようコレクタパターン3a, 3b上に配置され、並列に接続されている。エミッタパターン4と半導体スイッチ素子2a~2fのエミッタ電極はエミッタワイヤ7a~7fによって接続される。半導体スイッチ素子2a~2fのエミッタ電極と制御エミッタ中継導体17は、制御エミッタワイヤ21a~21f、制御エミッタパターン22a, 22b、制御エミッタピン15a, 15bを介して接続される。

40

【0053】

また、半導体スイッチ素子2a~2fの第1のエミッタ側配線及び制御エミッタ側配線は、半導体スイッチ素子2a~2fのエミッタ電極、エミッタワイヤ7a~7f、エミッタパターン4、制御エミッタワイヤ21a~21f、制御エミッタパターン22a, 22b、制御エミッタピン15a, 15b、制御エミッタ中継導体17によって、閉ループを形成している。

【0054】

半導体スイッチ素子2a~2fのゲート電極とゲート中継導体16は、ゲートワイヤ12a~12f、ゲートパターン13a, 13b、ゲートピン14a, 14bを介して接続

50

される。また、対称線 20 に対して対称配置されている半導体スイッチ素子 2 a と 2 b、半導体スイッチ素子 2 c と 2 d、半導体スイッチ素子 2 e と 2 f のそれぞれのゲート電極間は、ゲートワイヤ 12 g, 12 h, 12 i で接続されることによりゲート側配線も閉ループを形成している。

【0055】

ゲート中継導体 16 と制御エミッタ中継導体 17 は接近して積層配置される。コレクタ端子 8 とエミッタ端子 9 を除いた半導体モジュール 1 を構成する内部部品は、対称線 20 に対して略対称に配置される。但し矢印 X で示すコレクタ中継導体 10 を流れる電流経路と対称となる電流経路は存在せず、更に矢印 Y で示すエミッタ中継導体 11 を流れる電流経路と対称となる電流経路は存在しない。ゲートワイヤ 12 g, 12 h, 12 i、エミッタワイヤ 7 a ~ 7 f、ゲート中継導体 16、制御エミッタ中継導体 17 は、矢印 X と矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 に対して平行に配置されるとともに、ゲート中継導体 16 と制御エミッタ中継導体 17 はコレクタ中継導体 10 及びエミッタ中継導体 11 からの距離が略同じになるように配置されている。

10

【0056】

また、ゲートワイヤ 12 g と矢印 X と矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 との距離と、エミッタワイヤ 7 a、7 b とコレクタ中継導体 10 及びエミッタ中継導体 11 との最短距離は略同等になるように配置されており、ゲートワイヤ 12 h とエミッタワイヤ 7 c、7 d との関係及びゲートワイヤ 12 i とエミッタワイヤ 7 e、7 f との関係も同様に設定されている。

20

【0057】

このように構成することにより、例えば半導体スイッチ素子 2 a、2 b の関係において、エミッタワイヤ 7 a、7 b において発生する誘導起電力とゲートワイヤ 12 g において発生する誘導起電力とを同等にすることができるとともに、ゲート中継導体 16 において発生する誘導起電力と制御エミッタ中継導体 17 において発生する誘導起電力を同等にすることができるので、半導体スイッチ素子 2 a、2 b のゲート電極間に発生する電圧は、半導体スイッチ素子 2 a、2 b のエミッタ電極間に発生する電圧と略同等にすることができ、従って半導体スイッチ素子 2 a、2 b のゲート・エミッタ間電圧を略均等にして、半導体スイッチ素子 2 a、2 b に流れる電流を略均等にすることができる。

【0058】

30

以上のことは半導体スイッチ素子 2 c、2 d の関係及び半導体スイッチ素子 2 e、2 f との関係においても同じである。また、対称線 20 に対して複数の半導体スイッチ素子が対称配置されている場合、図 14 に示すように狭い空間に大きなゲート中継導体を配置することなく、対称配置されている半導体スイッチ素子のゲート電極間をワイヤで接続することにより、容易に半導体スイッチ素子に流れる電流を均等化することができる。

【0059】

実施の形態 5 .

図 23 はこの発明の実施の形態 5 による半導体モジュールの内部配線構造を示す斜視図である。ゲート中継導体 16 は制御エミッタ中継導体 17 と接近して積層配置されている部分 16 a と積層配置されていない部分 16 b から構成される。制御エミッタ中継導体 17 と積層されていないゲート中継導体 16 b は、第 2 のエミッタ中継導体 23 に接近して配置される。

40

【0060】

そしてゲート中継導体 16 b と矢印 X、矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 との距離は、第 2 のエミッタ中継導体 23 と矢印 X、矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 との距離と略同等に構成するとともに、ゲート中継導体 16 a と矢印 X、矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 との距離は、制御エミッタ中継導体 17 と矢印 X、矢印 Y の電流が流れるコレクタ中継導体 10 及びエミッタ中継導体 11 との距離と略同等に構成する。

50

【 0 0 6 1 】

また、コレクタ中継導体 1 0 と第 2 のエミッタ中継導体 2 3 も接近して配置される。このように構成することにより、第 2 のエミッタ中継導体 2 3 において発生する誘導起電力とゲート中継導体 1 6 b において発生する誘導起電力とを同等にすることができるとともに、ゲート中継導体 1 6 a において発生する誘導起電力と制御エミッタ中継導体 1 7 において発生する誘導起電力を同等にすることができるので、半導体スイッチ素子 2 a のゲート電極と半導体スイッチ素子 2 b のゲート電極間に発生する電圧は、半導体スイッチ素子 2 a のエミッタ電極と半導体スイッチ素子 2 b のエミッタ電極間に発生する電圧と略同等にすることができ、従って半導体スイッチ素子 2 a と 2 b のゲート・エミッタ間電圧を略均等にして、半導体スイッチ素子 2 a と 2 b に流れる電流を略均等にする事ができる。

10

【 0 0 6 2 】

又コレクタ中継導体 1 0 と第 2 のエミッタ中継導体 2 3 も接近して配置しており、更にコレクタ中継導体 1 0 に流れる電流の向きと第 2 のエミッタ中継導体 2 3 に流れる電流の向きは逆であるので、コレクタ端子 8 とエミッタ端子 9 間のインダクタンスを低減することができ、半導体スイッチ素子 2 a , 2 b のターンオフ時のサージ電圧も低減することができる。

【 0 0 6 3 】

実施の形態 6 .

図 2 4 はこの発明の実施の形態 6 による半導体モジュールの内部構造を示す斜視図、図 2 5 は図 2 4 におけるエミッタ側配線のみを示す平面図、図 2 6 はゲート側配線のみを示す平面図、図 2 7 は制御エミッタ側配線のみを示す平面図である。本実施形態においては、図 2 5 , 図 2 6 に示すように、第 2 のエミッタ中継導体 2 3 において、矢印 X と矢印 Y の電流が流れるコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 に対し平行な部分 J の長さがゲート中継導体 1 6 b において同じく矢印 X と矢印 Y に対し平行な部分 K の長さより短く、又図 2 7 に示すように、制御エミッタ中継導体 1 7 は制御エミッタ中継導体 1 7 a と制御エミッタ中継導体 1 7 b から構成され、制御エミッタ中継導体 1 7 a 、 1 7 b によって閉ループが形成されている。更に制御エミッタ中継導体 1 7 a が第 1 の制御エミッタ側配線を構成し、制御エミッタ中継導体 1 7 b が第 2 の制御エミッタ側配線を構成する。更にゲート中継導体 1 6 b は半導体スイッチ素子 2 a 、 2 b のゲート電極 1 0 3 a と 1 0 3 b 間を接続している。

20

30

【 0 0 6 4 】

半導体スイッチ素子 2 a 、 2 b のゲート電極間に発生する電圧は、ゲート中継導体 1 6 a に発生する誘導起電力とゲート中継導体 1 6 b に発生する誘導起電力の間の値となり、半導体スイッチ素子 2 a 、 2 b のエミッタ電極間に発生する電圧は、制御エミッタ中継導体 1 7 に発生する誘導起電力と第 2 のエミッタ中継導体 2 3 に発生する誘導起電力の間の値となる。

【 0 0 6 5 】

ゲート中継導体 1 6 a と制御エミッタ中継導体 1 7 a は接近して積層配置されているので、これらに発生する誘導起電力は同等であるが、ゲート中継導体 1 6 b と第 2 のエミッタ中継導体 2 3 においては上記のようにコレクタ中継導体 1 0 及びエミッタ中継導体 1 1 に対して平行をなす長さが異なるので ($K > J$)、この部分に発生する誘導起電力も異なる。そこで以上の点を考慮し、本実施形態においては、図 2 4 、図 2 7 に示すようにゲート中継導体 1 6 及び制御エミッタ中継導体 1 7 の両者とも閉ループを形成するようにするとともに、ゲート中継導体 1 6 と制御エミッタ中継導体 1 7 の全部分を接近して積層配置し、更にゲート中継導体 1 6 b と制御エミッタ中継導体 1 7 b を第 2 のエミッタ中継導体 2 3 に接近して積層配置したものである。

40

【 0 0 6 6 】

このように構成したことにより、制御エミッタ中継導体 1 7 の一部分である 1 7 b にはゲート中継導体 1 6 b と略同等の誘導起電力が発生し、制御エミッタ中継導体 1 7 b は第 2 のエミッタ中継導体 2 3 と並列に接続されるので、半導体スイッチ素子 2 a と 2 b のエ

50

ミッタ電極間に発生する電圧を、半導体スイッチ素子 2 a と 2 b のゲート電極間に発生する電圧に近づけることができる。従って、半導体スイッチ素子 2 a と 2 b のゲート・エミッタ間電圧を均一に近づけることができ、半導体スイッチ素子 2 a と 2 b に流れる電流を均等に近づけることができる。

【図面の簡単な説明】

【 0 0 6 7 】

【図 1】この発明の実施の形態 1 による半導体モジュールの内部配線構造を示す斜視図である。

【図 2】図 1 の P 方向から見た半導体モジュールの内部配線構造を示す斜視図である。

【図 3】この発明の実施の形態 1 による半導体モジュールの内部配線を示す簡略回路図である。

10

【図 4】コレクタ端子とエミッタ端子を除いた半導体モジュールの内部配線構造を示す平面図である。

【図 5】半導体モジュールの内部配線構造を示す側面図である。

【図 6】コレクタ側配線の電流経路を示す平面図である。

【図 7】エミッタ側配線の電流経路を示す平面図である。

【図 8】この発明の実施の形態 2 による半導体モジュールの内部配線構造を示す斜視図である。

【図 9】図 8 の Q 方向から見た半導体モジュールの内部配線構造を示す斜視図である。

【図 10】この発明の実施の形態 2 による半導体モジュールの内部配線を示す簡略回路図である。

20

【図 11】コレクタ端子とエミッタ端子、ゲート中継導体を除いた半導体モジュールの内部配線構造を示す平面図である。

【図 12】コレクタ端子とエミッタ端子、制御エミッタ中継導体を除いた半導体モジュールの内部配線構造を示す平面図である。

【図 13】対称線における断面図である。

【図 14】この発明の実施の形態 3 による半導体モジュールの内部配線構造を示す斜視図である。

【図 15】図 14 の R 方向から見た半導体モジュール 1 の内部配線構造を示す斜視図であるである。

30

【図 16】この発明の実施の形態 3 による半導体モジュールの内部配線を示す簡略回路図である。

【図 17】コレクタ端子とエミッタ端子、ゲート中継導体を除いた半導体モジュールの内部配線構造を示す平面図である。

【図 18】コレクタ端子とエミッタ端子、制御エミッタ中継導体を除いた半導体モジュールの内部配線構造を示す平面図ある。

【図 19】対称線における断面図である。

【図 20】この発明の実施の形態 4 による半導体モジュールの内部配線構造を示す斜視図である。

【図 21】この発明の実施の形態 4 による半導体モジュールの内部配線構造を示す正面図である。

40

【図 22】コレクタ端子、エミッタ端子、ゲート中継導体、制御エミッタ中継導体を除いた半導体モジュールの内部配線構造を示す平面図である。

【図 23】この発明の実施の形態 5 による半導体モジュールの内部配線構造を示す斜視図である。

【図 24】この発明の実施の形態 6 による半導体モジュールの内部構造を示す斜視図である。

【図 25】図 24 におけるエミッタ側配線のみを示す平面図である。

【図 26】図 24 におけるゲート側配線のみを示す平面図である。

【図 27】図 24 における制御エミッタ側配線のみを示す平面図である。

50

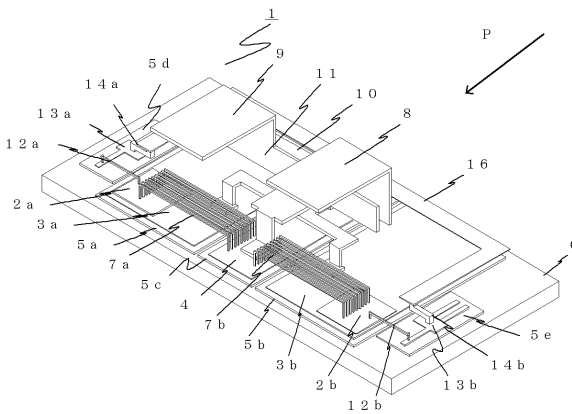
【符号の説明】

【0068】

1 半導体モジュール、2 a, 2 b, 2 c, 2 d, 2 e, 2 f 半導体スイッチ素子、
 3 a, 3 b コレクタパターン、4, 4 a, 4 b エミッタパターン、
 7 a, 7 b, 7 c, 7 d, 7 e, 7 f エミッタワイヤ、8 コレクタ端子、
 9 エミッタ端子、10 コレクタ中継導体、11 エミッタ中継導体、
 12 a, 12 b, 12 c, 12 d, 12 e, 12 f, 12 g, 12 h, 12 i ゲートワイヤ、
 13 a, 13 b ゲートパターン、14 a, 14 b ゲートピン、
 15, 15 a, 15 b 制御エミッタピン、16, 16 a, 16 b ゲート中継導体、
 17 制御エミッタ中継導体、18 ゲート端子、19 制御エミッタ端子、
 21 a, 21 b, 21 c, 21 d, 21 e, 21 f 制御エミッタワイヤ、
 22 a, 22 b 制御エミッタパターン、23 第2のエミッタ中継導体、
 100 a, 100 b コレクタ電極、101 a, 101 b エミッタ電極、
 102 a, 102 b 制御エミッタ電極、103 a, 103 b ゲート電極。

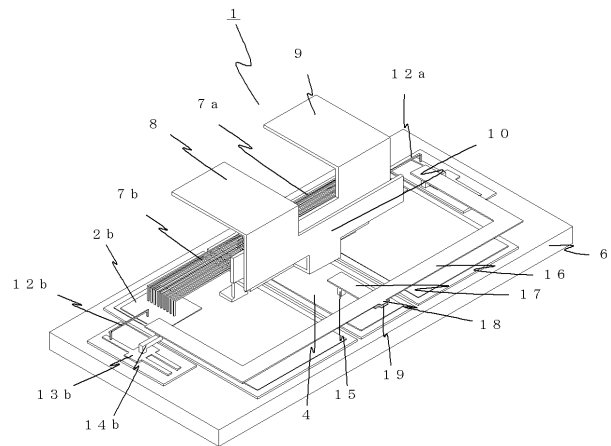
10

【図1】



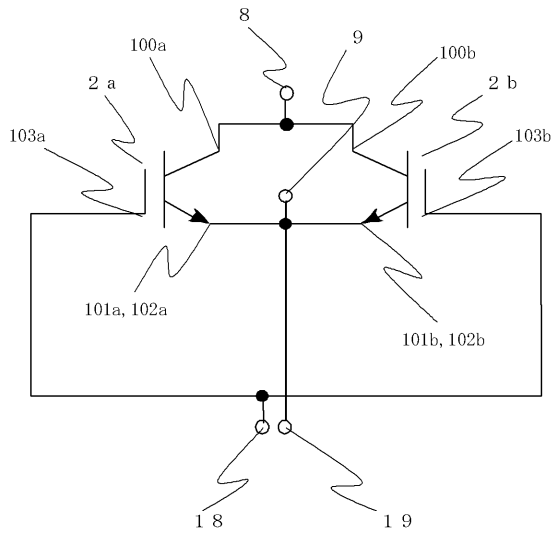
1: 半導体モジュール
 2 a, 2 b: 半導体スイッチ素子
 3 a, 3 b: コレクタパターン
 4: エミッタパターン
 7 a, 7 b: エミッタワイヤ
 8: コレクタ端子
 9: エミッタ端子
 10: コレクタ中継導体
 11: エミッタ中継導体
 12 a, 12 b: ゲートワイヤ
 13 a, 13 b: ゲートパターン
 14 a, 14 b: ゲートピン
 16: ゲート中継導体

【図2】



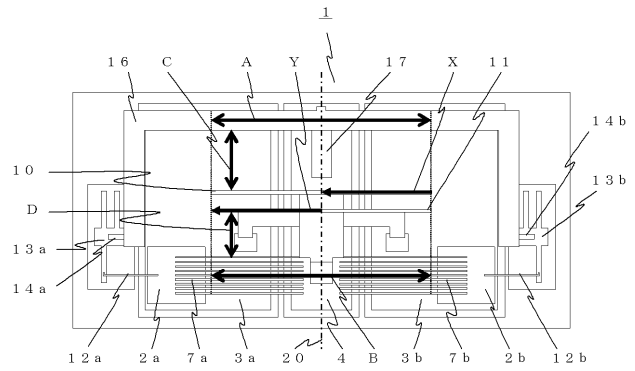
15: 制御エミッタピン
 17: 制御エミッタ中継導体
 18: ゲート端子
 19: 制御エミッタ端子

【図 3】

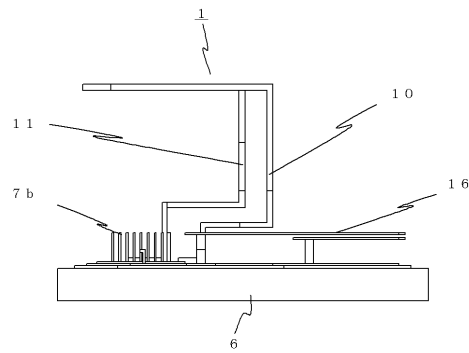


100a, 100b : コレクタ電極
 101a, 101b : エミッタ電極
 102a, 102b : 制御エミッタ電極
 103a, 103b : ゲート電極

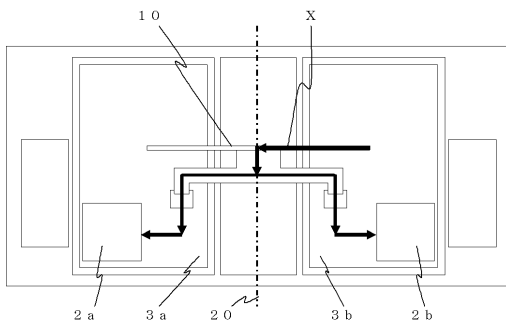
【図 4】



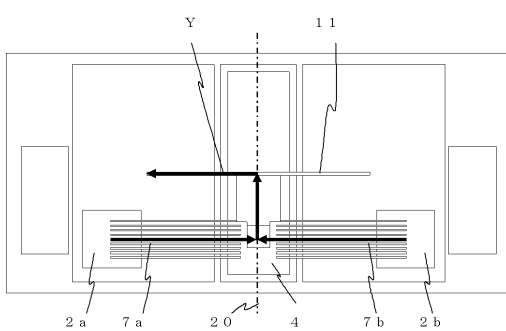
【図 5】



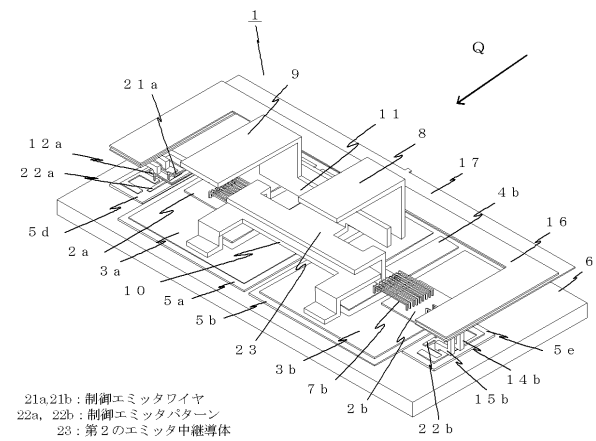
【図 6】



【図 7】

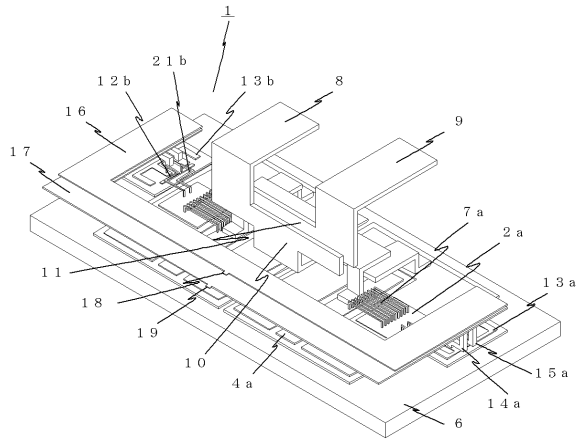


【図 8】

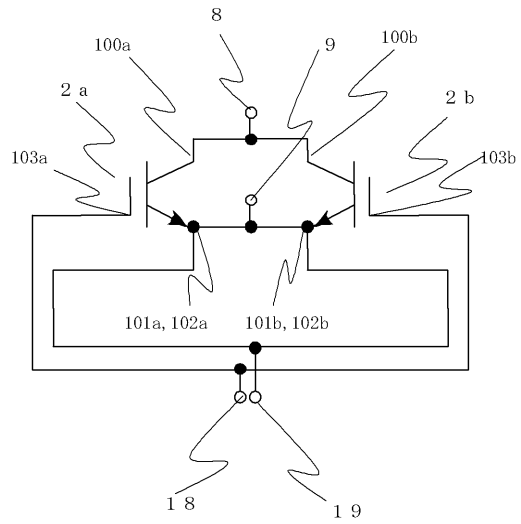


21a, 21b : 制御エミッタワイヤ
 22a, 22b : 制御エミッタパターン
 23 : 第2のエミッタ中継導体

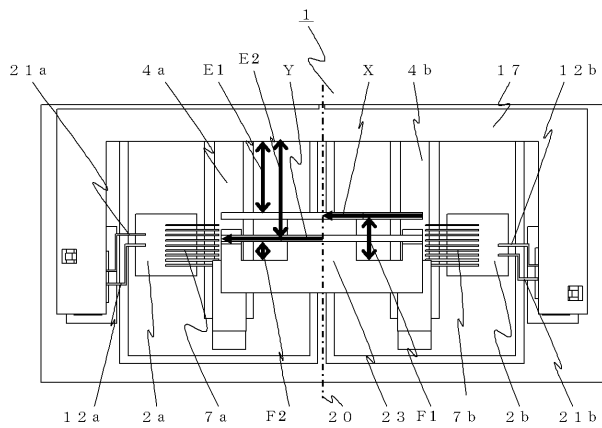
【図 9】



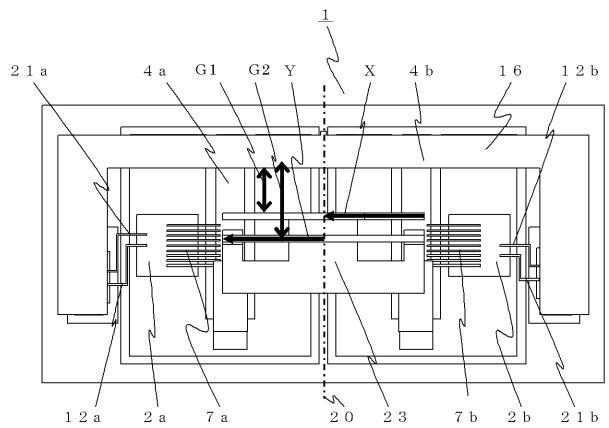
【図 10】



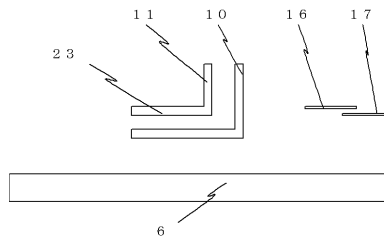
【図 11】



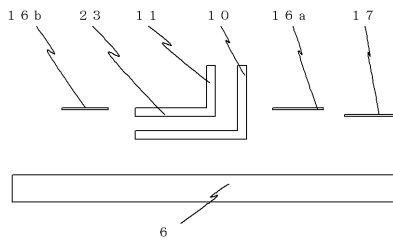
【図 12】



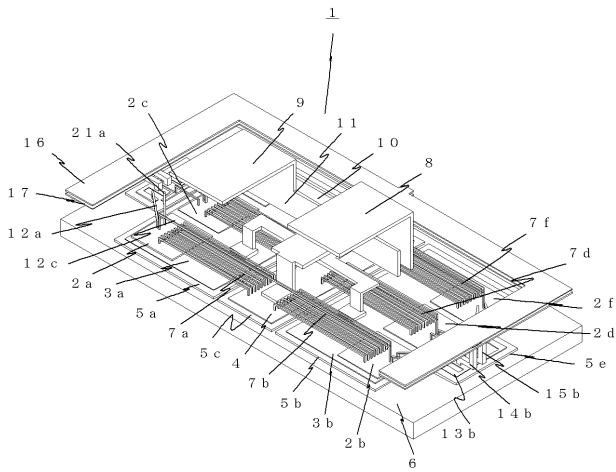
【図 13】



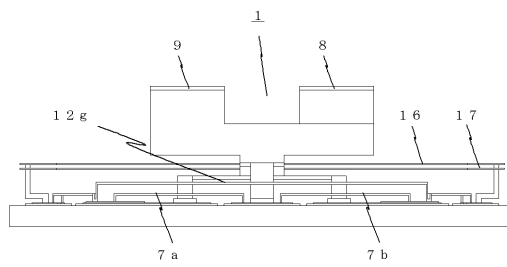
【図 19】



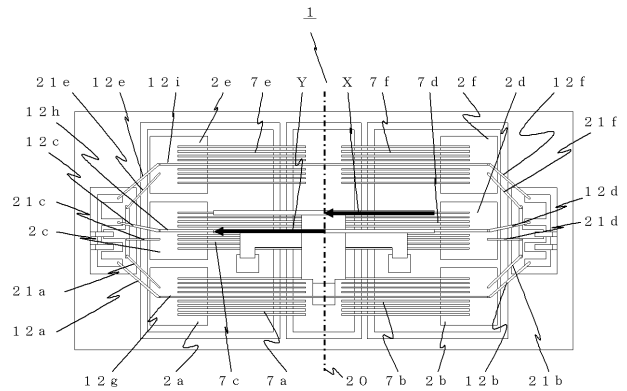
【図 20】



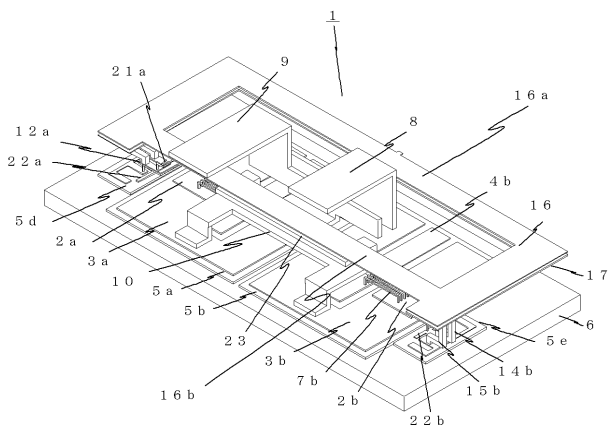
【図 21】



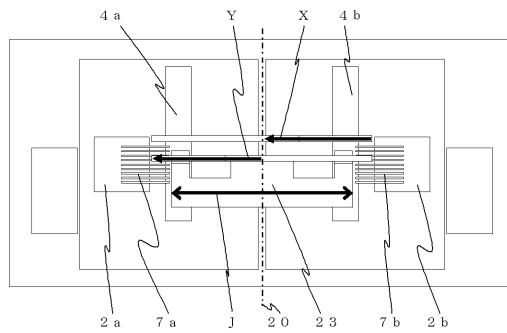
【図 22】



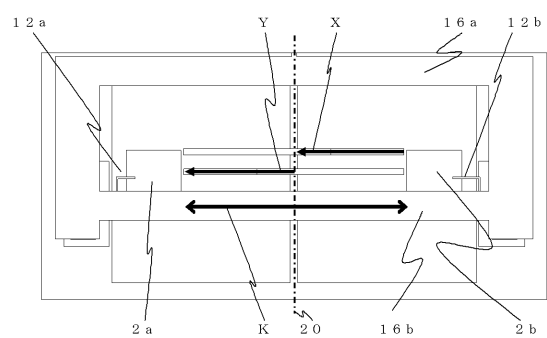
【図 23】



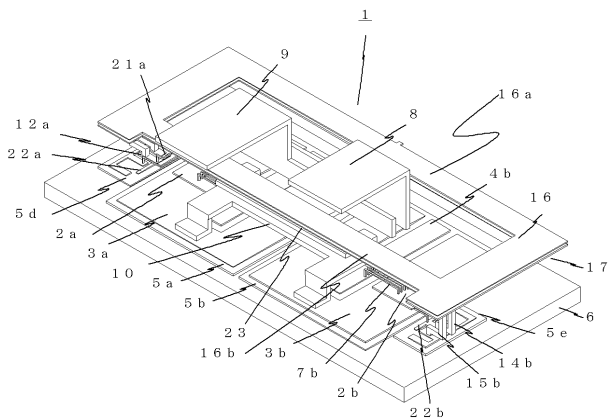
【図 25】



【図 26】



【図 24】



【図 27】

