

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4401572号
(P4401572)

(45) 発行日 平成22年1月20日 (2010. 1. 20)

(24) 登録日 平成21年11月6日 (2009. 11. 6)

(51) Int. Cl.	F I
HO 1 J 9/44 (2006. 01)	HO 1 J 9/44 A
HO 1 J 29/04 (2006. 01)	HO 1 J 29/04
HO 1 J 31/12 (2006. 01)	HO 1 J 31/12 C

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2000-568075 (P2000-568075)	(73) 特許権者	000001007
(86) (22) 出願日	平成11年7月8日 (1999. 7. 8)		キヤノン株式会社
(65) 公表番号	特表2002-524816 (P2002-524816A)		東京都大田区下丸子3丁目30番2号
(43) 公表日	平成14年8月6日 (2002. 8. 6)	(74) 代理人	100075812
(86) 国際出願番号	PCT/US1999/015588		弁理士 吉武 賢次
(87) 国際公開番号	W02000/013167	(74) 代理人	100088889
(87) 国際公開日	平成12年3月9日 (2000. 3. 9)		弁理士 橘谷 英俊
審査請求日	平成18年7月10日 (2006. 7. 10)	(74) 代理人	100082991
(31) 優先権主張番号	09/144, 675		弁理士 佐藤 泰和
(32) 優先日	平成10年8月31日 (1998. 8. 31)	(74) 代理人	100096921
(33) 優先権主張国	米国 (US)		弁理士 吉元 弘
		(74) 代理人	100103263
			弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】 電界放出ディスプレイの製造方法

(57) 【特許請求の範囲】

【請求項 1】

アノードと、エミッタと、ゲート電極と、ガス捕集装置を有する電界放出ディスプレイの製造方法であって、

前記アノード、エミッタ、ゲート電極を形成し、

前記エミッタから放出される電子を引き付けることのできる所定電圧を前記アノードに印加し、

前記所定電圧が前記アノードに印加されている状態で前記エミッタから前記アノードへの電子の放出を開始し、

前記エミッタから前記アノードへ電子が放出されることにより前記アノードと前記エミッタとの間を流れる放出電流を、前記電子の放出の開始から所定期間かけて増加させ、かつ、

前記所定期間の間に時間に対する前記放出電流の増加率を大きくし、

放出された電子によって脱離した汚染物質を前記ガス捕集装置により捕集することを特徴とする電界放出ディスプレイの製造方法。

【請求項 2】

アノードと、エミッタと、ゲート電極と、ゲッターとを有する電界放出ディスプレイの製造方法であって、

前記アノード、エミッタ、ゲート電極、ゲッターを形成し、

前記エミッタから放出される電子を引き付けることのできる所定電圧を前記アノードに

10

20

印加し、

前記所定電圧が前記アノードに印加されている状態で前記エミッタから前記アノードへの電子の放出を開始し、

前記エミッタから前記アノードへ電子が放出されることにより前記アノードと前記エミッタとの間を流れる放出電流を、前記電子の放出の開始から所定期間かけて増加させ、かつ、

前記所定期間の間に時間に対する前記放出電流の増加率を大きくすることを特徴とする電界放出ディスプレイの製造方法。

【発明の詳細な説明】

【0001】

10

【発明の属する技術分野】

この発明は平面パネルディスプレイ画面の電界に関する。さらに詳しくは、この発明は平面パネル電界放出ディスプレイ画面の電界に関するものである。この明細書には、電界放出ディスプレイ装置内の素子をターンオンおよびターンオフする手順および装置が開示されている。

【0002】

【背景技術】

平面パネル電界放出ディスプレイ (F E D s Field Emission Displays) は、標準的な陰極線管 (C R T Cathode Ray Tube) ディスプレイと同様に、蛍光体画面の画素 (ピクセル pixel) に高エネルギーの電子をぶつけることにより光を発生させる。励起された蛍光体は、電子のエネルギーを可視光に変換する。しかしながら、1つの信号を用いる従来のC R Tディスプレイとは異なり、または、3つの電子ビームがラスターパターン内の蛍光体画面を越えて走査する幾つかの場合には、F E D s はそれぞれの画素のそれぞれの色素のための静電子ビームを用いている。これは、電子源から画面までの距離が従来のC R Tの走査用電子ビームにおいて求められている距離に比較して非常に小さくなるべきことを要求している。さらに、F E DはC R Tよりもはるかに少ない電力を消費するだけである。これらの要素は、F E Dを例えばラップトップコンピュータ、ポケットテレビ、パーソナルデジタルアシスタント、携帯用電子ゲーム等の携帯用電子製品に最適なものである。

20

【0003】

30

F E Dに関連する1つの問題は、F E D真空管 (vacuum tube) が電子放出素子、フェースプレート (面板)、(誘電膜や金属膜を含む) ゲート電極およびスペーサ壁面等の表面に付着するようになるほんの僅かな量の汚染物質を含むであろうということである。これらの汚染物質は、十分なエネルギーを有する電子により衝撃を与えられたときに、叩き落とされるであろう。このように、F E Dがスイッチオンまたはスイッチオフされたときに、これらの汚染物質がF E D真空管内で高いイオン圧力の小さな区域を形成するであろうことは高い蓋然性がある。ゲートがエミッタに対して陽性 (positive ポジティブ、プラス) であるという事実に加えて、イオン圧力が高いことはエミッタからゲート電極への電子の放出を促進している。この結果、幾つかの電子はディスプレイ画面に対してよりはむしろゲート電極に対して衝撃を与えるであろう。この状況はゲート電極のオーバーヒート (過熱) を導く可能性がある。ゲート電極に対する放出はまた、エミッタおよびゲート電極間の電圧差に影響を与える。さらに、電子放出素子とゲート電極との間の間隙を電子が飛び越えるので、電流の輝度放電もまた、観察される。繊細な電子エミッタに対する深刻な衝撃もまた結果される。当然、「アーク放電 (arcing)」として一般的に知られているこの現象は、非常に好ましくないことである。

40

【0004】

従来、アーク放電の問題を避ける1つの方法は、汚染物質の原因を除去するためにF E D真空管を手作業により洗浄することによるものである。しかしながらこの方法によって全ての汚染物質を除去することは難しいことである。さらに、手作業による洗浄の過程は、時間を消費すると共に労働力を集約することとなって、F E D画面の製造コストを不必要

50

に増加させることになる。

【 0 0 0 5 】

したがって、この発明は F E D 画面から汚染物質の粒子を除去する改善された方法を提供するものである。この発明はまた、ターンオンおよびターンオフする間のゲートからエミッタへの電流を阻止するために電界放出ディスプレイを動作させる改善された方法を提供するものでもある。この発明におけるこれらおよび特に上述しなかった他の長所は、以下に述べるこの発明に関する議論の中で明らかとなる。

【 0 0 0 6 】

【開示の概要】

この発明は、新たに組み立てられた電界放出ディスプレイにおける汚染物質を除去する方法を提供する。この発明の 1 つの態様によれば、汚染物質の粒子は、a) 電界放出ディスプレイ (F E D Field Emission Display) のアノードを所定電圧となるように駆動し、b) このアノードの電圧が所定電圧に達した後に前記 F E D の放出電流を徐々に増加させ、c) 放出された電子により叩き落とされたイオンまたは汚染物質を捕集するためのイオン捕集装置を提供する、ステップを含む調整プロセスにより除去される。この態様においては、アノードを所定電圧により、また、F E D の放出電流を徐々に増加させることにより、F E D に対してダメージを与えることなく汚染物質の粒子が有効に除去される。

【 0 0 0 7 】

この発明はまた、ターンオンおよびターンオフの間にゲート - エミッタ電流を阻止するように F E D を動作させる方法を提供している。この態様においては、動作方法は、a) アノード表示画面を動作可能にし、b) アノード表示画面が動作可能な状態となった後に電子エミッタを所定時間だけ動作可能にする、ステップを含んでいる。この態様においては、エミッタが動作可能となる前にアノード表示画面が所定の電圧に到達するための十分な時間を許容することにより、放出された電子がアノードへと引きつけられるだろう。このようにして、F E D がターンオンされたときにはゲート - エミッタ電流は有効に消去される。この態様においては、アノード表示画面は表示画面に所定の高電圧を供給することにより動作可能な状態となっており、電子エミッタは F E D のゲート電極およびエミッタ電極を適切な電圧で駆動することにより動作可能な状態となっている。

【 0 0 0 8 】

この発明のさらに他の態様においては、ゲート - エミッタ電流を阻止して電界放出ディスプレイを動作させる方法は、a) 所定の時間の間だけエミッタを動作不能な状態にするステップと、b) 電子エミッタが動作不能とされた後にアノード表示画面を動作不能な状態にするステップと、を備えている。この態様においては、アノード表示画面を動作不能な状態にする前に電子エミッタを動作不能な状態とするために十分な時間を許容することにより、全ての残りの電子がアノードに引きつけられることになる。このようにして、F E D のターンオフ周期の間だけ、ゲート - エミッタ電流が消去される。この態様においては、F E D のアノードに対して接地電圧を供給することによりアノード表示画面が動作不能状態とされ、ゲート電極とエミッタ電極とを接地電圧で駆動することにより電子エミッタが動作不能な状態とされる。

【 0 0 0 9 】

この発明の上記および他の態様は、以下のステップを含む電界放出ディスプレイを動作させる方法を含んでいる。この方法は、電子を放出するための電子放出素子と、この電子放出素子から放出される電子を制御するためのゲート電極と、前記電子を集めるための表示画面とを提供するステップと、前記表示画面と前記電子放出素子との間の電圧差を前記表示画面で確立可能な状態にさせるステップと、前記表示画面の電圧差の確立可能な状態を維持しながら、前記電子を前記表示画面側に向かわせると共に前記電子が前記ゲート電極に打撃を与えることを実質的に阻止するように前記電圧差をが確立されるまで、前記電子放出阻止からの実質的な電子の放出を遅延させることによりゲート電極を動作可能な状態にするステップと、を備えている。

【 0 0 1 0 】

この発明の態様は、ベースプレートと、このベースプレート上に設けられた複数の電子放出素子と、前記電子放出素子からの電子の放出を制御するために前記ベースプレート上に設けられたゲート電極と、前記ベースプレートから間隔を持って設けられると共に前記電子放出素子より放出される電子を集めてその上に画像を形成するために設けられた表示画面と、この装置がターンオンされている間に実質的なゲート・エミッタ電流を阻止するために前記電子放出素子からの実質的な電子放出に先だって前記表示画面と前記電子放出素子との間に確立されるべき電圧差を許容する、電子放出素子への電子の流れを制御するために設けられた制御回路と、を備える電界放出ディスプレイ装置を、さらに備える。

【 0 0 1 1 】

【発明の実施の形態】

この明細書に組み込まれてこの明細書の一部を構成する添付図面は、この発明の実施形態を示し、詳細な説明と共にこの発明の原理を説明するための役割を果たしている。

【 0 0 1 2 】

添付された図面にその例が示されたこの発明の実施形態に関する参考を詳細に説明する。この発明はこれらの実施形態に関連して説明されるが、これらはこの発明をこれらの実施形態に限定することを意図するものではない。これに対してこの発明は、この明細書の特許請求の範囲により定義されているようにこの発明の精神および範囲内に含まれるであろう選択肢、変形例および均等物をカバーすることを意図するものである。さらに、以下の詳細な説明において、説明の便宜上、この発明の完全な理解を提供するために多数の特定の詳細構成が提示されている。しかしながら、当業者がこの詳細な説明を読んで、これら特定の詳細構成なしにこの発明が実施され得るであろうことは明らかである。他の実例においては、この発明のアスペクトを曖昧にすることを避けるために、公知の構成や装置については説明されていない。

【 0 0 1 3 】

電界放出ディスプレイの一般的な説明

電界放出ディスプレイの一般的な説明がなされる。図 1 は、F E D 平面パネルディスプレイの一部分の断面図である多層構造 7 5 を示している。この多層構造 7 5 は、ベースプレート構造とも呼ばれる電界放出バックプレート構造 4 5 と、電子受け止めフェースプレート構造 7 0 と、を含んでいる。画像は、フェースプレート構造 7 0 に生成される。バックプレート構造 4 5 は、電氣的に絶縁されたバックプレート 6 5 と、エミッタ（カソード）電極 6 0 と、電氣的な絶縁層 5 5 と、パターン化されたゲート電極 5 0 と、絶縁層 5 5 を介してアパーチャ内に配置されたコニカル（円錐形）電子放出素子 4 0 と、を共通に備えている。電子放出素子 4 0 の 1 つのタイプは、1997 年 3 月 4 日にトウィチェル（Twichell）に対して発行された米国特許第 5,608,283 号公報に開示されており、他のタイプは、1997 年 3 月 4 日にスピント他（Spindt et al.）に対して発行された米国特許第 5,607,335 号公報に開示され、これらは共に参考としてこの明細書に組み入れられる。電子放出素子 4 0 の先端は、ゲート電極 5 0 内の対応する開口部を介して露出される。エミッタ電極 6 0 および電子放出素子 4 0 は、共に F E D 平面パネルディスプレイの図示された部分 7 5 のカソードを構成している。フェースプレート構造 7 0 は、電氣的に絶縁するフェースプレート 1 5 と、アノード 2 0 と、蛍光体被覆 2 5 と、により形成されている。素子 4 0 より放出される電子は、蛍光体部分 3 0 により受け止められている。1 つの実施形態において、電子放出素子 4 0 は、コニカルモリブデンチップを含んでいる。この発明の他の実施形態において、アノード 2 0 は蛍光体 2 5 の上方側に位置付けられていても良く、エミッタ 4 0 は例えばフィラメントのような他の幾何学的な形状を含むようにしても良い。

【 0 0 1 4 】

電子放出素子 4 0 からの電子の放出は、適合する電圧（ V_G ）をゲート電極 5 0 に供給することにより制御されている。他の電圧（ V_E ）は、エミッタ電極 6 0 の方法により直接電子放出素子 4 0 に供給されている。電子の放出は、ゲートからエミッタへの電圧例えば V_G マイナス V_E または V_{G-E} が増加するのに連れて増加する。蛍光体 2 5 に対して電子

10

20

30

40

50

を指向させることは、アノード20に対して高電圧(V_C)を供給することにより行なわれている。適合するゲート-エミッタ電圧 V_{GE} が供給されたときに、オフノーマル放出角度 θ の種々の値で電子放出素子40から電子が放出される。放出された電子は、図1で線35により表示される非線形(例えば放物線)の軌跡に追従し、蛍光体25の標的部分30上に衝撃を与える。このようにして、電圧 V_G および電圧 V_E は、放出電流(I_C)の大きさを決定し、アノード電圧 V_C は、所定の角度で放出される所定の電子のための電子の軌跡の方向を制御している。

【0015】

図2は、例示的なFED画面100の一部を示している。FED画面100は、水平方向に整列された画素列と垂直方向に整列された画素行とのアレイに分割されている。各画素125の境界は、破線により表示されている。3つに独立した列方向の線230が示されている。それぞれの列方向の線230は、アレイにおける複数の画素列のうちの1つの列毎の列電極である。1つの実施形態において、各列の線230は、電極により補助される個々の列のエミッタ毎のエミッタ電極に接続されている。1つの画素列の一部分は、図2に示されており、隣接する1対の隔壁135の間に位置している。他の実施形態においては、隔壁135は個々の列の間にある必要はない。さらに、幾つかのディスプレイにおいては、隔壁135が設けられていなくとも良い。画素列は1つの列線230に沿った全ての画素を含んでいる。2つまたはそれ以上の画素列(および24-100画素列と同じくらい)は、一般的には、隣接する各対の隔壁135間に配置されている。

【0016】

カラーディスプレイにおいては、画素の各行は(1)赤用の第1、(2)緑用の第2、(3)青用の第3、の3つの行線250を有している。同様に、各画素の行は、それぞれの蛍光体ストライプ(赤、緑、青)1つずつからなる全部で3つのストライプを含んでいる。モノクロームのディスプレイにおいては、各行はただ1つのストライプを含んでいる。この実施形態においては、行の線250のそれぞれが、補助的な行の各エミッタ構造のゲート電極に接続されている。さらに、この実施形態においては、行の線250が行駆動回路(図示されず)に接続するために設けられており、列の線230が列駆動回路(図示されず)に接続するために設けられている。

【0017】

動作においては、赤、緑、青の蛍光体ストライプが、エミッタ-カソード60/40の電圧に関連する正極の高電圧で維持されている。電子放出素子のセットのうちの1つが対応する列の線230および行の線250の電圧を調整することにより良好に励起されたときに、そのセット内の素子40が、対応する色における蛍光体の標的部分30を目掛けて加速されている電子を放出する。励起された蛍光体はその後光を放出する。(1つの実施形態において約60Hzの割合で実行される)画面フレームリフレッシュサイクルの間、ただ1つの列が同時にアクティブになり、行の線はオン-タイム期間の間だけ1つの列の画素を発光させるためにエネルギーを与えられる。これは、フレームを表示するために全ての画素列が完全に照らされ切ってしまうまで、列毎に時間内で連続的に行なわれる。上記のFED構成は以下に示す米国特許: 1996年7月30日にデュボック・ジュニア他に対して発行された米国特許第5,541,473号公報、1996年9月24日にスピンドット他に対して発行された米国特許第5,559,389号公報、1996年10月15日にスピンドット他に対して発行された米国特許第5,564,959号公報、1996年11月26日にハーヴェン他に対して発行された米国特許第5,578,899号公報により詳細に説明されており、これらの公報はこの明細書内に参考文献として組み入れられる。

【0018】

この発明の一実施形態に係るFEDの調整手順

この発明は、その中に含まれている汚染物質の粒子を除去するために、新たに製造されたFEDを調整するプロセスを提供している。この調整プロセスは、FED装置が通常の動作で用いられる前に行なわれ、典型的には製造中に行なわれる。この発明の調整プロセス

の間、F E Dの真空管内に含まれている汚染物質は大量の電子により衝撃を与えられる。この衝撃が与えられた結果として、汚染物質は叩き落とされて、ガス捕集装置（例えばゲッター）により捕集される。新たに製造されたF E Dは大量の汚染物質を含んでいるので、本発明にしたがった調整プロセスの間にアーク放電が発生しないことを保証するために、予防ステップが採用されなければならない。この目的を達成するために、本発明によれば、調整プロセスが所定の高電圧でアノードを駆動するステップと、放出カソードを動作可能な状態にしてその後電子がアノードに対して掃引されることを保証するステップとを含んでいる。この発明の1つの実施形態の増進のために、放出電流はアノード電圧が所定の高電圧に到達した後、最大値にまで徐々に増加する。

【0019】

図3は、この実施形態による調整プロセスの間に、個々のF E Dのアノード電圧レベルと放出電流レベルにおける変化を示す図300を表している。線図301は、アノード電圧（ V_c ）における変化を表しており、線図302は放出電流（ I_c ）における変化を表している。とりわけ、 V_c は駆動電子装置により提供される最大アノード電圧のパーセンテージとして表現されている。例えば、高電圧蛍光のためには、最大アノード電圧が3000ボルトになるかも知れない。この最大アノード電圧がアノードの通常の動作電圧ではないであろうことは注目されるべきである。例えば、表示画面の通常の動作電圧は最大アノード電圧の25%から75%であろう。 I_c はF E Dの駆動回路により提供される最大放出電流のパーセンテージとして表現されている。F E Dに対して高電圧および大電流を供給するための駆動電子装置および電子装置はこの技術分野においては公知であり、それゆえに、この発明のアスペクトを不明確にしないために、ここではこれ以上の議論を差し控える。

【0020】

この発明によれば、線図301は電圧ランプ（スロープ）セグメント301aと、第1のレベルセグメント301bと、電圧ドロップセグメント301cとを含み；線図302は第1の電流ランプ（スロープ）セグメント302aと、第2の電流ランプセグメント302bと、第2のレベルセグメント302cと、第3の電流ランプセグメント302dと、第3のレベルセグメント302eと、電流ドロップセグメント302fと、を含んでいる。示された個々の実施形態において、電圧ランプセグメント301a内では、 V_c は約5分間の期間を超えて最大アノード電圧の0%から100%まで増加している。はっきりと

【0021】

V_c が最大アノード電圧の100%にまで到達した後、 V_c は略々25分の間その電圧レベルで保持される。同時に、約10分間（第1の電流ランプセグメント302a）を超えて、 I_c は最大放出電流の0%から1%にまで徐々に増加する。それゆえに、 I_c は約20分間（第2の電流ランプセグメント302b）を超えて最大放出電流の50%にまで徐々に増加する。 I_c はおおよそ10分の間（第2のレベルセグメント302c）50%レベルで持続する。この発明によれば、 I_c は、電子エミッタの脱離により形成される高イオン圧力ゾーンの形成を避けるために低レートで増加させられる。取り除かれた微粒子は、高イオン圧力の小さなゾーンを幾つか形成する可能性もあり、それらのゾーンはアーク放電の危険性を増加させるかも知れない。このようにして、放出電流を徐々に増加させることにより、アーク放電の発生は顕著に減少する。

【0022】

図3に従って、 I_c は、「ソーキング」（soaking 温洗、均熱処理）発生のためにおよそ10分（第2のレベルセグメント302c）の間、一定のレベルに持続される。ソーキングは、汚染物質粒子がガス捕集装置により除去されることによるプロセスのことである。一般的には「ゲッター」として知られているガス捕集装置は、調整プロセスのこの段階においてこの発明では用いられ、この技術分野においては公知のものである。

【0023】

1つの実施形態において、ソーキング期間経過後、 I_c はその最大レベル（第3の電流ランプ302d）の100%にまで増加し、その後、およそ2時間（第3のレベルセグメント302e）の間、そのレベルを維持する。同時に、 V_c はその最大値で維持される。その後、 V_c および I_c は次第にそれぞれの最大値の0%にまで戻される。とりわけ、図3にセグメント302fおよび301cにより示されているように、 I_c は、 V_c が遮断される前に、遮断される。このようにして、放出される電子の全てが表示画面（アノード）方向に掃引され、ゲート-エミッタ電流が阻止されることが保証される。

【0024】

この発明の調整プロセスの間、叩き落とされたかさもなければ解放された汚染物質のいかなるものでもガス捕集装置、さもなければ公知の「ゲッター」により集められる。上述したように、ゲッターはこの技術分野では公知のものである。図3に示されているような個々の実施形態において、調整期間の合計は、およそ6時間である。この調整期間の後に、汚染物質のほとんどは、叩き落とされてゲッターにより集められ、新たに製造されたFEDは通常の動作のために用意されるであろう。

【0025】

図4は、この発明によるFED調整プロセスの処理ステップを示す流れ図400である。この発明の検討を容易にするために、流れ図400は図1に示される例示的なFED構造75に関連付けて説明される。いま、図1および図4を参照して、ステップ410ではFEDのアノード20が高電圧で駆動される。ステップ410では、放出電流（ I_c ）が最大値の0%のところで維持され、それゆえに電流が遮断された状態であることが注目されるべきである。この発明の1つの実施形態においては、ゲート電極50およびエミッタ-カソード60/40の電圧は接地レベルで維持される。アノード電圧は、一旦放出された電子がゲート電極50よりもむしろアノード20に掃引されることを確実にするために、0%の放出電流を維持している間は、高電圧で駆動される。

【0026】

図4のステップ420では、放出電流 I_c は、FEDの駆動電子装置より提供される最大放出電流の1%まで徐々に増加させられる。この発明の1つの個別の実施形態においては、ステップ420が完了するまで約5分を要する。ゆっくりとしたランプアップ（ramp up 立ち上がり）は、高イオン圧力の限局されたゾーンが電子エミッタの脱離によって形成されるわけではないことを保証している。さらに、この実施形態においては、放出電流 I_c は、ファウラー・ノルドハイム理論（Fowler-Nordheim theory）により予測されるように、ゲート-エミッタ電圧（ V_{GE} ）に比例する。このようにして、本発明においては、放出電流 I_c は、ゲート-エミッタ電圧 V_{GE} を調整することにより制御されても良い。

【0027】

図4のステップ430では、FEDの駆動電子装置によって与えられる最大放出電流のおよそ50%にまで引き上げられる。1つの実施形態において、ステップ430が完了するまでおよそ10分を要する。ステップ430において、ゆっくりとした立ち上がりは、脱離される微分子が発散されるために十分な時間を許容し、高イオン圧力の限局されたゾーンが形成されないように保証する。

【0028】

図4のステップ440では、放出電流 I_c およびアノード電圧 V_c は、大量の電子が放出されるようなそれぞれの最大値の100%に保たれる。この放出電子は、上述した製造プロセスによっても除去されない最も解放された汚染物質に衝撃を与えて叩き落とすであろう。叩き落とされた汚染物質は、例えばゲッターのようなイオン捕集装置により引き続いて捕集される。上述したように、ゲッターはこの技術分野では公知であり、それゆえに、この発明の様相を不明確にすることを避けるためここでは説明しない。

【0029】

ステップ450では、放出電流が最大値の0%にまで移行される。引き続いてステップ460では、アノード電圧が最大値の0%にまで移行される。全ての放出電子がアノードに

10

20

30

40

50

付着されるようにアノード電圧をターンオフするのに先立って、放出電流がターンオフされることを注目することは重要なことである。その後、調整プロセス400は終了する。

【0030】

図5は、この発明の1つの実施形態に係る調整プロセスを制御する装置を示すブロック図である。図1におけるFEDをさらに簡略化した図面が、示されている。図5によれば、この装置はFED75に接続するために設けられた制御回路710を備えている。とりわけ、制御回路710は、FED75のアノード20にアノード電圧を供給するための第1の電圧制御回路710aを備えている。制御回路710は、ゲート電極50にゲート電圧を提供するための第2の電圧制御回路710bと、エミッタカソード60/40にエミッタ電圧を提供するための第3の制御回路710cと、をさらに備えている。制御回路710は例示的なものであり、制御回路710の多くの異なる実施例もまた用いられることは、正しく理解されるべきである。

10

【0031】

動作において、電圧制御回路710a - 710cは、この発明の調整プロセスの間に、異なる電圧や放出電流を供給するために、FED75のアノード20、ゲート電極50およびエミッタ電極60/40に種々の電圧を供給している。この発明の1実施形態においては、制御回路710は、非常に高電圧を提供するこの調整プロセスのために特別に作成される独立型(stand alone)電子装置である。しかし、制御回路710は、FEDターンオンおよびターンオフの間に、アノード電圧および放出電流を制御するFED内に内蔵されていても良い。

20

【0032】

この発明のFEDのターンオン/オフ手順

この発明はまた、FEDユニットの電源投入および切断の間に、アーク放電の危険性を少なくする電界放出ディスプレイを動作させる方法を提供するものである。とりわけ、この発明の1つの実施形態において、FEDを動作させる方法はFEDの陽極の表示画面をターンオンさせるステップと、その後に放出カソードをターンオンさせるステップと、を備えている。この発明の他の実施形態において、アーク放電の危険性を最小にするFED動作方法は、放出カソードをターンオフするステップと、その後に陽極の表示画面をターンオフするステップと、を備える。この発明によれば、アーク放電の発生は以下に説明するステップにより実質的に低減される。

30

【0033】

図6は、本発明の他の実施形態に従ったFEDターンオフ手順におけるステップの流れ図500を示すものである。この発明の議論を容易にするために、流れ図500は図1に示された例示的なFED75に関連させて説明する。ここで、図1および図6を参照すると、ステップ510で、FED75がスイッチオンされたときに、アノード20は動作可能な状態になる。この実施形態においては、所定のしきい値電圧(例えば300ボルト)の供給により、アノードは動作可能な状態となる。さらに、この発明においては、アノード20に対して電源を供給する電源供給回路(図示されず)をスイッチオンさせることにより、アノードを動作可能な状態にしても良い。FEDに対する電源供給は、この技術分野において公知のものであり、多数の公知の電源供給装置の何れでもこの発明に用いることができる。

40

【0034】

ステップ520で、FEDの75のアノード20が動作可能な状態になった後で、アノードが所定のしきい値電圧に到達した後に、FED75のエミッタカソード60/40およびゲート電極50が動作可能な状態となる。この発明においては、FED75のエミッタカソード60/40は、アノード20が電子をアノード20方向に向けるため、および電子がゲート電極50に衝突するのを阻止するために、動作可能な状態となった後、所定の期間だけ動作可能な状態となる。一実施形態において、エミッタカソード60/40およびゲート電極50は、FEDの行・列駆動回路(図示されず)をスイッチオンさせることにより、動作可能な状態にするようにしても良い。

50

【 0 0 3 5 】

図 7 は、この発明の他の実施形態に係る F E D ターンオフ手順のステップを示す流れ図 6 0 0 である。以下の説明において、流れ図 6 0 0 は、図 1 の例示的な F E D 7 5 に関連させて議論されている。ここで、図 1 および図 7 において、F E D 7 5 がスイッチオフされたとき、F E D 7 5 のエミッタカソード 6 0 / 4 0 およびゲート電極 5 0 は動作不能な状態になる。同時に、アノード 2 0 は高電圧のままである。さらに、一実施形態において、エミッタカソード 6 0 / 4 0 およびゲート電極 5 0 は、接地電位にする列駆動部および行駆動部（図示されず）によりそれぞれ供給される列方向の電圧および行方向の電圧に設定することにより動作不能な状態となる。

【 0 0 3 6 】

ステップ 6 2 0 で、エミッタカソード 6 0 / 4 0 およびゲート電極 5 0 が動作不能な状態となった後に、F E D のアノード 2 0 が動作不能な状態となる。この発明によれば、ステップ 6 2 0 は、エミッタカソードより放出される全ての電子がアノード表示画面に引きつけられることを確実にするためにステップ 6 1 0 の後で行なわれる。一実施形態において、アノード 2 0 は、このアノード 2 0 に電力を供給する電力供給回路（図示せず）をスイッチオフすることにより動作不能な状態となっている。このようにして、F E D 内におけるアーク放電の発生を小さくしている。

【 0 0 3 7 】

本発明の他の実施形態による F E D 調整プロセス

図 8 は、この発明の他の実施形態に係る個別の F E D 装置を調整する電圧および電流供給技術を示すプロット 8 0 0 である。プロット 8 0 1 は、アノード電圧（ V_c ）における変化を示し、プロット 8 0 2 は、アノード放出電流（ I_c ）における変化を示している。詳しくは、 V_c は駆動電子装置により供給される最大アノード電圧のパーセンテージとして表現されている。 I_c は F E D の駆動回路により供給される最大放出電流のパーセンテージとして表現されている。

【 0 0 3 8 】

この発明によれば、プロット 8 0 1 は電圧ランプセグメント 8 1 0 a - d と、コンスタント電圧セグメント 8 2 0 a - f と、電圧ドロップセグメント 8 3 0 a - c とを含み、プロット 8 0 2 は電流ランプセグメント 8 4 0 a - e と、コンスタント電流セグメント 8 5 0 a - e と、電流ドロップセグメント 8 6 0 a - c とを含んでいる。図示された詳細な実施形態において、電圧ランプセグメント 8 1 0 a では、 V_c はおよそ 1 0 分の期間を超えて最大アノード電圧の 0 % から 5 0 % へと増加する。電子がゲート電極の代わりに表示画面（アノード）に向かって引き寄せられることを確実にするために V_c が増加するのに関連して、 I_c は顕著に 0 % のままである。

【 0 0 3 9 】

V_c が最大アノード電圧の 5 0 % に達した後に、およそ 3 0 分の間（コンスタント電圧セグメント 8 2 0 a ）、 V_c はその電圧レベルを維持する。同時に、およそ 1 0 分以上（電流ランプセグメント 8 4 0 a ）を掛けて、 I_c は最大放出電流を 0 % から 1 % へと徐々に増加させる。その後、およそ 1 0 分以上（電流ランプセグメント 8 4 0 b ）を掛けて、 I_c は最大放出電流を 5 0 % へと徐々に増加させる。およそ 1 0 分以上の間（コンスタント電流セグメント 8 5 0 a ）、 I_c は 5 0 % のレベルを維持する。この発明によれば、 I_c は電子エミッタの脱離により形成される高イオン圧力ゾーンの形成を避けるために、ゆっくりとした割合で増加する。脱離される微分子は高イオン圧力のゾーンを形成するかも知れず、それはアーク放電の危険性を増加させるかも知れない。放出電流を徐々に増加させることにより、脱離される微分子がガス捕集装置（例えばゲッター）に対して拡散されるかも知れないのを十分な時間が許容する。このようにして、アーク放電の発生は顕著に低減される。

【 0 0 4 0 】

図 8 によれば、 V_c は 5 0 % ~ 2 0 % のレベルに低減（電圧ドロップセグメント 8 3 0 a ）され、およそ 3 0 分（コンスタント電圧セグメント 8 2 0 b ）の間 2 0 % のレベルを維

10

20

30

40

50

持する。 V_c が 20 % のレベルに達した後、 I_c はゆっくりと 100 % のレベルへと立ち上がる（電流ランプセグメント 840 c）。放出された電子を引き付けるためにアノード電圧が FED のアノードの最小のしきい値レベルに近づくために 20 % のレベルが選択されることは、注目されるべきである。 I_c はその後およそ 20 分（コンスタント電流セグメント 820 b）の間、「ソーキング」を発生させるためにコンスタントレベルで維持される。

【0041】

この実施形態においては、 I_c はその後、引き続いてその最大レベルの 50 % まで（電流ドロップセグメント 860 a）減少し、さらにその後、およそ 20 分（コンスタント電流セグメント 850 c）の間、そのレベルで維持される。 I_c が 50 % のレベルに達した後、 V_c は 50 % のレベル（電圧ランプセグメント 810 b）まで増加し、およそ 20 分（コンスタント電流レベル 820 c）の間そのレベルに維持される。その後、 I_c は最大値の 0 %（電流ドロップセグメント 860 b）へとターンオフされる。

【0042】

I_c がターンオフされた後、 V_c はおよそ 2.5 時間（電圧ランプセグメント 810 c）の期間を超えてその最大レベルの 100 % にまでゆっくりと立ち上げられ、およそ 1 時間（コンスタント電圧セグメント 820 d）の間、最大値を維持する。その後、 V_c が 50 % のレベルにまで低減され（電圧ドロップセグメント 830 b）、およそ 20 分（コンスタント電圧セグメント 820 e）の間、そのレベルを維持する。 V_c が 50 % のレベルのとき、 I_c は 0 % から 50 % のレベル（電流ランプ 840 d）へとゆっくりと増加される。 V_c および I_c はその後、それらのそれぞれ最大値の 100 %（電圧ランプセグメント 810 d および電流ランプセグメント 840 e）で引き続いて駆動され、およそ 1.5 時間の間（コンスタント電圧セグメント 820 f およびコンスタント電流セグメント 850 e）だけそれらのレベルをそれぞれ維持する。その後、 V_c および I_c は 0 % にまで引き戻される（電圧ドロップセグメント 830 c および電流ドロップセグメント 860 c）。

【0043】

図 8 にセグメント 810 d および 840 e により示されているように、 V_c が最大値で駆動された後に、 I_c が最大値で駆動され、 V_c がターンオフされる前に、 I_c がターンオフされる。このようにして、全ての放出された電子は表示画面（アノード）の方向に引き寄せられることが保証されると共に、ゲート - エミッタ電流が阻止されることも保証される。

【0044】

この発明、FED におけるアーク放電の発生を小さくさせる FED の動作方法は、このように開示された。この発明を実現するための電子回路、とりわけしきい値電圧の電位が確立されるまでに放出カソードの活性化を遅らせるための回路は、公知であることは正しく認識されるべきである。例えば、この明細書を読むことにより、この発明の属する技術分野における熟練者にとって、電子制御信号に応答する制御回路が、アノード電圧を検知し、かつ、アノード電圧がしきい値に達した後に列および行駆動部への電源供給をターンオンするために用いられ得るであろうことは明白であろう。また、本発明が特定の実施形態により説明されているからと言って、この発明がこのような実施形態により限定されて構成されることはなく、むしろ特許請求の範囲の記載に従って構成されるべきであることもまた、正しく評価されるべきである。

【図面の簡単な説明】

【図 1】 列方向の線および行方向の線に沿って切断した状態のゲーティッド電界エミッタを実用化する例示的な平面パネル FED の一部を示す切断面図である。

【図 2】 本発明の一実施形態に係る例示的な FED 画面を示す説明図である。

【図 3】 本発明の一実施形態に係る FED 装置をターンオフするための電圧および電流適用技術を示す特性図である。

【図 4】 この発明の一実施形態に係る FED 調整プロセスのステップを示す流れ図である。

10

20

30

40

50

【図 5】 この発明の一実施形態に係る F E D を調整するためのシステムを示すブロック図である。

【図 6】 この発明の他の実施形態に係る F E D ターンオン手順のステップを示す流れ図である。

【図 7】 この発明の他の実施形態に係る F E D ターンオフ手順のステップを示す流れ図である。

【図 8】 この発明の他の実施形態に係る F E D 装置をターンオンするための電圧および電流技術を示す特性図である。

【符号の説明】

- 20 アノード
- 25 蛍光体被覆
- 30 蛍光体部分
- 40 電子放出素子（エミッタ）
- 45 バックプレート構造
- 60 エミッタ電極
- 65 バックプレート
- 70 フェースプレート構造
- 60 / 40 エミッタカソード
- 50 ゲート電極
- 710 制御回路
- 710 a - 710 c 電圧制御回路

10

20

【図 1】

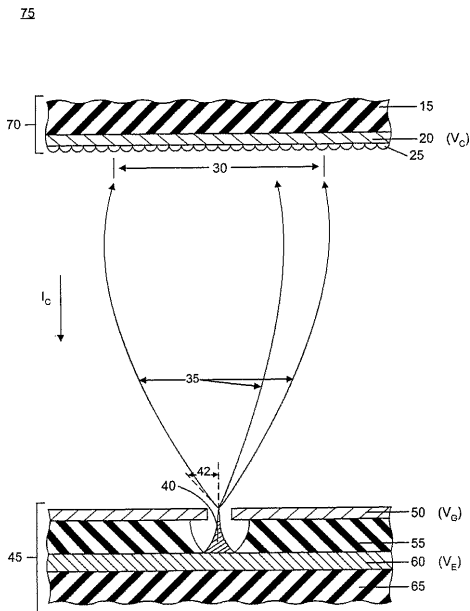
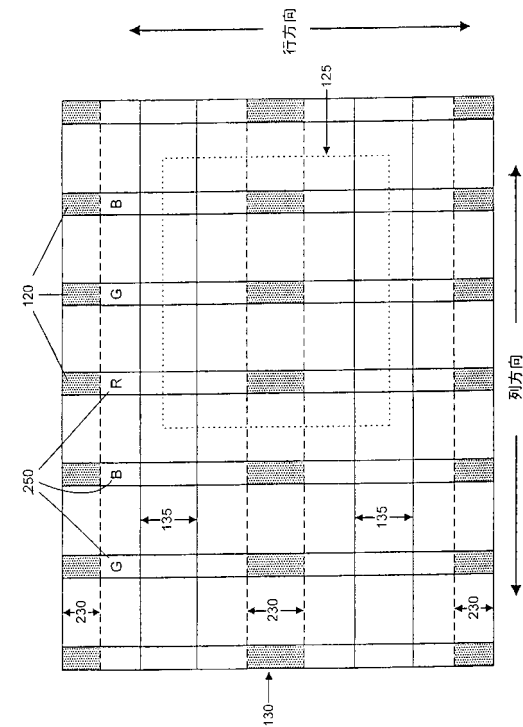


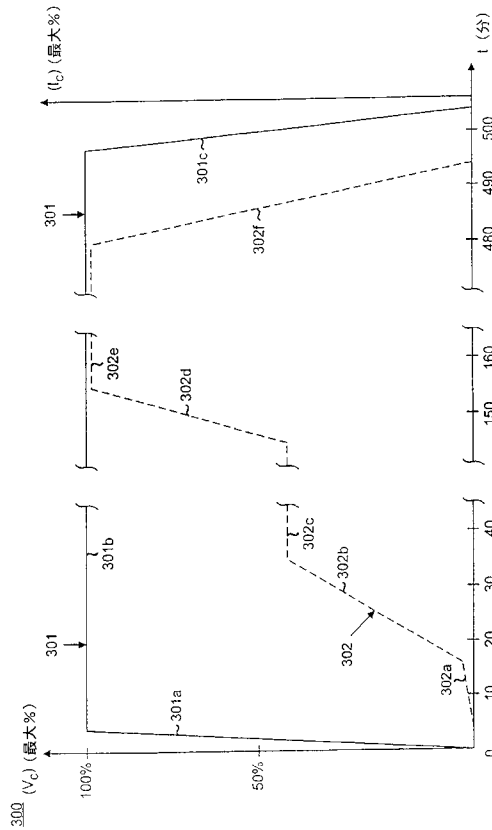
FIG. 1

【図 2】



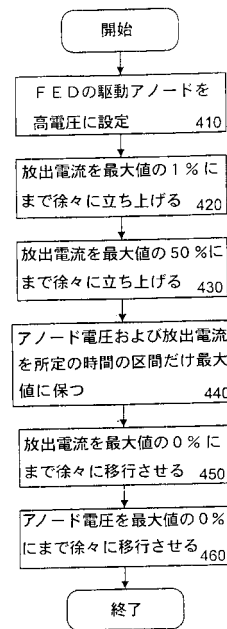
100

【図 3】



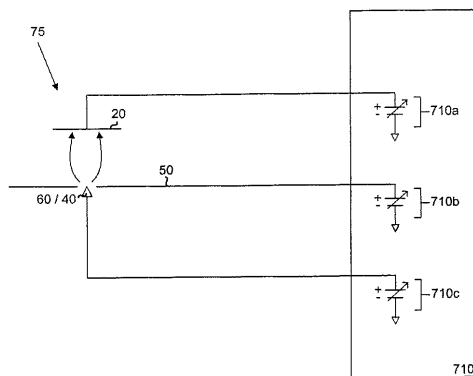
【図 4】

400



【図 5】

700



【図 6】

500

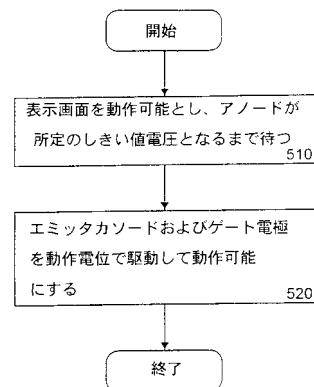
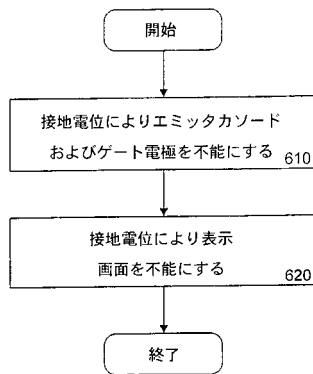


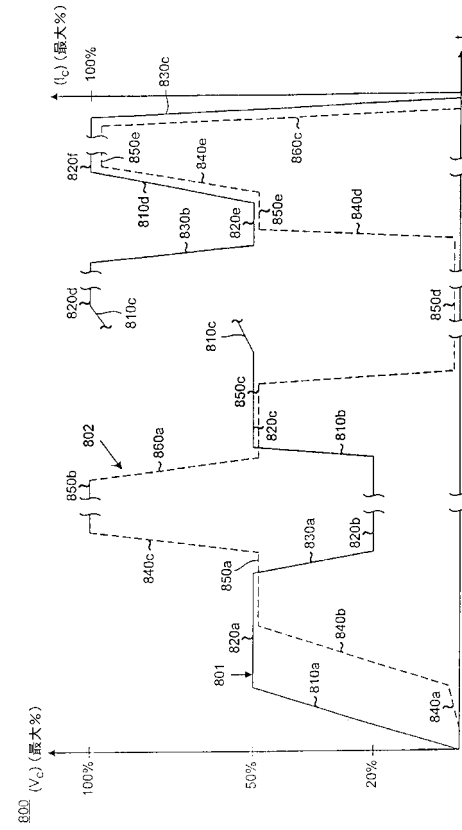
FIG. 5

【図 7】

600



【図 8】



フロントページの続き

- (72)発明者 ドナルド、ジェイ・エロウェイ
アメリカ合衆国カリフォルニア州、キャンプベル、シャディ、デイル、アベニュー、1109
- (72)発明者 デビッド、エル・モリス
アメリカ合衆国カリフォルニア州、サンノゼ、エル、グランド、コート、3644
- (72)発明者 ウィリアム、ジェイ・スキャネル
アメリカ合衆国カリフォルニア州、メンロ、パーク、リングウッド、1041
- (72)発明者 クリストファー、ジェイ・スピント
アメリカ合衆国カリフォルニア州、メンロ、パーク、ヒルサイド、アベニュー、115

審査官 石田 佳久

- (56)参考文献 特開平09-330055(JP,A)
特開平04-012435(JP,A)
特開平07-302546(JP,A)
特開平01-217831(JP,A)
特表2002-523860(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01J 9/44
H01J 29/04
H01J 31/12
H01J 9/39
H01J 1/30-1/316
H01J 9/02