(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 2 月 13 日(13.02.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/024657 A1

(51) 国際特許分類:
G06F 3/00 (2006.01) *G06F 13/16* (2006.01)
G06F 12/00 (2006.01) *G06F 13/38* (2006.01)

(21) 国際出願番号: PCT/JP2013/069542

(22) 国際出願日: 2013 年 7 月 18 日(18.07.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-178992 2012 年 8 月 10 日(10.08.2012) JP

(71) 出願人: 学校法人慶應義塾(KEIO UNIVERSITY) [JP/JP]; 〒1088345 東京都港区三田二丁目１５番４５号 Tokyo (JP).

(72) 発明者: 黒田 忠広(KURODA, Tadahiro); 〒2238522 神奈川県横浜市港北区日吉３丁目１４番１号 慶應義塾大学 理工学部内 Kanagawa (JP). 田口 眞男(TAGUCHI, Masao); 〒2238522 神奈川県横浜市港北区日吉３丁目１４番１号 慶應義塾大学 理工学部内 Kanagawa (JP).

(74) 代理人: 伊東 忠重, 外(ITOH, Tadashige et al.); 〒1000005 東京都千代田区丸の内二丁目１番１号 丸の内 ＭＹ ＰＬＡＺＡ （明治安田生命ビル） １６階 Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

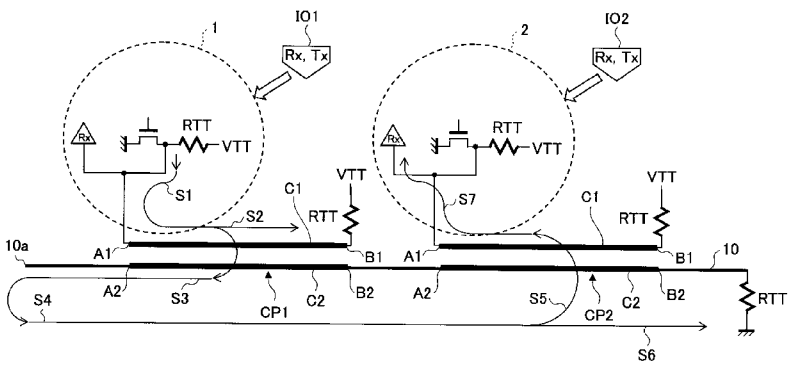
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: BUS SYSTEM AND ELECTRONIC DEVICE

(54) 発明の名称 : バスシステム及び電子装置

[図6]



(57) **Abstract**: Provided is a bus system comprising a plurality of electronic devices which are connected in parallel to a bus, further comprising a first electronic device which transmits to the bus a transmission signal via a first directional coupler, and a second electronic device which receives from the bus via a second directional coupler the transmission signal which is transmitted from the first electronic device to the bus. It would be preferable for the second directional coupler to be positioned between the first directional coupler and one termination processing unit of the bus.

(57) 要約: 【解決手段】バス線に並列に接続された複数の電子装置を備えるバスシステムであって、前記バス線に第１の方向性結合器を介して伝送信号を送信する第１の電子装置と、前記第１の電子装置から前記バス線に送信された伝送信号を前記バス線から第２の方向性結合器を介して受信する第２の電子装置とを備える、バスシステム。前記第２の方向性結合器は、前記第１の方向性結合器と前記バス線の一方の終端処理部との間に配置されるとよい。

WO 2014/024657 A1

明　細　書

発明の名称 ： バスシステム及び電子装置

技術分野

[0001] 本発明は、半導体デバイス又は複数の半導体デバイスを組み合わせて構成されたモジュールなどの複数の電子装置が共通のバスに接続される通信技術に関する。

背景技術

[0002] 従来、携帯電話、スマートフォン、通信機能付き超小型ノートPCとも言えるタブレット型の携帯端末などに内蔵されるマザーボードでは、主要な電子装置であるマイクロプロセッサと各種のメモリーなどが多層配線のプリント基板の上に実装されている。プリント基板は例えば４層の配線層を持ち、各種電子装置への電源の供給、制御信号やデータの入出力が行われる。

[0003] 通信の高速化とともに取り扱うデータ量が増え、電子装置の動作は高速化されるとともに情報量の爆発的増大に対処するため、各電子装置を互いに近接配置する場合がある。例えば、マイクロプロセッサとメモリーを同一のパッケージに入れて両者の物理的距離を近づける場合がある。あるいは、パッケージ内部の配線によって並列64ビットや更に多くの並列ビット数のデータを入出力させる場合もある。

[0004] このため、例えば、プロセッサのパッケージは、マイクロBGAと呼ばれるボールグリッドアレーを用い、0.65mmピッチで引き出された100以上（場合によっては数100）の端子を持つことがある。メモリー、例えばNAND型フラッシュメモリーに関しても、48などの多くの端子数が存在することがある。そうすると、マザーボードの配線は、これらのボールグリッドの間を通過させるために細くする必要がある上に、接続しない他の電極のスルーホールを避けるように配線するので、非常に複雑に曲がりくねった形状にならざるを得ない。ところが、信号の高速化を達成するにあたり、曲がりくねった形状は、寄生容量と寄生インダクタンスが多くなって信号の伝搬遅延を生じさせるばか

りか、不要な電磁放射現象（EMIという）を引き起こすおそれもある。

[0005] また、各電子装置には、電源がほぼ共通に供給され、クロックもクロック発生器から共通に供給され、場合によってはクロックバッファと称するデバイスを介して供給される。一方、ある電子装置（例えばプロセッサ）から他の電子装置（例えばメモリー）にデータを渡す場合において、他の電子装置が複数存在するとき、各電子装置は共通の配線に並列的に接続して配線を簡素化する事が行われてきた。

[0006] 最も典型的な例は、DRAMのデータバスであり、複数のDRAMが同じバス線に接続されている。装置によってはDRAMとNOR型フラッシュメモリーが同じバス線に接続される場合もある。別の例ではパソコンにあるPCIバスなどである。

[0007] このように、各装置を同一の属性をもつデータを用いて共通配線上に接続させることで配線数を少なくするのは自然な考えである。しかしながら、従来の接続方法では、スピード（伝搬信号の最高周波数と同義と考えてよい）の高速化に伴って、共通接続することに問題が出てくることがある。例えば、バス配線上伝搬する信号波形の歪が、そのバス配線に接続する電子装置の数に対応して悪化することである。

[0008] このため、近年の高速化されたシステムでは、バス配線構造を取らず、１：１型と称する、１つの電子装置に接続される他の電子装置の数は１つに限る配線方式が取られることがある。特に、１：１型の配線方式の場合、配線本数の爆発的増大に対処するため、高速な差動低振幅直列信号に変換する事が行われることがある。例えばハードディスクのインタフェースであるSCSIは、シリアル型のATAバスであるSATAに置き換えられている。このとき、LVDSと称する低振幅の差動信号を用いて低消費電力化と高速化を同時に達成している。

[0009] しかしながら、このような１：１型の配線方式を用いると、複数の電子装置の接続形式は、デイジーチェーンと称する、リピータを介した数珠繋ぎ型の直列接続になる。そのため、比較的大型の電子装置（例えばハードディスクなど）では大きな問題にはならないが、小型の電子装置（SSD：Solid-Stat

e Drive）や各種メモリーではこれらを全て直列接続するとリピータの消費電力が問題になる。さらに、リピータを何度も通過すると信号の遅延が問題になることもある。リピータは、受けた信号をその受けたタイミングと同時に送り出すことが出来ず、少なくとも次のクロックに同期して送る必要があるからである。

[0010] そして、近年、電子装置間の高速通信を可能にするため、方向性結合器を介して信号を伝送するバスシステムの開発が進んでいる（例えば、特許文献１を参照）。

先行技術文献

特許文献

[0011] 特許文献1：特開２００２－１２３３４５号公報

発明の概要

発明が解決しようとする課題

[0012] ところが、特許文献１のバスシステムは、バス線に直接接続されたバスマスタと該バス線に接続された複数のバススレーブとの間で通信を行うものであるため、バス線に並列に接続された複数のバススレーブ間で通信を行うことができない。

[0013] そこで、バス線に並列に接続される複数の電子装置間での高速通信を可能にする、バスシステム及び電子装置の提供を目的とする。

課題を解決するための手段

[0014] 上記目的を達成するため、

バス線に並列に接続された複数の電子装置を備えるバスシステムであって、

前記バス線に第１の方向性結合器を介して伝送信号を送信する第１の電子装置と、

前記第１の電子装置から前記バス線に送信された伝送信号を前記バス線から第２の方向性結合器を介して受信する第２の電子装置とを備える、バスシ

ステムが提供される。

[0015] ここで、前記第１の電子装置を前記第１の方向性結合器毎に備えてもよいし、前記第２の電子装置を前記第２の方向性結合器毎に備えてもよい。つまり、前記第１の方向性結合器の数が複数であれば、その複数の前記第１の方向性結合器それぞれに対して前記第１の電子装置が存在することを表し、前記第１の方向性結合器の数が一つであれば、その一つの前記第１の方向性結合器に対して前記第１の電子装置が存在することを表す。同様に、前記第２の方向性結合器の数が複数であれば、その複数の前記第２の方向性結合器それぞれに対して前記第２の電子装置が存在することを表し、前記第２の方向性結合器の数が一つであれば、その一つの前記第２の方向性結合器に対して前記第２の電子装置が存在することを表す。

[0016] また、上記目的を達成するため、

方向性結合器を構成する第１の電極及び第２の電極と、前記方向性結合器を介してバス線に接続可能な半導体チップとを備える電子装置であって、

前記第１の電極は、前記半導体チップのメタル層で形成され、前記第２の電極は、前記メタル層に近接配置された導体部で形成された、電子装置が提供される。

発明の効果

[0017] バス線に並列に接続される複数の電子装置間での高速通信を可能にする。

図面の簡単な説明

[0018] [図1]一実施形態のバスシステムの基本的構成を示した図である。

[図2]一実施形態の方向性結合器の原理を示した図である。

[図3]一実施形態のバスシステムである。

[図4]一実施形態のバスシステムである。

[図5]一実施形態のバスシステムである。

[図6]図５の動作例の説明図である。

[図7]一実施形態のバスシステムである。

[図8]図７の変形例である。

[図9]一実施形態のバスシステムである。

[図10]図９の変形例である。

[図11]一実施形態のバスシステムである。

[図12]図１１の変形例である。

[図13]一実施形態のバスシステムである。

[図14A]図１３の動作例の説明図である。

[図14B]図１３の動作例の説明図である。

[図15A]図１３の動作例の説明図である。

[図15B]図１３の動作例の説明図である。

[図16]一実施形態のバスシステムである。

[図17]リードフレームの一例である。

[図18]リードフレームの一例である。

[図19]リードフレームとマザーボード上の配線との関係の一例である。

[図20]リードフレームの一例である。

[図21]リードフレームとマザーボード上の配線との関係の一例である。

[図22]ＮＡＮＤフラッシュメモリーのタイミングチャートの一例である。

[図23]ＮＡＮＤフラッシュメモリーの内部構成の一例である。

[図24]ＳＳＤの構成の一例である。

[図25]プリント基板への実装例である。

[図26]プリント基板への実装例である。

[図27A]プリント基板への実装例である。

[図27B]図２７Ａの場合の電子装置の実装面である。

[図28]パケット制御型電子装置のタイミングチャートの一例である。

[図29]プリント基板への実装例である。

[図30]マザーボードへの実装例である。

[図31]一実施形態の方向性結合器の一例である。

[図32]プリント基板への実装例である。

[図33]プリント基板への実装例である。

[図34]インタポーザへの実装例である。

[図35]インタポーザへの実装例である。

[図36]図３５の一部拡大図である。

[図37]インタポーザへの実装例である。

[図38]図３７の一部拡大図である。

[図39]一実施形態の電子装置である。

[図40A]図３９の内部構造図である。

[図40B]図３９の内部構造図である。

[図40C]図３９の内部構造図である。

[図41]プリント基板への実装例である。

[図42]プリント基板への実装例である。

[図43]図４１の等価回路図である。

[図44]プリント基板への実装例である。

[図45]プリント基板への実装例である。

発明を実施するための形態

[0019] ＜本発明の一実施形態の基本構成＞

図１は、本発明の一実施形態のバスシステムの基本的構成を示すが、最初は、電子装置が二つの場合で説明する。すなわち、本実施形態のバスシステムのバス線に方向性結合器を介して並列に接続される電子装置は、２つに限らず、３つ以上あってもよい。

[0020] 本実施形態では、二つの電子装置１，２が互いに対等の立場にある。すなわち、一方の電子装置１は、方向性結合器ＣＰ１を介して伝送線路１０に並列に接続され、もう一方の電子装置２は、方向性結合器ＣＰ１とは別の方向性結合器ＣＰ２を介して伝送線路１０に並列に接続されている事が特徴である。伝送線路１０は、電子装置１と電子装置２が共に接続される共通のバス線（幹線）である。

[0021] 電子装置１，２の両者が、例えばマイクロプロセッサである場合、図１のシステムはマルチプロセッサ・システムを構築することになる。電子装置１

，２の両者が対等の立場であるから、一方がデータを出力している場合は、他方がデータを入力する状態にあり、その逆も可能である。

[0022] 本実施形態の電子装置とは、他の電子装置との間で信号を送信又は受信又は送受信可能な電子装置（具体例として、マイクロプロセッサやメモリーなどの半導体デバイス）を指す。しかしながら、本実施形態の電子装置は、パッケージで覆われた半導体装置でもよいし、プリント基板に実装された回路素子がカード型のケースに覆われて構成された装置でもよいし、他の部品とともに筐体に覆われて構成された装置でもよい。

[0023] 本実施形態の各電子装置は、入出力回路（図１には、送受信回路ＩＯ１，ＩＯ２として例示）を備えている。入出力回路は、方向性結合器の一方の電極に接続され、その方向性結合器の他方の電極は、伝送線路１０に接続されている。伝送線路１０は、信号を伝送するための配線であり、伝送信号の忠実性を保つため、必要に応じて終端抵抗を挿入する等の終端処理を実施しても良い。終端抵抗は伝送線路１０の特性インピーダンスに合わせるのが基本であるが、場合によって必ずしも一致させるとは限らない。

[0024] ＜方向性結合器の原理＞

図２は、伝送線路１０に挿入された方向性結合器ＣＰの原理を示した図である。各電子装置の送受信回路ＩＯにおいて、送信回路Ｔｘは、例えば負荷抵抗ＲＴＴが接続されたｎＭＯＳトランジスタを含んで構成された送信部であるとよく、受信回路Ｒｘは、伝送波形の特質に応じて設計された任意の受信部であるとよい。つまり、送受信回路ＩＯは、方向性結合器ＣＰを介して伝送線路１０との間で信号をやり取りできる送受信部であれば、特に限定されない。

[0025] 方向性結合器ＣＰは、伝送線路１０の一部を構成する電極Ｃ２と、電極Ｃ２に対して非接触で近接配置された電極Ｃ１とを有し、電極Ｃ１を電極Ｃ２と平行になるように配置することで構成されている。例えば、電極Ｃ２は、伝送線路１０に挿入された導体配線部であり、電極Ｃ１は、電極Ｃ２に対置して延在する導体配線部である。方向性結合器ＣＰは、例えば、ストリップ

ラインや、マイクロストリップラインで構成されているとよい。

[0026] 送受信回路ＩＯの送信回路Ｔｘが信号を送信する場合、方向性結合器ＣＰの端子Ａ１に信号Ｓ１が与えられると、端子Ａ１に接続された電極Ｃ１内を信号Ｓ２が伝搬して、端子Ｂ１と終端電源ＶＴＴとの間に直列挿入された終端抵抗ＲＴＴに吸収される。信号Ｓ２が電極Ｃ１内を伝搬することにより、電極Ｃ１と電極Ｃ２との間に電磁界結合（クロストーク）が起こる。この電磁界結合によって、信号Ｓ２の進行方向とは反対向きの方向に進行するように発生した信号Ｓ３が、電極Ｃ２を一体的に含んで構成された伝送線路１０を伝搬する。信号Ｓ３は、端子Ａ２に直列に接続された終端抵抗ＲＴＴで吸収される。

[0027] 一方、信号Ｓ３とは反対向き（図上、右向き）に伝送線路１０を進行する伝送信号は、方向性結合器ＣＰの電極Ｃ２内を伝搬することにより、電極Ｃ１と電極Ｃ２との間に電磁界結合（クロストーク）を起こして、端子Ｂ２とグランドとの間に直列挿入された終端抵抗ＲＴＴに吸収される。送受信回路ＩＯの受信回路Ｒｘは、この電磁界結合によって信号Ｓ２とは反対向き（図上、左向き）に電極Ｃ１に発生した信号を受信する。

[0028] ここで、端子Ａ１，Ｂ１は、電極Ｃ１の両側の端子である。端子Ａ１は、送受信回路ＩＯ側の端子であり、端子Ｂ１は、端子Ａ１とは反対側の端子である。端子Ａ２，Ｂ２は、電極Ｃ２の両側の端子である。端子Ａ２は、信号Ｓ３の進行方向側の端子であり、端子Ｂ２は、信号Ｓ３の進行方向とは反対方向側の端子である。

実施例 1

[0029] 図３は、本発明の第１の実施例である。図３は、図１，図２の構成に従ったものであるが、電子装置１に接続する方向性結合器ＣＰ１の方向が、電子装置２に接続する方向性結合器ＣＰ２の方向に対して反対向きになっている。これは、図２で説明したように、方向性結合器によって伝送線路１０に伝わる信号の方向性を反映させるためである。方向性結合器の方向を電子装置１と電子装置２との間で反対向きにすることによって、電子装置１から送ら

れた信号を電子装置２が受信できるとともに、電子装置２から送られた信号を電子装置１が受信できる。つまり、これらの通信において、ある電子装置から出た信号は一旦方向性結合器を通して伝送線路に伝わり、別の方向性結合器を通して別の電子装置に至る。

[0030] 電子装置１が、方向性結合器ＣＰ１を介して伝送線路１０に伝送信号を送信し、電子装置２が、方向性結合器ＣＰ２を介してその伝送信号を受信する場合について説明する。電子装置１の送受信回路ＩＯ１の送信回路Ｔｘが、方向性結合器ＣＰ１の電極Ｃ１に信号を出力すると、その電極Ｃ１に流れる信号とは反対向きのＡの方向に進行する伝送信号が、方向性結合器ＣＰ１によって伝送線路１０に発生する。方向性結合器ＣＰ２は、伝送線路１０を伝搬する伝送信号の進行方向がＡの方向であれば受信できるがＢの方向であれば受信できない。したがって、電子装置２の送受信回路ＩＯ２の受信回路Ｒｘは、伝送線路１０をＡの方向に進行する伝送信号を方向性結合器ＣＰ２によって受信できる。

[0031] このように電子装置１から送信された伝送信号を電子装置２で受信する場合、伝送信号の忠実性を確保する点で、伝送線路１０のＡの方向の端に、Ａの方向に進行する伝送信号が吸収されるように終端処理された一方の終端処理部として、終端抵抗ＲＴＴが設けられていると好ましい。このとき、方向性結合器ＣＰ２は、方向性結合器ＣＰ１と伝送線路１０のＡの方向の終端抵抗ＲＴＴとの間で伝送線路１０に挿入配置されているとよい。また、方向性結合器ＣＰ２は、電子装置２の受信回路ＲｘがＡの方向に進行する伝送信号を伝送線路１０から受信できるように配置されるとよい。

[0032] 一方、電子装置２が、方向性結合器ＣＰ２を介して伝送線路１０に伝送信号を送信し、電子装置１が、方向性結合器ＣＰ１を介してその伝送信号を受信する場合について説明する。電子装置２の送受信回路ＩＯ２の送信回路Ｔｘが、方向性結合器ＣＰ２の電極Ｃ１に信号を出力すると、その電極Ｃ１に流れる信号とは反対向きのＢの方向に進行する伝送信号が、方向性結合器ＣＰ２によって伝送線路１０に発生する。方向性結合器ＣＰ１は、伝送線路１

０を伝搬する伝送信号の進行方向がＢの方向であれば受信できるがＡの方向であれば受信できない。したがって、電子装置１の送受信回路ＩＯ１の受信回路Ｒｘは、伝送線路１０をＢの方向に進行する伝送信号を方向性結合器ＣＰ１によって受信できる。

[0033] このように電子装置２から送信された伝送信号を電子装置１で受信する場合、伝送信号の忠実性を確保する点で、伝送線路１０のＢの方向の端に、Ｂの方向に進行する伝送信号が吸収されるように終端処理された他方の終端処理部として、終端抵抗ＲＴＴが設けられていると好ましい。このとき、方向性結合器ＣＰ１は、方向性結合器ＣＰ２と伝送線路１０のＢの方向の終端抵抗ＲＴＴとの間で伝送線路１０に挿入配置されているとよい。また、方向性結合器ＣＰ１は、電子装置１の受信回路ＲｘがＢの方向に進行する伝送信号を伝送線路１０から受信できるように配置されるとよい。

実施例 2

[0034] 図４は、本発明の第２の実施例であって、本発明を、３つ以上のｎ個の電子装置が伝送線路１０に接続される場合に適用したものである。特徴は、各方向性結合器の電子装置側の一方の電極（図２において、電極Ｃ１に相当）の両側の端子に送受信回路を接続して、その両側の端子から送受信可能にしたことである。

[0035] 方向性結合器では伝送線路に伝わる信号の方向性がある。そのため、例えば図４において、電子装置２が電子装置１に伝送信号を送る場合は、送受信回路ＩＯ２ａの送信回路Ｔｘを用いることで、電子装置２に対して電子装置１が存在する側の左向きに伝送信号を進行させることができる。さらに言えば、電子装置ｎが電子装置１，２に伝送信号を送る場合は、送受信回路ＩＯｎａの送信回路Ｔｘを用いることで、電子装置ｎに対して電子装置１，２が存在する側の左向きに伝送信号を進行させることができる。したがって、電子装置１（２）は、送受信回路ＩＯ１ｂ（ＩＯ２ｂ）の受信回路Ｒｘを用いることで、伝送線路１０を左向きに進行する伝送信号を受信できる。

[0036] 一方、電子装置２が電子装置ｎに伝送信号を送る場合は、送受信回路ＩＯ

２ｂの送信回路Ｔｘを用いることで、電子装置２に対して電子装置ｎが存在する側の右向きに伝送信号を進行させることができる。さらに言えば、電子装置１が電子装置２，ｎに伝送信号を送る場合は、送受信回路ＩＯ１ｂの送信回路Ｔｘを用いることで、電子装置１に対して電子装置２，ｎが存在する側の右向きに伝送信号を進行させることができる。したがって、電子装置２（ｎ）は、送受信回路ＩＯ２ａ（ＩＯｎａ）の受信回路Ｒｘを用いることで、伝送線路１０を右向きに進行する伝送信号を受信できる。

[0037] つまり、任意の電子装置は、その任意の電子装置が伝送線路１０に接続されている箇所に対して両側に存在する一又は二以上の電子装置との間で伝送信号を送受できる。このように送り先によって信号の伝搬方向を切り替える。このため、本実施例では、送信受信回路は方向性結合器毎に二組必要になる。

[0038] また、送受信回路は、送信した信号の反射を防ぐため、その内部インピーダンスが伝送線路１０と整合している事が望ましい。具体的には、一の方向性結合器の両端に接続される２つの送受信回路において、送信回路Ｔｘの負荷抵抗ＲＴＴを伝送線路１０のインピーダンスに合わせておけばよい。これにより、一方の送受信回路が受信状態での入力インピーダンスは負荷抵抗ＲＴＴとなるので（送信回路Ｔｘの駆動トランジスタはシャットダウンして高インピーダンスになるため）、他方の送受信回路が送信状態のとき、その他方の送受信回路から送信された信号を終端できる。このように、二つの送受信回路の使用を選択的に切り替えることで、任意の電子装置は、その任意の電子装置に対して両側に位置する一又は二以上の電子装置との間で通信できる。

実施例 3

[0039] 図５は、本発明の第３の実施例を示す。この場合、電子装置に１組の送受信回路があれば良く、コストや回路実装面積の削減の点で有利である。

[0040] 図６はその動作を説明する。第３の実施例では、電子装置１の送信回路Ｔｘによって信号Ｓ１が出力されると、信号Ｓ２が方向性結合器ＣＰ１の電極

Ｃ１上を進み、信号Ｓ２が電極Ｃ１を進むことで、電極Ｃ１は伝送線路１０の一部を構成する電極Ｃ２と電磁界結合する。電磁界結合によって生成された信号Ｓ３は、方向性結合器ＣＰ１の方向性に依存した片方向（図上、左向きの方向）に伝送線路１０上を進行する。信号Ｓ３は伝送線路１０の開放端１０ａで全反射されるため、その全反射された後の信号Ｓ４が、信号Ｓ３の進行方向に対して反対向き（図上、右向き）に進む。そして、信号Ｓ４は、電子装置２の方向性結合器ＣＰ２に入力され、方向性結合器ＣＰ２の電極Ｃ２は電極Ｃ１と電磁界結合して、信号Ｓ５が電極Ｃ１に転送される。その結果、信号Ｓ７は、電子装置２の受信回路Ｒｘに入る。なお、信号Ｓ４が方向性結合器ＣＰ２の電極Ｃ２を通過した後の信号Ｓ６は、伝送線路１０の終端抵抗ＲＴＴで吸収される。

[0041] 電子装置２から送信した信号も、電子装置１の受信回路Ｒｘに入ることも同様に考えることができる。

実施例 4

[0042] 図７は、本発明を二重化したバス線（伝送線路）によって実現したものである。方向性結合器における伝送信号の方向性を考慮し、方向性結合器の伝送線路に対する結合方向を、２つの伝送線路１１，１２間で互いに逆向きにしている。つまり、２つの伝送線路を、左向きの信号が伝搬する伝送線路と右向きの信号が伝搬する伝送線路とに分けている。このため、例えば、電子装置１から電子装置２，ｎに送信する場合は右行きの伝送線路１１を使い、電子装置２，ｎから電子装置１に送信する場合は左行きの伝送線路１２を用いる。

[0043] 例えば、電子装置１は、伝送線路１１に方向性結合器ＣＰ１ａを介して伝送信号を送信する送信回路Ｔｘを送受信回路ＩＯ１ａに有し、電子装置２又はｎから伝送線路１２に送信された伝送信号を伝送線路１２から方向性結合器ＣＰ１ｂを介して受信する受信回路Ｒｘを送受信回路ＩＯ１ｂに有している。そして、電子装置２は、伝送線路１２に方向性結合器ＣＰ２ｂを介して伝送信号を送信する送信回路Ｔｘを送受信回路ＩＯ２ｂに有し、電子装置１

から伝送線路１１に送信された伝送信号を伝送線路１１から方向性結合器ＣＰ２ａを介して受信する受信回路Ｒｘを送受信回路ＩＯ２ａに有している。

[0044] 方向性結合器ＣＰ２ａは、方向性結合器ＣＰ１ａと伝送線路１１の一方の終端処理部である右側終端抵抗ＲＴＴとの間に配置されている。方向性結合器ＣＰ１ａは、方向性結合器ＣＰ２ａと伝送線路１１の他方の終端処理部である左側終端抵抗ＲＴＴとの間に配置されている。方向性結合器ＣＰ２ｂは、方向性結合器ＣＰ１ｂと伝送線路１２の一方の終端処理部である右側終端抵抗ＲＴＴとの間に配置されている。方向性結合器ＣＰ１ｂは、方向性結合器ＣＰ２ｂと伝送線路１２の他方の終端処理部である左側終端抵抗ＲＴＴとの間に配置されている。このような終端抵抗ＲＴＴによって、伝送信号が全反射しないように吸収して、伝送信号の忠実性を確保できる。

[0045] 他の電子装置が方向性結合器を介して伝送信号を送受する場合についても同様に考えることができる。

[0046] なお、これまで説明したように、方向性結合器から伝送線路に結合した信号の伝搬方向は、理想的には一方向である。そのため、図８に示すように、伝送信号が伝搬しない方向（伝送信号の進行方向とは反対向きの方向）の伝送線路１１，１２の端に接続された終端抵抗を省いて、その端を開放端１１ａ，１２ａとすることができる。伝送線路を進んだ信号がその遠端の終端抵抗で全てエネルギーを消費し伝送線路に信号がほとんど反射しなければ、すなわちインピーダンス整合が十分行われていれば、このような開放端の形式をとってもよい。

実施例 5

[0047] 一方、伝搬する信号が一方向であるという性質を利用して、図９のように、左行きの伝送線路１２の終点側の端に右行きの伝送線路１１の始点を直列に接続することで、その接続部分で伝送信号がＵターンして折り返す形式を採用できる。このようにするメリットは、送信機および受信機の数を、バスを二重化する場合に比べて、半分にできることである。これによってチップを小型化しコストを下げることができる。

[0048] 例えば、電子装置１から電子装置２に送信する場合、電子装置１の送信機Ｏｕｔ１の送信回路Ｔｘが方向性結合器ＣＰ１ｂを介して送信した信号は、伝送線路１２をＢの方向に進行する。その後、Ｕ字に曲げられた伝送線路を経由して伝送線路１１に沿って、電子装置２の方向性結合器ＣＰ２ａに達する。電子装置２の受信機Ｉｎ２の受信回路Ｒｘは、方向性結合器ＣＰ２ａを介して、Ａの方向に伝送線路１１上を進行する伝送信号を受信する。

[0049] 逆に電子装置２から電子装置１に送信する場合、電子装置２の送信機Ｏｕｔ２の送信回路Ｔｘが方向性結合器ＣＰ２ｂを介して送信した信号は、伝送線路１２をＢの方向に進行する。その後、Ｕ字に曲げられた伝送線路を経由して伝送線路１１に沿って、電子装置１の方向性結合器ＣＰ１ａに達する。電子装置１の受信機Ｉｎ１の受信回路Ｒｘは、方向性結合器ＣＰ１ａを介して、Ａの方向に伝送線路１１上を進行する伝送信号を受信する。

[0050] 方向性結合器ＣＰ２ｂは、方向性結合器ＣＰ１ｂと伝送線路１２の始点側の終端処理部である終点抵抗ＲＴＴとの間に配置されている。方向性結合器ＣＰ２ａは、方向性結合器ＣＰ１ａと伝送線路１１の終点側の終端処理部である終端抵抗ＲＴＴとの間に配置されている。

[0051] このように、電子装置１と電子装置２は互いに信号をやりとりできる。他の電子装置が方向性結合器を介して伝送信号を送受する場合についても同様に考えることができる。

[0052] なお、図１０に示されるように、上述の図８と同様に、伝送線路上の信号伝搬方向を考慮して信号が到来しない送信側の遠端の終端抵抗を省いてもよい。すなわち、伝送信号が伝搬しない方向（伝送信号の進行方向とは反対向きの方向）の伝送線路１２の始点側の端に接続された終端抵抗を省いて、その端を開放端１２ａとすることができる。

実施例 6

[0053] 図１１は、図９の伝送線路１１と１２の接続部分、すなわち送信セクションと受信セクションとの間に、信号再生用のリピータ装置ＲＰを挿入配置したものである。

[0054] 伝送線路を伝搬する信号は配線の寄生抵抗成分によって減衰するため、これを補うためにリピータ装置ＲＰを用いる。寄生抵抗成分は伝送線路の表皮効果などによって生じるため、超伝導配線を用いない限り信号の減衰は避けられない。このため伝送線路が長い場合（例えば30cm以上）はリピータ装置ＲＰを入れて信号を増幅すると良い。

[0055] 具体的には二つの方法がある。その１つは、リピータ装置ＲＰをアナログアンプＲＰＴで構成し、その利得対周波数特性において、高い周波数成分での利得を低い周波数成分での利得よりも大きく設定することである。２つ目は、信号をアナログアンプＲＰＴで受信して増幅したのち、ディジタルレベルに変換し、ディジタル回路でクロック再同期させることである。

[0056] 本実施形態においては、ある特定の電子装置の出力回路から別の電子装置の入力回路に至るまでに、２つの方向性結合器を経由する。方向性結合器を通過できる信号の下限周波数は、その寸法に依存する（概略、方向性結合器の長さに対して伝搬波形の波長の1/4が目安となり、それ以下の周波数成分は伝搬しにくい）。そのため、実質的には、ローカットフィルター回路を２回経由することになるので、伝送信号の低周波成分が大幅にカットされてしまう。

[0057] このため、リピータ装置ＲＰの受信機部分に、受信波形の低域成分を増強するイコライザを入れると良い。その上、伝送系の寄生抵抗成分による高域ロスに対する補正のため、イコライザを入れると更に良い。すなわち、低域も高域も増幅度を上げた受信機が好ましい。

[0058] 一方、送信機にも送信信号に対する補正機能を持たせる事もできる。これをプリ・エンファシスと称する（場合によってはディ・エンファシスと呼ばれる事がある）。プリ・エンファシスに関しては伝送系の中で特定帯域に減衰がある場合に送信側で補正を行い情報シンボル間の干渉を最小限にする（要するに0,1の有限の組み合わせのディジタル信号パターンに対して最大の伝送可能環境を与えるということ）方法として周知である。

[0059] そのディジタル信号送信において高い周波数成分を強調して送信する、い

わゆるプリ・エンファシス機能を持たせても良い。それに加えて伝送上最大マージンで信号が受信できるようにディジタル信号にタイミング的な変調をかけてもよい。すなわち、特定シンボルに対するパルス幅やパルスの振幅変調をかけてもよい。

[0060] これはディジタル方式とアナログ方式の動作の特徴の両方を取り入れたものと言える。なお、図１２に示されるように、終端抵抗ＲＴＴを、伝送線路１２上を進行する信号が到達する遠端（すなわち、リピータ装置ＲＰの入力端）とグランドとの間に挿入することで、信号忠実性を向上させることができる。

実施例 7

[0061] 図１３は、方向性結合器を構成する電子装置側の電極の一端を開放端にして、その開放端での信号の全反射作用を利用した実施例である。この構成にすると、信号は伝送線路１０の左右両方に伝搬するので、伝送線路を右行き用の線路と左行き用の線路とに分ける必要がない。ただし、右と左で信号の伝搬開始タイミングが僅かにずれるため、タイミングバジェットを考える時は考慮すべきである。これは図１４Ａ及び図１４Ｂによって説明できる。

[0062] 図１４Ａ及び図１４Ｂは、図１３のシステムの動作原理を示す。図１４Ａは、電子装置１が伝送信号を送信する送信サイクルにおける前半期間の状態を表し、図１４Ｂは、電子装置１が伝送信号を送信する送信サイクルにおける後半期間の状態を表す。

[0063] 図１４Ａにおいて、電子装置１の送信回路Ｔｘの出力Ｓ１が方向性結合器ＣＰ１の端子Ａ１から入ることで、信号Ｓ２が電極Ｃ１内を右向きに伝搬し、それと同時に電磁界結合によって伝送線路１０に左方向に向かう信号Ｓ３が誘起される。次に、図１４Ｂにおいて、信号Ｓ２は方向性結合器ＣＰ１の電極Ｃ１の開放端子Ｂ１でＳ４のように全反射し、全反射後の信号Ｓ５が電極Ｃ１内を左向きに戻る。そのとき電磁界結合によって伝送線路１０には右向きに進行する信号Ｓ６が誘起される。開放端子Ｂ１で反射した信号は、Ｓ７のように送信回路Ｔｘに戻る。しかしながら、送信回路Ｔｘは終端抵抗Ｒ

ＴＴを負荷として動作しており、この終端抵抗ＲＴＴを方向性結合器ＣＰ１の特性インピーダンスに合わせておけば、反射信号Ｓ７はこの終端抵抗ＲＴＴで吸収されて、それ以上の反射は起こらない。

[0064] 以上の説明から分かるように、伝送線路１０を右に向かう信号は、伝送線路１０を左に向かう信号に対して、方向性結合器ＣＰ１の端子Ａ１からＢ１に信号が進む時間だけ遅れるのであるが、これは実質的には無視できる程度の小さな値である。かくして伝送線路１０には左右両方に信号が向かうので、伝送線路１０の両端には終端抵抗ＲＴＴがあるとよい。

[0065] このような構成によって、伝送線路１０を二重化する必要がない。また、方向性結合器ＣＰ１の端子Ａ１は直流的には無限大の入力抵抗になるので，送信回路Ｔｘは信号を送信した後、自動的に電流が流れなくなる。従って、送信回路Ｔｘの消費電力が低いというメリットがある。

[0066] なお、送信回路Ｔｘをプッシュプル型で構成した場合は信号反射に関して更なる思慮が必要である。図１５Ａ及び図１５Ｂは、ｎＭＯＳトランジスタのプッシュプル駆動回路を用いた例を示す。図１５Ａは、電子装置１が伝送信号を送信する送信サイクルにおける前半期間の状態を表し、図１５Ｂは、電子装置１が伝送信号を送信する送信サイクルにおける後半期間の状態を表す。この場合、ハイレベルを出力すると上側のトランジスタＱ１はソースフォロワー動作となるので信号が開放端Ｂ１で反射すると、ソース電圧が当初の駆動電圧よりも上昇する。そのため、トランジスタＱ１はカットオフしてしまう。結果として送信端も開放端となって信号は多重反射してしまうのでリンギングが起こってしまう。電子装置どうしを結ぶ伝送線路においては、表皮効果による抵抗が発生するため、高い周波数成分はロスする。そのため、多少のリンギングが送信側で生じても、そのようなリンギングは、減衰するので放置できる。しかしながら、不要輻射(EMI)を抑制するためには、そのようなリンギングを早期に終息させる必要がある。

[0067] 図１５Ａ及び図１５Ｂの直列抵抗Ｒｓは、望ましくは方向性結合器ＣＰ１の結合部分に最近接して配置することで、そのようなリンギングを早期に減

衰させることを達成する案である。

[0068] 抵抗Ｒｓと寄生容量Ｃｏｕｔ（送信回路Ｔｘの出力端子の寄生容量および送信回路Ｔｘから抵抗Ｒｓまでの配線部分の寄生容量）とによって、ＲＣハイカットフィルター効果が得られる。これにより、方向性結合器ＣＰ１の開放端Ｂ１から反射した信号のエネルギーは、急速に失われるため、リンギングが速やかに消失する。

[0069] 一方、信号の送信時において、送信回路Ｔｘが十分に低い内部抵抗であれば、寄生容量Ｃｏｕｔは高速で充放電できるので、抵抗Ｒｓが高速性を阻害するものではない。具体的には直列抵抗Ｒｓは10Ωから30Ω程度が望ましい。なぜならば、方向性結合器ＣＰ１は基本的に50Ωの特性インピーダンスで設計されるため、送信回路Ｔｘの内部抵抗を20Ω程度にしたときに、マッチング条件が近いからである。

実施例 8

[0070] 以上の説明において、同一の伝送線路に接続される複数の電子装置は同じ機能レベルであることが許容されている。つまり同じプロセッサを複数並列接続する事も可能である。ここがDRAMのモジュールを対象にしたいわゆるメモリーバスと異なる。

[0071] 同じ機能レベルの電子装置が接続された場合、バス線のトラフィックのアービトレーション（調停：どの電子装置が送信状態でどの電子装置が受信状態かを決める）が必要になる。さもないと複数の電子装置が同時にデータ出力を行ってしまい、いわゆるバスコンフリクト状態になってしまう。

[0072] 図１６の実施例のコントローラＣＮＴは、伝送線路１０とは別の制御用配線を介して各電子装置の送受信動作の調停をコントロールし、伝送線路１０上で送信状態の電子装置を１つだけに限定する論理的コントロールをするものである。すなわち、本構成は、方向性結合器を介した高速データ読み出し書き込み配線方式による制御と通常の配線方式による制御とを組み合わせたものである。コントローラＣＮＴは、ＣＮＴ１からＣＮＴｎまでの制御信号を各電子装置に付与することによって、各電子装置のモードを、受信、送信

、パワーダウンスタンバイなどのモードに切り替える。

実施例 9

[0073] 方向性結合器を構成する方法は幾つかあるが、要は送信機から結合器までの接続配線部分の特性インピーダンスを可能な限り送信機の駆動回路の出力インピーダンスと整合させた上で、その接続配線部分の距離を可能な限り短くすることが肝要である。なぜならば、送信機から結合器までの間の配線からの不要輻射を防ぐためである。そこで、方向性結合器を構成する方法の一例として、パッケージのリードフレームを用いる事を以下に示す。

[0074] ここでは、電子装置の一例であるNAND型フラッシュメモリーを例に挙げて説明する。図１７は従来のNANDフラッシュメモリーのリードフレーム形状を示す。NANDパッケージ２０には、CLE（コマンドラッチイネーブル：コマンドを取り込む制御をする）、ALE（アドレスラッチイネーブル：アドレスを取り込む制御をする）、CE#（チップイネーブル・バー：チップがスタンバイ状態か活性状態かの制御をする）、WE#（ライトイネーブル・バー：データを取り込む制御をする）、RE#（リードイネーブル・バー：データを出力させる制御をする）、R/B#（レディーとビジー・バー：内部で動作中か動作完了かを知らせる）、WP#（ライトプロテクト・バー：書き込みを禁止し不測の状態でのデータ破壊を防止する）、I/O（データの入出力）などの各端子と、電源端子VCC, VSSとがある。

[0075] これに対し、図１８は、高速性が必要なI/O端子（Input+/Input-,Output+/Output-）を方向性結合器TLCで形成し、伝送線路によってデータを入出力する場合のリードフレーム形状を示す。NANDフラッシュメモリーではI/Oピンが通常8本あるが（図１７参照）、図１８のNANDパッケージ２１では高速のデータ入出力回路である方向性結合器TLCを用いているので、1セットだけである。1セットとは、この実施例では、入力用の方向性結合器TLC(W)を構成するリードフレームと出力用の方向性結合器TLC(R)を構成するリードフレームが形成されている。それぞれの方向性結合器は、差動型の伝送線路を用いるため、全部で4端子を必要とする。また、方向性結合器の電極を外部にある終端抵

抗に繋げるため、RTT端子が4つ備えられている。

[0076] ずなわち、図１８と図２を対比すると、I/O端子（Input+/Input-,Output+/Output-）が端子Ａ１に相当し、RTT端子が端子Ｂ１に相当し、I/O端子とRTT端子との間のパッケージ２１に内蔵された導電部であるリードフレームが電極Ｃ１に相当する。

[0077] 図１８のNANDメモリーが実装される不図示のマザーボードには、伝送線路が形成されており、この伝送線路とパッケージ２１のリードフレームとによって方向性結合器を構成する。終端抵抗はマザーボード上の電源配線であるVTTに接続される。

[0078] 図１８では、方向性結合器を構成するリードフレームの一部が二本に分かれている。これは、リードフレームの伝送線路としての特性インピーダンスを保ちながら、結合器の電極としての幅を広くして、パッケージとマザーボードとの位置ずれが生じても、方向性結合器としての動作に支障が生じないようにするためである。

[0079] 図１９は、図１８に例示したパッケージ２１のリードフレームと、パッケージ２１の外部に位置するマザーボードの配線（の一部だけ表示）との位置関係を例示したものである。マザーボードに導電部として形成された伝送線路は、Write busとRead busの二組の配線であり、それぞれマイクロストリップラインを形成している。方向性結合器を形成する部分では、その二組の配線の間隔が広くなっているが、これは間隔を広げることでその特性インピーダンスを高くするためである。方向性結合器が結合すると当該伝送線路部分の特性インピーダンスが下がるため、結合した結果として、特性インピーダンスの変化が相殺される事を狙っている。

[0080] 図２０は、方向性結合器の電子装置側の電極を開放終端型にした場合のNANDパッケージ２２のリードフレーム形状を示す。これは、図１３，図１４Ａ，図１４Ｂ，図１５Ａ，図１５Ｂの方向性結合器の構成に対応したものである。このようにすると、終端抵抗への接続端子RTTが不要になるので、マザーボードの配線が単純になるメリットがある。また、入力と出力を同じ方向性結

合器で行うことができるので、伝送線路は１組で良い。図２１は、図２０に例示したパッケージ２２のリードフレームと、パッケージ２２の外部に位置するマザーボードの配線（の一部だけ表示）との位置関係を例示したものである。

[0081] また、幾つかの低速の制御端子は従来通りの制御方式を採り、WE#やRE#のように書き込みや読み出しの制御は伝送線路を通じて行ってよい。図２２は、NANDフラッシュメモリー等の電子装置のタイミングチャートの一例である。低速制御信号CE#がローレベルになると、電子装置は活性化され入力を受け付ける状態になる。ここではデータを書き込み次に読み出すサイクルを例に動作を説明する。

[0082] 伝送線路にプリアンブル信号が送られると、受信機は、受信の準備すなわち信号からクロック信号成分を抽出（クロックリカバリーという）してPLL回路の位相を同期させ、コマンドをデコードできる状態にする。そして、書き込みコマンドと書き込み対象となるアドレスが到来すると、電子装置はそのコマンドをデコードし、内部動作がスタートする。一連の書き込みデータがメモリー内部のバッファ回路に転送されたあと、ポストアンブル信号によって書き込みデータの終了が伝えられる。次に読み出しコマンドと読み出し対象となるアドレスが到来すると、アクセス時間が経過したあとに、データが出力される。このときもプリアンブル信号をメモリーが出力し、それに続いて読み出しデータが出力され、終了がポストアンブル信号によって伝えられる。

実施例 10

[0083] 図２３は、本実施例におけるNAND型フラッシュメモリーのパッケージ２３に内蔵されるNANDチップ２４のレイアウト概念を示す。NANDチップ２４は、半導体チップの一例である。NAND型フラッシュメモリーは、データの記憶にかかわるメモリーセルアレー２７と、それに付随したデコーダ（図示せず）と、メモリーセルアレー２７と外部回路との間で動作スピードの調整を行うページバッファ２６と、入出力データレジスタ２５と、送受信回路Ｔｘ，Ｒ

ｘとを備えている。送受信回路Ｔｘ，Ｒｘの先に半導体チップの配線で使われるメタル層を延長したメタル配線を接続することで、方向性結合器TLC(W)及びTLC(R)の一方の電極（例えば図２の場合、電極Ｃ１に相当）をそのメタル配線で形成した例である。

実施例 11

[0084] 図２４は、方向性結合器TLC(W)及びTLC(R)の一方の電極（例えば図２の場合、電極Ｃ１に相当）をインタポーザ２９の配線を利用して形成した例を示したものである。インタポーザ２９は、システムインパッケージ２８内に複数の半導体チップ（２つのNANDチップ２４－１，２４－２を例示）を収めるときに、それらの複数の半導体チップをマウントするサブボードであって、それらの半導体チップ同士を繋ぐ配線が形成されたものである。半導体チップとインタポーザ２９は、ボンディングワイヤを用いて電気的に接続される。

実施例 12

[0085] 図２５は、方向性結合器ＣＰ１ａ，ＣＰ１ｂ，ＣＰ２ａ，ＣＰ２ｂが、電子装置１，２が実装されるマザーボードのプリント基板の配線を利用して形成し、電子装置１，２間の通信を行う例を示したものである。電子装置１，２は、メモリーであっても、プロセッサなど論理機能をもつものであってもよい。

[0086] つまり、本実施例では、プリント配線の隣接配線間の電磁界結合を利用して、方向性結合器を構成している。電子装置１，２に内蔵された送受信回路に接続される出力ピンが、プリント基板の配線によって形成された方向性結合器の一方の電極に繋がる。そして、その一方の電極は、プリント基板に形成された伝送線路であるOutput bus又はInput busに電磁界結合可能な距離で近接させる。また、その一方の電極は、プリント基板に実装された終端抵抗素子RTTを介して、終端用の電源パターンVTTに繋がる。図面上、接続を記していないピンは、電源ピンや制御ピンなどであり、適宜他の回路に接続されているものとする。電子装置１，２のパッケージは、Dual-in-line型を例に

しているが、BGA(Ball Grid Array)型でもよい。

[0087] 図２６は、電子装置１，２が実装されるマザーボードの多層プリント基板の異なった層の間で、方向性結合器ＣＰ１ａ，ＣＰ１ｂ，ＣＰ２ａ，ＣＰ２ｂが形成された例である。このように、互いに異なる層に形成された配線間で方向性結合器を構成することによって、方向性結合器を構成する両配線が対向している面積を広げやすいため、方向性結合器の結合度が高くでき、伝送信号の忠実性をより高める結果が得られる。例えば、方向性結合器ＣＰ１ａ，ＣＰ１ｂ，ＣＰ２ａ，ＣＰ２ｂにおいて、電子装置１，２のピンと終端抵抗素子ＲＴＴとの間の配線部分がプリント基板の表層に位置し、伝送線路Output bus又はInput busの配線部分がプリント基板の内層に位置する。

[0088] なお、図２５，図２６は、電子装置が並列に接続される伝送線路が２つ形成された図７から図１２の回路に対応したものである。

実施例 13

[0089] 図２７Ａは、データパケットを用い最少のピン数で動作する方向性結合器を用いた電子装置１，２，３の実装例を示したものであって、方向性結合器の一方の電極を開放端で形成した図１３の回路に対応している。図２７Ｂには、電子装置の実装面が見えるように電子装置を裏返して見た絵が示されている。符号３０は、四隅のバンプを示している。本実施例では、半導体チップ３３に直接パターン形成するか、又は半導体チップ３３を搭載するインタポーザにパターンを形成するかによって、方向性結合器の一方の電極Ｃ１を作り、もう一方の電極をプリント基板の配線パターンInput/Output Busで形成している。

[0090] この構成において、主要な入出力機能は全て方向性結合器を介したInput/Output Busを用い、最小限の制御を直接配線に接続した端子（具体的には、電源供給端子、Chip select端子３２、Status端子３１）で行っている。

[0091] Chip selectは、バスを共有する電子装置の中で、バスとの間で信号の入出力を許される装置を指定する信号である。従って原則的にバスで２つまたはそれ以

上の装置がバスと接続される。すなわち、２つとは送信する装置と受信する装置である。複数の装置が同時に受信状態になる可能性もあるので３つ以上の装置がChip selectで選択される可能性はあるが、送信状態の装置は１つに限られる。Chip selectが活性化された電子装置では、受信機が受信モードに入り、バスに伝送されるプリアンブルを受けて、受信機のクロックリカバリー回路がPLL回路の動作を安定化させ、コマンドを受け付けられるようにする。コマンドはどの電子装置に向けたものであるかを示すアドレスを含んでおり、受信機に接続されたデコーダがコマンドとアドレスを解読して自分あてのものであると認識したらコマンドを実行する。

[0092] Status端子３１は、電子装置の内部状態を示すための端子である。通信相手となる電子装置が信号を受け付けられる状態(Ready)か、信号を受け付けられない状態(Busy)かを示す。これが分からないと、受信できない相手に送信してしまう事態が起こる。

[0093] 図２８は、図２７Ａの構成のタイミングの一例を示す。この例ではChip select#がローになり電子装置が選択されると、Status信号がローになり、受信機はデータ入力可能状態になっている事を示している。データの先頭には、プリアンブルと称する一連の信号があり、これによって入力回路のクロックリカバリー回路が動作する。クロックリカバリー回路が動作すると、信号から通信用同期クロック成分が抽出されるとともに、電子装置内部ではPLL回路が動作することで、クロックと内部の位相が揃う。

[0094] 次にコマンド（この例ではデータの取り込み）とアドレスデータが到来し取り込まれる。データ取り込みの終わりとともに、ポストアンブル信号が与えられる。この信号は次のコマンド入力までの間はNOP（ノン・オペレーション）であるが、クロックリカバリー回路の同期を継続させるために与えるものである。

[0095] その次に、コマンド（この例ではデータの取り出し）とアドレスデータが到来すると、電子装置の内部回路は演算を開始する。メモリーであれば読み出し動作である。その間の時間が相当長期になる場合（例えばNAND型不揮発

性メモリーの場合はその可能性がある）、Input/Output Busは一旦開放されて、他の用途に使われる。電子装置の内部演算が終わると、Status#信号がハイになり、出力可能状態であることを知らせる。そうすると、プリアンブルが再び与えられ、クロックリカバリー回路が動作し、その動作完了とともに、データが出力される。

[0096] このように最小限の制御信号ピンだけでコマンドやデータは高速な伝送線路を経由して電子装置に与える事ができる。方向性結合器を用いて同一のバス上に複数の電子装置が接続されている場合、それぞれが信号の送り手にも受け手にもなれるため、相互の通信関係を高速バス以外のルートで制御する。

実施例 14

[0097] また、方向性結合器の一方の電極を電子装置のパッケージ内部又はパッケージ上面（すなわち、通常電極となる端子が引き出されている下面とは反対側の面）に形成し、他方の電極をこのパッケージ上面よりも上方に形成してもよい。例えば、パッケージ上面よりも上方に形成される他方の電極は、そのパッケージ上面から上方１ｍｍ以内に配置したフレキシブル基板に形成されたプリント配線で形成されるとよい。

[0098] 図２９は、方向性結合器の他方の電極をフレキシブル基板の配線で形成した構成を、スマートフォン内の電子回路基板に用いたた場合を示したものである。スマートフォンの基板４０には、ベースバンドプロセッサ４３（高周波受信と信号処理）、アプリケーションプロセッサ４１（画像をディスプレーに表示するためのMPEG信号のデコード機能などの信号処理をするマルチメディアプロセッサ）、これらのプロセッサが演算を行うためのローパワーDRAM、アドレスブックや待ち受け画面のデータなどを蓄えておくフラッシュメモリー４２，４４などの電子装置が搭載されている。図２９は、これらの電子装置がパッケージの上方に形成された高速の伝送線路４７で結ばれた実施例を示す。

[0099] プロセッサでは100以上の多数のピンが引き出されることもあるため、基板

４０の配線は錯綜しやすい。扱われるデータの高速化とともに、配線については特性インピーダンスの管理をする必要が生じる。また、急激な曲げは不要な電波の輻射を起こすので避けなければならない。このため、特に高速性を必要とするクロックやデータバスの配線は容易ではない。本実施形態では、通常の配線方法で電源や低速な制御信号が供給され、高速信号の伝送は半導体パッケージの上方に配置された薄いフレキシブル基板４６の伝送線路４７を通じて行うことができる。フレキシブル基板４６は、基板４０上のコンデンサーや抵抗などの部品の上を通過してプロセッサとメモリー、あるいはプロセッサ同士を結合させられる。したがって、配線は比較的ストレートな形状にでき、高速信号の伝送に好適である。

[0100] 図３０は、図２９の構成の一部の断面を模式的に示している。パッケージされた電子装置４１，４２，４３，４４は、通常の配線方法で多層プリント基板４０にマウントされており、かつパッケージの上方に伝送線路４７を形成したフレキシブル基板４６が配置されている。パッケージに内蔵された方向性結合器の一方の電極と、伝送線路４７の一部を構成する電極との間で、方向性結合器ＣＰ１，ＣＰ２が形成されている。この場合、伝送線路４７は、電子装置４２、４４の上を通過するだけで、電子装置４２，４４とは結合されてない。伝送線路４７は、必要な電子装置４１，４３だけに方向性結合器を介して結合されている。伝送線路４７の遠端には、終端抵抗内蔵のリピータＩＣ（リピータ装置ＲＰ）が接続されており、当該リピータＩＣはフレキシブル基板４６に実装されている。また、フレキシブル基板４６の一部には、リピータＩＣへの電源供給のための配線４５があり、配線４５は基板４０に接続されている。また、フレキシブル基板４６には、伝送線路１０を終端する終端抵抗ＲＴＴが実装されている。

[0101] 携帯電話やスマートフォンは、一般に、少なくとも２つのプロセッサを用いている。１つはベースバンドプロセッサであり、ＧＳＭ(登録商標）やCDMAといった各種通信方式に応じた信号の処理を行って音声信号を得る一連の制御を司る。もうひとつのアプリケーションプロセッサは、通信で得た例えばJ

PEGやMPEGなどの画像データをデコードしてディスプレーに表示する機能や辞書機能などの応用機能を司る。両者は独立して動く事もあるがバスを共有してデータを高速に処理することが望ましい。このため、同一のパッケージの中に両プロセッサのチップを搭載する事も行われるが、商品によってアプリケーションプロセッサを変えたり、販売地域によってベースバンドプロセッサを変えたりする場合、同一パッケージに内蔵することは、フレキシビリティが良くない。一方、それぞれをプリント基板にマウントする使用法では、十分な高速性を発揮できないことがある。これに対して、本実施例では、高速な伝送線路をプリント基板とは異なった場所に形成することで、上述のような問題を解決できる。

実施例 15

[0102] 図３１は、方向性結合器を構成する電子装置側の電極の一端を交流的に接地して終端処理した実施例を示したものである。電極の一方の端部は、電子装置の送受信回路Ｔｘ，Ｒｘが接続され、電極のもう一方の端部は、終端抵抗ＲＴＴ１と終端容量ＣＴＴとの直列接続を介して、グランドに接続される。

[0103] 終端抵抗ＲＴＴ１は、方向性結合器ＣＰを構成する伝送線路１０の特性インピーダンスに略等しく設定し、終端抵抗ＲＴＴ１と終端容量ＣＴＴとの直列接続によって決まる低域カットオフ周波数は、伝送信号の基本スペクトル周波数以下に設定するとよい。これによって、電子装置側の電極を伝搬する伝送信号は交流的に終端されるため、送信回路Ｔｘ側に反射信号が戻る割合を減らすことができる。

[0104] 具体的には、終端容量ＣＴＴ部分のリアクタンスが$1/(j\omega CTT)$であるから、伝送信号の基本波が5GHz（データレートでは10Gbpsに相当）の場合リアクタンスは$31.8\times10^{-12}/CTT$と計算される。CTT=1pFの場合リアクタンスは31.8Ωとなるので終端抵抗RTT1が50Ωの場合両者は近い値である。CTTが10pFとすればリアクタンスは3.18Ωであるから抵抗成分であるRTTに対して無視できる程度に小さくなる。このためCTTは1pF程度以上で効果がある。

[0105] なお、送信機Ｔｘの回路形式は、特に限定されない。

[0106] 図３２は、図３１のＡＣ終端方式をプリント基板に適用した例であって、図２５の変形例である。ＡＣ終端用のキャパシタＣＴＴは、セラミック型又はマイカ型のチップコンデンサであると好適である。図３３は、図３１のＡＣ終端方式を多層プリント基板に適用した例であって、図２６の変形例である。ＡＣ終端用のキャパシタＣＴＴは、異なる導体層間の容量を利用して構成したものである。

実施例 16

[0107] 図３４は、インタポーザ５２を介して、半導体チップ５１と半導体チップ５０との間の通信を行う例を示したものである。図３５は、半導体チップ５１とインタポーザ５２との第１の接続例を示した断面図である。

[0108] インタポーザ５２に実装される半導体チップ５１と５０との間を方向性結合器ＣＰ１,ＣＰ２を介して接続する２本の差動伝送線路５３は、インタポーザ５２の第一層（表面層）のプリント銅箔によって形成されている。グランドプレーン５４は、差動伝送線路５３の特性インピーダンスの調整用に設けられたグランドプレーンであって、インタポーザ５２の第二層のプリント銅箔によって形成されている。

[0109] インタポーザ５２は、半導体チップ５０，５１の熱膨張係数と略等しくなければ、マイクロバンプを用いて、半導体チップ５０，５１と接続できない。熱膨張係数の違いからマイクロバンプにストレスがかかり破壊が起こりやすいからである。

[0110] そこで、例えば、マイクロバンプの代わりに、図３６に示されるように、半導体チップからボンディングワイヤ５７（例えば、太さ１０μｍの金線または銅線等の金属線）を引き出し、これを短く（0.2㎜程度）にカットする。符号５８は、ネイルヘッドである。インタポーザの配線５３（銅箔）には、導電性接着剤５６でボンディングワイヤ５７を接続する。機械的に変形可能な導電材であるボンディングワイヤ５７は、多少の曲げに対応できるのでインタポーザと半導体チップの熱膨張係数の違いによる応力を吸収できる。な

お、符号５５は、スルーホールメッキで覆われた埋め込み金属である。また、図３７，図３８に示されるように、半導体チップのメタル配線とインタポーザ５２の配線５３とを、機械的に変形可能な導電材である導電性接着剤５６で直接接続してもよい。

[0111] つまり、電源端子や制御信号端子などは、半導体チップとインタポーザの配線を直接接続してもよいが、半導体チップとインタポーザとを結ぶ高速のデータバスは、方向性結合器ＣＰ１，ＣＰ２（図３４参照）を介して結合させるとよい。例えば、半導体チップのメタル配線と、そのメタル配線に対向したインタポーザの銅箔配線との間で、方向性結合器ＣＰ１，ＣＰ２を形成するとよい。

[0112] 方向性結合器は、それを構成する電極間に多少のズレがあっても、その特性に大きな影響が無い。そのため、半導体チップとインタポーザの熱膨張係数の違いによる相互の位置ズレがある程度許される。さらに、方向性結合器は、GHzオーダーの信号を伝送できるため、伝達できる情報量は多い。半導体チップとインタポーザとの接続にマイクロバンプを用いた場合はGHzオーダーの信号を通過させるために、バンプの径を10μｍ程度に小型化しなければならない。しかし、このような小型バンプは、機械的に弱く、熱膨張係数の違いによって半導体チップとインタポーザ間のズレが数μｍになると、破壊しやすい。方向性結合器を用いることで、このような破壊を回避できる。

[0113] つまり、方向性結合器が電極間に多少の位置ズレが生じても電気的特性に大きな影響が生じない特徴を用いれば、半導体チップと熱膨張係数が異なる材料のインタポーザを使えることができる。電源や低速制御信号が通る経路などは、バンプを用いて半導体チップとインタポーザ間を接続してもよいが、半導体チップとインタポーザ間に機械的に可塑性のある材料（例えば、ボンディングワイヤ５７や導電性接着剤５６）を用いることで、熱膨張による位置ズレを吸収できる。これによってコストの安いポリイミドやFR4などの材料でインタポーザを作ることができる。

実施例 17

[0114] また、方向性結合器を構成する両電極を電子装置のパッケージ内にいずれも内蔵してもよい。これにより、例えばシリコン系半導体集積回路においては、伝送信号を電子装置間で高速に伝送するインタフェースを容易に実現することができる。

[0115] 図３９，図４０Ａ，４０Ｂ，４０Ｃは、本実施例の電子装置（ここでは、半導体集積回路（半導体チップ）がパッケージ６１で覆われた電子部品）の内部構造を示す。図３９は、本実施例の電子装置の基本要素を示し、図４０Ａは、本実施例の電子装置を底面から見た内部構造を示す。図４０Ｂは、図４０Ａに示したｙ－ｙ’における断面を側方から見た内部構造を模式的に示し、図４０Ｃは、図４０Ａに示したｘ－ｘ’における断面を側方から見た内部構造を模式的に示す。

[0116] 半導体チップは多層メタル配線方式が用いられ、最近では１０層を越すものまである。図示の電子装置は、シリコン基板６２と、シリコン基板６２に積層された中間メタル層及び最表面メタル層とから構成された半導体チップをパッケージ６１内に備えるとともに、複数のリードフレーム６７それぞれの一部をパッケージ６１内に備える。

[0117] 本実施例では、シリコン基板６２に積層されたメタル配線層（好ましくは、最表面メタル層）に、方向性結合器の一方の電極６４（例えば図２の場合、電極Ｃ１に相当）が形成されている。図には、電極６４が最表面メタル層に形成された例が示されている。これによって、シリコン基板６２に形成された送信回路または受信回路から方向性結合器の一方の電極６４までの距離を可能な限り短くできる。つまり、方向性結合器の一方の電極６４が半導体チップにこのように直接形成されることによって、高周波動作を妨げる寄生成分を可能な限り排除できる。

[0118] 一方、方向性結合器の他方の電極（例えば図２の場合、電極Ｃ２に相当）は、半導体チップ上の一方の電極６４から0.1㎜程度のギャップで近接して配置された導体部に形成されるとよい。本実施例では、この近接配置の導体部として、パッケージ６１の外部に引き出されるリードフレーム６７を用いて

いる。リードフレーム６７は、パッケージ６１内を貫通し、その貫通部分が電極６４と近接配置することで、方向性結合器ＣＰ１ａ，ＣＰ１ｂを形成している。

[0119] なお、高速信号を扱わない電源供給端子や各種コントロール端子に相当するリードフレーム６７（すなわち、方向性結合器を構成しない他のリードフレーム）は、ボンディングワイヤ６６によって、半導体チップの最表面メタル層に形成されたボンディングパッド６３に接続されている。

[0120] また、方向性結合器の一方の電極６４とシリコン基板６２に形成された半導体回路との間にシールド部を備えると好適である。図には、半導体チップの最表面メタル層に形成された方向性結合器の電極６４とシリコン基板６２との間の中間メタル層に、方向性結合器とシリコン基板６２に形成された半導体回路とを静電遮蔽するシールド板６５が示されている。

[0121] シールド板６５は、方向性結合器から放射される電磁界成分のうちの電界成分が半導体回路に影響を及ぼさないようにシールドする役目があるが、同時に方向性結合器の電極部分の特性インピーダンスを調整する役目がある。すなわち、方向性結合器を構成する電極とシールド板６５の距離が近いほど当該電極の特性インピーダンスが下がるので、多層配線メタル層のうち最適な層にシールド板６５を配置することによって、その特性インピーダンスをコントロールできる。なお、特性インピーダンスを高くする場合は、シールド板６５を用いなくてもよい。

[0122] この実施例では、いわゆるLOC(Leas On Chip)の形の実装形態である。通常リードフレームはシリコンチップに重なる事はないが、DRAMなどで普及しているLOCではリードフレームをチップの上まで延長し、チップの中央付近にあるボンディングパッドとの接続を可能にしている。本実施例では、リードフレームと半導体チップとの間に方向性結合器を形成するため、リードフレームをチップの中央付近まで延長している。

[0123] 半導体チップをパッケージ組み立てする際は、接着性のある材料（接着剤や両面テープなど）で半導体チップをリードフレーム６７に固定し（または

、事実上固定となるように半導体チップの動きを制限された状態にし）、次にボンディングマシーンでボンディングワイヤ６６をかける。そしてエポキシレジンなどの材料で全体をモールドし、リードフレーム６７をカットおよび折り曲げ加工する一般的な方法を用いることができる。

[0124] 図４１，図４２は、図３９，図４０Ａ，図４０Ｂ，図４０Ｃの電子装置をプリント基板６９に実装した状態を示した図である。図４１は、平面図を示し、図４２は、断面図を示し、図４３は、等価回路を示す。本実施例では、差動対の伝送線路８１，８２であるため、方向性結合器も差動型で構成されている。

[0125] 方向性結合器ＣＰ１，ＣＰ２の片方の電極を構成するリードフレーム６７は、電子装置１，２のパッケージ６１内を貫通しており、プリント基板６９上の伝送線路８１，８２の一部を構成する。プリント基板６９の内層には、グランドプレーン６８が銅箔で形成されている。

[0126] パッケージ６１内の半導体チップは、上述のように、0.1㎜程度のギャップで伝送線路８１，８２の一部となるリードフレーム６７に近接配置されているが、電気的に（直流的に）繋がっていない。そのため、外部の静電気がリードフレーム６７から半導体チップに入り破壊を起こす可能性が低く、リードフレーム６７の静電気対策回路を省略又は簡素化できる。

[0127] また、高周波特性を更に良くするにはリードフレームの折り曲げが無い図４４，図４５の構造が適している。方向性結合器ＣＰ１，ＣＰ２の片方の電極を構成する直線状のリードフレーム７７は、半導体チップのボンディングパッド６３にバンプ７８（半田ボールや金など）を用いて接続されている。ボンディングワイヤを用いないので、ボンディングワイヤがパッケージ７１の外部に飛び出す可能性が無く、リードフレームを曲げてボンディングワイヤの曲げ部分を納める寸法が必要ないため、伝送線路を直線状に形成できる。この結果、信号伝送系が直線的になり、高速信号を通す事ができる。

[0128] ＜効果＞

本実施形態のバスシステム及び電子装置によれば、共通のバス線に並列接

続された任意の電子装置間の情報のやりとりを高速化できる。

[0129] 従来のバス線では接続する電子装置が増えるにつれて伝送可能な信号の周波数上限が下がってしまう欠点があった。そのため、本実施形態では、バス線をインピーダンスの管理された伝送線路として形成し、かつ電子装置と当該伝送線路は方向性結合器で接続することとしている。

[0130] 方向性結合器は、バス線に接続する区間のインピーダンス管理をする事ができ、伝送線路のインピーダンスは、方向性結合器が接続された部分でも他の伝送線路部分と同じ特性インピーダンスに設計することができる。このような一様な特性インピーダンスを実現した結果として、伝送線路は伝搬する信号を途中で反射する事なく、終端抵抗でエネルギーが吸収されるまで信号を伝えることができる。もし方向性結合器を用いずに単に配線を分岐した場合は分岐配線の特性インピーダンスとバス配線のインピーダンスが並列になってしまうので、必ずインピーダンスの不連続性が出てしまう。すると伝搬信号の一部は反射して波形が乱れてしまう。

[0131] また、本実施形態では、マザーボード上に共通の高速伝送線路を配置し、複数の電子装置を方向性結合器を介して接続して相互に通信することができる。例えば携帯電話の例では、ベースバンドプロセッサとマルチメディアプロセッサとフラッシュメモリーを同じデータバスに接続することが可能になる。高速伝送線路は差動型伝送線路（コプレナ型と称する）でもよいし、複数対のマイクロストリップライン型伝送線路でもよい。高速な信号伝送が可能であるから、従来の並列32ビットなど多数の配線を並列にする必要が無い（並列から直列への変換を行って伝送するから）ので、マザーボードの配線本数が減り、携帯電話システムの大きさを小さくできる。またシステムのコストは入出力ピン数に比例する要素があるので、システムのコストを下げる事が可能である。

[0132] 更に、１：１伝送型においては接続のたびに受信回路と送信回路が入るため信号伝送に遅れが出る上に当該回路の消費電力はシステム構成が複雑になるほど増大してしまう問題があった。これに対し、本実施形態では、そのよ

うな問題を回避できる。

[0133] 以上、バスシステム及び電子装置を実施例により説明したが、本発明は上記実施例に限定されるものではない。他の実施例の一部又は全部との組み合わせや置換などの種々の変形及び改良が、本発明の範囲内で可能である。

[0134] 例えば、本発明は、いわゆる「ヘテロジニアスコンピューティング」のアーキテクチャに有効である。ヘテロジニアスコンピューティングとはいろいろな資源（プロセッサ、グラフィックプロセッサ、メモリー、外部インタフェースなど）を接続したマルチプロセッサ構造によって分散処理を行わせるものであり、特にグラフィックプロセッサを複数接続して処理能力を高めることを狙っている。見方を変えれば、ヘテロジニアスコンピューティングは、共通の高速バス配線に各種資源を接続した構造をもち、高速バスをタイムシェアリングすることでハードウェアを簡素化しているとも言える。従来の半導体集積回路の発展形態は単一の大型シリコンチップ上に全ての機能を集積するというものであったが、ヘテロジニアスコンピューティングは、これとは異なるものである。ヘテロジニアスコンピューティングは、本来高機能システムを狙ったものと言えるが、本発明は、ベースバンドプロセッサとマルチメディアプロセッサとメモリーとを内蔵するスマートフォンなどの携帯型電子装置にも有効である。

[0135] また、本発明は、上記説明したようなロジック集積回路とメモリーを接続する場合だけでなく、プロセッサとプロセッサを結合させてマルチプロセッシングシステムを構築する場合、あるいは一般のロジック集積回路を同一の高速バス上に結合させる場合にも使う事ができる。

また、「開放端」における「開放」とは、完全な開放ではなくても、実質的な開放でもよい。すなわち、完全な開放ではなくても、伝送線路（方向性結合器の電極も含む）の特性インピーダンスと大きく異なるインピーダンスが接続されていれば、実質的に開放端と同じ効果、すなわち信号の反射が起こる。

本国際出願は、２０１２年８月１０日に出願した日本国特許出願第２０１

２－１７８９９２号に基づく優先権を主張するものであり、日本国特許出願第２０１２－１７８９９２号の全内容を本国際出願に援用する。

符号の説明

[0136] １，２，３，ｎ　電子装置

１０，１１，１２，４７，５３，８１，８２　伝送線路

２０，２１，２２，２３　ＮＡＮＤパッケージ

２４，２４－１，２４－２　ＮＡＮＤチップ

２５　入出力データレジスタ

２６，２６－１，２６－２　ページバッファ

２７　メモリーセルアレー

２８　システムインパッケージ

２９，５２　インタポーザ

３０，７８　バンプ

３１　ステータス端子

３２　チップセレクト端子

３３，５０，５１　半導体チップ

４０　基板

４６　フレキシブル基板

６１，７１　パッケージ

６２　シリコン基板

６３　ボンディングパッド

６５　シールド板

６７，７７　リードフレーム

ＣＮＴ　コントローラ

ＩＯ　送受信回路

ＣＰ，ＴＬＣ　方向性結合器（directional　coupler）

ＲＰ　リピータ装置

ＲＴＴ　終端抵抗

請求の範囲

[請求項1] バス線に並列に接続された複数の電子装置を備えるバスシステムであって、

前記バス線に第１の方向性結合器を介して伝送信号を送信する第１の電子装置と、

前記第１の電子装置から前記バス線に送信された伝送信号を前記バス線から第２の方向性結合器を介して受信する第２の電子装置とを備えることを特徴とする、バスシステム。

[請求項2] 前記第２の方向性結合器は、前記第１の方向性結合器と前記バス線の一方の終端処理部との間に配置された、請求項１に記載のバスシステム。

[請求項3] 前記第２の電子装置は、前記一方の終端処理部の方向に進行する伝送信号を前記バス線から前記第２の方向性結合器を介して受信する、請求項２に記載のバスシステム。

[請求項4] 前記第２の電子装置は、前記バス線に前記第２の方向性結合器を介して伝送信号を送信し、

前記第１の電子装置は、前記第２の電子装置から前記バス線に送信された伝送信号を前記バス線から前記第１の方向性結合器を介して受信する、請求項１に記載のバスシステム。

[請求項5] 前記第２の方向性結合器は、前記第１の方向性結合器と前記バス線の一方の終端処理部との間に配置され、

前記第１の方向性結合器は、前記第２の方向性結合器と前記バス線の他方の終端処理部との間に配置された、請求項４に記載のバスシステム。

[請求項6] 前記第１の電子装置は、前記他方の終端処理部の方向に進行する伝送信号を前記バス線から前記第１の方向性結合器を介して受信する、請求項５に記載のバスシステム。

[請求項7] 前記第１の電子装置は、前記第１の方向性結合器の両側から送受信

可能であり、

前記第２の電子装置は、前記第２の方向性結合器の両側から送受信可能である、請求項４に記載のバスシステム。

[請求項8] 前記第２の方向性結合器は、前記第１の方向性結合器と前記バス線の一方の終端処理部との間に配置され、

前記第１の方向性結合器は、前記第２の方向性結合器と前記バス線の他方の開放端との間に配置された、請求項４に記載のバスシステム。

[請求項9] 前記バス線は、第１のバス線と第２のバス線とを含み、

前記第１の電子装置は、前記第１のバス線に前記第１の方向性結合器を介して伝送信号を送信し、前記第２の電子装置から前記第２のバス線に送信された伝送信号を前記第２のバス線から第３の方向性結合器を介して受信し、

前記第２の電子装置は、前記第２のバス線に第４の方向性結合器を介して伝送信号を送信し、前記第１の電子装置から前記第１のバス線に送信された伝送信号を前記第１のバス線から前記第２の方向性結合器を介して受信する、請求項１に記載のバスシステム。

[請求項10] 前記第２の方向性結合器は、前記第１の方向性結合器と前記第１のバス線の一方の終端処理部との間に配置され、

前記第１の方向性結合器は、前記第２の方向性結合器と前記第１のバス線の他方の終端処理部との間に配置され、

前記第４の方向性結合器は、前記第３の方向性結合器と前記第２のバス線の一方の終端処理部との間に配置され、

前記第３の方向性結合器は、前記第４の方向性結合器と前記第２のバス線の他方の終端処理部との間に配置された、請求項９に記載のバスシステム。

[請求項11] 前記第２の方向性結合器は、前記第１の方向性結合器と前記第１のバス線の一方の終端処理部との間に配置され、

前記第１の方向性結合器は、前記第２の方向性結合器と前記第１のバス線の他方の開放端との間に配置され、

前記第３の方向性結合器は、前記第４の方向性結合器と前記第２のバス線の一方の終端処理部との間に配置され、

前記第４の方向性結合器は、前記第３の方向性結合器と前記第２のバス線の他方の開放端との間に配置された、請求項９に記載のバスシステム。

［請求項12］ 前記バス線は、第１のバス線と、前記第１のバス線の終点側が始点となるように前記第１のバス線に直列に接続された第２のバス線とを含み、

前記第１の電子装置は、前記第１のバス線に前記第１の方向性結合器を介して伝送信号を送信し、前記第２の電子装置から前記第１のバス線に送信された伝送信号を前記第２のバス線から第３の方向性結合器を介して受信し、

前記第２の電子装置は、前記第１のバス線に第４の方向性結合器を介して伝送信号を送信し、前記第１の電子装置から前記第１のバス線に送信された伝送信号を前記第２のバス線から前記第２の方向性結合器を介して受信する、請求項１に記載のバスシステム。

［請求項13］ 前記第４の方向性結合器は、前記第１の方向性結合器と前記第１のバス線の始点側の終端処理部との間に配置され、

前記第２の方向性結合器は、前記第３の方向性結合器と前記第２のバス線の終点側の終端処理部との間に配置される、請求項１２に記載のバスシステム。

［請求項14］ 前記第４の方向性結合器は、前記第１の方向性結合器と前記第１のバス線の始点側の開放端との間に配置され、

前記第２の方向性結合器は、前記第３の方向性結合器と前記第２のバス線の終点側の終端処理部との間に配置される、請求項１２に記載のバスシステム。

[請求項15] 前記第１のバス線と前記第２のバス線の接続部分に挿入されたリピータ装置を備える、請求項１２に記載のバスシステム。

[請求項16] 前記方向性結合器を構成する電子装置側の電極の一端が交流的に接地されている、請求項１に記載のバスシステム。

[請求項17] 前記方向性結合器を構成する電子装置側の電極の一端が開放されている、請求項１に記載のバスシステム。

[請求項18] 前記バス線のトラフィックを制御する制御信号が前記複数の電子装置に付与される、請求項１に記載のバスシステム。

[請求項19] 前記制御信号を付与するコントローラを備える、請求項１８に記載のバスシステム。

[請求項20] 前記方向性結合器は、前記電子装置のパッケージに内蔵された導電部と、前記パッケージ外の導電部とによって構成された、請求項１に記載のバスシステム。

[請求項21] 前記第１の電子装置を前記第１の方向性結合器毎に備える、請求項１に記載のバスシステム。

[請求項22] 前記第２の電子装置を前記第２の方向性結合器毎に備える、請求項１に記載のバスシステム。

[請求項23] 方向性結合器を構成する第１の電極及び第２の電極と、前記方向性結合器を介してバス線に接続可能な半導体チップとを備える電子装置であって、

前記第１の電極は、前記半導体チップのメタル層で形成され、前記第２の電極は、前記メタル層に近接配置された導体部で形成された、電子装置。

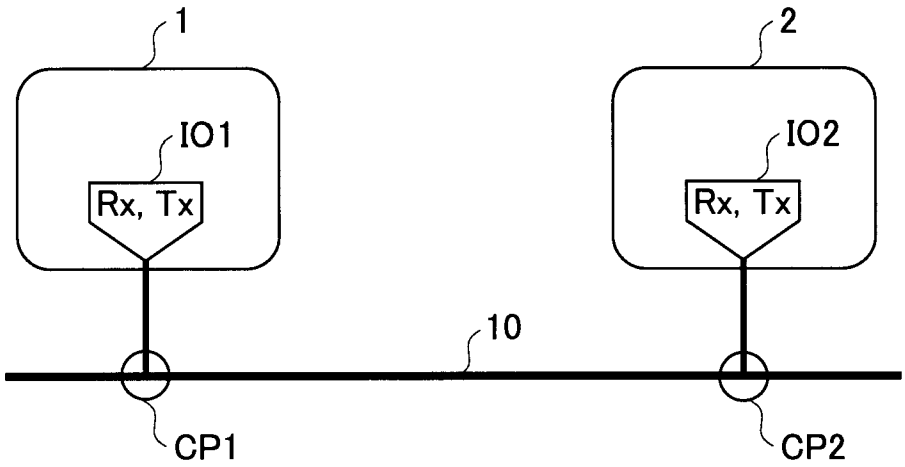
[請求項24] 前記第２の電極は、リードフレームによって形成された、請求項２３に記載の電子装置。

[請求項25] 前記第１の電極とシリコン基板に形成された回路との間にシールド部を備える、請求項２３に記載の電子装置。

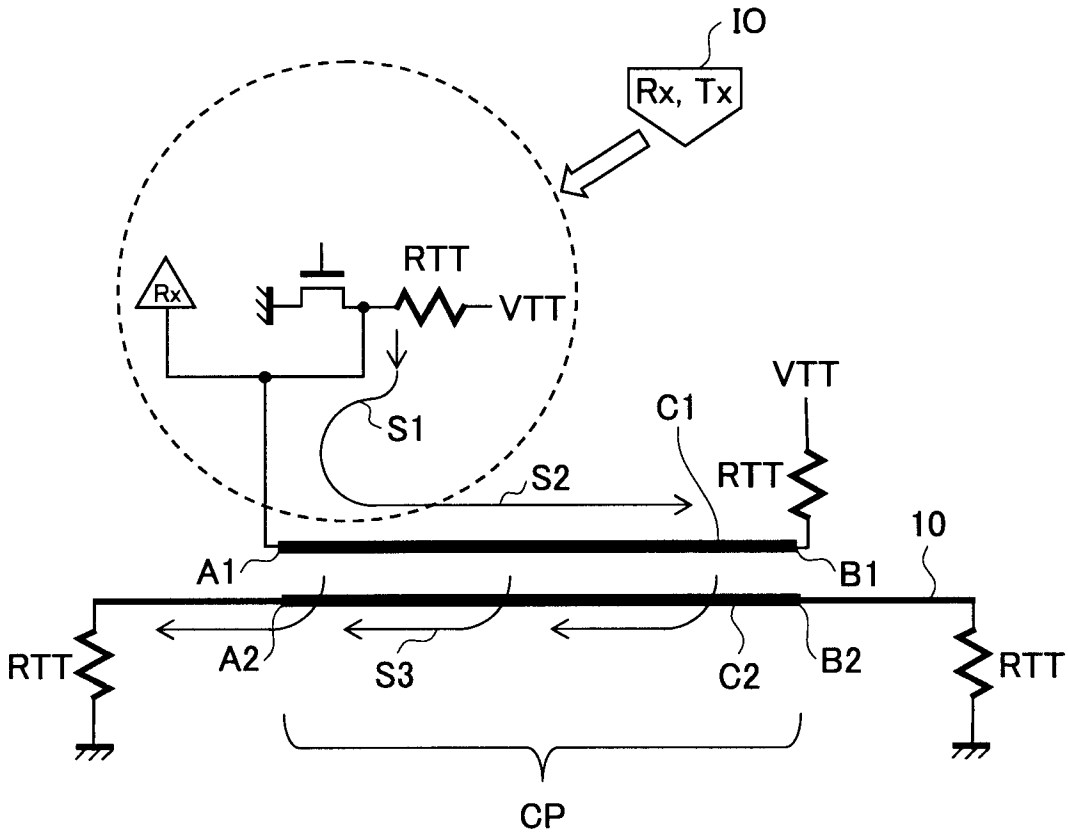
[請求項26] 請求項２３に記載の電子装置と、該電子装置が並列に複数接続され

たバス線とを備える、バスシステム。

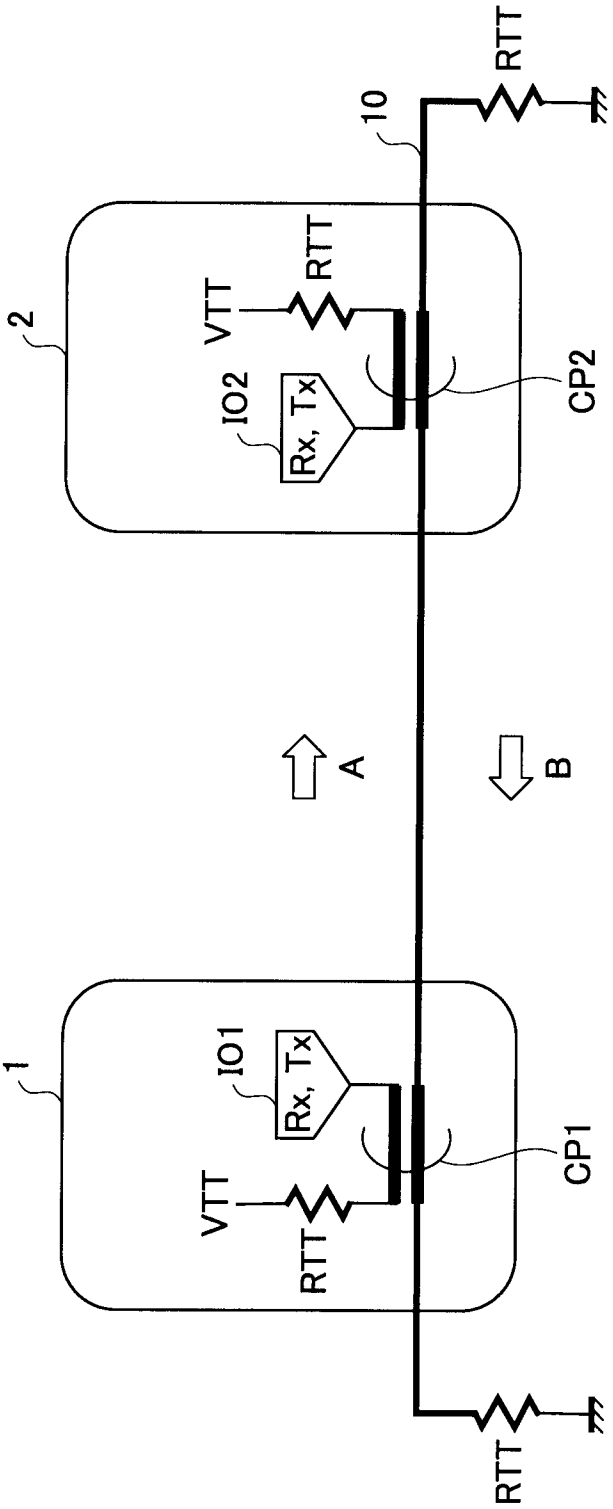
[図1]


1
2
IO1
IO2
Rx, Tx
Rx, Tx
10
CP1
CP2

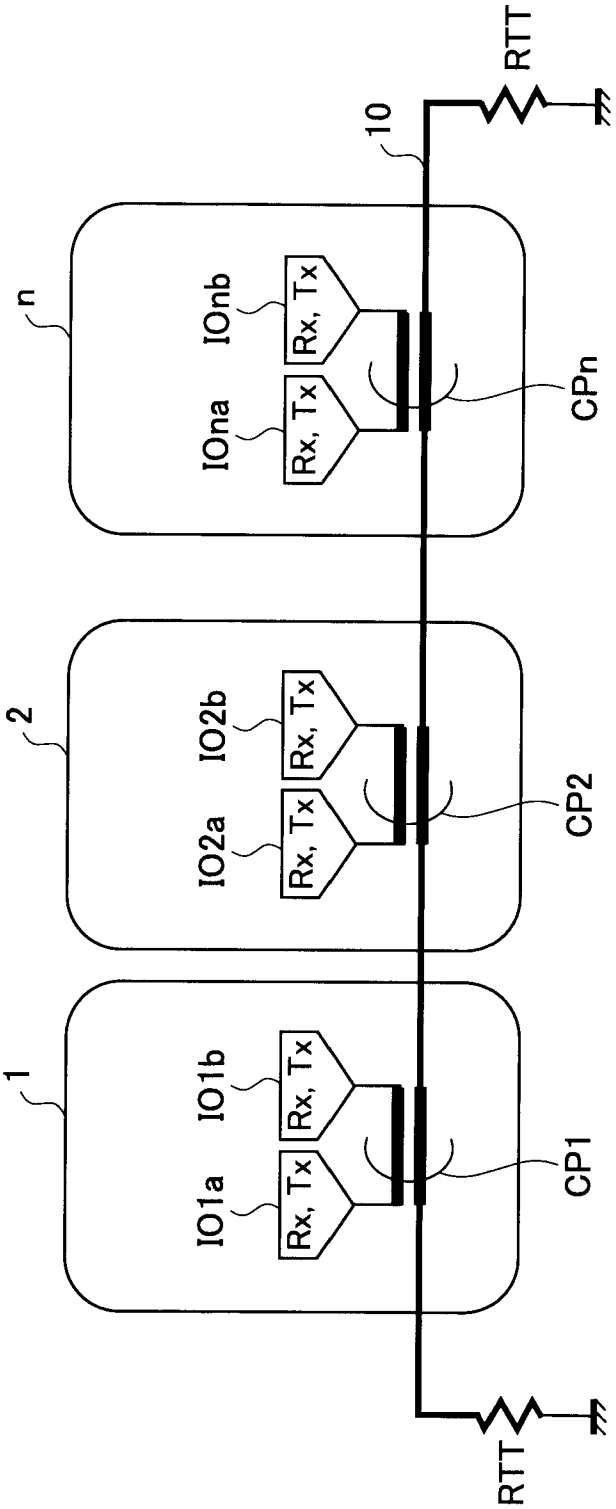
[図2]


IO
Rx, Tx
Rx
RTT
VTT
S1
S2
C1
VTT
RTT
10
A1
B1
RTT
A2
S3
C2
B2
RTT
CP

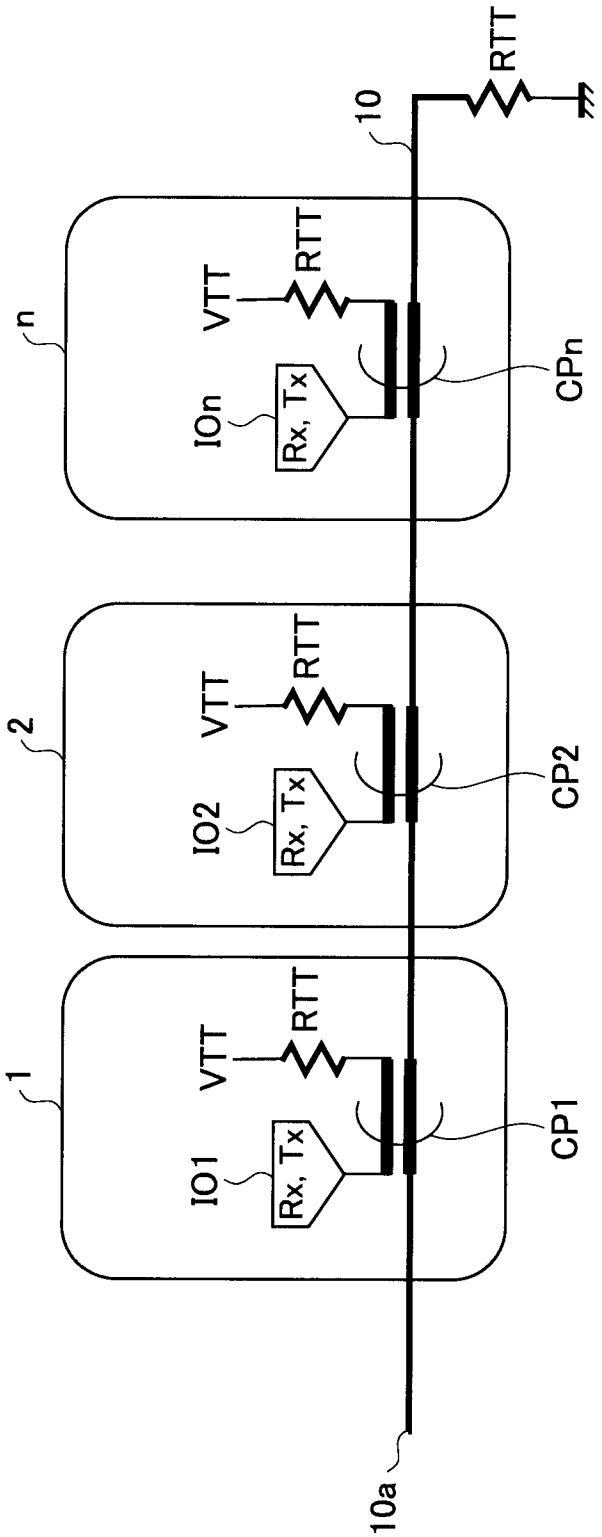
[図3]



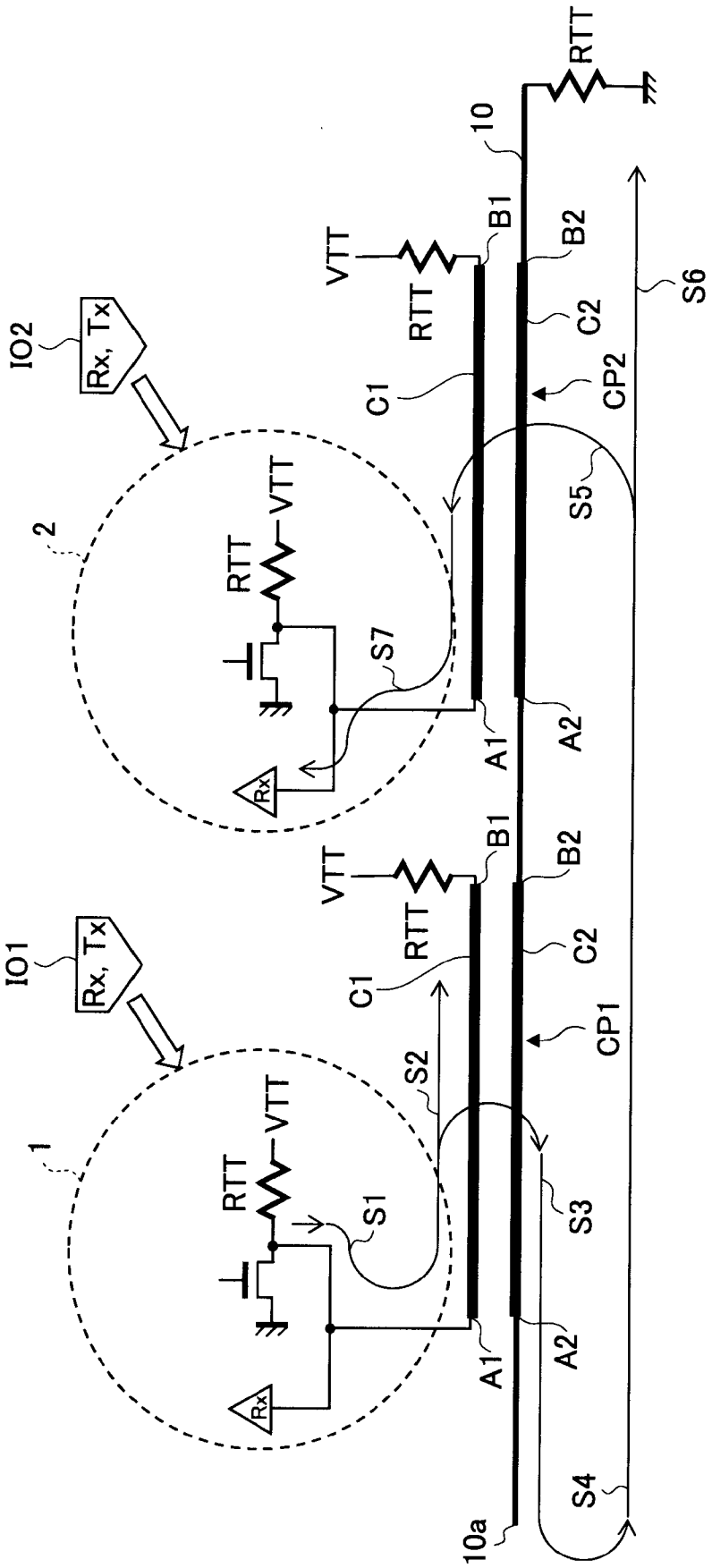
[図4]


RTT
10
n
IOnb
IOna
Rx, Tx
Rx, Tx
CPn
2
IO2b
IO2a
Rx, Tx
Rx, Tx
CP2
1
IO1b
IO1a
Rx, Tx
Rx, Tx
CP1
RTT

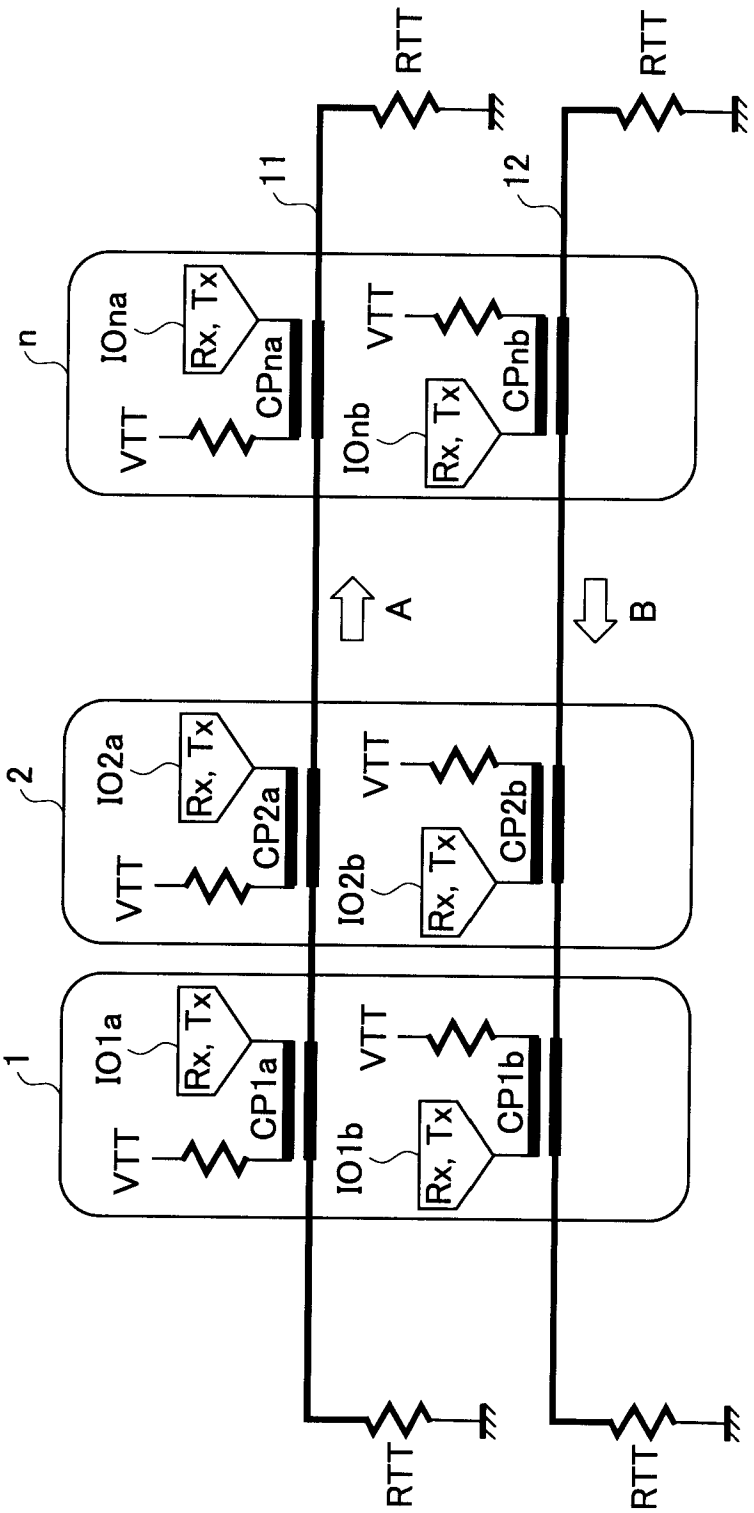
[図5]


RTT
10
n
VTT
RTT
IOn
Rx, Tx
CPn
2
VTT
RTT
IO2
Rx, Tx
CP2
1
VTT
RTT
IO1
Rx, Tx
CP1
10a

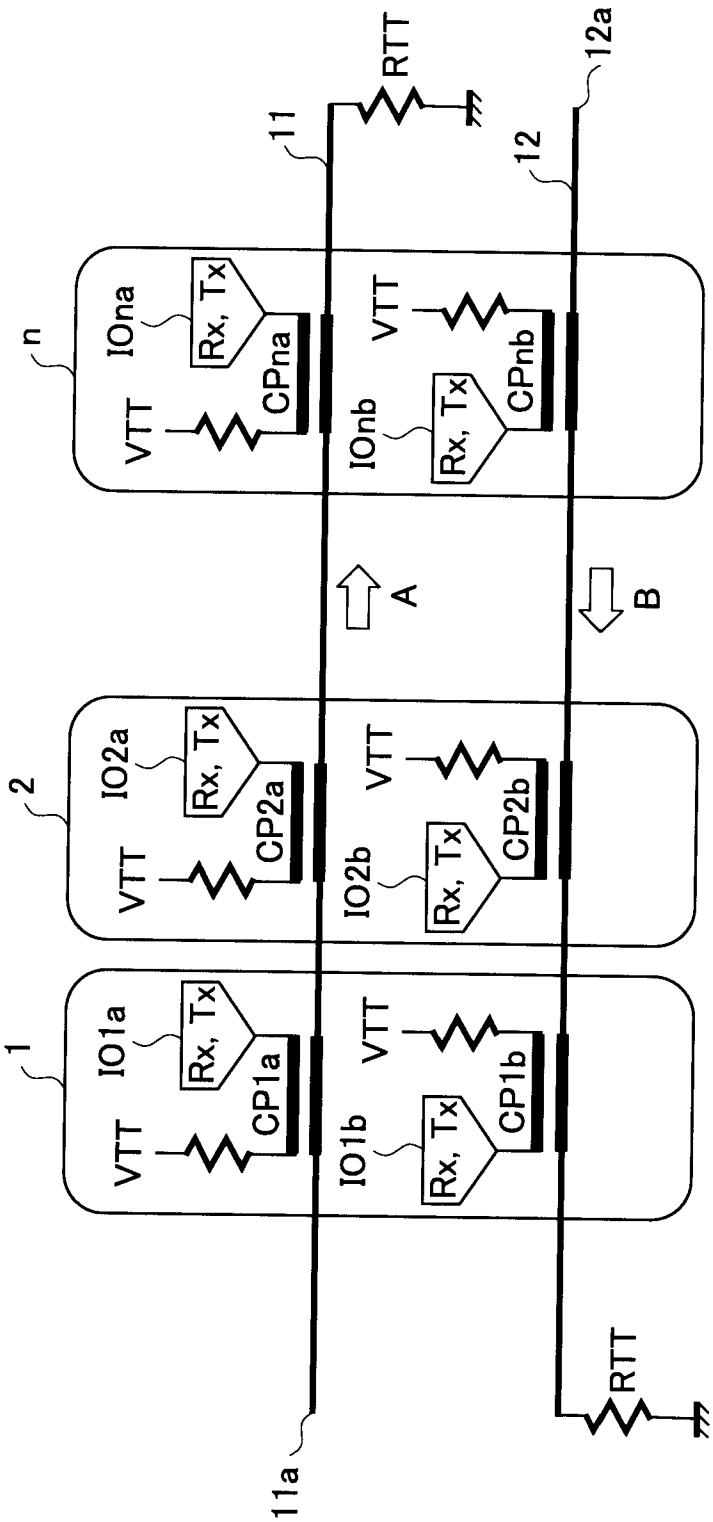
[図6]


RTT
10
B1
B2
VTT
RTT
C2
S6
IO2
Rx, Tx
C1
CP2
S5
2
VTT
RTT
S7
A1
A2
Rx
B1
B2
VTT
RTT
C2
IO1
Rx, Tx
C1
CP1
S2
1
VTT
RTT
S1
S3
A1
A2
Rx
S4
10a

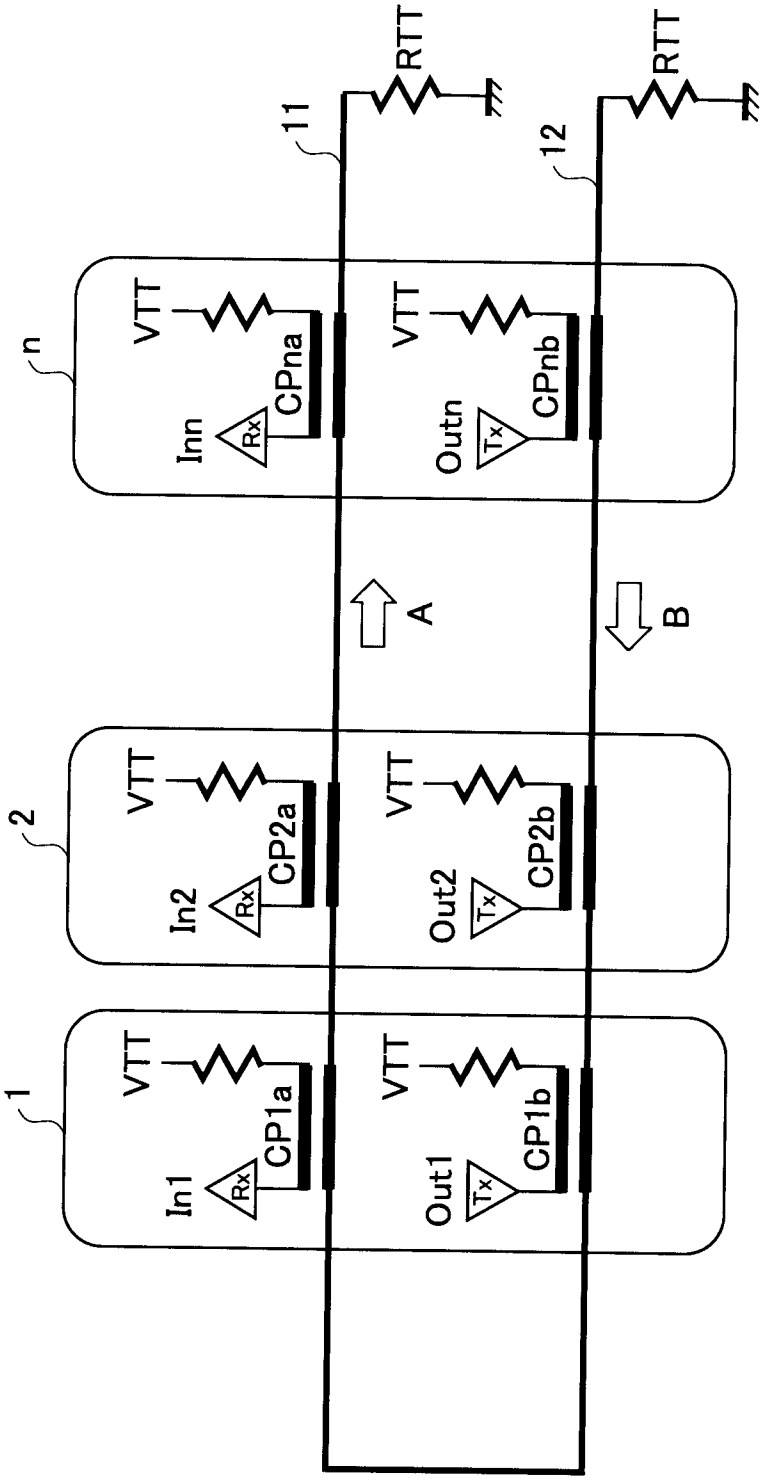
[図7]


RTT
RTT
11
12
n
IOna
Rx, Tx
CPna
VTT
VTT
CPnb
IOnb
Rx, Tx
A
B
2
IO2a
Rx, Tx
CP2a
VTT
VTT
CP2b
IO2b
Rx, Tx
1
IO1a
Rx, Tx
CP1a
VTT
VTT
CP1b
IO1b
Rx, Tx
RTT
RTT

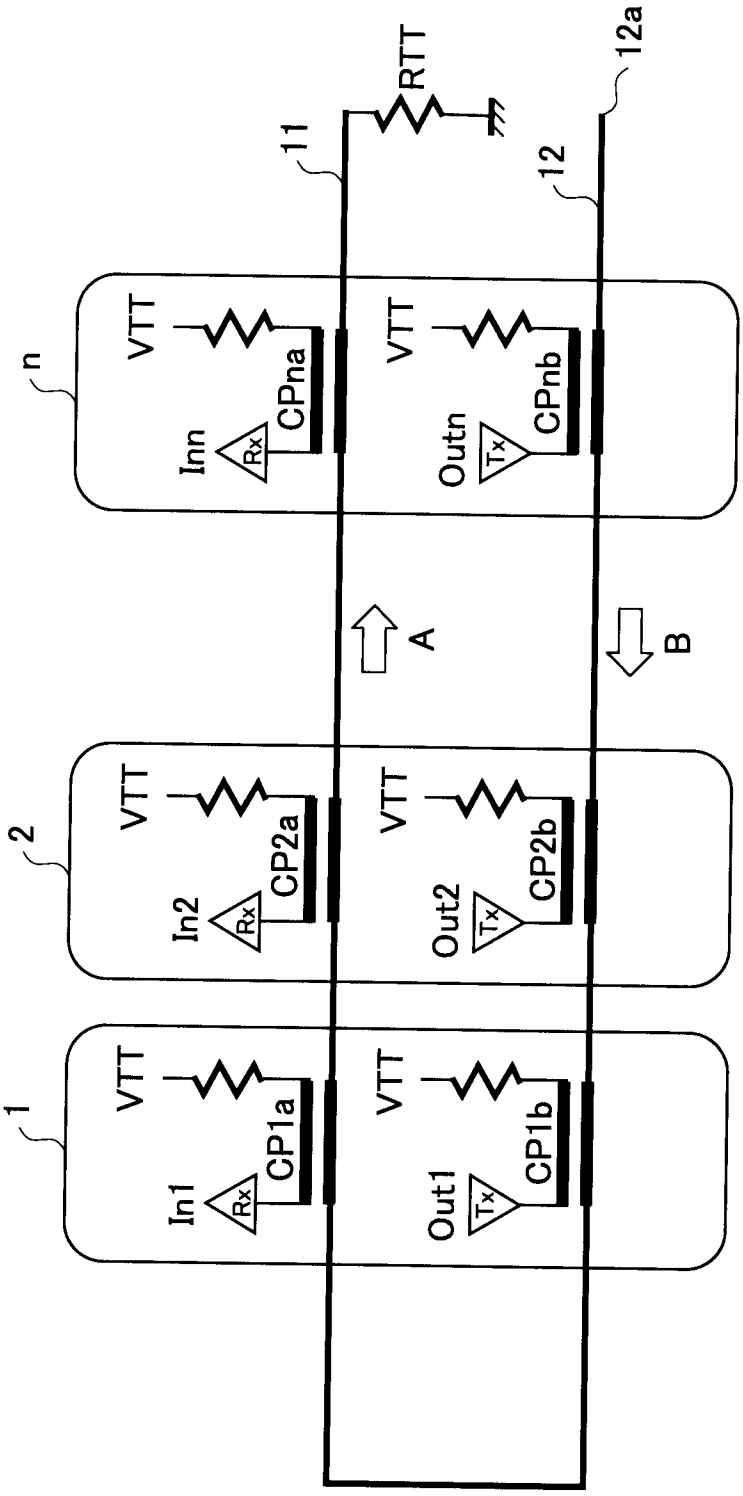
[図8]


RTT
12a
11
12
n
IOna
Rx, Tx
CPna
VTT
VTT
IOnb
Rx, Tx
CPnb
VTT
A
B
2
IO2a
Rx, Tx
CP2a
VTT
VTT
IO2b
Rx, Tx
CP2b
VTT
1
IO1a
Rx, Tx
CP1a
VTT
VTT
IO1b
Rx, Tx
CP1b
VTT
11a
RTT

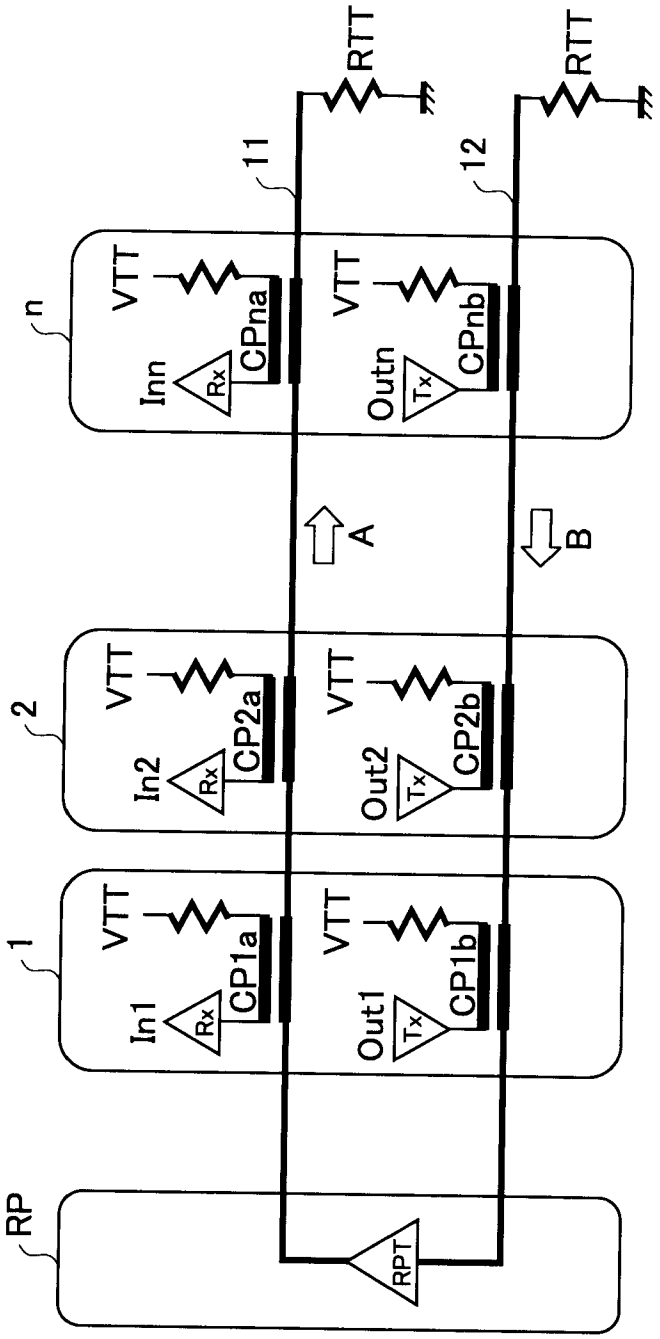
[図9]


RTT
RTT
11
12
n
VTT
VTT
CPna
CPnb
Inn
Outn
Rx
Tx
A
B
2
VTT
VTT
CP2a
CP2b
In2
Out2
Rx
Tx
1
VTT
VTT
CP1a
CP1b
In1
Out1
Rx
Tx

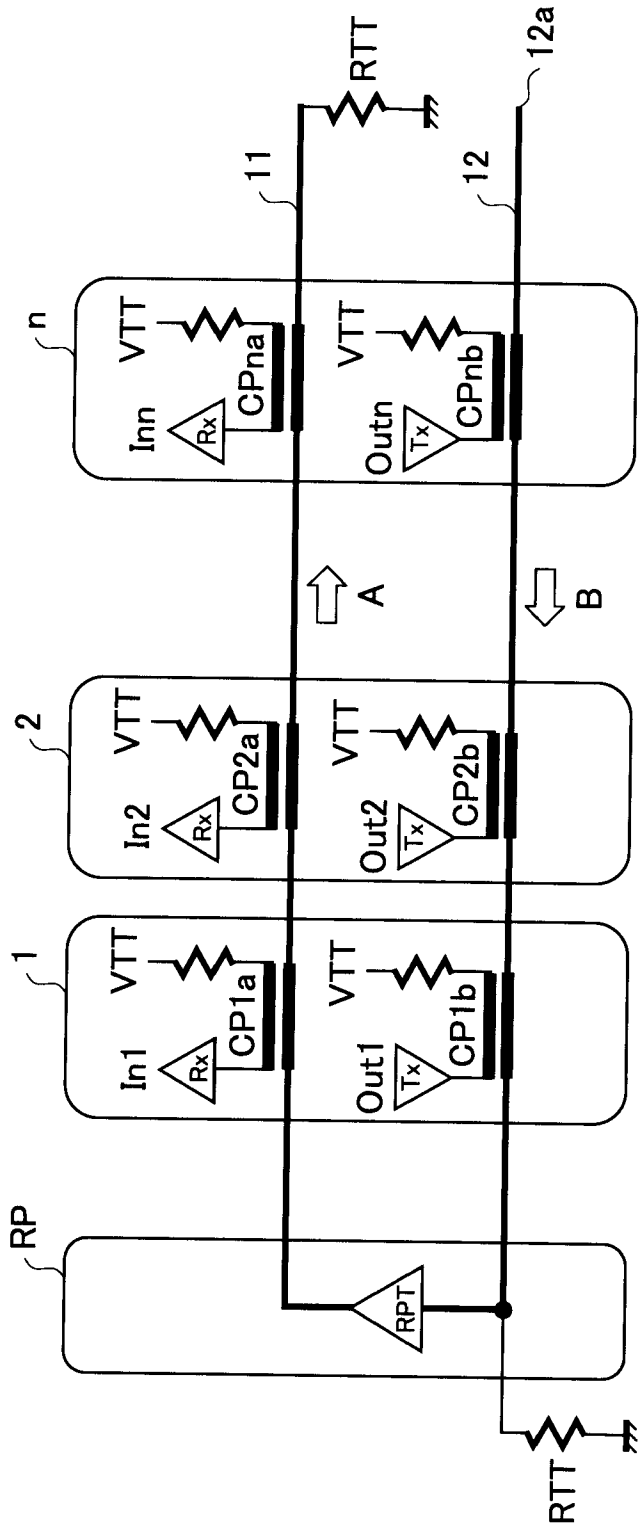
[図10]


RTT
12a
11
12
n
VTT
CPna
Inn
Rx
VTT
CPnb
Outn
Tx
A
B
2
VTT
CP2a
In2
Rx
VTT
CP2b
Out2
Tx
1
VTT
CP1a
In1
Rx
VTT
CP1b
Out1
Tx

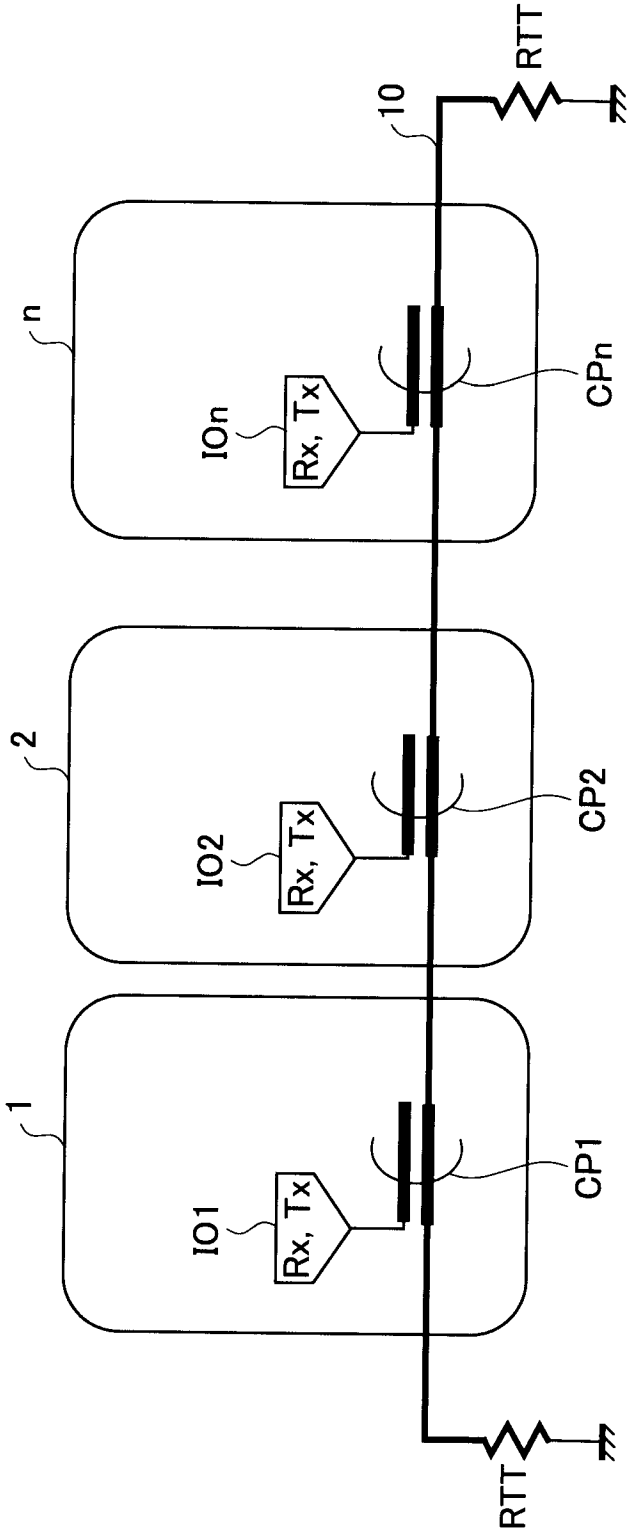
[図11]


RTT
RTT
11
12
n
VTT
CPna
Inn
Rx
VTT
CPnb
Outn
Tx
A
B
2
VTT
CP2a
In2
Rx
VTT
CP2b
Out2
Tx
1
VTT
CP1a
In1
Rx
VTT
CP1b
Out1
Tx
RP
RPT

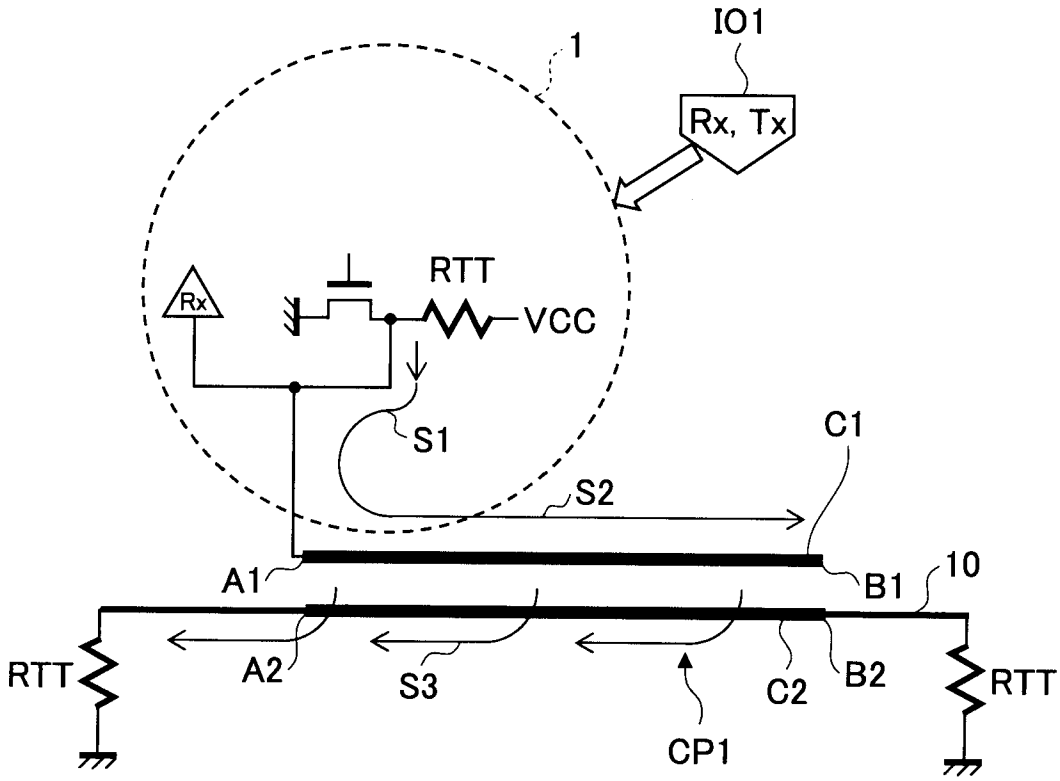
[図12]


RTT
12a
11
12
n
VTT
CPna
Inn
Rx
VTT
CPnb
Outn
Tx
A
B
2
VTT
CP2a
In2
Rx
VTT
CP2b
Out2
Tx
1
VTT
CP1a
In1
Rx
VTT
CP1b
Out1
Tx
RP
RPT
RTT

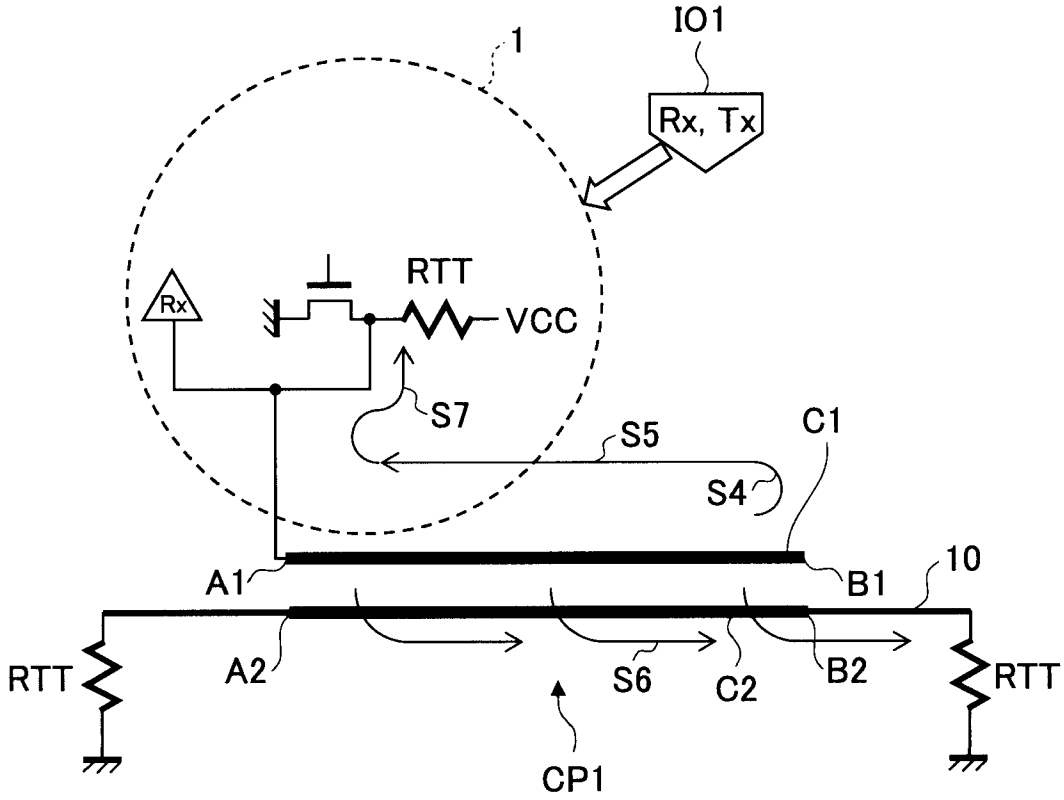
[図13]



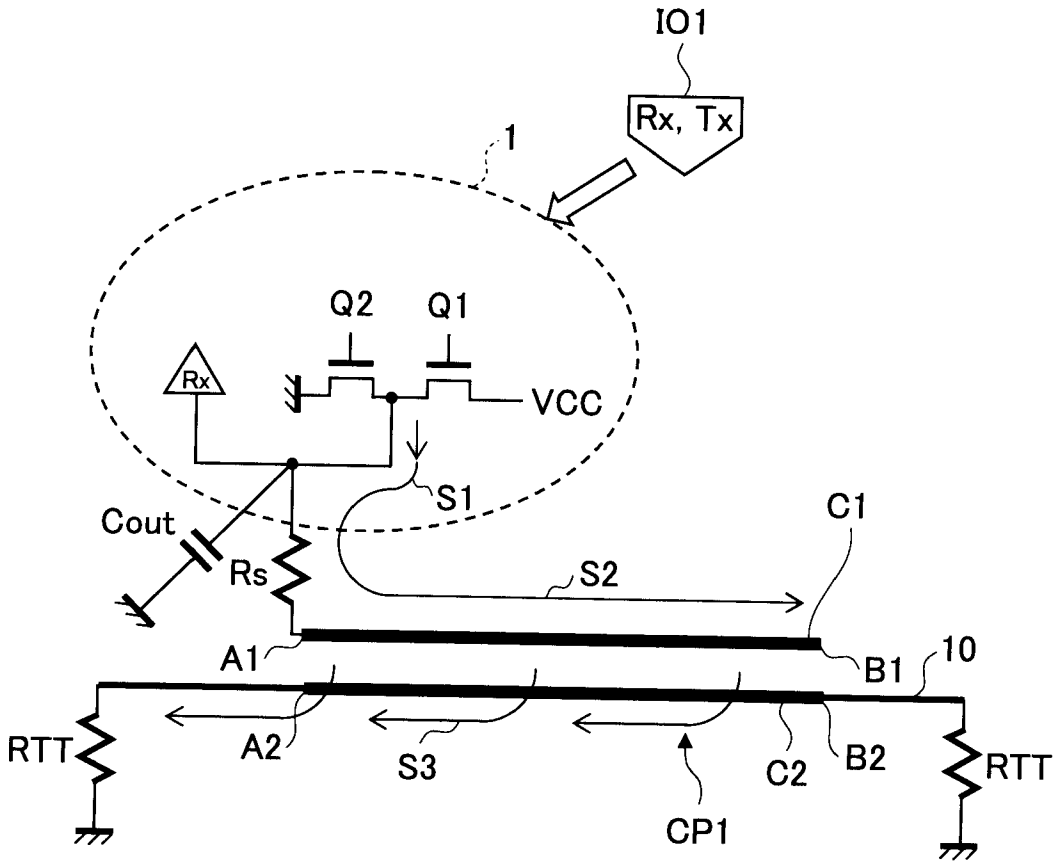
[図14A]



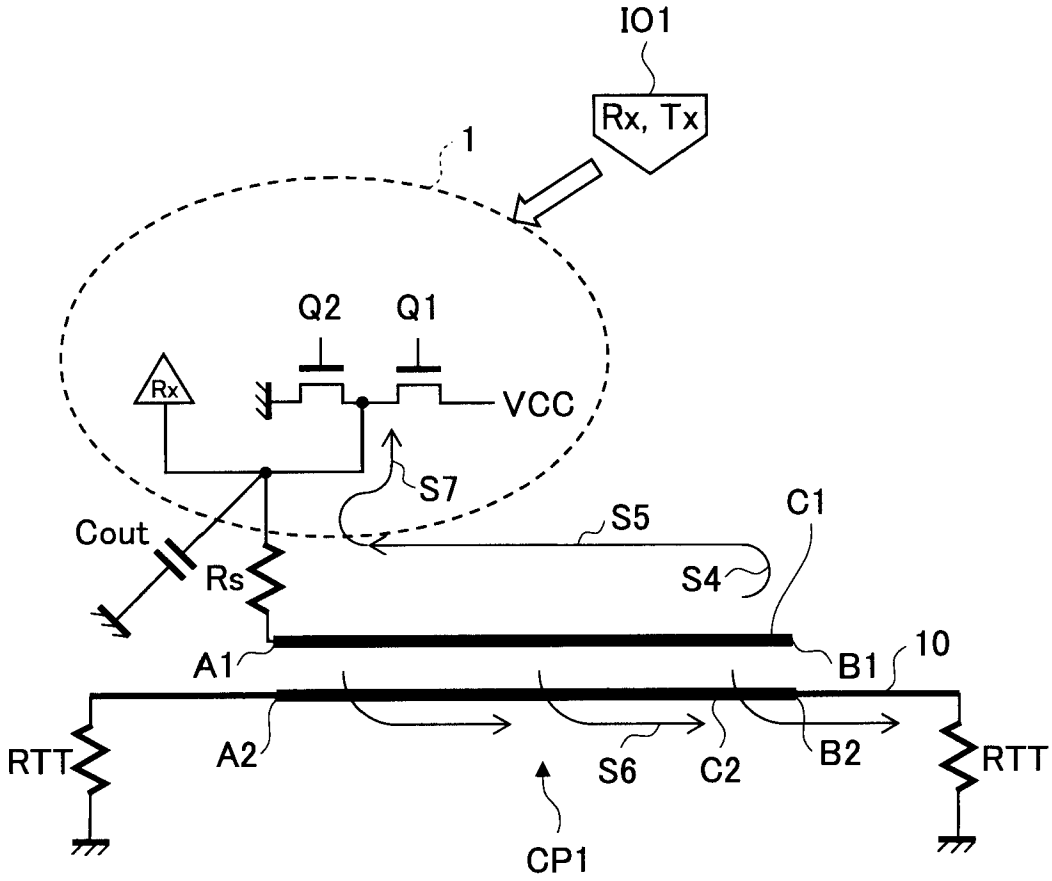
[図14B]



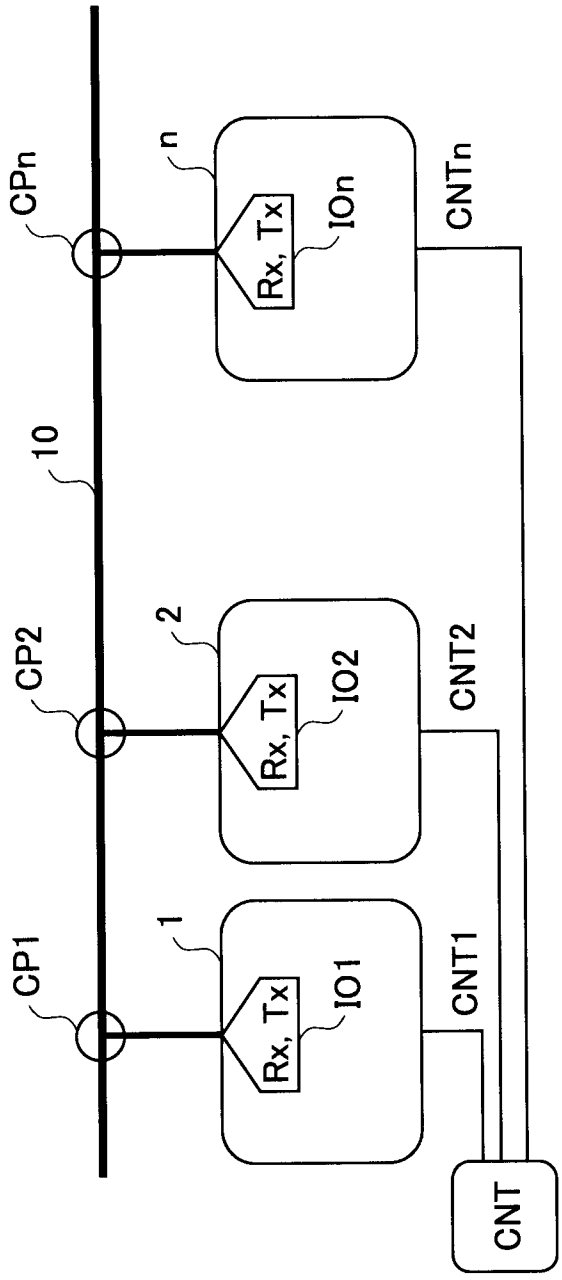
[図15A]


IO1
Rx, Tx
1
Q2
Q1
Rx
VCC
S1
Cout
Rs
C1
S2
A1
B1
10
RTT
A2
S3
C2
B2
RTT
CP1

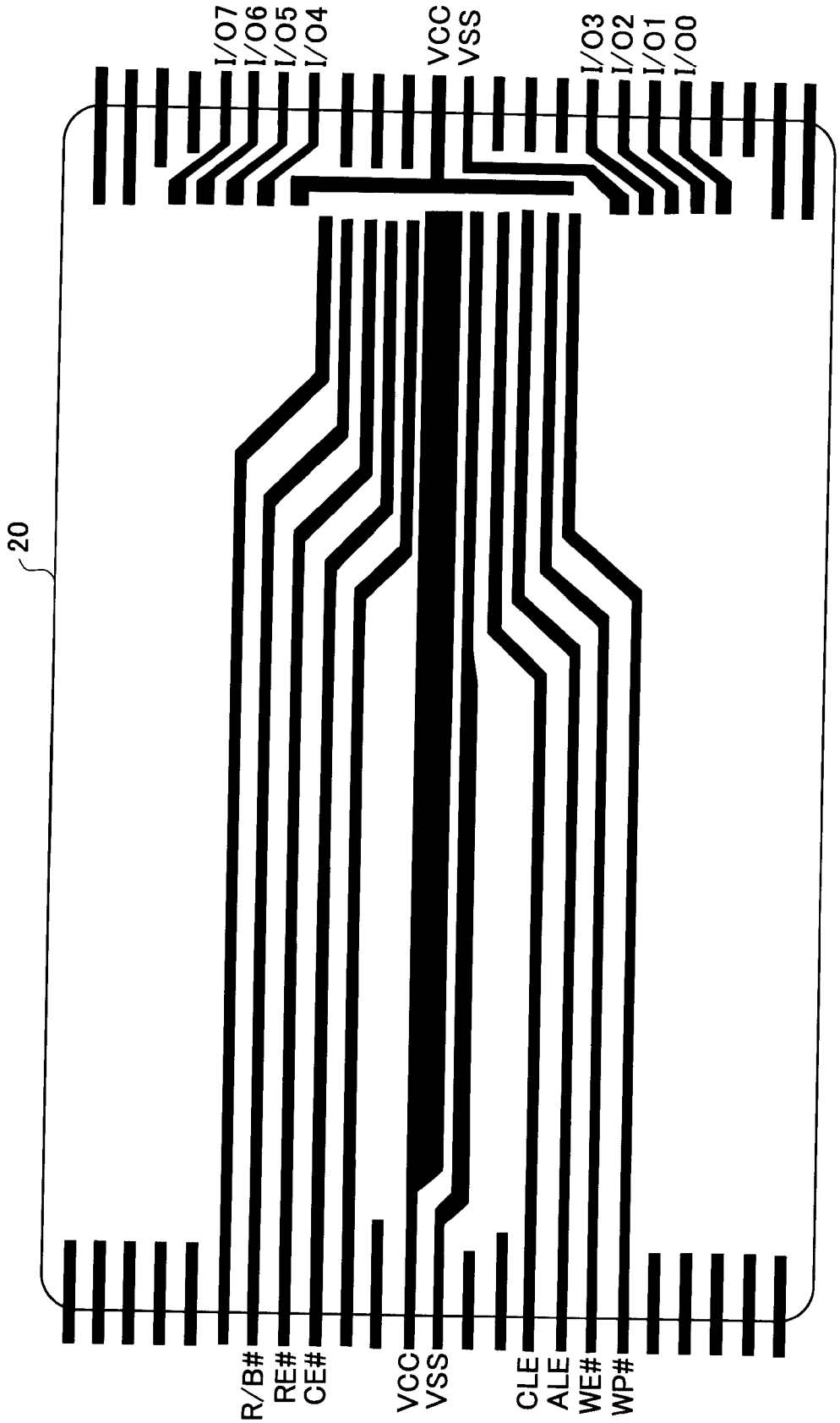
[図15B]


IO1
Rx, Tx
1
Q2
Q1
Rx
VCC
S7
Cout
Rs
S5
C1
S4
A1
B1
10
RTT
A2
S6
C2
B2
RTT
CP1

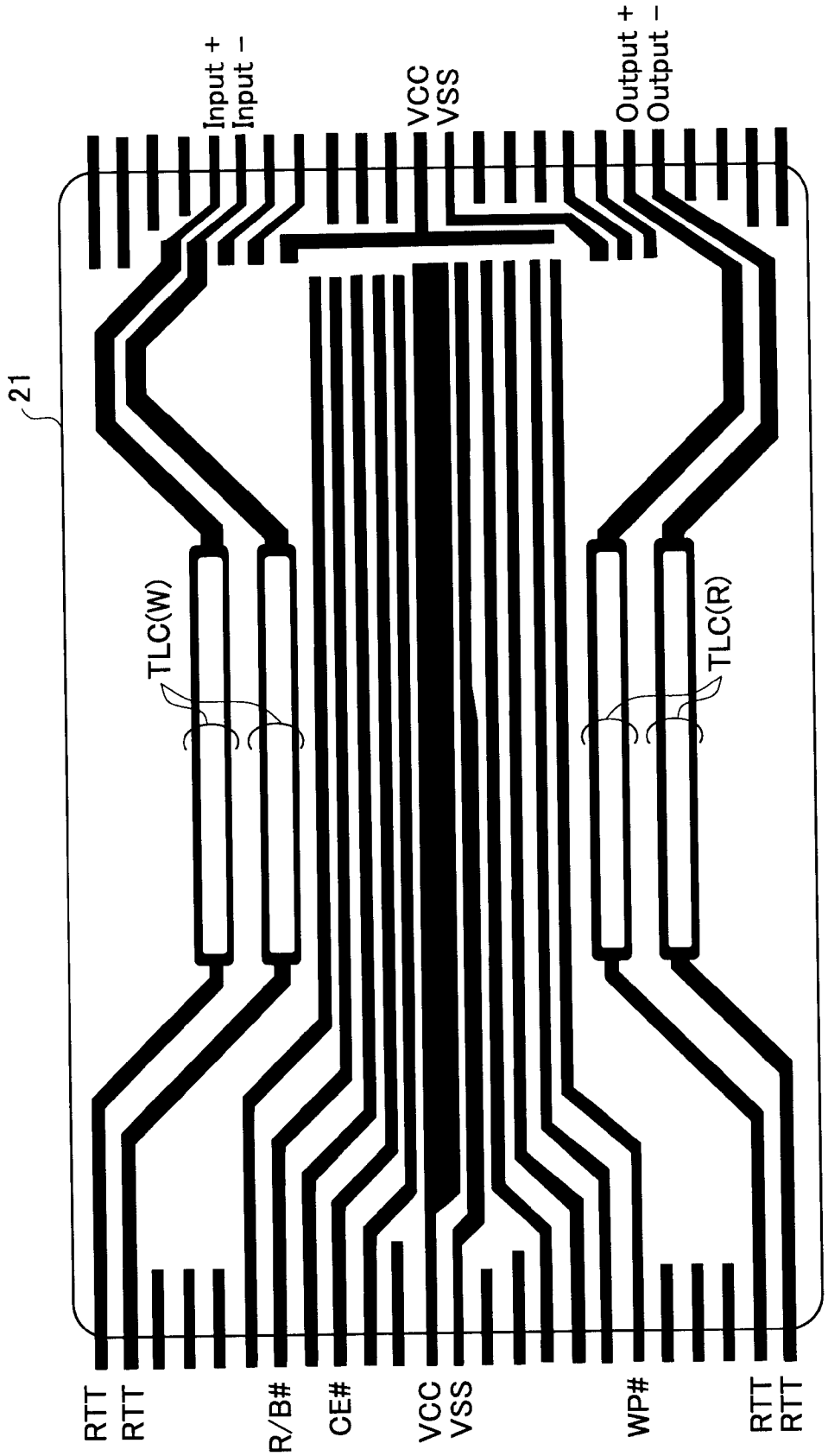
[図16]


CPn
n
Rx, Tx
IOn
CNTn
10
CP2
2
Rx, Tx
IO2
CNT2
CP1
1
Rx, Tx
IO1
CNT1
CNT

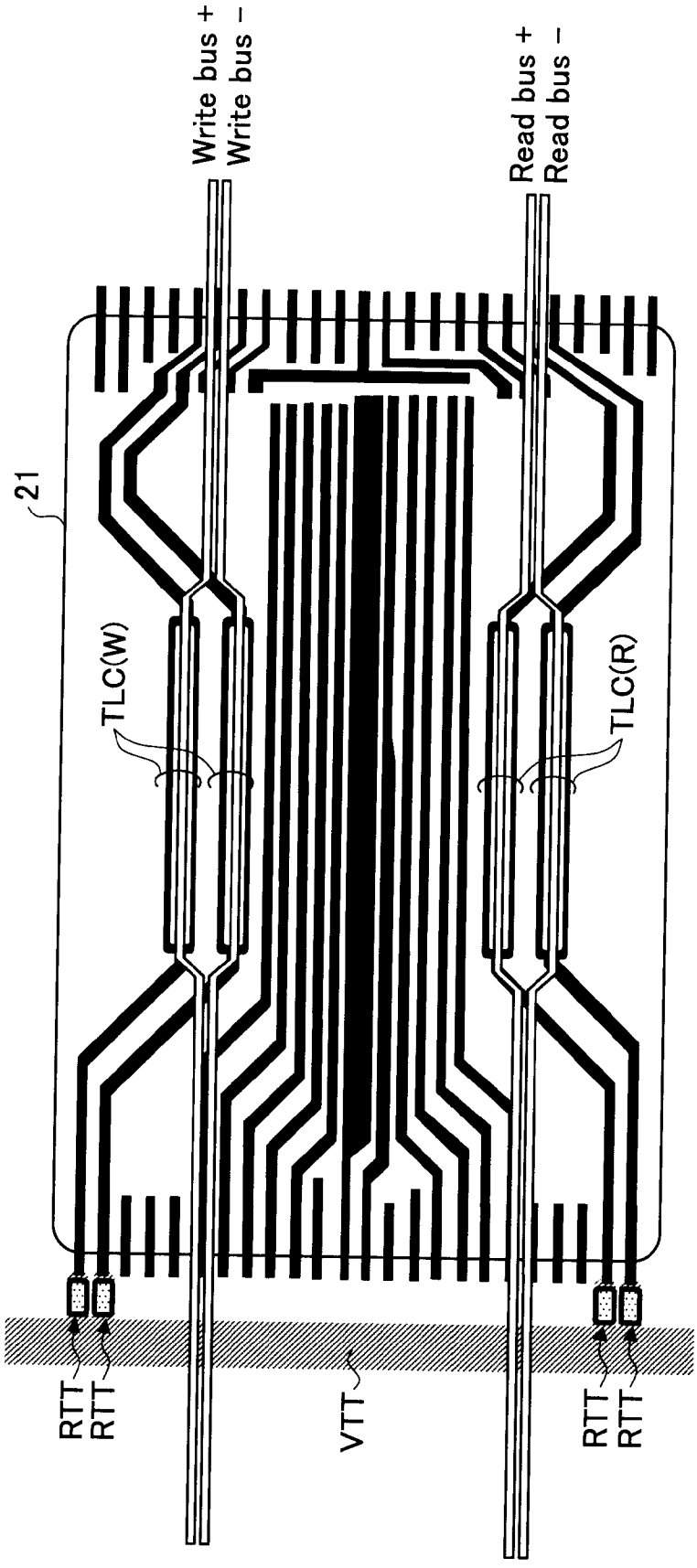
[図17]


I/O7
I/O6
I/O5
I/O4
VCC
VSS
I/O3
I/O2
I/O1
I/O0
20
R/B#
RE#
CE#
VCC
VSS
CLE
ALE
WE#
WP#

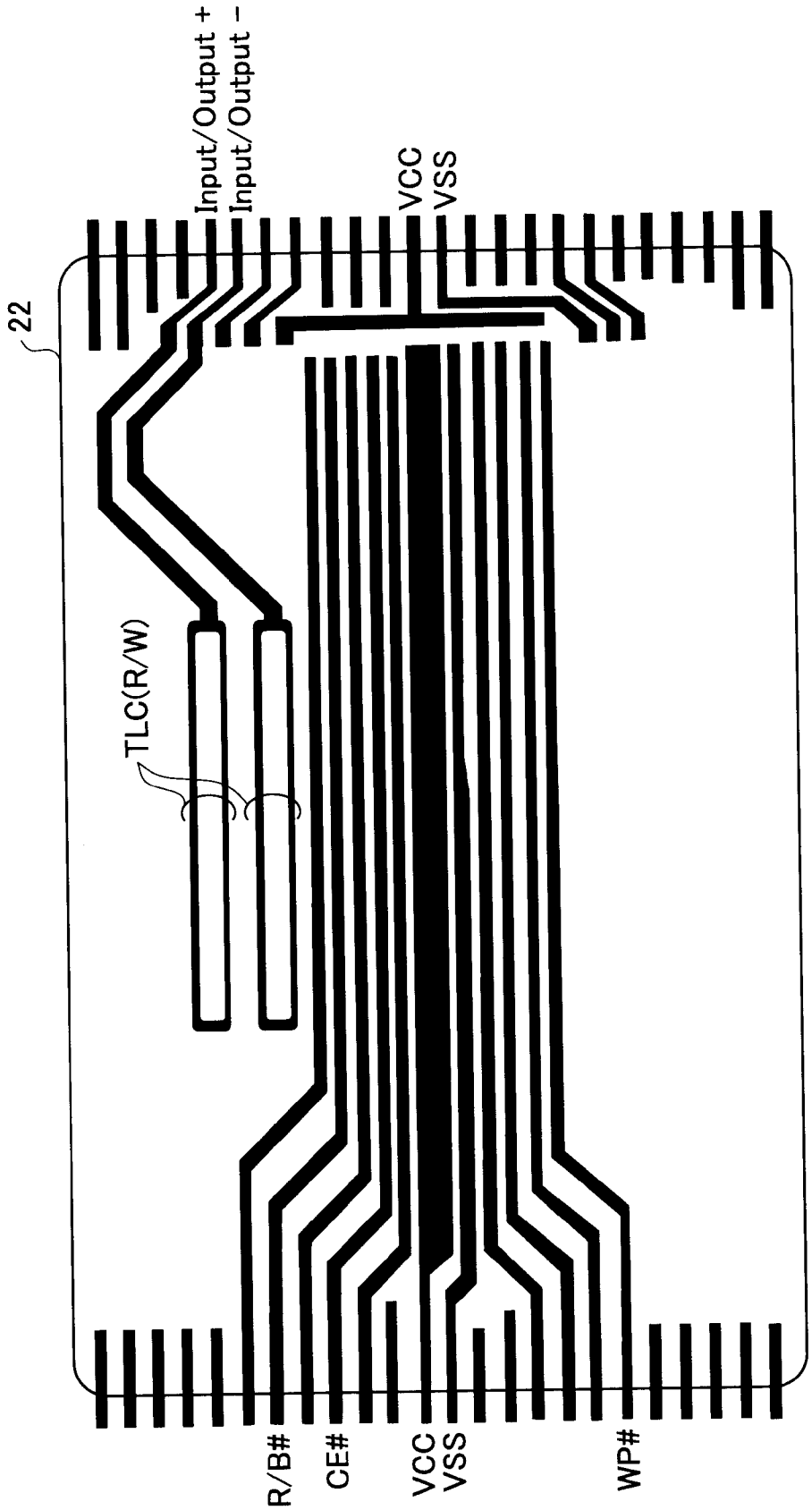
[図18]


21
Input +
Input −
VCC
VSS
Output +
Output −
TLC(W)
TLC(R)
RTT
RTT
R/B#
CE#
VCC
VSS
WP#
RTT
RTT

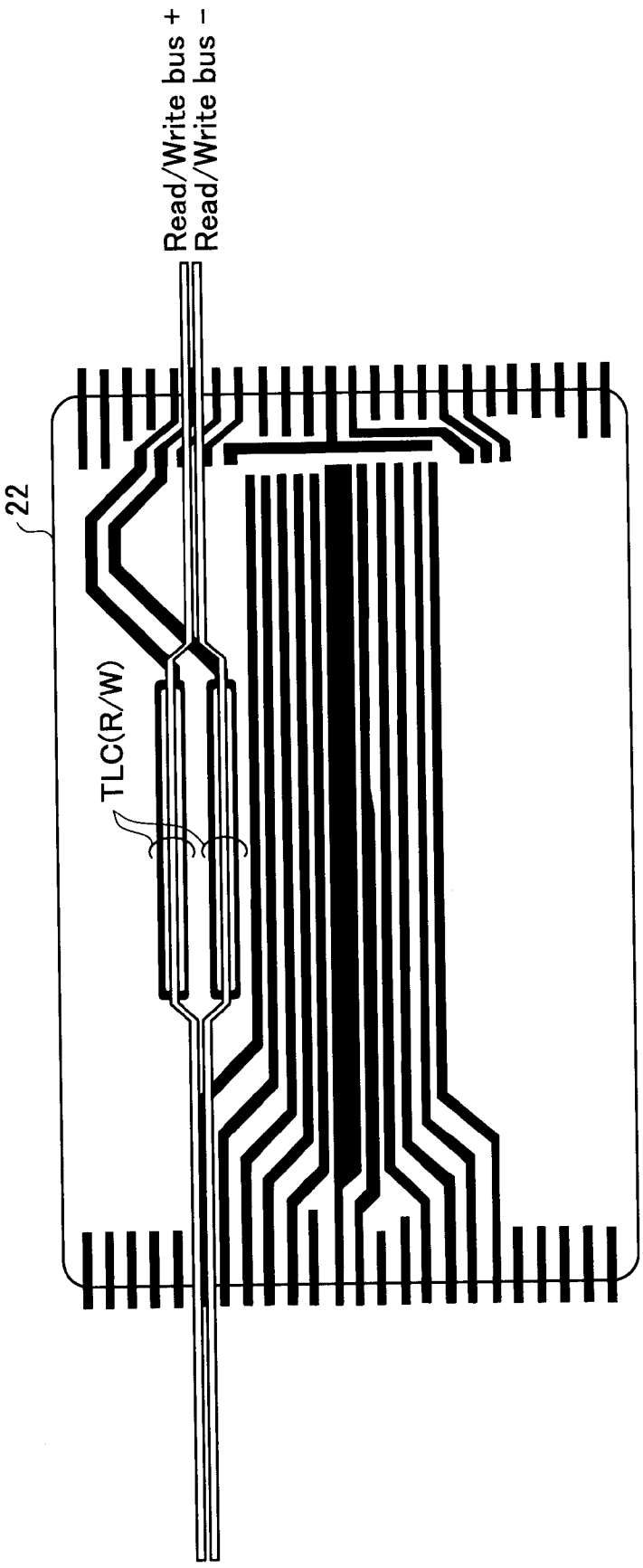
[図19]


Write bus +
Write bus −
Read bus +
Read bus −
21
TLC(W)
TLC(R)
RTT
RTT
VTT
RTT
RTT

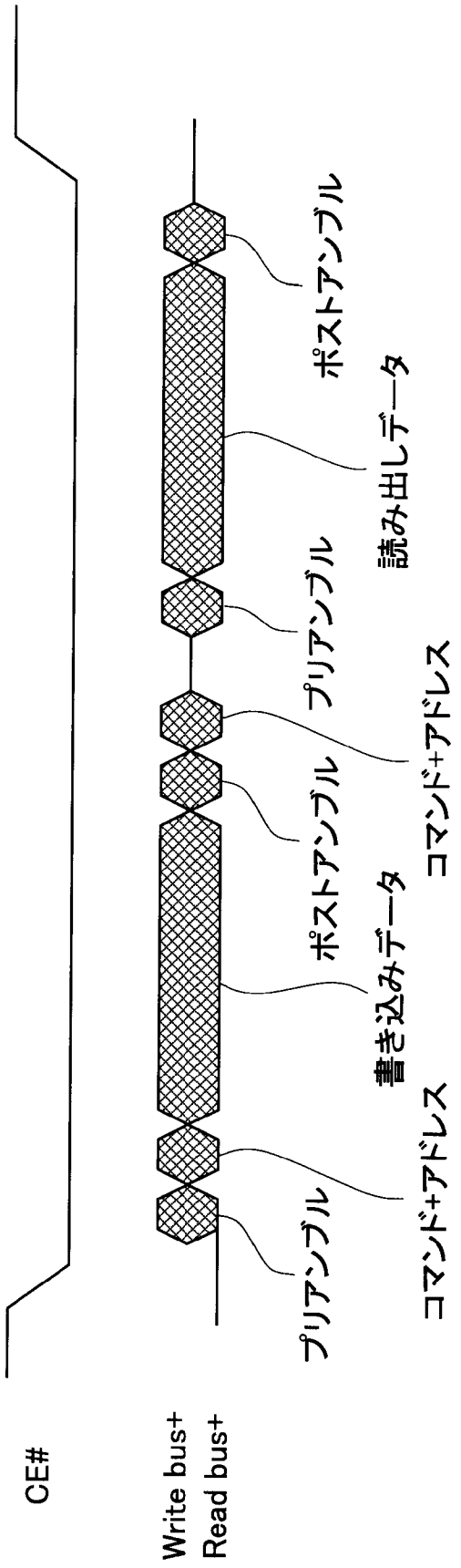
[図20]



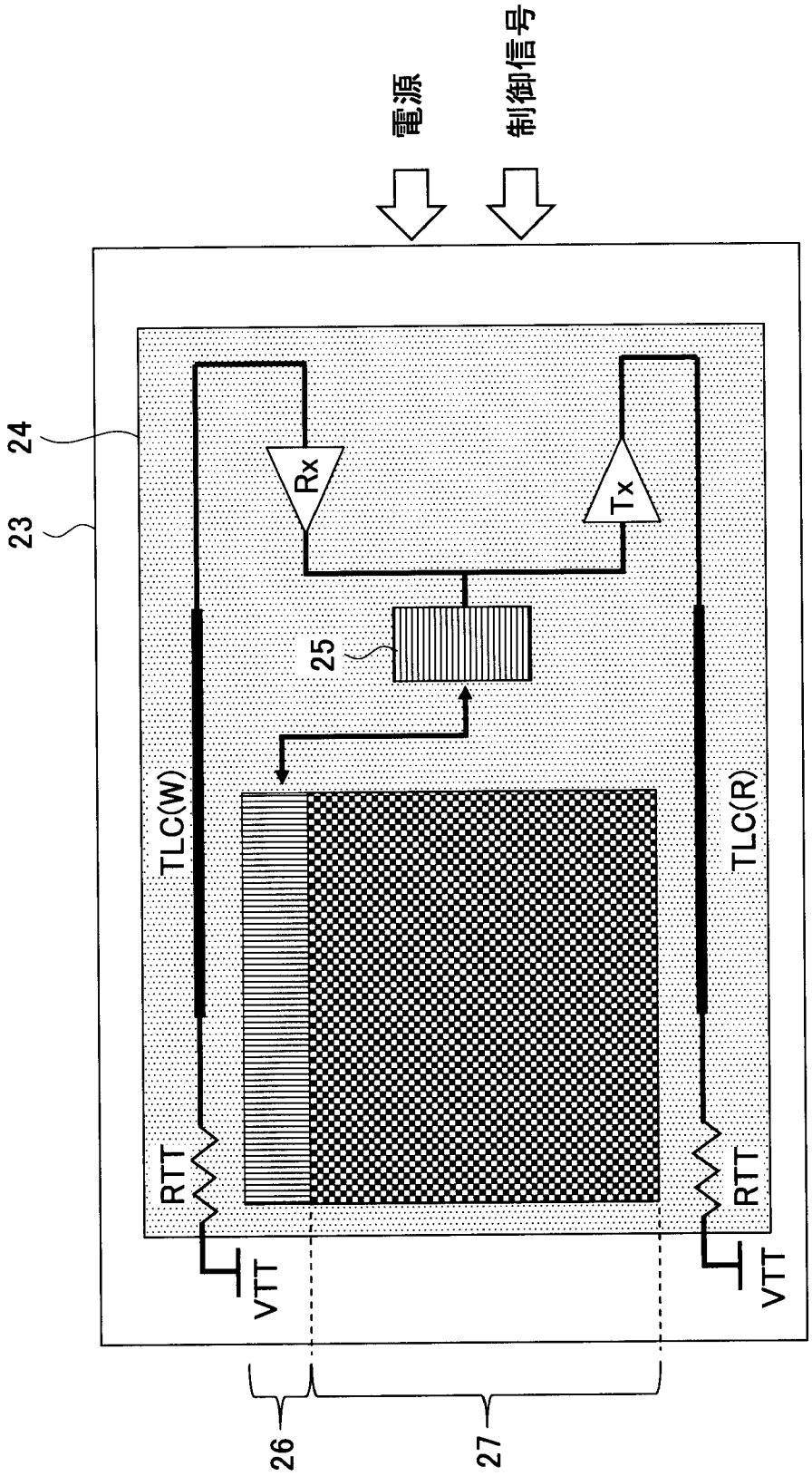
[図21]



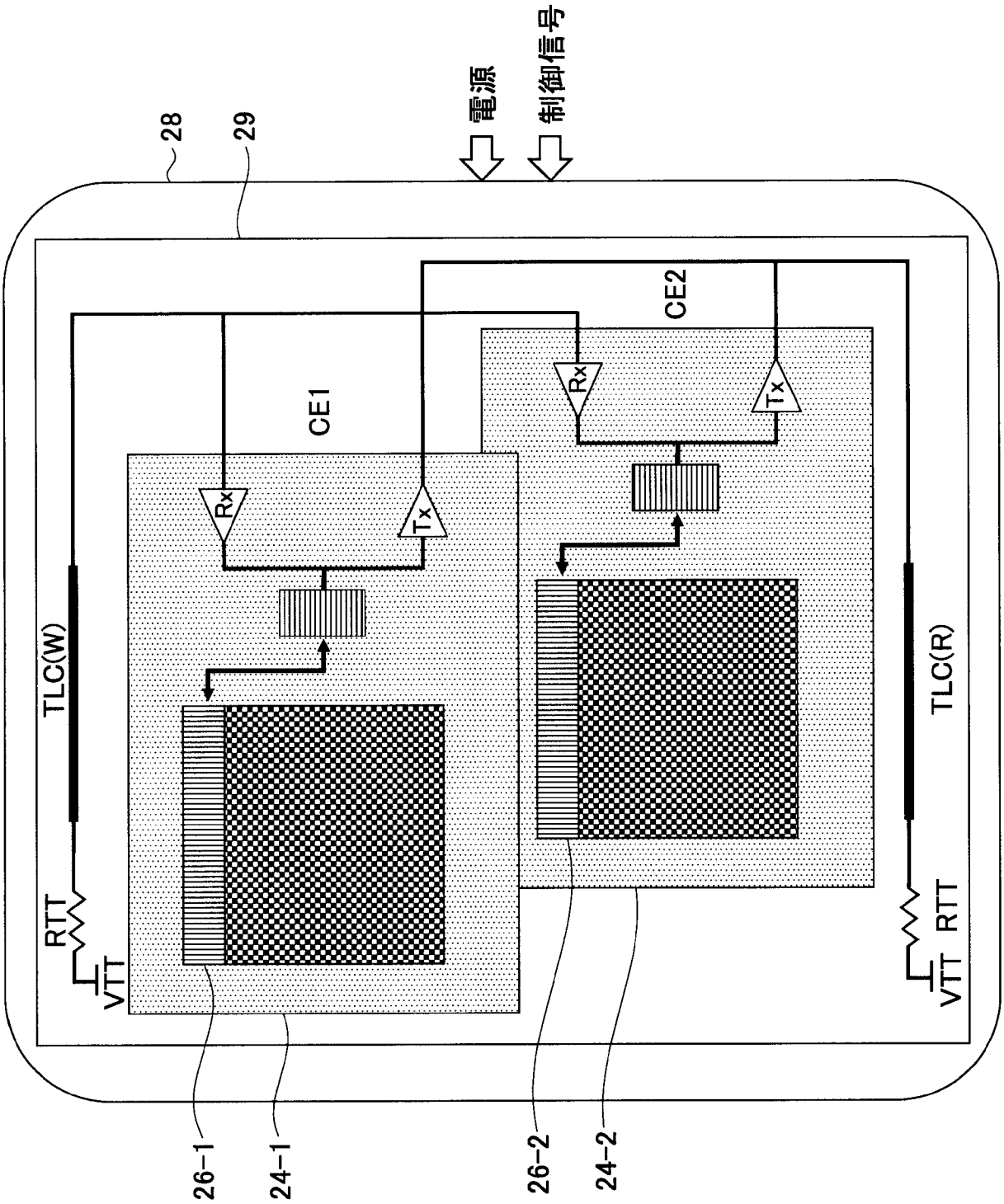
[図22]


CE#
Write bus+
Read bus+
プリアンブル
コマンド+アドレス
書き込みデータ
ポストアンブル
プリアンブル
コマンド+アドレス
読み出しデータ
ポストアンブル

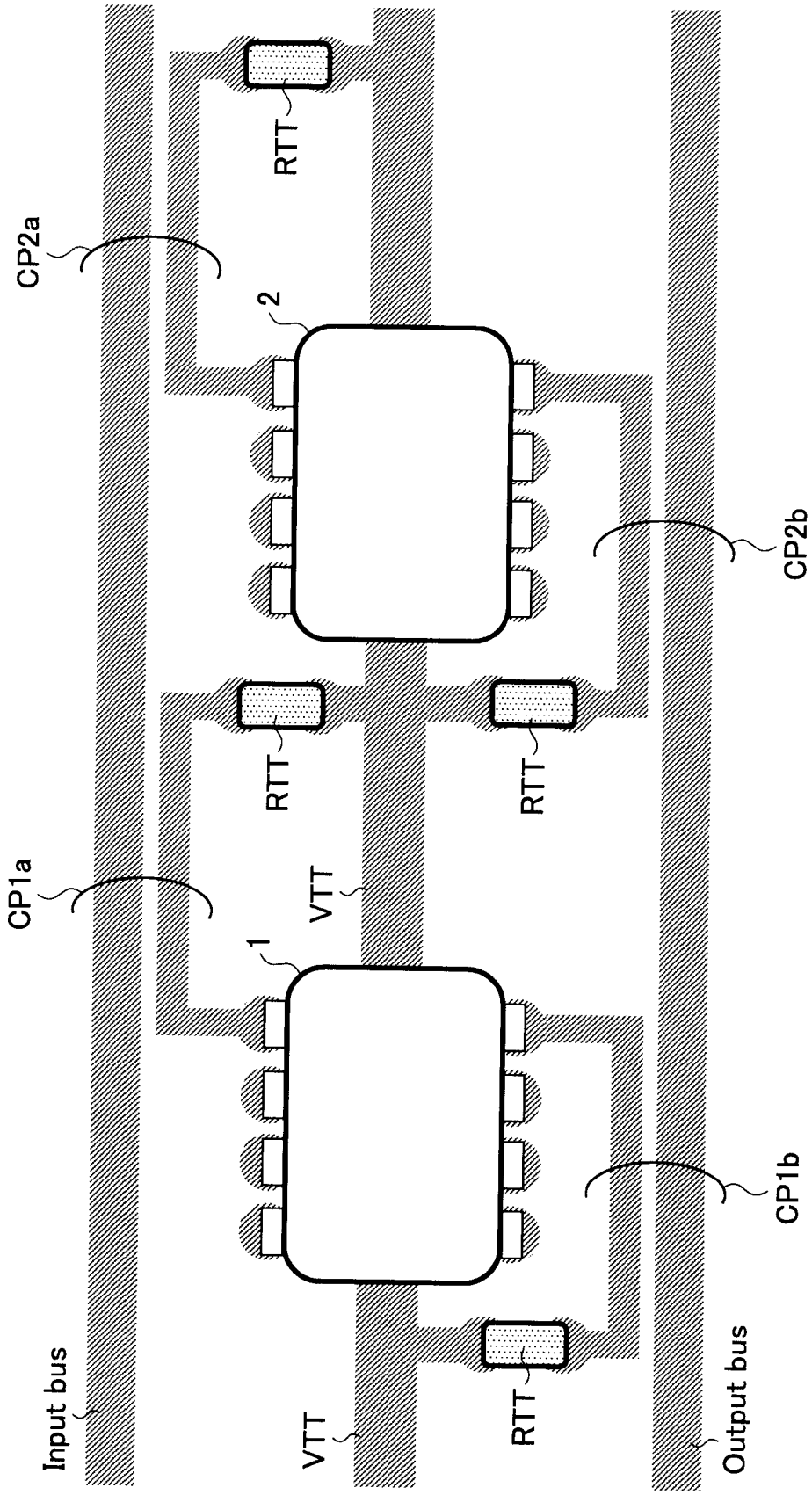
[図23]



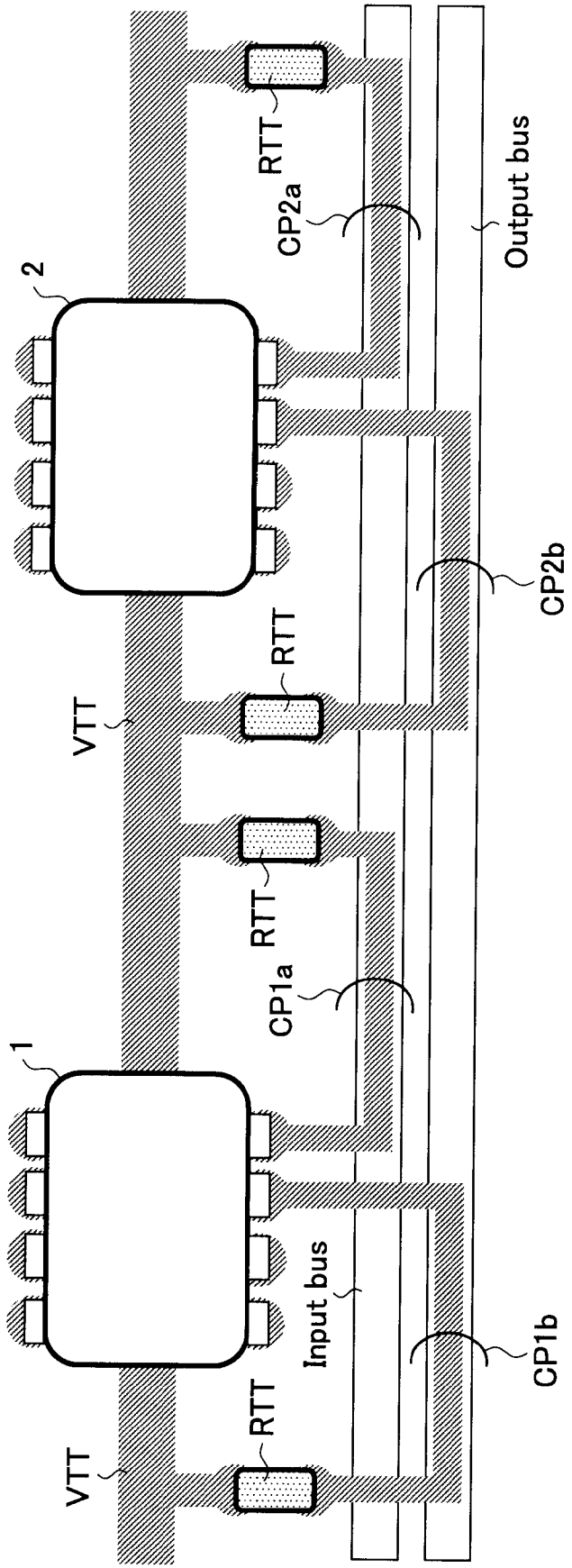
[図24]


電源
制御信号
28
29
CE1
CE2
Rx
Tx
Rx
Tx
TLC(W)
TLC(R)
RTT
VTT
RTT
VTT
26-1
24-1
26-2
24-2

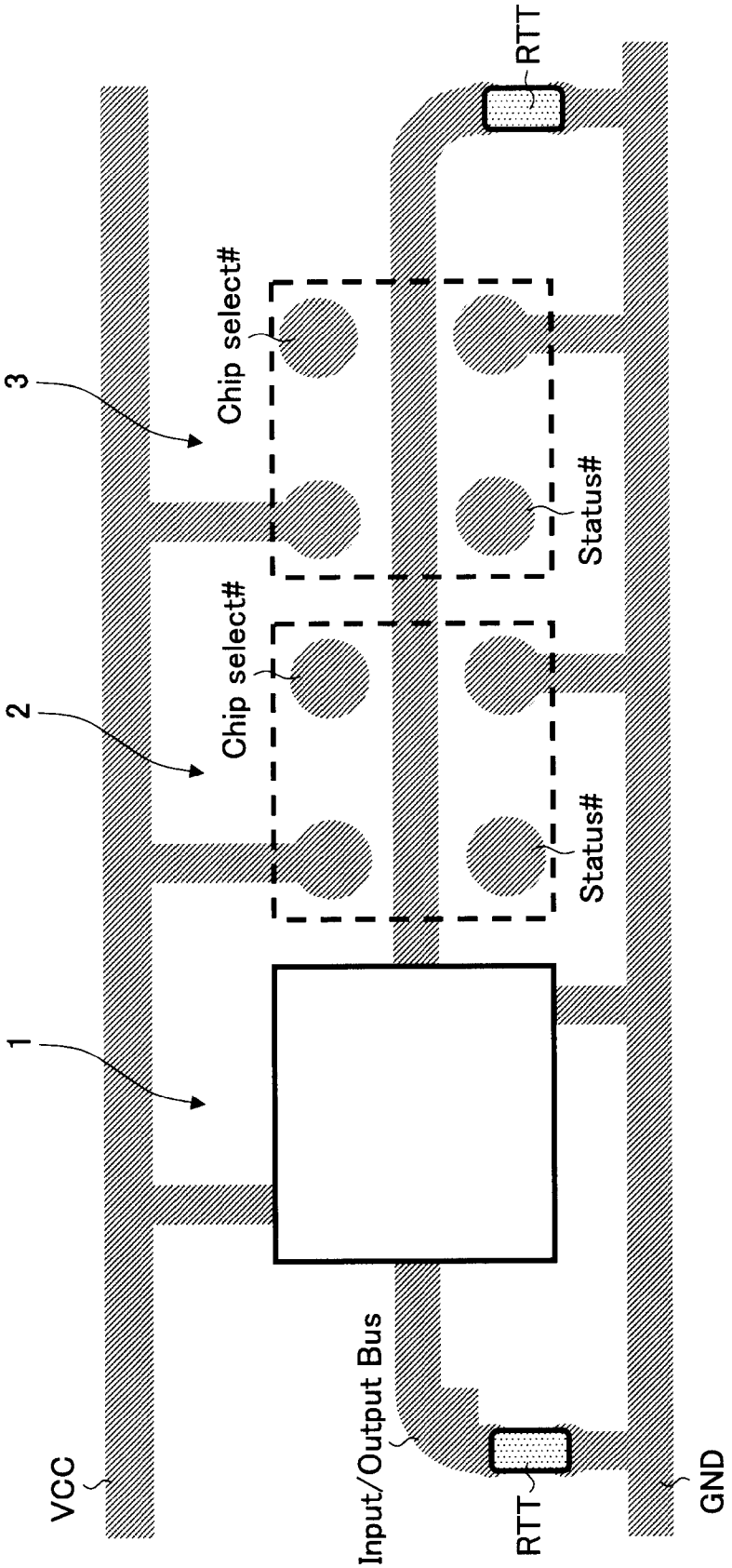
[図25]


RTT
CP2a
2
CP2b
RTT
RTT
CP1a
VTT
1
CP1b
Input bus
VTT
RTT
Output bus

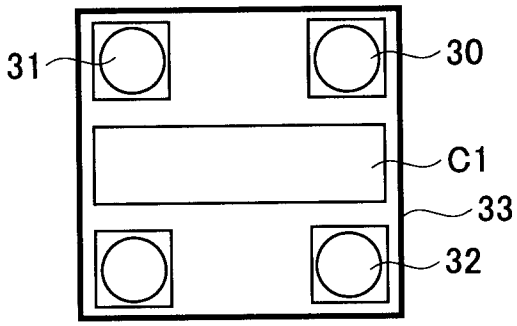
[図26]


RTT
CP2a
Output bus
2
CP2b
RTT
VTT
RTT
CP1a
1
Input bus
CP1b
RTT
VTT

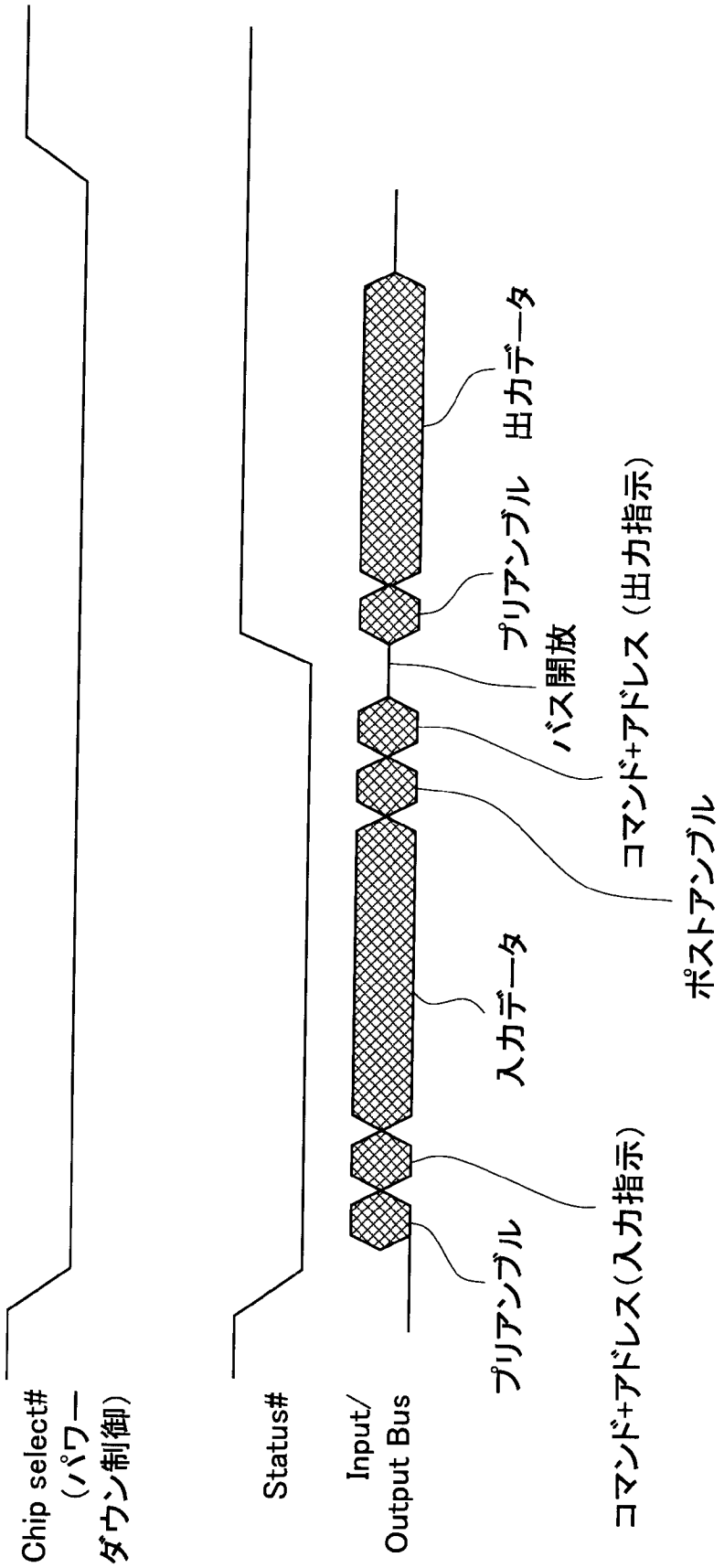
[図27A]


RTT
Chip select#
3
Status#
Chip select#
2
Status#
1
VCC
Input/Output Bus
RTT
GND

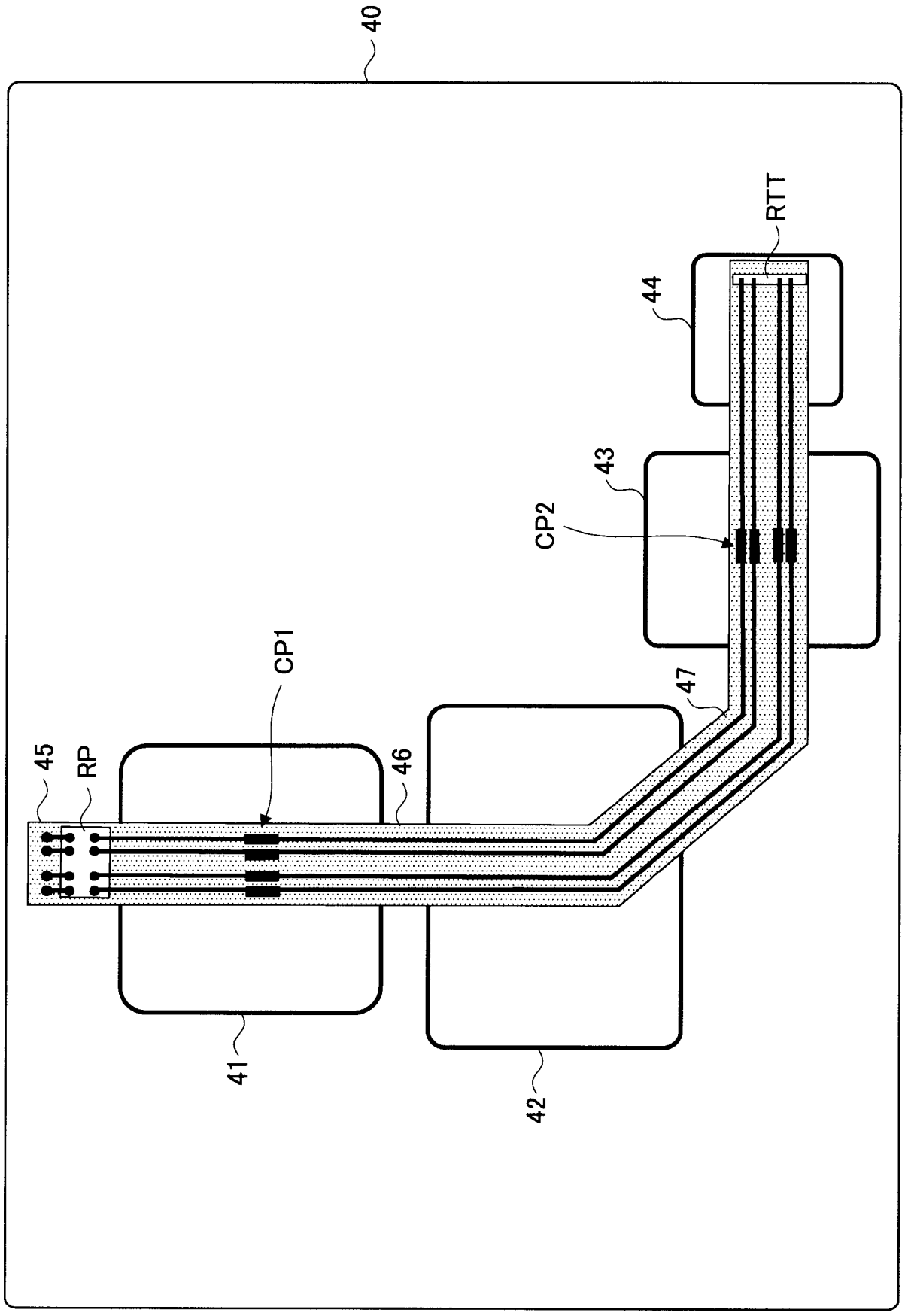
[図27B]



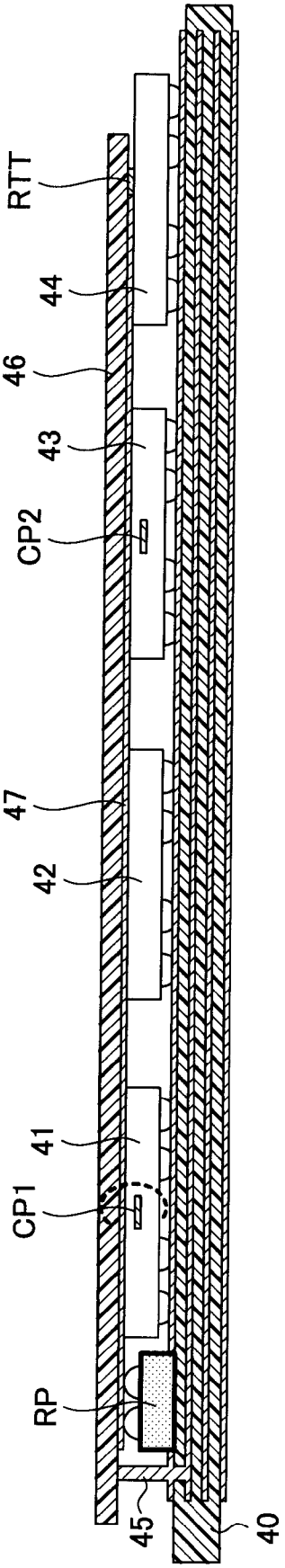
[図28]


Chip select#
（パワーダウン制御）
Status#
Input/
Output Bus
プリアンブル
コマンド+アドレス(入力指示)
入力データ
ポストアンブル
コマンド+アドレス（出力指示）
バス開放
プリアンブル
出力データ

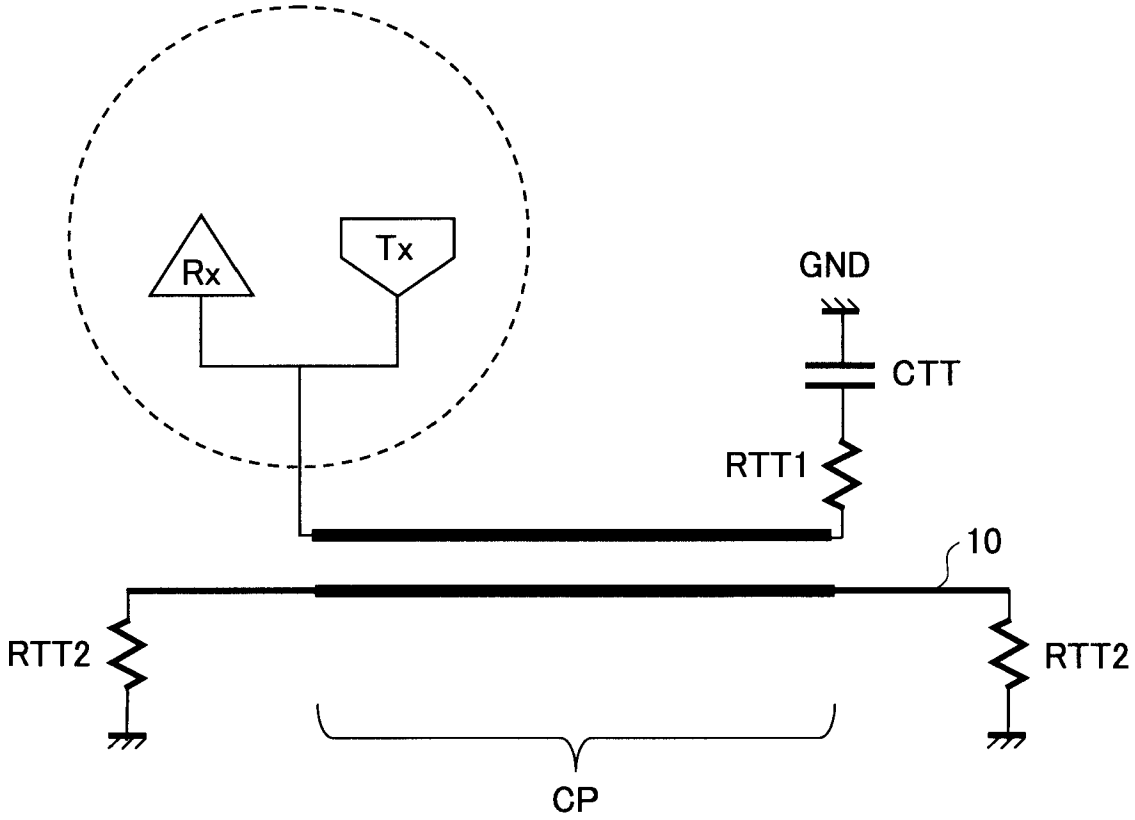
[図29]



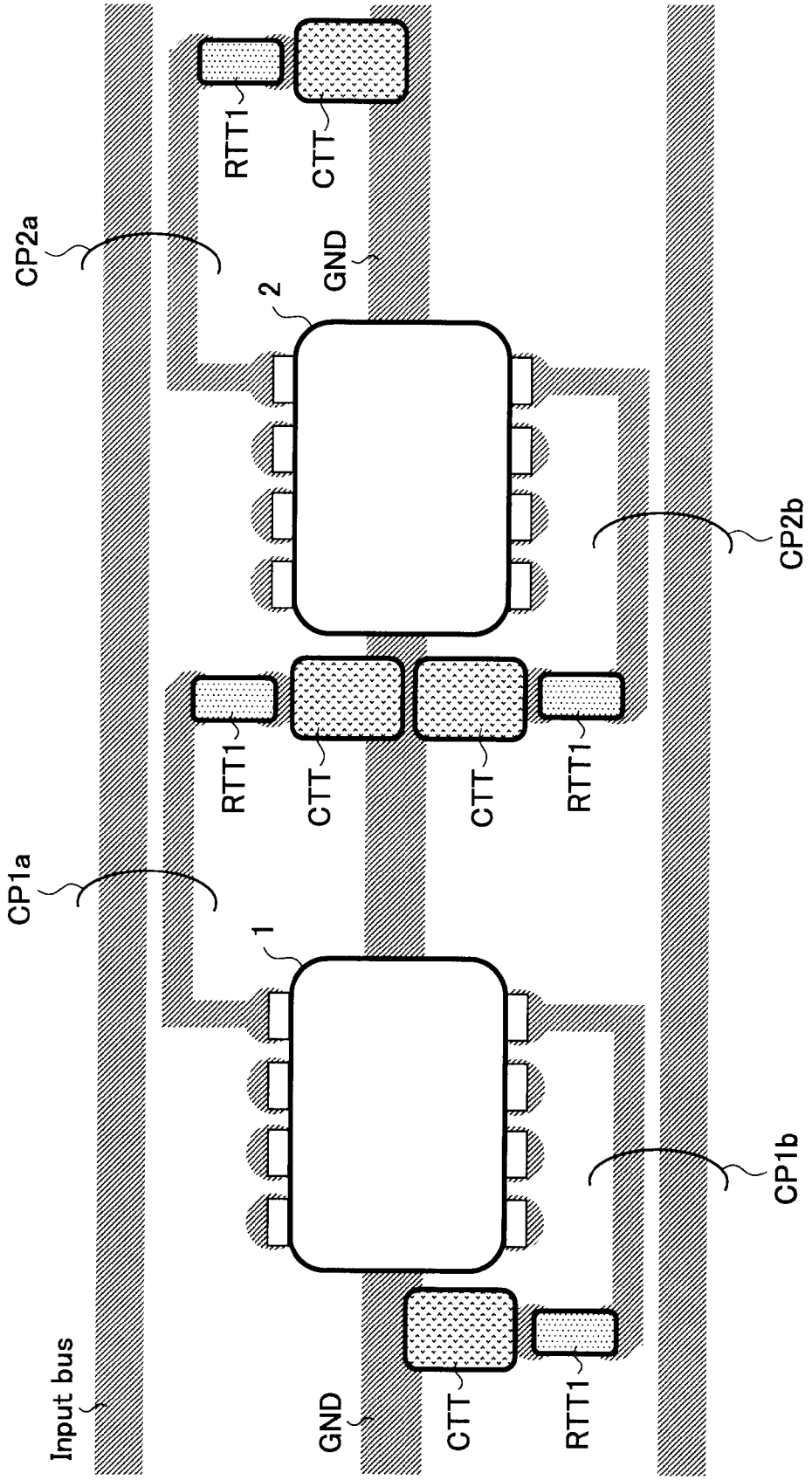
[図30]



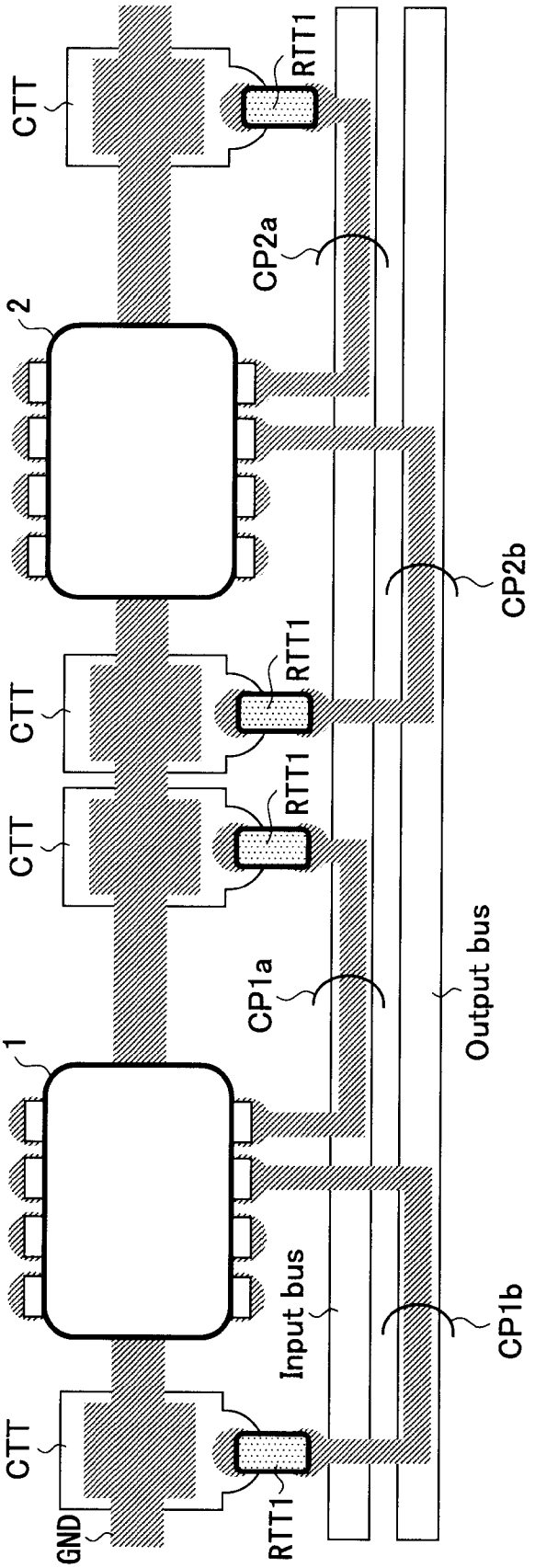
[図31]



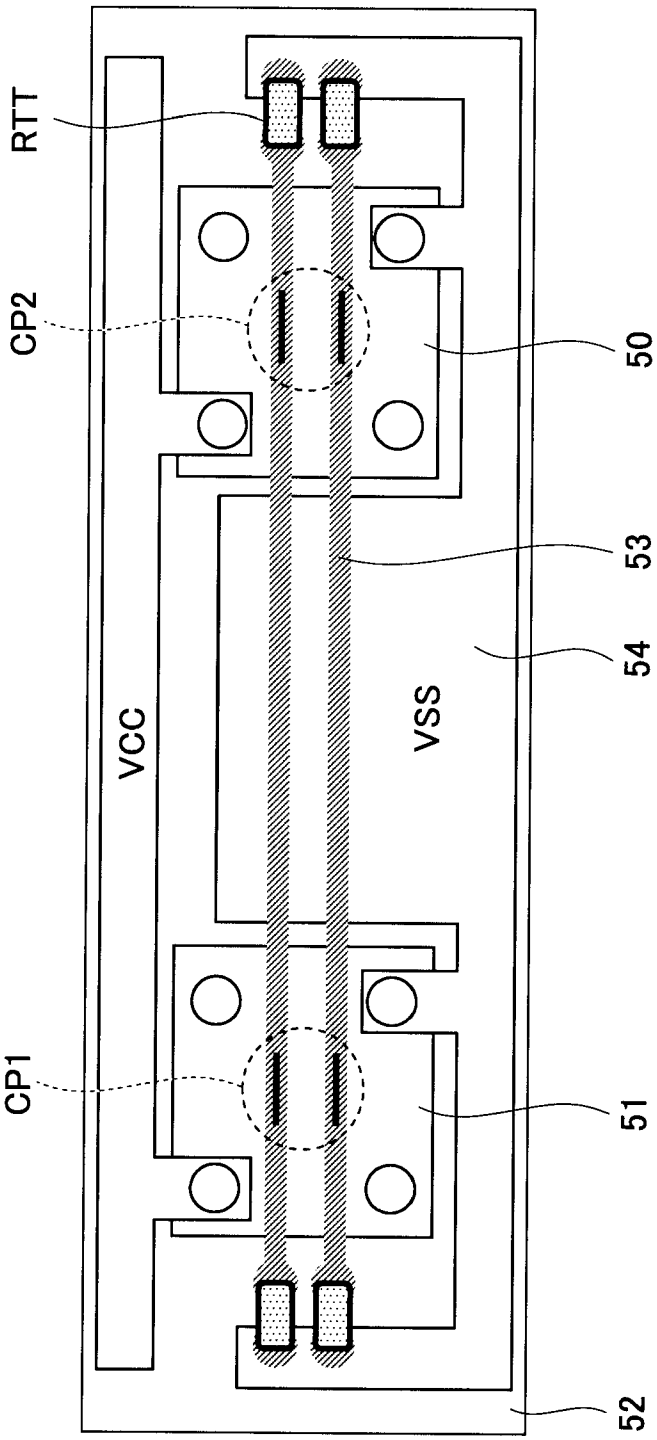
[図32]


RTT1
CTT
GND
CP2a
2
CP2b
RTT1
CTT
CTT
RTT1
CP1a
1
CP1b
Input bus
GND
CTT
RTT1

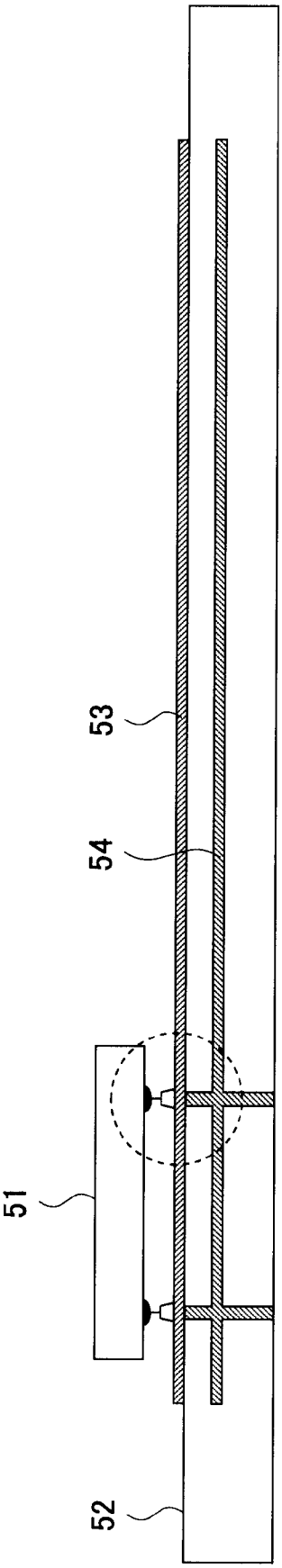
[図33]


CTT
RTT1
CP2a
2
CP2b
CTT
RTT1
CTT
RTT1
CP1a
Output bus
1
Input bus
CP1b
CTT
GND
RTT1

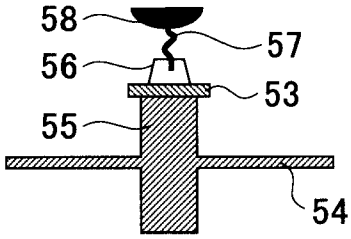
[図34]



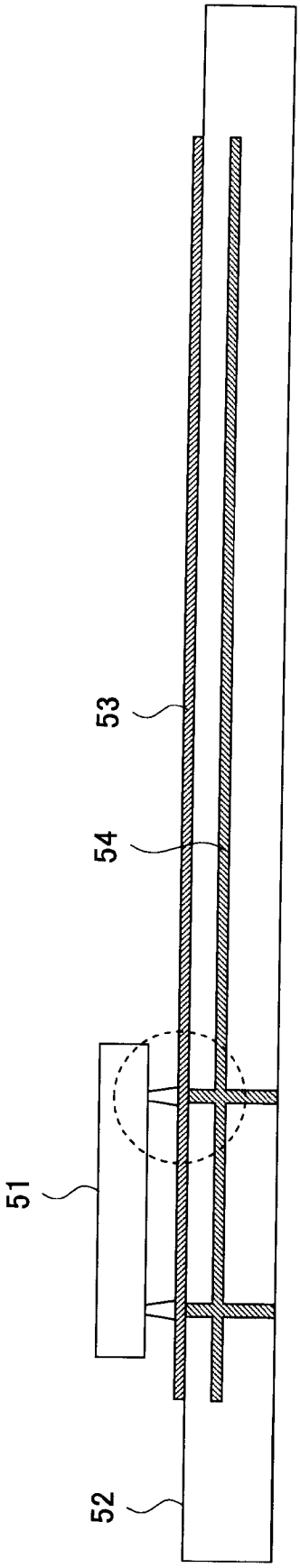
[図35]



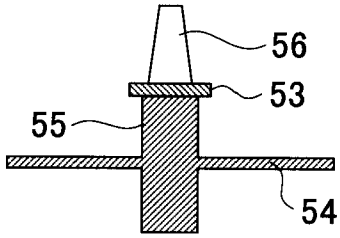
[図36]



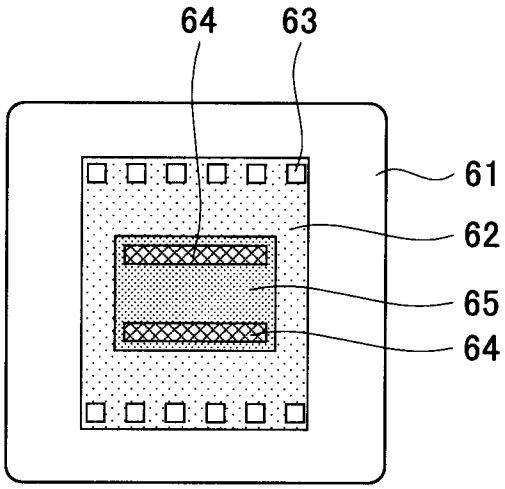
[図37]



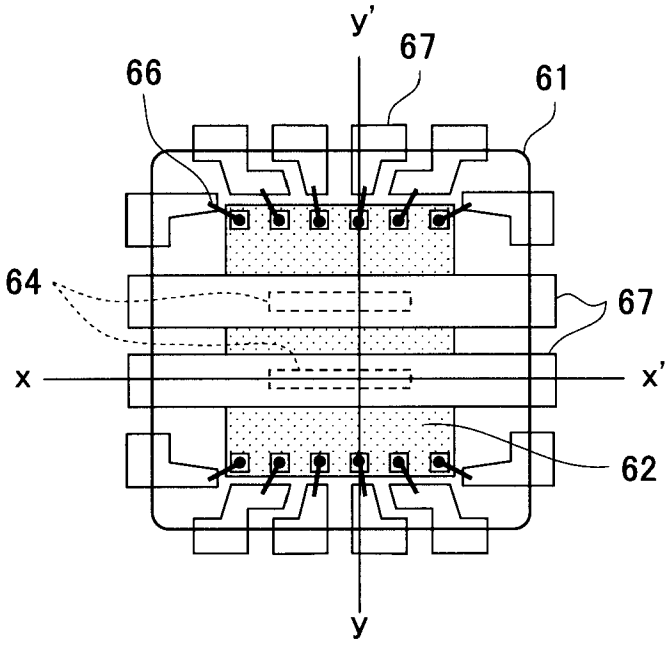
[図38]



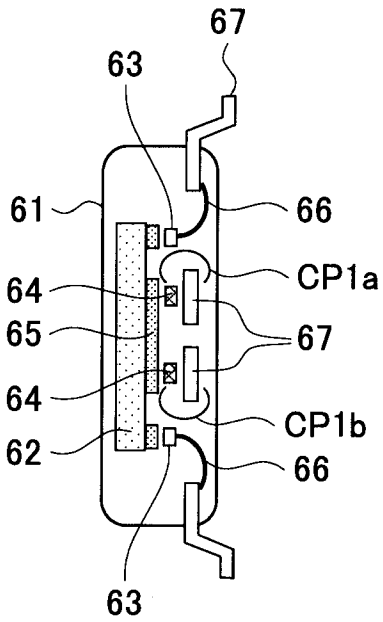
[図39]



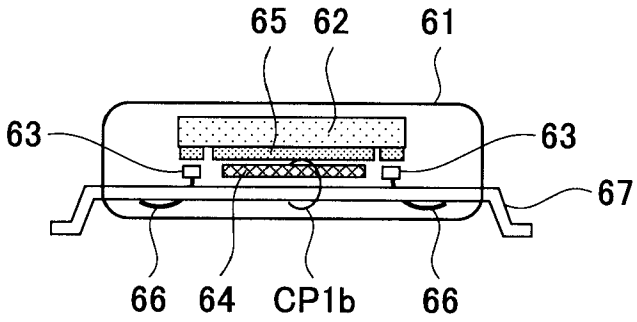
[図40A]



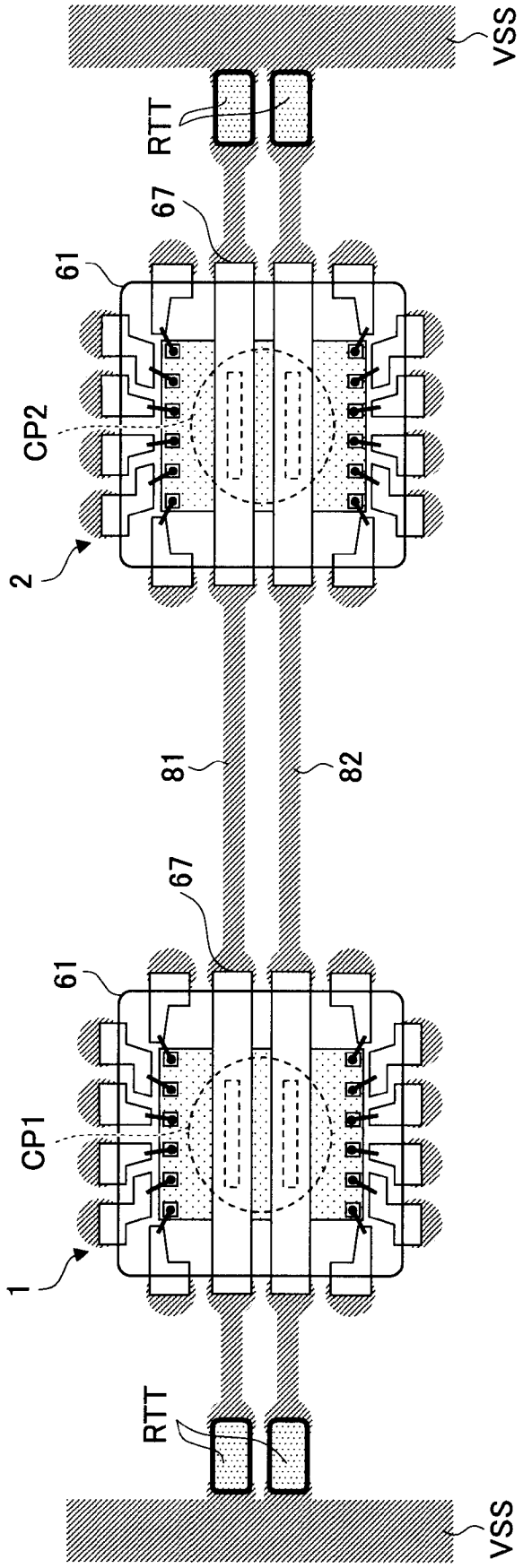
[図40B]



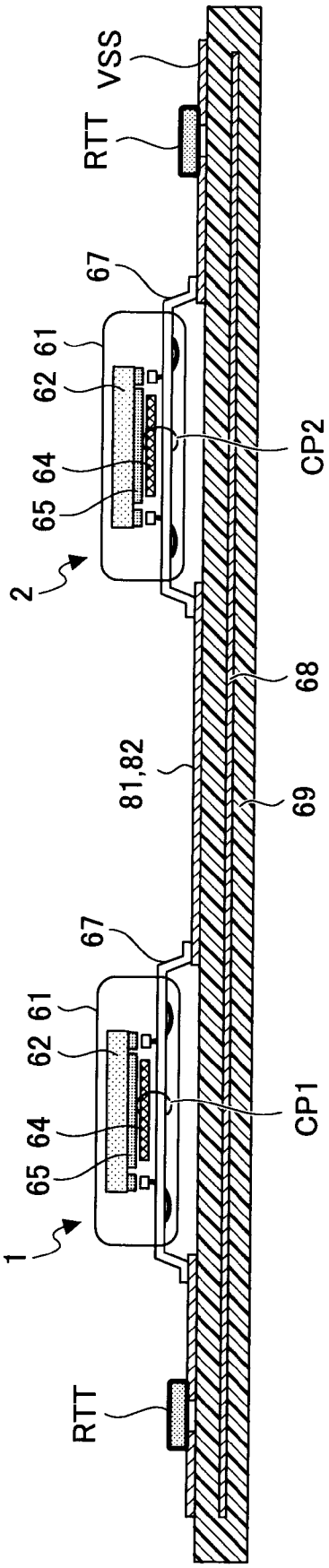
[図40C]



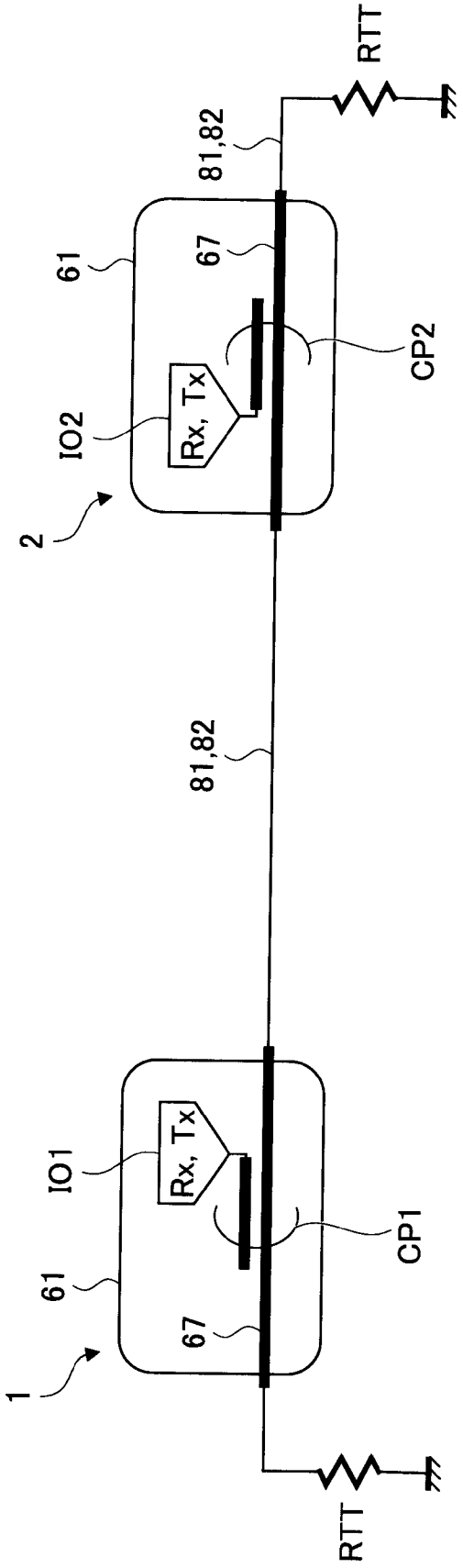
[図41]



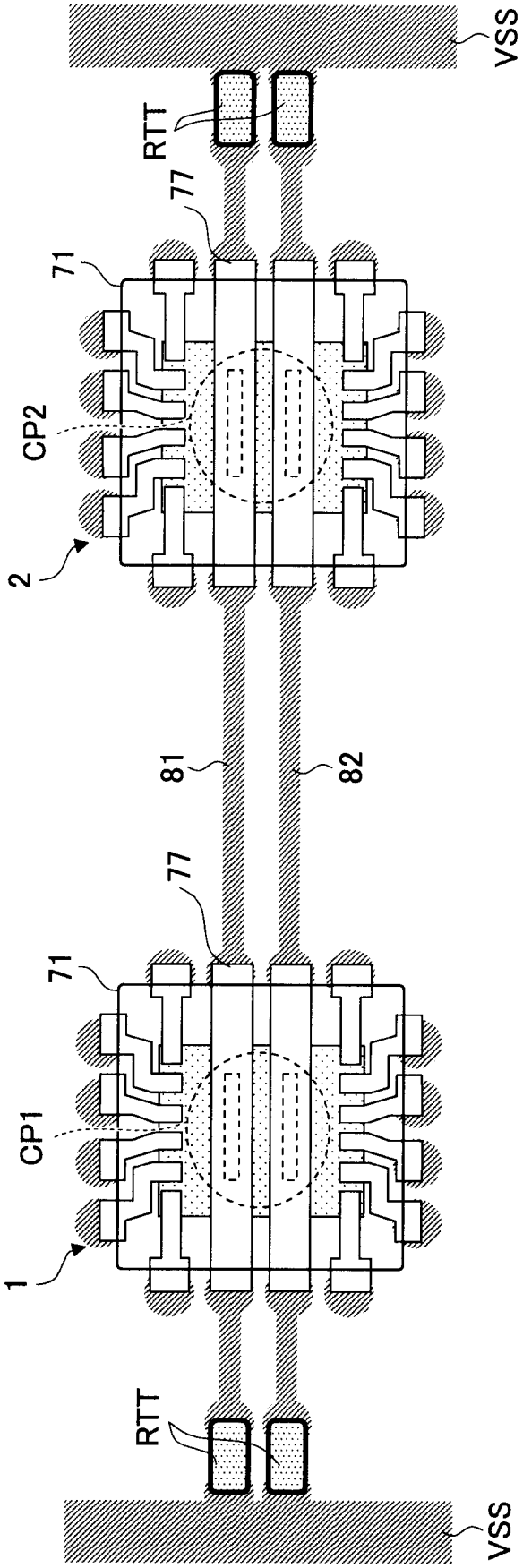
[図42]



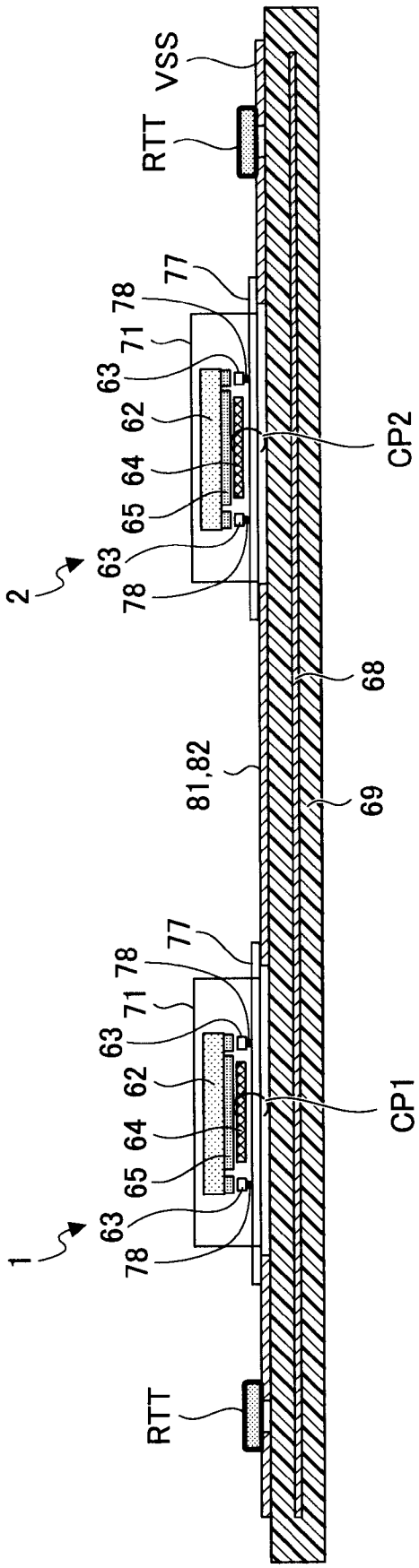
[図43]



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/069542

A. CLASSIFICATION OF SUBJECT MATTER
G06F3/00(2006.01)i, *G06F12/00*(2006.01)i, *G06F13/16*(2006.01)i, *G06F13/38*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G06F3/00, G06F12/00, G06F13/16, G06F13/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2003-533114 A (Schleifring & Apparatebau GmbH), 05 November 2003 (05.11.2003), paragraphs [0004] to [0036]; fig. 3 to 11 & US 2003/0132815 A1 & EP 1285476 A & WO 2001/086750 A1 & DE 10021670 A & AU 6729801 A & AT 331309 T	1-6 7-26
X Y	JP 2003-533130 A (Schleifring & Apparatebau GmbH), 05 November 2003 (05.11.2003), paragraphs [0004] to [0036]; fig. 3 to 11 & US 2003/0132812 A1 & EP 1282967 A & WO 2001/086899 A1 & DE 10021671 A & AU 6891901 A	1-6 7-26

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
08 August, 2013 (08.08.13)	20 August, 2013 (20.08.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/069542

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-123345 A (Hitachi, Ltd.), 26 April 2002 (26.04.2002), paragraphs [0015] to [0089]; fig. 1 to 21 & US 2002/0018526 A1 & TW 530248 B & KR 10-2002-0013388 A	7-26
Y	JP 2001-027987 A (Hitachi, Ltd.), 30 January 2001 (30.01.2001), paragraphs [0056] to [0065]; fig. 5 to 7, 12 to 14 & US 2003/0007379 A1 & TW 490612 B & KR 10-2001-0069192 A & TW 494305 B	9-22
Y	JP 2002-312087 A (Hitachi, Ltd.), 25 October 2002 (25.10.2002), paragraphs [0014] to [0025], [0033], [0039] to [0126]; fig. 1 to 8, 11, 13, 17 (Family: none)	9-22
A	JP 02-075220 A (Advantest Corp.), 14 March 1990 (14.03.1990), page 2, upper right column, line 10 to lower left column, line 4; fig. 1 (Family: none)	16
A	JP 03-167910 A (NEC Corp.), 19 July 1991 (19.07.1991), page 3, upper left column, lines 1 to 11; fig. 1 (Family: none)	16
A	JP 07-141079 A (Hitachi, Ltd.), 02 June 1995 (02.06.1995), paragraphs [0016], [0017], [0021]; fig. 6, 9 & US 5638402 A & KR 10-1997-0007274 B	1-26

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０６９５４２

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G06F3/00(2006.01)i, G06F12/00(2006.01)i, G06F13/16(2006.01)i, G06F13/38(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G06F3/00, G06F12/00, G06F13/16, G06F13/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X Y	JP 2003-533114 A（シュライフリング ウント アバラーテバウ ゲゼルシャフト ミット ベシュレンクテル ハフツング）2003.11.05, 第４－３６段落、図３－１１ & US 2003/0132815 A1 & EP 1285476 A & WO 2001/086750 A1 & DE 10021670 A & AU 6729801 A & AT 331309 T	1-6 7-26
X Y	JP 2003-533130 A（シュライフリング ウント アバラーテバウ ゲゼルシャフト ミット ベシュレンクテル ハフツング）2003.11.05, 第４－３６段落、図３－１１ & US 2003/0132812 A1 & EP 1282967 A & WO 2001/086899 A1 & DE 10021671 A & AU 6891901 A	1-6 7-26

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ０８．０８．２０１３	国際調査報告の発送日 ２０．０８．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｔ　９８５７ 木村　貴俊 電話番号　０３－３５８１－１１０１　内線　３５６８

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Ｙ	JP 2002-123345 A（株式会社日立製作所）2002.04.26, 第１５－８９段落、図１－２１ & US 2002/0018526 A1 & TW 530248 B & KR 10-2002-0013388 A	7-26
Ｙ	JP 2001-027987 A（株式会社日立製作所）2001.01.30, 第５６－６５段落、図５－７、１２－１４ & US 2003/0007379 A1 & TW 490612 B & KR 10-2001-0069192 A & TW 494305 B	9-22
Ｙ	JP 2002-312087 A（株式会社日立製作所）2002.10.25, 第１４－２５、３３、３９－１２６段落、図１－８、１１、１３、 図１７（ファミリーなし）	9-22
Ａ	JP 02-075220 A（株式会社アドバンテスト）1990.03.14, 第２頁 上右欄第１０行目－下左欄第４行目、第１図（ファミリーなし）	16
Ａ	JP 03-167910 A（日本電気株式会社）1991.07.19, 第３頁上左欄 第１行目－１１行目、第１図（ファミリーなし）	16
Ａ	JP 07-141079 A（株式会社日立製作所）1995.06.02, 第１６、１７、２１段落、図６、９ & US 5638402 A & KR 10-1997-0007274 B	1-26