

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5489393号  
(P5489393)

(45) 発行日 平成26年5月14日(2014.5.14)

(24) 登録日 平成26年3月7日(2014.3.7)

(51) Int. Cl. F I  
**GO2F 1/1343 (2006.01)** GO2F 1/1343  
**GO2F 1/1368 (2006.01)** GO2F 1/1368

請求項の数 10 (全 18 頁)

<p>(21) 出願番号 特願2007-127875 (P2007-127875)                  (22) 出願日 平成19年5月14日(2007.5.14)                  (65) 公開番号 特開2007-304602 (P2007-304602A)                  (43) 公開日 平成19年11月22日(2007.11.22)                  審査請求日 平成22年5月11日(2010.5.11)                  (31) 優先権主張番号 10-2006-0042898                  (32) 優先日 平成18年5月12日(2006.5.12)                  (33) 優先権主張国 韓国 (KR)</p>	<p>(73) 特許権者 512187343                  三星ディスプレイ株式会社                  Samsung Display Co., Ltd.                  大韓民国京畿道龍仁市器興区三星二路95                  95, Samsung 2 Ro, Gih eung-Gu, Yongin-City , Gyeonggi-Do, Korea                  (74) 代理人 100121382                  弁理士 山下 託嗣                  (72) 発明者 上本 勉                  大韓民国ソウル江南区大峙3洞974大峙                  現代アパート101棟1001号                  審査官 藤田 都志行</p>
--	---

最終頁に続く

(54) 【発明の名称】 表示基板と、その製造方法、及びこれを有する表示装置

(57) 【特許請求の範囲】

【請求項1】

複数の画素部を含む表示基板であって、  
 それぞれの前記画素部は、  
 チャネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピング部と接触しているソース電極と、前記ドーピング部と接触しているドレイン電極と、を備えるスイッチング素子と、  
 前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、  
 前記スイッチング素子と電気的に接続され、前記ストレージキャパシタの上部を覆っている画素電極と、  
 前記下部層及び前記上部層を含んで形成され、前記第2ストレージ電極と連結されたストレージ配線と、  
 を有し、  
 前記多結晶シリコン層の厚さは、200～400 であり、  
 前記下部層は透明導電性物質で形成されて前記下部層は透明導電性物質で形成されており、  
 前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である表示基板。

10

20

## 【請求項 2】

複数の画素部を含む表示基板であって、

それぞれの前記画素部は、

チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピング部と接触しているソース電極と、前記ドーピング部と接触しているドレイン電極と、を備えるスイッチング素子と、

前記多結晶シリコン層を含んで形成されている第 1 ストレージ電極と、前記下部層を含んで形成されている第 2 ストレージ電極とを備えるストレージキャパシタと、

前記スイッチング素子と電氣的に接続され、前記ストレージキャパシタの上部を覆っている画素電極と、

前記下部層及び前記上部層を含んで形成され、前記第 2 ストレージ電極と連結されたストレージ配線と、

を有し、

前記多結晶シリコン層は、SLS ( Sequential Lateral Solidification ) 方式で結晶化され、

前記下部層は透明導電性物質で形成されており、

前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である表示基板。

10

## 【請求項 3】

前記第 1 ストレージ電極は、前記ドーピング部より低濃度で不純物がドーピングされている請求項 1 または 2 に記載の表示基板。

20

## 【請求項 4】

スイッチング素子の不純物がドーピングされているドーピング部と、スイッチング素子のチャンネル部と、第 1 ストレージ電極とを含む多結晶シリコン層と、

前記チャンネル部に対応する位置に形成され、透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート電極と、

前記ドーピング部と接触するソース電極と、

前記ドーピング部と接触するドレイン電極と、

前記第 1 ストレージ電極に対応する位置に形成され、前記下部層を含む第 2 ストレージ電極と、

30

前記ドレイン電極と電氣的に接続され、前記第 1 ストレージ電極及び前記第 2 ストレージ電極の上部を覆う画素電極と、

前記下部層及び前記上部層を含んで形成され、前記第 2 ストレージ電極と連結されたストレージ配線と、

を有し、

前記多結晶シリコン層の厚さは、200 ~ 400 であり、

前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である表示基板。

## 【請求項 5】

スイッチング素子の不純物がドーピングされているドーピング部と、スイッチング素子のチャンネル部と、第 1 ストレージ電極とを含む多結晶シリコン層と、

前記チャンネル部に対応する位置に形成され、透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート電極と、

前記ドーピング部と接触するソース電極と、

前記ドーピング部と接触するドレイン電極と、

前記第 1 ストレージ電極に対応する位置に形成され、前記下部層を含む第 2 ストレージ電極と、

40

前記ドレイン電極と電氣的に接続され、前記第 1 ストレージ電極及び前記第 2 ストレージ電極の上部を覆う画素電極と、

50

前記下部層及び前記上部層を含んで形成され、前記第2ストレージ電極と連結されたストレージ配線と、

を有し、

前記多結晶シリコン層は、SLS ( Sequential Lateral Solidification ) 方式で結晶化された多結晶シリコン層であり、

前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である表示基板。

【請求項6】

前記第1ストレージ電極は、前記ドーピング部より低濃度で不純物がドーピングされている請求項4または5に記載の表示基板。

10

【請求項7】

複数の画素部を有する表示基板と、

前記表示基板に対向して配置された対向基板と、

前記表示基板と前記対向基板との間に配置されている液晶層と、を有し、

各画素部は、チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピングと接触するソース電極と、前記ドーピング部と接触するドレイン電極とを備えるスイッチング素子と、

前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、

20

前記下部層及び上部層を含み、前記第2ストレージ電極と接続されたストレージ配線と、

前記スイッチング素子と電気的に接続され、前記ストレージキャパシタの上部を覆う画素電極と、

を有し、

前記多結晶シリコン層の厚さは、200～400 であり、

前記下部層は透明導電性物質で形成されており、

前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である表示装置。

【請求項8】

30

複数の画素部を有する表示基板と、

前記表示基板に対向して配置された対向基板と、

前記表示基板と前記対向基板との間に配置されている液晶層と、を有し、

各画素部は、チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピングと接触するソース電極と、前記ドーピング部と接触するドレイン電極とを備えるスイッチング素子と、

前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、

前記下部層及び上部層を含み、前記第2ストレージ電極と接続されたストレージ配線と

40

前記スイッチング素子と電気的に接続され、前記ストレージキャパシタの上部を覆う画素電極と、

を有し、

前記多結晶シリコン層は、SLS ( Sequential Lateral Solidification ) 方式で結晶化された多結晶シリコン層であり、

前記下部層は透明導電性物質で形成されており、

前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である表示装置。

【請求項9】

50

基板上に厚さが200～400である多結晶シリコン層を形成する段階と、  
前記多結晶シリコン層の一部に不純物をドーピングし、ドーピング領域と非ドーピング領域とを形成する段階と、

前記多結晶シリコン層が形成された基板上に透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート金属層を形成する段階と、

前記ゲート金属層をパターンニングして、ゲート配線及びストレージ配線を含むゲート金属パターンを形成し、前記下部層をパターンニングして前記ドーピング領域の一部と対応する位置に第2ストレージ電極を形成する段階と、

前記多結晶シリコン層の前記ドーピング領域の一部に不純物をさらにドーピングしてドーピング部を形成する段階と、

10

前記ドーピング部が形成された基板上に、ソース金属層を形成してパターンニングしてソース金属パターンを形成する段階と、

前記ソース金属パターンと電氣的に接続され、前記ドーピング領域の中で前記ドーピング部を除く領域と前記第2ストレージ電極との上部を覆う画素電極を形成する段階と、を有する表示基板の製造方法。

#### 【請求項10】

基板上にSLS(Sequential Lateral Solidification)方式で結晶化された多結晶シリコン層を形成する段階と、

前記多結晶シリコン層の一部に不純物をドーピングし、ドーピング領域と非ドーピング領域とを形成する段階と、

20

前記多結晶シリコン層が形成された基板上に透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート金属層を形成する段階と、

前記ゲート金属層をパターンニングして、ゲート配線及びストレージ配線を含むゲート金属パターンを形成し、前記下部層をパターンニングして前記ドーピング領域の一部と対応する位置に第2ストレージ電極を形成する段階と、

前記多結晶シリコン層の前記ドーピング領域の一部に不純物をさらにドーピングしてドーピング部を形成する段階と、

前記ドーピング部が形成された基板上に、ソース金属層を形成してパターンニングしてソース金属パターンを形成する段階と、

前記ソース金属パターンと電氣的に接続され、前記ドーピング領域の中で前記ドーピング部を除く領域と前記第2ストレージ電極との上部を覆う画素電極を形成する段階と、を有する表示基板の製造方法。

30

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

本発明は、表示基板と、その製造方法、及びこれを有する表示装置に関する。より詳細には、高開口率を有する表示基板と、これの製造方法に関する。

#### 【背景技術】

#### 【0002】

一般的に、液晶表示装置(Liquid Crystal Display、LCD)は、表示基板と結合して液晶層を収容する対向基板(Counter Substrate)を含む。表示基板には、ゲート配線、及びゲート配線と交差するソース配線が形成され、ゲート配線とソース配線に連結されたスイッチング素子と、スイッチング素子に連結された画素電極が形成される。各スイッチング素子は、ゲート配線から延長されたゲート電極、ゲート電極と絶縁されてゲート電極と重なるチャンネル、ソース配線から形成されチャンネルと電氣的に接続されたソース電極、ソース電極と離隔されチャンネルと電氣的に連結されたソース電極、ソース電極と離隔されてチャンネルと電氣的に接続されたドレイン電極を含む。

40

#### 【0003】

最近、液晶表示装置は、モバイルフォン、カムコーダ、デジタルカメラ、MP3プレ

50

ーヤーなどのような複合機器の表示装置として開発され、これによってコンテンツの多様化及び高級化に応じて、高解像度はもちろん高輝度が要求されつつある。特に、携帯用機器に適用される小型の液晶表示装置は、高解像度及び高輝度のために消費電力を増加させてバックライトの輝度を向上させる方法が一般的に用いられている。しかし、消費電力を増加させて高輝度を達成する方法は、携帯電源（例えば、バッテリー）を用いる携帯用機器という点から限界を有する。

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の技術的な課題はこのような点から着眼したものであって、本発明の目的は、高開口率を有する表示基板を提供することにある。

本発明の他の目的は、前記表示基板の製造方法を提供することにある。

本発明の更に他の目的は、前記表示基板を具備した表示装置を提供することにある。

【課題を解決するための手段】

【0005】

以上のような目的を達成するための本発明の一実施形態に係る表示基板は、複数の画素部を含む表示基板であって、

それぞれの前記画素部は、

- ・チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピング部と接触しているソース電極と、前記ドーピング部と接触しているドレイン電極と、を備えるスイッチング素子と、

- ・前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、

- ・前記スイッチング素子と電気的に接続され、前記ストレージキャパシタの上部を覆っている画素電極と、

- ・前記下部層及び前記上部層を含んで形成され、前記第2ストレージ電極と連結されたストレージ配線と、を有し、

- ・前記多結晶シリコン層の厚さは、200～400 であり、

- ・前記下部層は透明導電性物質で形成されており、

- ・前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である。

【0006】

以上のような目的を達成するための本発明の別の実施形態に係る表示基板は、複数の画素部を含む表示基板であって、

それぞれの前記画素部は、

- ・チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピング部と接触しているソース電極と、前記ドーピング部と接触しているドレイン電極と、を備えるスイッチング素子と、

- ・前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、

- ・前記スイッチング素子と電気的に接続され、前記ストレージキャパシタの上部を覆っている画素電極と、

- ・前記下部層及び前記上部層を含んで形成され、前記第2ストレージ電極と連結されたストレージ配線と、を有し、

- ・前記多結晶シリコン層は、SLS ( Sequential Lateral Solidification ) 方式で結晶化され、

- ・前記下部層は透明導電性物質で形成されており、

- ・前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素

10

20

30

40

50

電極との間の層が全て透明である。

上述の表示基板において、前記第1ストレージ電極は、前記ドーピング部より低濃度で不純物がドーピングされているとよい。

【0007】

以上のような目的を達成するための本発明のさらに別の一実施形態に係る表示基板は、

- ・スイッチング素子の不純物がドーピングされているドーピング部と、スイッチング素子のチャンネル部と、第1ストレージ電極とを含む多結晶シリコン層と、
- ・前記チャンネル部に対応する位置に形成され、透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート電極と、
- ・前記ドーピング部と接触するソース電極と、
- ・前記ドーピング部と接触するドレイン電極と、
- ・前記第1ストレージ電極に対応する位置に形成され、前記下部層を含む第2ストレージ電極と、
- ・前記ドレイン電極と電氣的に接続され、前記ストレージキャパシタの上部を覆う画素電極と、
- ・前記下部層及び前記上部層を含んで形成され、前記第2ストレージ電極と連結されたストレージ配線と、を有し、
- ・前記多結晶シリコン層の厚さは、200～400 であり、
- ・前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である。

10

20

【0008】

以上のような目的を達成するための本発明のさらに別の一実施形態に係る表示基板は、

- ・スイッチング素子の不純物がドーピングされているドーピング部と、スイッチング素子のチャンネル部と、第1ストレージ電極とを含む多結晶シリコン層と、
- ・前記チャンネル部に対応する位置に形成され、透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート電極と、
- ・前記ドーピング部と接触するソース電極と、
- ・前記ドーピング部と接触するドレイン電極と、
- ・前記第1ストレージ電極に対応する位置に形成され、前記下部層を含む第2ストレージ電極と、
- ・前記ドレイン電極と電氣的に接続され、前記ストレージキャパシタの上部を覆う画素電極と、
- ・前記下部層及び前記上部層を含んで形成され、前記第2ストレージ電極と連結されたストレージ配線と、を有し、
- ・前記多結晶シリコン層は、SLS (Sequential Lateral Solidification) 方式で結晶化された多結晶シリコン層であり、
- ・前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である。

30

【0009】

上述の表示基板において、前記第1ストレージ電極は、前記ドーピング部より低濃度で不純物がドーピングされているとよい。

40

【0010】

以上のような目的を達成するための本発明の一実施形態に係る表示基板の製造方法は、

- ・基板上に厚さが200～400 である多結晶シリコン層を形成する段階と、
- ・前記多結晶シリコン層に不純物をドーピングし、スイッチング素子のチャンネルと第1ストレージ電極とを形成する段階と、
- ・前記多結晶シリコン層が形成された基板上に透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート金属層を形成する段階と、
- ・前記ゲート金属層をパターンニングして、ゲート配線及びストレージ配線を含むゲート金属パターンを形成し、前記下部層をパターンニングして前記第1ストレージ電極と対応する

50

位置に第2ストレージ電極を形成する段階と、

- ・前記多結晶シリコン層に前記不純物をドーピングして前記スイッチング素子のドーピング部を形成する段階と、
- ・前記ドーピング部が形成された基板の上に、ソース金属層を形成してパターンニングしてソース金属パターンを形成する段階と、
- ・前記ソース金属パターンと電氣的に接続され、前記ドーピング領域の中で前記ドーピング部を除く領域と前記第2ストレージ電極との上部を覆う画素電極を形成する段階と、を有する。

【0011】

以上のような目的を達成するための本発明の別の一実施形態に係る表示基板の製造方法は、

- ・基板の上にSLS (Sequential Lateral Solidification) 方式で結晶化された多結晶シリコン層を形成する段階と、
- ・前記多結晶シリコン層の一部に不純物をドーピングし、ドーピング領域と非ドーピング領域とを形成する段階と、
- ・前記多結晶シリコン層が形成された基板の上に透明導電性物質からなる下部層と金属物質からなる上部層とを含むゲート金属層を形成する段階と、
- ・前記ゲート金属層をパターンニングして、ゲート配線及びストレージ配線を含むゲート金属パターンを形成し、前記下部層をパターンニングして前記ドーピング領域の一部と対応する位置に第2ストレージ電極を形成する段階と、
- ・前記多結晶シリコン層の前記ドーピング領域の一部に不純物をさらにドーピングしてドーピング部を形成する段階と、
- ・前記ドーピング部が形成された基板の上に、ソース金属層を形成してパターンニングしてソース金属パターンを形成する段階と、
- ・前記ソース金属パターンと電氣的に接続され、前記ドーピング領域の中で前記ドーピング部を除く領域と前記第2ストレージ電極との上部を覆う画素電極を形成する段階と、を有する。

【0012】

以上のような目的を達成するための本発明の一実施形態に係る表示装置は、

- ・複数の画素部を有する表示基板と、
- ・前記表示基板に対向して配置された対向基板と、
- ・前記表示基板と前記対向基板との間に配置されている液晶層と、を有し、
- ・各画素部は、チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピングと接触するソース電極と、前記ドーピング部と接触するドレイン電極とを備えるスイッチング素子と、
- ・前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、
- ・前記下部層及び上部層を含み、前記第2ストレージ電極と接続されたストレージ配線と、
- ・前記スイッチング素子と電氣的に接続され、前記ストレージキャパシタの上部を覆う画素電極と、を有し、
- ・前記多結晶シリコン層の厚さは、200～400 であり、
- ・前記下部層は透明導電性物質で形成されており、
- ・前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である。

【0013】

以上のような目的を達成するための本発明の別の一実施形態に係る表示装置は、

- ・複数の画素部を有する表示基板と、
- ・前記表示基板に対向して配置された対向基板と、

- ・前記表示基板と前記対向基板との間に配置されている液晶層と、を有し、
- ・各画素部は、チャンネル部と不純物がドーピングされているドーピング部とを含む多結晶シリコン層と、前記チャンネル部に対応する位置に形成され下部層と上部層とを含むゲート電極と、前記ドーピングと接触するソース電極と、前記ドーピング部と接触するドレイン電極とを備えるスイッチング素子と、
- ・前記多結晶シリコン層を含んで形成されている第1ストレージ電極と、前記下部層を含んで形成されている第2ストレージ電極とを備えるストレージキャパシタと、
- ・前記下部層及び上部層を含み、前記第2ストレージ電極と接続されたストレージ配線と、
- ・前記スイッチング素子と電気的に接続され、前記ストレージキャパシタの上部を覆う画素電極と、を有し、
- ・前記多結晶シリコン層は、SLS方式で結晶化されている多結晶シリコン層であり、
- ・前記下部層は透明導電性物質で形成されており、
- ・前記ストレージキャパシタを形成する層、及び、前記ストレージキャパシタと前記画素電極との間の層が全て透明である。

10

## 【発明の効果】

## 【0014】

このような表示基板と、その製造方法、及びこれを有する表示装置によると、ストレージキャパシタの面積を縮小することなく高開口率の表示基板を具現することができる。

## 【発明を実施するための最良の形態】

20

## 【0015】

以下、添付する図面を参照して本発明をより詳細に説明する。

図1は、本発明の実施例による表示装置の平面図である。図2は、図1のI-I'線に沿って見た断面図である。

## 【0016】

図1及び図2を参照すると、表示装置は、表示基板100と表示基板100と結合して液晶層300を収容する対向基板200を含む。表示基板100は、第1ベース基板110上に複数の画素部(P)がマトリクス形状に形成され、各画素部(P)には画素電極(PE)が形成される。対向基板200は、第2ベース基板210上にカラーフィルタ層220と画素電極(PE)に対応する共通電極230が形成される。

30

## 【0017】

具体的に、表示基板100は、複数のゲート配線(GL)、複数のソース配線(DL)、複数のスイッチング素子(TFT)、複数のストレージキャパシタ(CST)、及び複数の画素電極(PE)が形成される。ストレージキャパシタ(CST)は、互いにストレージ配線(SL)を通じて共通に連結される。

## 【0018】

ゲート配線(GL)は、ゲート金属層から形成され、第1方向に延長されて形成される。ゲート金属層は、透明導電性物質で形成された下部層151と、透明導電性物質と蓄電効果のない金属で形成された上部層153で構成される。下部層151は、インジウム(In)、スズ(Sn)、亜鉛(Zn)、アルミニウム(Al)、及びガリウム(Ga)よりなる群から選択された一種以上を含有した酸化物質または窒酸化物質で形成される。上部層153は、アルミニウム(Al)またはアルミニウム合金などアルミニウム系列の金属、モリブデン(Mo)またはモリブデン合金などモリブデン系の金属、クロム(Cr)、タンタル(Ta)、またはチタニウム(Ti)を含む金属で形成され、単層構造または多層構造にして形成される。望ましくは、上部層153は、Mo、MoTa、MoW、AlNiのいずれが選択された単層構造で形成されるか、あるいはMo/Al、Ti/Al、Mo/Al/Moから選択されたいずれで形成された多層構造で形成される。

40

## 【0019】

ソース配線(DL)は、ソース金属層から形成され、第1方向と交差する第2方向に延長されて形成される。ソース金属層は、銅(Cu)または銅(Cu)合金などの銅系金

50

属、アルミニウム (Al) またはアルミニウム合金などアルミニウム系金属、銀 (Ag) または銀合金などの銀系金属、モリブデン (Mo) またはモリブデン合金などモリブデン系金属、クロム (Cr)、タンタル (Ta) またはチタン (Ti) を含む金属で形成され、単層構造または互いに異なる金属が積層された多層構造に形成される。望ましくは、モリブデン (Mo) またはモリブデン系金属で形成される。

#### 【0020】

スイッチング素子 (TFT) は、ゲート配線 (GL) とソース配線 (DL) によって定義された複数の画素部 (P) にそれぞれ形成される。各スイッチング素子 (TFT) は、チャンネル部 134 と不純物が高濃度でドーピングされたドーピング部 136 を含む多結晶シリコン層と、ゲート配線 (GL) と接続されチャンネル部 134 上に形成されたゲート電極 (G) と、ソース配線 (DL) と連結されドーピング部 136 と接触されたソース電極 (S) と、ソース電極 (S) と離隔されドーピング部 136 と接触されたドレイン電極 (D) とを含む。ドーピング部 136 は、 $n+$ 、約  $1 \times 10^{15} / \text{cm}^2$  濃度で不純物がドーピングされる。ここで、多結晶シリコン層は、SLS (Sequential Lateral Solidification: 順次的側面固相化) 結晶化方式で結晶化し、結晶粒が約数マイクロメートルに形成される。

10

#### 【0021】

ストレージキャパシタ (CST) は、多結晶シリコン層から形成され、不純物が低濃度でドーピングされた第1ストレージ電極 (STE1) と、共通電圧が印加されるストレージ配線 (SL) と連結された第2ストレージ電極 (STE1) を含む。

20

#### 【0022】

第1ストレージ電極 (STE1) は、SLS 結晶化方式を通じて結晶化した多結晶シリコン層から形成されることによって、透過率特性が優秀である。なお、第1ストレージ電極 (STE1) は、 $n-$ 、約  $1 \times 10^{13} / \text{cm}^2$  濃度で不純物がドーピングされることによって十分なストレージキャパシタンスを得ることができる。第2ストレージ電極 (STE2) は、ゲート金属層の下部層 151 から形成される。即ち、第2ストレージ電極 (STE2) は、透明導電性物質から形成されることによって開口率を向上させる。金属物質から形成されて画素部 (P) の開口率が低下するストレージ電極を透明導電性物質で形成することによって光の透過率を向上するので、ストレージ電極の面積を減少することなく画素部 (P) の開口率を向上させうる効果を有する。

30

#### 【0023】

ストレージ配線 (SL) は、ゲート金属層、即ち、下部層 151 及び上部層 153 が積層された構造で形成される。

画素電極 (PE) は、スイッチング素子 (TFT) と電気的に接続される。各画素電極 (PE) は、該当するスイッチング素子 (TFT) のドレイン電極 (D) と電気的に連結され、画素部 (P) に形成される。画素電極 (PE) は、透明導電性物質からなる。透明導電性物質は、インジウム (In)、スズ (Sn)、亜鉛 (Zn)、アルミニウム (Al)、及びガリウム (Ga) より選択された一種以上を含有した酸化物または窒酸化物で形成される。

#### 【0024】

図3乃至図12は、図2に示した表示基板の製造方法を示す工程図である。

図1及び図3を参照すると、第1ベース基板 110 上に遮断層 120 を形成する。遮断層 120 が形成された第1ベース基板 110 上に第1厚さ (D1) に非晶質シリコン層 130 を蒸着する。第1厚さ (D1) は、約 500 - 2000 程度である。

40

#### 【0025】

第1厚さ (D1) に蒸着された非晶質シリコン層 130 を、SLS (Sequential Lateral Solidification) 結晶化方式で多結晶シリコン層にして結晶化する。SLS 結晶化方式は、既存の  $1 \mu\text{m}$  以下の結晶粒を成長させるELA (Excimer Laser Annealing) 結晶化方式とは違って、順次に側面移動によるレーザー照射によって結晶粒の大きさを数  $\mu\text{m}$  以上に成長させる方式である

50

## 【0026】

SLS結晶化方式で結晶化を進行する場合、一般的に膜の厚さが厚くなるほど有利である。したがって、非晶質シリコン層130の第1厚さ(D1)は、約600に厚く形成する。

## 【0027】

その後、SLS結晶化方式で結晶化された多結晶シリコン層をエッチング工程を通じて第2厚さ(D2)に薄く形成する。第2厚さ(D2)は、約200-400である。

一般的に、多結晶シリコン層の厚さが約500であるとき、光の透過率は400nmの波長に対して20%、480nmの波長に対して70%、600nm波長に対して40%を有し、ピーク透過率は約50%である。一方、多結晶シリコン層の厚さが約250である場合、光のピーク透過率は85%に達する。このように、多結晶シリコン層の厚さが薄いほど光の透過率は優秀である。

10

## 【0028】

したがって、SLS結晶化工程のために相対的に厚く第1厚さ(D1)に形成された多結晶シリコン層を、エッチング工程を通じて約300の第2厚さ(D2)に薄く形成する。

## 【0029】

図1、図2及び図4を参照すると、第2厚さ(D2)の多結晶シリコン層131上に第1フォトレジスト層を塗布及びパターンニングして、第1フォトレジストパターン(PR11、PR12)を形成する。第1フォトレジストパターン(PR11、PR12)は、第1フォトパターンと第2フォトパターン(PR11、PR12)を含み、画素部(P)内の多結晶シリコン領域(PSA)に形成される。具体的に、第1フォトパターン(PR11)は、スイッチング素子(TFT)のチャンネル部134に対応する第1領域(A1)に第1高さ(T1)に形成され、第2フォトパターン(PR12)は、スイッチング素子(TFT)のドーピング部136及び前記ストレージキャパシタ(CST)が形成される第2領域(A2)に第2高さ(T2)に形成される。第1高さ(T1)は、第2高さ(T2)より高い。

20

## 【0030】

図1及び図5を参照すると、第1フォトレジストパターン(PR11、PR12)を用いて多結晶シリコン層131をパターンニングして、画素部(P)内の多結晶シリコン領域(PSA)に多結晶シリコン層131を残留させる。

30

## 【0031】

その後、第1及び第2フォトパターン(PR11、PR12)をアッシング工程を通じて一定厚さを除去する。アッシング工程によって第1領域(A1)に第1残留フォトパターン(PR11')が形成され、第2領域(A2)に対応する多結晶シリコン層131を露出させる。

## 【0032】

第1残留フォトパターン(PR11')をマスクにして不純物を第1ドーブし、多結晶シリコン層131の第2領域(A2)に不純物をドーブさせる。即ち、第1ドーピング工程を通じてスイッチング素子(TFT)のドーピング部136及びストレージキャパシタ(CST)の第1ストレージ電極(STE1)にn-、約 $1E13/cm^2$ 濃度の不純物をドーブする。

40

## 【0033】

その後、前記第1残留フォトパターン(PR11')をストリップ工程を通じて除去する。

図1及び図6を参照すると、ドーピング部136及び第1ストレージ電極(STE1)に低濃度の不純物がドーブされた第1ベース基板110上に第1層間絶縁層140と、ゲート金属層150を順次蒸着する。

## 【0034】

50

ゲート金属層150は、透明導電性物質で形成された下部層151と、透明導電性物質と蓄電効果のない金属物質で形成された上部層153を含む。下部層151は、インジウム(In)、スズ(Sn)、亜鉛(Zn)、アルミニウム(Al)、及びガリウム(Ga)より選択された一種以上を含有した酸化物または窒酸化物で形成される。上部層153は、Mo、MoTa、MoW、AlNiより選択されたいずれの単層構造に形成されるか、あるいはMo/Al、Ti/Al/Ti、Mo/Al/Moより選択されたいずれの多層構造に形成される。

【0035】

ゲート金属層150が形成された第1ベース基板110上に、第2フォトレジスト層を塗布及びパターニングして第2フォトレジストパターン(PR21、PR22)を形成する。第2フォトレジストパターン(PR21、PR22)は、第1フォトパターン(PR21)及び第2フォトパターン(PR22)を含む。具体的に、第1フォトパターン(PR21)は、ゲート電極(G)が形成されるゲート電極領域(GA)及びゲート配線(GL)が形成される領域(図示せず)及びストレージ配線(SL)が形成される領域(SLA)に第3高さ(T3)に形成される。第2フォトパターン(PR22)は、第2ストレージ電極(STE2)が形成されるストレージ電極領域(STEA)に第4高さ(T4)に形成される。第3高さ(T3)は、第4高さ(T4)より高い。

10

【0036】

図1及び図7を参照すると、第2フォトレジストパターン(PR21、PR22)を用いてゲート金属層150をパターニングしてゲート金属パターンを形成する。ゲート金属パターンは、下部層151及び上部層153から構成され、ゲート電極(G)、ゲート配線(GL)及びストレージ金属パターン(ST)を含む。ストレージ金属パターン(ST)は、後の工程を通じて第2ストレージ電極(STE2)及びストレージ配線(SL)から形成される。

20

【0037】

その後、第2フォトレジストパターン(PR21、PR22)をアッシング工程を通じて一定厚さを除去する。

図1及び図8を参照すると、アッシング工程を通じて第4フォトパターン(PR22)を除去してストレージ電極領域(STEA)の上部層153を露出させ、ゲート電極領域(GA)、ゲート配線領域(図示せず)及びストレージ配線領域(SLA)には第2残留フォトパターン(PR22')を形成する。

30

【0038】

第2残留フォトパターン(PR22')を用いてストレージ電極領域(STEA)に露出された上部層153を除去し、第2ストレージ電極(STE2)を形成する。結果的に第2ストレージ電極(STE2)は、透明導電性物質である下部層151から形成される。よって、ストレージキャパシタ(CST)の面積を確保するとともに画素部(P)の開口率を向上させる。また、ゲート電極(G)、ゲート配線(GL)、及びストレージ配線(SL)は、ゲート金属層、即ち、下部層151、及び上部層153で構成される。

【0039】

その後、ストリップ工程を通じて第2残留フォトパターン(PR22')を除去する。

40

図1及び図9を参照すると、第3フォトレジスト層を塗布及びパターニングして第3フォトパターン(PR3)を形成する。第3フォトパターン(PR3)は、多結晶シリコン領域(PSA)のうち、チャンネル部134、ストレージ電極領域(STEA)及びストレージ配線(SLA)上に形成される。第3フォトパターン(PR3)をマスクにして不純物を他結晶シリコン層に第2ドーピングする。したがって、不純物が第1ドーピングされたドーピング部136には不純物が再びドーピングされ、 $n^+$ 、 $1E15\text{ cm}^2$ 濃度にドーピングされる。

【0040】

その後、第3フォトパターン(PR3)をストリップ工程を通じて除去する。

図1及び図10を参照すると、ゲート電極(G)、ゲート配線(GL)、及びストレ

50

ジキャパシタ ( C S T ) 及びストレージ配線 ( S L ) が形成された第 1 ベース基板 1 1 0 上に第 2 層間絶縁層 1 6 0 を形成する。

【 0 0 4 1 】

第 1 及び第 2 層間絶縁層 ( 1 4 0 、 1 6 0 ) を除去して、ソース電極 ( S ) 及びドレイン電極 ( D ) をそれぞれ露出させる第 1 コンタクトホール ( C H 1 ) 及び第 2 コンタクトホール ( C H 2 ) を形成する。

【 0 0 4 2 】

図 1 及び図 1 1 を参照すると、第 1 及び第 2 コンタクトホール ( C H 1 、 C H 2 ) が形成された第 1 ベース基板 1 1 0 上にソース金属層を蒸着して第 1 及び第 2 コンタクトホール ( C H 1 、 C H 2 ) を通じてソース金属層とドーピング部 1 3 6 を接触させる。

10

【 0 0 4 3 】

ソース金属層は、銅 ( C u ) または銅合金などの銅系金属、アルミニウム ( A l ) またはアルミニウム合金などのアルミニウム系金属、銀 ( A g ) または銀合金などの銀系金属、モリブデン ( M o ) またはモリブデン合金などのモリブデン系金属、クロム ( C r ) 、タンタル ( T a ) またはチタン ( T i ) を含む金属で形成され、単層構造または互いに異なる金属が積層された多層構造にして形成される。望ましくは、モリブデン ( M o ) またはモリブデン合金などモリブデン系金属で形成される。

【 0 0 4 4 】

その後、ソース金属層をパターンニングしてソース金属パターンを形成する。ソース金属パターンは、第 1 コンタクトホール ( C H 1 ) を通じて前記ドーピング部 1 3 6 と接触するソース電極 ( S ) と、第 2 コンタクトホール ( C H 2 ) を通じてドーピング部 1 3 6 と接触するドレイン電極 ( D ) 及びゲート配線 ( G L ) と交差し、ソース電極 ( S ) と連結されたソース配線 ( D L ) を含む。

20

【 0 0 4 5 】

ソース金属パターンが形成された第 1 ベース基板 1 1 0 上に第 3 層間絶縁層 1 7 0 を形成する。第 3 層間絶縁層 1 7 0 を除去してドレイン電極 ( D ) を露出させるビアホール ( V H ) を形成する。

【 0 0 4 6 】

図 1 及び図 1 2 を参照すると、ビアホール ( V H ) が形成された第 1 ベース基板 1 1 0 上に、透明導電性物質を蒸着及びパターンニングして画素電極 ( P E ) を形成する。透明導電性物質は、インジウム ( I n ) 、スズ ( S n ) 、亜鉛 ( Z n ) 、アルミニウム ( A l ) 、及びガリウム ( G a ) より選択された一種以上を含有した酸化物または窒化物を含む。画素電極 ( P E ) は、ビアホール ( V H ) を通じてドレイン電極 ( D ) と接触される。

30

【 0 0 4 7 】

図 1 3 は、本発明の実施例によって多結晶シリコン層の透過率特性を示すグラフである。

図 1 3 を参照すると、本発明の実施例 1 ( # 1 ) は、 S L S 結晶化方式で結晶化された 3 0 0 ( = 3 0 n m ) の膜厚を有する多結晶シリコン層の透過率を測定したグラフである。比較例 1 ( # 2 ) は、 E L A 結晶化方式で結晶化された 3 0 0 の膜厚を有する多結晶シリコン層の透過率を測定したグラフである。比較例 2 ( # 3 ) は、結晶化されない 3 0 0 の膜厚を有する非晶質シリコン層の透過率を測定したグラフである。

40

【 0 0 4 8 】

図示したように、実施例 ( # 1 ) の場合、 4 0 0 n m 波長に対する透過率は約 3 3 % 、 4 8 0 n m 波長に対する透過率は、約 5 5 % 、 6 0 0 n m 波長に対する透過率は約 6 3 % に測定された。

【 0 0 4 9 】

比較例 1 ( # 2 ) の場合、 4 0 0 n m の波長に対する透過率は約 2 8 % 、 4 8 0 n m 波長に対する透過率は約 5 0 % 、 6 0 0 n m 波長に対する透過率は約 6 0 % に測定された。

【 0 0 5 0 】

50

比較例 2 ( # 3 ) の場合、400 nm 波長に対する透過率は約 8 % 以下、480 nm 波長に対する透過率は約 25 %、600 nm 波長に対する透過率は約 45 % に測定された。

【0051】

このように、比較例 2 ( # 3 ) の場合が透過率が最も低く、その次に比較例 1 ( # 2 ) 、実施例 1 ( # 1 ) 順に透過率が優秀であることがわかる。特に、400 nm ~ 600 nm 以下の波長で実施例 1 ( # 1 ) が比較例 1 ( # 2 ) より透過率が高いことがわかる。

【0052】

したがって、本発明の実施例によって SLS 結晶化方式で結晶化された多結晶シリコン層の透過率は、既存の ELS 結晶化方式で結晶化された多結晶シリコン層の透過率より優秀であることがわかる。

10

【0053】

図 14 は、本発明の実施例によるストレージキャパシタのキャパシタンスを示すグラフである。

図 14 を参照すると、電圧 ( V ) 対ストレージキャパシタのキャパシタンス ( C ) を示すグラフである。不純物をドーピングせず多結晶シリコン層にしてストレージキャパシタの電極を形成する場合 ( Non doping )、0 V 以上の任意の電圧 ( V0 ) でキャパシタンス ( C ) の最高値 ( Cmax ) が得られることがわかる。一方、不純物のドーピングされた多結晶シリコン層にしてストレージキャパシタの電極を形成する場合 ( n - doping )、0 V で最高値のキャパシタンス ( Cmax ) が得られることがわかる。

【0054】

20

したがって、ストレージ電極を不純物がドーピングされた多結晶シリコン層から形成することで、ストレージキャパシタのキャパシタンスを十分確保して表示装置の駆動信頼性を向上させることができる。

【0055】

以上で説明したように、本発明によると画素部内に形成されるストレージキャパシタの面積を縮小することなく、ストレージキャパシタの電極を透明に形成することで高開口率を具現することができる。ストレージキャパシタの電極を SLS 結晶化方式で結晶化された多結晶シリコン層で形成することで透過率を向上させることができる。

【0056】

結果的に、透過率の優秀な多結晶シリコン層から第 1 ストレージ電極を形成し、第 1 ストレージ電極に対向する第 2 ストレージ電極を透明の導電層にして形成して高開口率の表示基板及び高輝度の表示装置を具現することができる。

30

【0057】

以上、本発明の実施例によって詳細に説明したが、本発明はこれに限定されず、本発明が属する技術分野において通常の知識を有するものであれば本発明の思想と精神を離脱することなく、本発明を修正または変更できる。

【図面の簡単な説明】

【0058】

【図 1】本発明の実施例による表示装置の平面図である。

【図 2】図 1 の I - I ' に沿って見た断面図である。

40

【図 3】図 2 に示した表示基板の製造方法を示す工程図である。

【図 4】図 2 に示した表示基板の製造方法を示す工程図である。

【図 5】図 2 に示した表示基板の製造方法を示す工程図である。

【図 6】図 2 に示した表示基板の製造方法を示す工程図である。

【図 7】図 2 に示した表示基板の製造方法を示す工程図である。

【図 8】図 2 に示した表示基板の製造方法を示す工程図である。

【図 9】図 2 に示した表示基板の製造方法を示す工程図である。

【図 10】図 2 に示した表示基板の製造方法を示す工程図である。

【図 11】図 2 に示した表示基板の製造方法を示す工程図である。

【図 12】図 2 に示した表示基板の製造方法を示す工程図である。

50

【図13】本発明の実施例によって多結晶シリコン層の透過率の特性を示すグラフである。

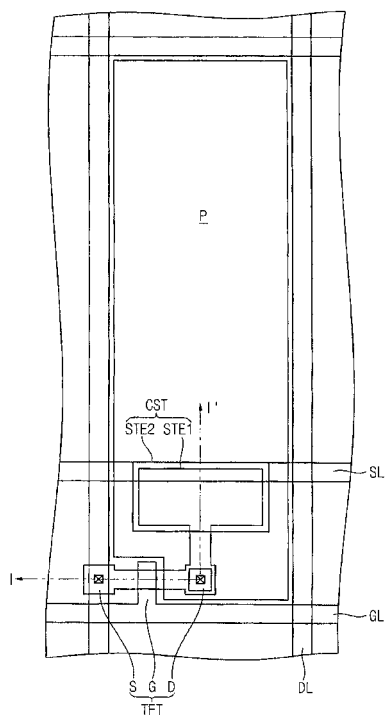
【図14】本発明の実施例によるストレージキャパシタのキャパシタンスを示すグラフである。

【符号の説明】

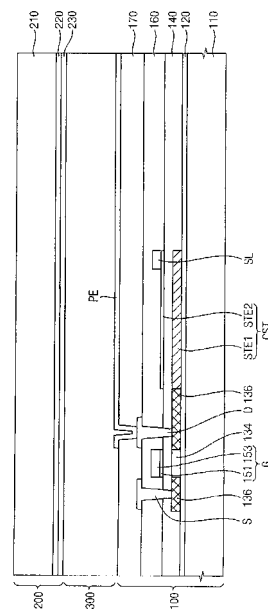
【0059】

- 100 表示基板
- 120 遮断層
- 130 多結晶シリコン層
- 140 第1層間絶縁層
- 160 第2層間絶縁層
- 170 第3層間絶縁層
- 200 対向基板

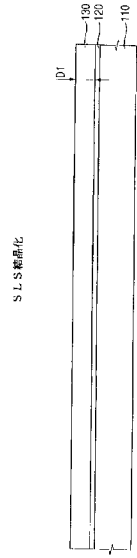
【図1】



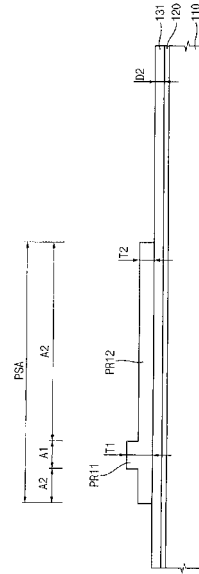
【図2】



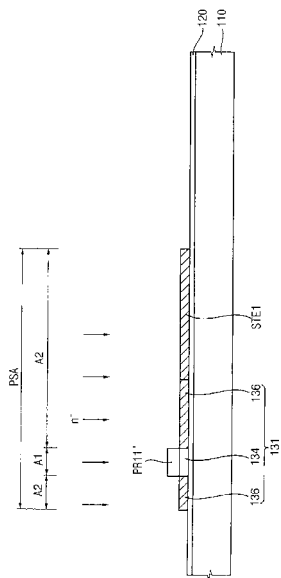
【図3】



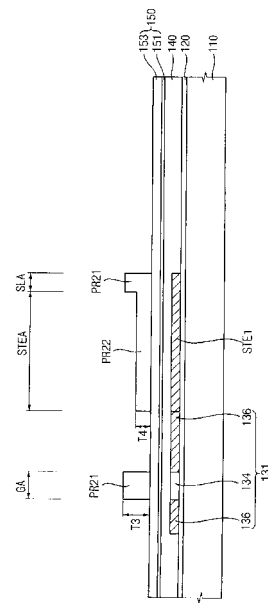
【図4】



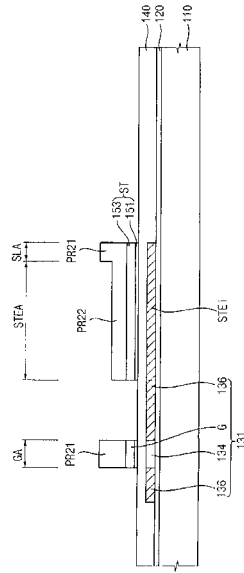
【図5】



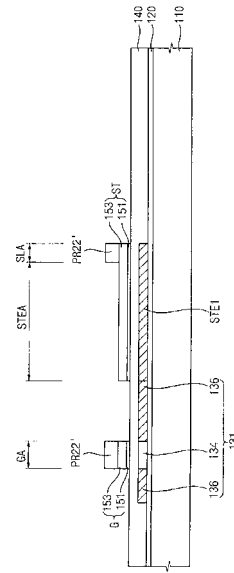
【図6】



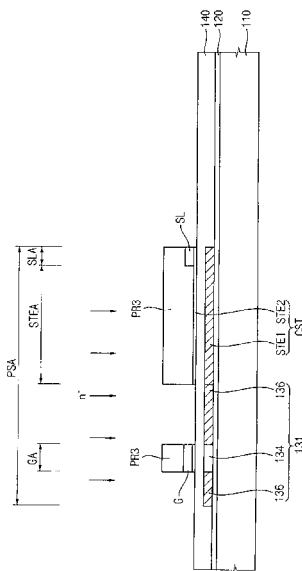
【 図 7 】



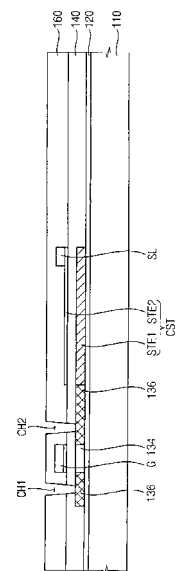
【 図 8 】



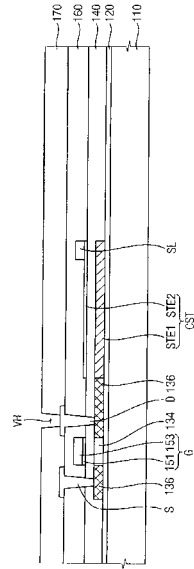
【 図 9 】



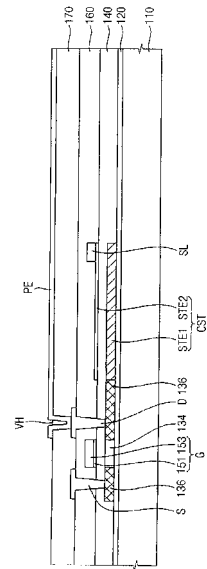
【 図 10 】



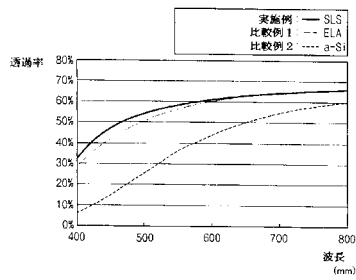
【図 1 1】



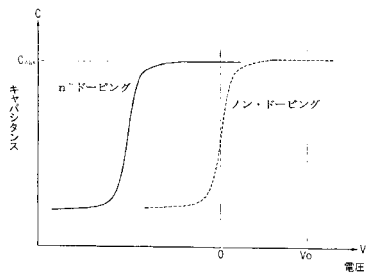
【図 1 2】



【図 1 3】



【図 1 4】



---

フロントページの続き

(56)参考文献 特開2006-079062(JP,A)  
特開2005-197746(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F 1/1343

G02F 1/1368