

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3894271号
(P3894271)

(45) 発行日 平成19年3月14日(2007.3.14)

(24) 登録日 平成18年12月22日(2006.12.22)

(51) Int. Cl.	F I
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 3 O 1 P
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 L
HO 1 L 21/28 (2006.01)	HO 1 L 21/28 3 O 1 D
HO 1 L 29/423 (2006.01)	HO 1 L 29/58 G
HO 1 L 29/49 (2006.01)	

請求項の数 2 (全 16 頁)

(21) 出願番号	特願2000-88818 (P2000-88818)	(73) 特許権者	000002369
(22) 出願日	平成12年3月28日(2000.3.28)		セイコーエプソン株式会社
(65) 公開番号	特開2001-274386 (P2001-274386A)		東京都新宿区西新宿2丁目4番1号
(43) 公開日	平成13年10月5日(2001.10.5)	(74) 代理人	100090387
審査請求日	平成15年10月2日(2003.10.2)		弁理士 布施 行夫
		(74) 代理人	100090398
			弁理士 大淵 美千栄
		(72) 発明者	浅川 勉
			長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
		審査官	松嶋 秀忠

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の露出面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、

前記ゲート電極となる導電層を形成した後、該導電層をパターンニングして前記ゲート電極を形成する工程と、

前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記ゲート電極を覆うように、前記サイドウォールとなる絶縁層を全面的に形成する工程と、

前記絶縁層をCMP (Chemical Mechanical Polishing) により研磨し、前記ゲート電極の上面を露出させるとともに前記絶縁層の上面を平坦化するように、前記絶縁層の一部を除去する工程と、

前記絶縁層をエッチングすることにより、その頂部が、前記ゲート電極の上面より低い位置にある前記サイドウォールを形成する工程と、

前記ゲート電極の露出面に、シリサイド反応によって前記シリサイド層を形成する工程と、

を備えた、半導体装置の製造方法。

【請求項2】

シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の露出面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含

10

20

む半導体装置の製造方法であって、

前記ゲート電極となる導電層を形成し、その後、該導電層の上面に保護層となる層を形成する工程と、

前記保護層となる層と前記導電層をパターンニングして、前記ゲート電極と、該ゲート電極の上面に位置する前記保護層とを形成する工程と、

前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記ゲート電極を覆うように、前記サイドウォールとなる絶縁層を形成する工程と、

前記絶縁層をCMP (Chemical Mechanical Polishing) により研磨し、前記保護層を露出させるとともに前記絶縁層の上面を平坦化するように、前記絶縁層の一部を除去する工程と、

10

前記絶縁層をエッチングすることにより、その頂部が、前記ゲート電極の上面より低い位置にある前記サイドウォールを形成する工程と、

前記保護層を除去する工程と、

前記ゲート電極の露出面に、シリサイド反応によって前記シリサイド層を形成する工程と、

を備えた、半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、シリサイド層を備えた半導体装置およびその製造方法に関する。

20

【0002】

【背景技術および発明が解決しようとする課題】

MOS (Metal Oxide Semiconductor) 電界効果トランジスタにおいて、ゲート電極およびソース (ドレイン) 領域にシリサイド層が形成されることがある。シリサイド層により、これらの抵抗を下げ、MOS 電界効果トランジスタを高速化するためである。

【0003】

しかし、配線の幅を細くした場合、細線効果と呼ばれる問題が生ずることが判明してきている。特に、チタンシリサイド層を利用する技術では、以下のような問題を生ずる。すなわち、高集積化を図るためにゲート電極およびソース (ドレイン) 領域の幅を細くしていくと、チタンシリサイド層における抵抗のばらつきが大きくなること、および、抵抗の平均値が大きくなること、という二つの問題が発生する。

30

【0004】

細線効果を生ずる原因は、次のように考えられる。チタンシリサイドには、高抵抗 (100 · cm 程度) の結晶構造 (これは、「C49 構造」と呼ばれる) と、低抵抗 (15 · cm 程度) の結晶構造 (これは、「C54 構造」と呼ばれる) の二つがある。そして、通常、高抵抗の結晶構造 (C49 構造) は、400 ~ 600 程度の温度で形成されるのに対して、低抵抗の結晶構造 (C54 構造) は、700 ~ 800 程度の、より高い温度で形成される。しかし、配線が細線化するにしたがって、高抵抗の結晶構造から低抵抗の結晶構造への相転移が阻害され、高抵抗結晶の比率が高くなってしまふ。また、配線が細線化するにしたがって、低抵抗結晶と高抵抗結晶の比率のばらつきが大きくなってしまふ

40

。このため、ゲート電極などの配線幅がある値以下、例えば、およそ 0.35 μm 以下では、チタンシリサイド層における抵抗のばらつきが大きくなること、および、抵抗の平均値が大きくなること、という問題がより顕著となる。

【0005】

【課題を解決するための手段】

本発明は、シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと

50

、を含む半導体装置の製造方法であって、
前記ゲート電極を形成する工程と、
前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記ゲート電極を覆うように、前記サイドウォールとなる絶縁層を形成する工程と、
前記ゲート電極の上面に位置する前記絶縁層を除去する工程と、
前記絶縁層をエッチングすることにより、その頂部が、前記ゲート電極の上面より低い位置にある前記サイドウォールを形成する工程と、
前記ゲート電極の上面に前記シリサイド層を形成する工程と、
を備えた、半導体装置の製造方法である。

【 0 0 0 7 】

本発明にかかる半導体装置の製造方法によれば、サイドウォールの頂部をゲート電極の上面より低い位置の状態、ゲート電極の上面にシリサイド層を形成している、細線効果の発生を抑制することができる。この理由を、チタンシリサイドを例に説明する。

【 0 0 0 8 】

チタンシリサイド層は、チタン層を、ゲート電極の上面およびソース(ドレイン)領域を覆うように形成し、そして、チタン層を熱処理することにより形成される。このチタンシリサイド層形成工程において、高抵抗の結晶構造(C49構造)から低抵抗の結晶構造(C54構造)への相転移の際、結晶の体積減少が起きるので、チタンシリサイド層は収縮する。このとき、ゲート電極の上面のチタンシリサイド層がサイドウォールとつながっていると、サイドウォールによりチタンシリサイド層の収縮が妨げられるので、チタンシリサイド層に引張応力が作用する。これにより、相転移が起きにくい状態となるので、細線効果が発生する。

【 0 0 0 9 】

細線効果が問題になるほどの引張応力がチタンシリサイド層に作用するのを防止するためには、サイドウォールの頂部をゲート電極の上面より低い位置にするればよい。このようにすると、ゲート電極の上面のチタンシリサイド層がサイドウォールとつながるのを防ぐことができるからである。以上の理由により、本発明にかかる半導体装置の製造方法によれば、細線効果の発生を抑制することができる。なお、チタン以外の高融点金属を用いたシリサイド層でも、シリサイド層に引張応力または圧縮応力が作用すると、シリサイド層に細線効果が生じる場合であれば、本発明にかかる半導体装置の製造方法を用いることにより、細線効果の発生を抑制することができる。

【 0 0 1 0 】

また、本発明にかかる半導体装置の製造方法によれば、サイドウォール形成工程において、ソース/ドレイン領域の過剰なエッチングをすることなく、その頂部がゲート電極の上面より低い位置にあるサイドウォールを形成することができる。この理由を説明する。本発明にかかる半導体装置の製造方法によれば、サイドウォールを形成する前に、ゲート電極の上面に位置する絶縁層を除去している。ゲート電極の上面に位置する絶縁層を除去するとは、ゲート電極の上面の絶縁層を完全除去する、または、ゲート電極の上面の絶縁層の厚みをソース/ドレイン領域上の絶縁層の厚みより小さくする、という意味である。よって、サイドウォールを形成する際に、ソース/ドレイン領域が露出した位置で、絶縁層のエッチングをストップしても、サイドウォールの頂部をゲート電極の上面より低い位置にすることができる。

【 0 0 1 1 】

ソース/ドレイン領域が過剰にエッチングされるのがなぜ問題になるかを説明する。ソース/ドレイン領域が過剰にエッチングされると、ソース/ドレイン領域と基板(又はウェル)とで形成されたpn接合が破壊し、そこからリーク電流が発生するのである。また、pn接合が破壊しなくても、シリサイド層の底部とpn接合とが接近しすぎると、pn接合でリーク電流が発生するのである。

【 0 0 1 2 】

なお、本発明にかかる半導体装置の製造方法において、ソース/ドレイン領域とは、ソー

10

20

30

40

50

ス領域およびドレイン領域のうち、少なくともいずれか一方の機能を果たす不純物領域である。以下にででくるソース/ドレイン領域もこの意味である。

【 0 0 1 3 】

本発明にかかる半導体装置の製造方法において、次の工程を加えることができる。すなわち、

前記絶縁層除去工程は、CMP (Chemical Mechanical Polishing) により、前記絶縁層を研磨する工程を含む。

【 0 0 1 4 】

CMPによれば、ソース/ドレイン領域上に絶縁層を残しつつ、ゲート電極上の絶縁層を除去することができる。このため、サイドウォール形成時に、ソース/ドレイン領域がダメージを受けるのを防ぐことができる。

10

【 0 0 1 5 】

本発明は、シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、

前記ゲート電極を形成する工程と、

前記ゲート電極の上面に、前記ゲート電極を保護するための保護層を形成する工程と、

前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記ゲート電極を覆うように、前記サイドウォールとなる絶縁層を形成する工程と、前記絶縁層をCMP

20

(Chemical Mechanical Polishing) により研磨し、前記保護層を露出させる工程と、前記絶縁層をエッチングすることにより、その頂部が、前記ゲート電極の上面より低い位置にある前記サイドウォールを形成する工程と、

前記保護層を除去する工程と、

前記ゲート電極の上面に前記シリサイド層を形成する工程と、

を備えた、半導体装置の製造方法である。

【 0 0 1 6 】

本発明にかかる半導体装置の製造方法によれば、上記と同様の理由により、細線効果の発生を抑制することができる。

【 0 0 1 7 】

また、本発明にかかる半導体装置の製造方法によれば、サイドウォール形成工程において、ソース/ドレイン領域の過剰なエッチングをすることなく、その頂部がゲート電極の上面より低い位置にあるサイドウォールを形成することができる。この理由を説明する。本発明にかかる半導体装置の製造方法によれば、サイドウォールを形成する前に、保護層の上に位置する絶縁層を、CMP (Chemical Mechanical Polishing) により研磨することにより、保護層を露出させている。よって、サイドウォールを形成する際に、ソース/ドレイン領域が露出した位置で、絶縁層のエッチングをストップしても、サイドウォールの頂部をゲート電極の上面より低い位置にすることができるのである。

30

【 0 0 1 8 】

また、本発明にかかる半導体装置の製造方法によれば、絶縁層をCMPで研磨している。

CMPによる研磨により、研磨剤等がゲート電極に入り込むと、半導体装置の特性に悪影響を及ぼすことがある。本発明にかかる半導体装置の製造方法によれば、ゲート電極の上面に保護層があるので、CMPで使用された研磨剤等がゲート電極に入り込むのを防ぐことができる。

40

【 0 0 1 9 】

保護層として要求される条件は、(1)CMP工程において、研磨剤等がゲート電極に入り込むのを防ぐことができ、かつ(2)ゲート電極の材料およびサイドウォールの材料に対して、エッチングの選択性や溶解の選択性がある、ことである。

【 0 0 2 0 】

(2)の条件が要求される理由は、以下のとおりである。サイドウォール形成後、ゲート電極の上面にはシリサイド層が形成される。このシリサイド層の形成前に、ゲート電極の

50

上面から保護層を除去する必要がある。保護層が(2)の条件を満たしていないと、保護層の除去の際に、ゲート電極やサイドウォールも除去されるのである。

【0021】

(1)および(2)の条件を満たす材料としては、例えば、チタンナイトライド、シリコン窒化層がある。

【0022】

保護層として、酸素を含まない、もしくは酸素を透過しにくい性質のもの(上記例でいえば、チタンナイトライド)を用いた場合、次の効果がある。酸素は、チタンシリサイド反応の阻害要因となる。チタンナイトライドを保護層として用いた場合、ゲート電極のシリコン含有層に酸素の侵入を防ぐことができる。これにより、チタンシリサイド反応が阻害されず、細線効果を抑制できる。

10

【0023】

なお、本発明にかかる半導体装置の製造方法において、CMP工程以降で、前記サイドウォールを形成する工程と前記保護層を除去する工程の順番は、いずれが先でもよい。前記サイドウォールを形成する工程が先の場合、サイドウォールを形成の際にゲート電極の上面には保護層があるので、ゲート電極がエッチングによるダメージを受けるのを防ぐことができる。

【0024】

本発明は、シリコン含有層を含むゲート電極と、ソース/ドレイン領域と、前記ゲート電極の上面に位置するシリサイド層と、前記ゲート電極の側面に位置するサイドウォールと、を含む半導体装置の製造方法であって、

20

前記ゲート電極を形成する工程と、

前記ソース/ドレイン領域が形成されるソース/ドレイン形成領域および前記ゲート電極を覆うように、第1絶縁層を形成する工程と、

前記第1絶縁層上に、前記第1絶縁層に対してエッチングの選択性があり、かつ前記サイドウォールとなる第2絶縁層を形成する工程と、

前記第2絶縁層をエッチングすることにより、その頂部が、前記ゲート電極の上面より低い位置にある前記サイドウォールを形成する工程と、

前記ゲート電極の上面の前記第1絶縁層を除去する工程と、

前記ゲート電極の上面に前記シリサイド層を形成する工程と、

30

を備えた、半導体装置の製造方法である。

【0025】

本発明にかかる半導体装置の製造方法によれば、上記と同様の理由により、細線効果の発生を抑制することができる。

【0026】

また、本発明にかかる半導体装置の製造方法によれば、サイドウォールとなる第2絶縁層下に、第1絶縁層を形成している。第2絶縁層は、第1絶縁層に対してエッチングの選択性がある。このため、第2絶縁層をエッチングすることにより、サイドウォールを形成する際、ソース/ドレイン領域を過剰にエッチングすることなく、サイドウォールの頂部をゲート電極の上面より低い位置にすることができる。

40

【0027】

すなわち、サイドウォール形成途中で、ソース/ドレイン領域には第2絶縁層がなくなるが、第1絶縁層がある。これがエッチングストップとなり、ソース/ドレイン領域が過剰にエッチングされるのを防ぐのである。

【0028】

本発明にかかる半導体装置の製造方法によれば、

前記第1絶縁層は、シリコン窒化層を含み、

前記第2絶縁層は、シリコン酸化層を含む、

にすることができる。

【0029】

50

シリコン酸化層は、シリコン窒化層に対してエッチングの選択性がある。したがって、シリコン酸化層をエッチングすることにより、サイドウォールを形成する際、ソース/ドレイン領域では、シリコン窒化層がエッチングストップとなる。これにより、ソース/ドレイン領域が過剰にエッチングされるのを防ぐことができる。

【0030】

本発明は、
 ゲート電極、ソース/ドレイン領域、第1シリサイド層、第2シリサイド層およびサイドウォールを備え、
 前記ゲート電極の上面には、前記第1シリサイド層が位置し、
 前記ソース/ドレイン領域上には、前記第2シリサイド層が位置し、
 前記サイドウォールは、その頂部が、前記ゲート電極の上面より低い位置にあり、
 前記サイドウォールの頂部は平面形状を含む、
 半導体装置である。

10

【0031】

本発明にかかる半導体装置によれば、前記サイドウォールの頂部は平面形状を含む。このため、いわゆるブリッジ効果の発生を抑制することができる。この理由を説明する。

【0032】

サイドウォールは、ゲート電極の上面に位置する第1シリサイド層と、ソース/ドレイン上に位置する第2シリサイド層とが接触するのを防ぐ役割を有する。第1シリサイド層および第2シリサイド層が成長しすぎると、これらが、サイドウォール上でつながることがある。この結果、ゲート電極とソース/ドレインとが接続された状態になる。これをブリッジ効果という。

20

【0033】

本発明にかかる半導体装置に備えられるサイドウォールの頂部は、平面形状を含むので、このサイドウォールと同じ高さで、かつ同じ幅であり、その頂部が尖ったサイドウォールに比べて、第1シリサイド層と前記第2シリサイド層との距離を大きくすることができる。このため、第1シリサイド層と前記第2シリサイド層とによるブリッジ効果の発生を抑制することができる。

【0034】

本発明は、
 ゲート電極、ソース/ドレイン領域、第1シリサイド層、第2シリサイド層、サイドウォールおよびシリコン窒化層を備え、
 前記ゲート電極の上面には、前記第1シリサイド層が位置し、
 前記ソース/ドレイン領域上には、前記第2シリサイド層が位置し、
 前記サイドウォールは、その頂部が、前記ゲート電極の上面より低い位置にあり、
 前記シリコン窒化層は、前記ゲート電極と前記サイドウォールとの間、および前記ソース/ドレイン領域と前記サイドウォールとの間に位置する、
 半導体装置である。

30

【0035】

本発明にかかる半導体装置によれば、上記位置にシリコン窒化層を形成している。このため、第1シリサイド層とサイドウォールとは、シリコン窒化層で分離され、第2シリサイド層とサイドウォールとは、シリコン窒化層で分離される。シリコン窒化層上では、シリサイドが成長しないので、シリサイド形成工程において、ブリッジ効果の発生を抑制することができる。

40

【0036】

【発明の実施の形態】

[第1実施形態]

(デバイスの構造)

図2(B)は、本発明の第1実施形態にかかるMOS電界効果トランジスタ1の断面図である。MOS電界効果トランジスタ1は、p型シリコン基板11、ゲート電極13、n⁺

50

型ソース領域 15 a および n⁺型ドレイン領域 15 b を備える。

【0037】

p型シリコン基板 11 の表面には、素子分離絶縁層 27 a、27 b が位置している。素子分離絶縁層 27 a と素子分離絶縁層 27 b とで規定される素子形成領域 29 に、MOS電界効果トランジスタ 1 が形成される。

【0038】

ゲート電極 13 は、素子形成領域 29 上に、ゲート絶縁層 23 を介して位置している。ゲート電極 13 は、ポリシリコン層からなる。ゲート絶縁層 23 は、シリコン酸化層からなる。シリコン酸化層のかわりに、例えば、シリコン窒化層のような他の絶縁層を用いることもできる。

10

【0039】

ゲート電極 13 の上面 13 a および側面 13 b には、チタンシリサイド層 21 c が位置している。側面 13 b に位置するチタンシリサイド層 21 c の厚みが、例えば、60 nm とすると、上面 13 a に位置するチタンシリサイド層 21 c の厚みは、約 180 nm となる。このように、側面 13 b に位置するチタンシリサイド層 21 c の厚みは、上面 13 a に位置するチタンシリサイド層 21 c の厚みの約 1/3 となる。これは、チタンシリサイド層が、ゲート電極の上面に位置する部分のほうが、ゲート電極の側面に位置する部分よりも、成長しやすいからである。

【0040】

n⁺型ソース領域 15 a は、素子分離絶縁層 27 a とゲート電極 13 との間であって、かつ p型シリコン基板 11 内に位置している。n⁺型ソース領域 15 a は、エクステンション領域 15 a 1 を備えている。n⁺型ソース領域 15 a 上には、チタンシリサイド層 21 a が位置している。

20

【0041】

n⁺型ドレイン領域 15 b は、素子分離絶縁層 27 b とゲート電極 13 との間であって、かつ p型シリコン基板 11 内に位置している。n⁺型ドレイン領域 15 b は、エクステンション領域 15 b 1 を備えている。n⁺型ドレイン領域 15 b 上には、チタンシリサイド層 21 b が位置している。

【0042】

ゲート電極 13 の一方の側面 13 b には、サイドウォール 25 a が位置している。サイドウォール 25 a は、シリコン酸化層からなる。シリコン酸化層のかわりに、シリコン窒化層でもよい。サイドウォール 25 a の頂部 26 a は、平面形状をしている。頂部 26 a は、ゲート電極 13 の上面 13 a より、低い位置にある。

30

【0043】

ゲート電極 13 の他方の側面 13 b には、サイドウォール 25 b が位置している。サイドウォール 25 b は、シリコン酸化層からなる。シリコン酸化層のかわりに、シリコン窒化層でもよい。サイドウォール 25 b の頂部 26 b は、平面形状をしている。頂部 26 b は、ゲート電極 13 の上面 13 a より、低い位置にある。

【0044】

MOS電界効果トランジスタ 1 により生じる効果を説明する。MOS電界効果トランジスタ 1 において、頂部 26 a は平面形状であるので、頂部 26 a は、所定の幅 W (例えば、500 ~ 1000 オングストローム) を有する。したがって、サイドウォール 25 a 上におけるチタンシリサイド層 21 a とチタンシリサイド層 21 c との距離を、その分だけ大きくすることができる。したがって、チタンシリサイド層 21 a およびチタンシリサイド層 21 c が成長しすぎることにより、チタンシリサイド層 21 a とチタンシリサイド層 21 c とがサイドウォール 25 a 上でつながる、いわゆるブリッジ効果の発生を抑制することができる。サイドウォール 25 b においても、同様のことが言える。また、この効果は後で説明する第 2 実施形態でもいえることである。

40

【0045】

(デバイスの製造方法)

50

図2(B)に示すMOS電界効果トランジスタ1の製造方法を、図1および図2を用いて説明する。図1および図2は、MOS電界効果トランジスタ1の製造方法を説明するための工程図である。

【0046】

図1(A)に示すように、p型シリコン基板11に、素子分離絶縁層27a、27bを形成する。素子分離絶縁層27a、27bにより、素子形成領域29が規定される。なお、素子分離絶縁層27a、27bの形成方法としては、例えば、LOCOS(local oxidation of silicon)法、セミリセスLOCOS法、シャロートレンチ法がある。

【0047】

例えば、熱酸化により、素子形成領域29のp型シリコン基板11上に、ゲート絶縁層23となるシリコン酸化層を形成する。このシリコン酸化層上に、例えば、CVD法により、ゲート電極13となるポリシリコン層を形成する。

【0048】

このポリシリコン層を、例えば、フォトリソグラフィとエッチングにより、パターンニングする。これにより、ゲート電極13が形成される。

【0049】

ゲート電極13および素子分離絶縁層27a、27bをマスクとして、p型シリコン基板11に、n型不純物(例えば、リン、ヒ素)をイオン注入することにより、n⁺型ソース領域15aのエクステンション領域15a1およびn⁺型ドレイン領域15bのエクステンション領域15b1を形成する。

【0050】

図1(B)に示すように、p型シリコン基板11全面に、例えば、CVD法を用いて、シリコン酸化層25を形成する。

【0051】

図1(C)に示すように、CMPにより、シリコン酸化層25を研磨する。これにより、ゲート電極13の上面13aを露出させる。n⁺型ソース(ドレイン)形成領域上には、シリコン酸化層25が残っている。また、ゲート電極13の側面13bに位置するシリコン酸化層25の頂部26は、ゲート電極13の上面13aと同じ高さの位置にある。

【0052】

CMPによる研磨後、CMPで使った研磨剤などを、犠牲酸化により除去する。

【0053】

図2(A)に示すように、シリコン酸化層25を全面エッチングすることにより、ゲート電極13の側面13bに、サイドウォール25a、25bを形成する。サイドウォール25aの頂部26a、サイドウォール25bの頂部26bは、それぞれ、図1(C)に示す頂部26の形状を反映した結果、平面形状をしている。

【0054】

図1(C)で説明したように、ゲート電極13の側面13bに位置するシリコン酸化層25の頂部26は、ゲート電極13の上面13aと同じ高さの位置にある。このため、図2(A)に示すように、n⁺型ソース(ドレイン)形成領域が露出した位置で、シリコン酸化層25のエッチングをストップしても、サイドウォール25a、25bの頂部26a、26bをゲート電極13の上面13aより低い位置にすることができる。よって、n⁺型ソース(ドレイン)形成領域を過剰にエッチングすることなく、サイドウォール25a、25bの頂部26a、26bがゲート電極13の上面13aより低い位置にある構造を形成することができる。

【0055】

つぎに、ゲート電極13、サイドウォール25a、25bおよび素子分離絶縁層27a、27bをマスクとして、イオン注入によりn型不純物(例えば、ヒ素)を、p型シリコン基板11の全面に注入する。これにより、n⁺型ソース領域15a、n⁺型ドレイン領域15bを形成する。

【0056】

10

20

30

40

50

図2(B)に示すように、例えば、スパッタリングにより、p型シリコン基板11の全面に、厚さ200~400オングストロームのチタン層を形成する。次に、例えば、スパッタリングにより、チタン層上に、厚さ100~500オングストロームのチタンナイトライド層を形成する。チタンナイトライド層を形成する理由は、以下のとおりである。シリサイド反応時に酸素が存在すると、反応開始温度が上昇する問題や、より低温でシリサイドが凝集して配線抵抗が高くなる問題が生じる。これらの問題が発生するのを防ぐため、チタンナイトライド層でチタン層をキャップしているのである。

【0057】

そして、これらのチタン層およびチタンナイトライド層が形成されたシリコン基板を、例えば、窒素雰囲気中で第1の熱処理をする。第1の熱処理は、例えば、650~750
10
で、30~60秒の条件で行う。第1の熱処理により、チタンシリサイド層21a、21b、21cが形成される。そして、例えば、ウェットエッチングにより、未反応のチタン層を除去する。次に、例えば、窒素雰囲気中で第2の熱処理をする。第2の熱処理は、例えば、800~850
で、30~60秒の条件で行う。第2の熱処理により、チタンシリサイド層21a、21b、21cでは、高抵抗の結晶構造(C49構造)から低抵抗の結晶構造(C54構造)に相転移がなされる。

【0058】

以上により、MOS電界効果トランジスタ1が完成する。

【0059】

次に、上記製造方法による効果を説明する。この効果は、第2実施形態でもいえることである。上記製造方法によれば、チタンシリサイド層21cに細線効果が発生するのを抑制
20
することができる。

【0060】

すなわち、サイドウォール25a、25bの頂部26a、26bをゲート電極13の上面13aより低い位置の状態
13aにチタンシリサイド層21cを形成している。このため、チタンシリサイド層21c形成工程において、ゲート電極13の上面13aのチタンシリサイド層21cは、サイドウォール25a、25bとつながっていない。よって、チタンシリサイド層21cには、細線効果が問題になるほどの引張応力が作用しない。この結果、高抵抗の結晶構造から低抵抗の結晶構造への相転移が起
30
りやすいチタンシリサイドを得ることができるので、細線効果の発生を抑制することができるのである。

【0061】

なお、チタンシリサイド層21cの端部は、ゲート電極13の側面13b上において、サイドウォール25a、25bと接触している。上記のように、ゲート電極13の側面13bに位置するチタンシリサイド層21cの厚みは、ゲート電極13の上面13aに位置するチタンシリサイド層21cの厚みの約1/3である。このため、チタンシリサイド層21cに作用する引張応力は小さいので、チタンシリサイド層21cに発生する細線効果は低度である。よって、細線効果の問題は、無視することができる。

【0062】

また、上記製造方法によれば、次に効果も生じる。この効果は、第2実施形態でもいえる
40
ことである。上記製造方法によれば、図1(C)および図2(A)の工程で説明したように、n⁺型ソース(ドレイン)形成領域を過剰にエッチングすることなく、サイドウォール25a、25bの頂部26a、26bが、ゲート電極13の上面13aより低い位置にある構造のMOS電界効果トランジスタ1を形成することができる。なお、n⁺型ソース(ドレイン)形成領域が過剰にエッチングされるのがなぜ問題になるかを説明する。n⁺型ソース(ドレイン)形成領域が過剰にエッチングされると、n⁺型ソース(ドレイン)形成領域とp型シリコン基板11とで形成されたpn接合が破壊し、そこからリーク電流が発生するのである。また、pn接合が破壊しなくても、チタンシリサイド層21a、21bの底部と上記pn接合とが接近しすぎると、pn接合でリーク電流が発生するのである。

【 0 0 6 3 】

[第 2 実施形態]

(デバイスの構造)

図 4 (B) は、本発明の第 2 実施形態にかかる M O S 電界効果トランジスタ 3 の断面図である。第 2 実施形態にかかる M O S 電界効果トランジスタ 3 の構造は、図 2 (B) に示す本発明の第 1 実施形態にかかる M O S 電界効果トランジスタ 1 の構造と同様である。したがって、同一符号を用いることにより、M O S 電界効果トランジスタ 3 の構造の説明を省略する。

【 0 0 6 4 】

(デバイスの製造方法)

本発明の第 2 実施形態にかかる M O S 電界効果トランジスタの製造方法を、図 3 および図 4 を用いて説明する。図 3 および図 4 は、M O S 電界効果トランジスタ 3 の製造方法を説明するための工程図である。

【 0 0 6 5 】

図 3 (A) に示すように、p 型シリコン基板 1 1 に、素子分離絶縁層 2 7 a、2 7 b を形成する。形成方法は第 1 実施形態と同様の方法を用いることができる。素子分離絶縁層 2 7 a、2 7 b により、素子形成領域 2 9 が規定される。

【 0 0 6 6 】

素子形成領域 2 9 の p 型シリコン基板 1 1 上に、ゲート絶縁層 2 3 となるシリコン酸化層を形成する。このシリコン酸化層上に、ゲート電極 1 3 となるポリシリコン層を形成する。これらの形成方法は第 1 実施形態と同様の方法を用いることができる。

【 0 0 6 7 】

このポリシリコン層上に、例えば、スパッタリングにより、チタンナイトライド層 3 1 を形成する。チタンナイトライド層 3 1 は、保護層の一例である。チタンナイトライド層 3 1 の厚みは、例えば、2 0 0 ~ 5 0 0 オングストロームである。チタンナイトライド層 3 1 の厚みが 2 0 0 オングストローム以上であると、CMP による研磨ダメージの軽減効果がある。チタンナイトライド層 3 1 の厚みが 5 0 0 オングストローム以下であると、ゲート電極 1 3 の上面 1 3 a とサイドウォール 2 5 a、2 5 b の頂部 2 6 a、2 6 b との距離を大きくすることができる。これにより、ゲート電極 1 3 の上面のチタンシリサイド層 2 1 a がサイドウォール 2 5 a、2 5 b とつながるのを防ぐことができる可能性を高めることができる。この結果、細線効果の抑制効果が大きくなるのである。なお、チタンナイトライド層 3 1 のかわりに、シリコン窒化層を保護層とすることもできる。

【 0 0 6 8 】

次に、チタンナイトライド層 3 1 および上記ポリシリコン層を、例えば、フォトリソグラフィとエッチングにより、パターンニングする。これにより、ゲート電極 1 3 が形成される。

【 0 0 6 9 】

チタンナイトライド層 3 1 および素子分離絶縁層 2 7 a、2 7 b をマスクとして、p 型シリコン基板 1 1 に、n 型不純物 (例えば、リン、ヒ素) をイオン注入することにより、n⁺型ソース領域 1 5 a のエクステンション領域 1 5 a 1 および n⁺型ドレイン領域 1 5 b のエクステンション領域 1 5 b 1 を形成する。

【 0 0 7 0 】

図 3 (B) に示すように、p 型シリコン基板 1 1 全面に、例えば、C V D 法を用いて、シリコン酸化層 2 5 を形成する。

【 0 0 7 1 】

図 3 (C) に示すように、CMP により、シリコン酸化層 2 5 を研磨する。これにより、チタンナイトライド層 3 1 を露出させる。n⁺型ソース (ドレイン) 形成領域上には、シリコン酸化層 2 5 が残っている。また、ゲート電極 1 3 の側面 1 3 b に位置するシリコン酸化層 2 5 の頂部 2 6 は、チタンナイトライド層 3 1 と同じ高さの位置にある。

【 0 0 7 2 】

10

20

30

40

50

チタンナイトライド層 31 により、CMP で使う研磨剤などが、ゲート電極 13 に入り込むのを防ぐことができる。なお、CMP による研磨後、CMP で使った研磨剤などを、犠牲酸化により除去する。

【0073】

図 4 (A) に示すように、シリコン酸化層 25 を全面エッチングすることにより、ゲート電極 13 の側面 13b に、サイドウォール 25a、25b を形成する。図 4 (A) で示す工程は、第 1 実施形態の図 2 (A) で示す工程と同じなので、説明を省略する。

【0074】

図 4 (B) に示すように、図 4 (A) に示すチタンナイトライド層 31 を、例えば、RCA 洗浄で除去する。なお、シリコン窒化層を保護層として用いた場合は、熱リン酸でウェットエッチングすることにより除去する。

10

【0075】

次に、 n^+ 型ソース領域 15a、ゲート電極 13、 n^+ 型ドレイン領域 15b に、それぞれ、チタンシリサイド層 21a、21c、21b を形成する。チタンシリサイド層 21a、21c、21b 形成工程は、第 1 実施形態の図 2 (B) で示す工程と同じなので、説明を省略する。

【0076】

以上により、MOS 電界効果トランジスタ 3 が完成する。

【0077】

次に、上記製造方法による効果を説明する。上記製造方法によれば、図 3 (C) に示すように、シリコン酸化層 25 を CMP で研磨している。CMP による研磨により、研磨剤等がゲート電極 13 に入り込むと、MOS 電界効果トランジスタ 3 の特性に悪影響を及ぼすことがある。上記製造方法によれば、ゲート電極 13 の上面 13a にはチタンナイトライド層 31 があるので、CMP で使用された研磨剤等がゲート電極 13 に入り込むのを防ぐことができる。

20

【0078】

[第 3 実施形態]

(デバイスの構造)

図 5 (E) は、本発明の第 3 実施形態にかかる MOS 電界効果トランジスタ 5 の断面図である。第 3 実施形態にかかる MOS 電界効果トランジスタ 5 において、図 2 (B) に示す第 1 実施形態にかかる MOS 電界効果トランジスタ 1 と同等の機能を有する部分には、同一符号を付してある。MOS 電界効果トランジスタ 5 が MOS 電界効果トランジスタ 1 と相違する部分を説明し、同じ部分については説明を省略する。

30

【0079】

MOS 電界効果トランジスタ 5 は、MOS 電界効果トランジスタ 1 と同様に、サイドウォール 25a、25b を備えている。MOS 電界効果トランジスタ 5 のサイドウォール 25a、25b のそれぞれの頂部 26a、26b は尖っている。これは、サイドウォール 25a、25b 形成前に、CMP によりシリコン酸化層の研磨工程がないからである。詳しくは、次のデバイスの製造方法で説明する。

【0080】

また、MOS 電界効果トランジスタ 5 は、シリコン窒化層 33a、33b を備えている。シリコン窒化層 33a は、ゲート電極 13 とサイドウォール 25a との間、およびエクステンション領域 15a1 とサイドウォール 25a との間に、位置している。シリコン窒化層 33b は、ゲート電極 13 とサイドウォール 25b との間、およびエクステンション領域 15b1 とサイドウォール 25b との間に、位置している。この構造による効果を説明する。

40

【0081】

シリコン窒化層 33a、33b が上記位置に形成されているので、チタンシリサイド層 21a とサイドウォール 25a とは、シリコン窒化層 33a で分離され、チタンシリサイド層 21c とサイドウォール 25a とは、シリコン窒化層 33a で分離される。シリコン窒

50

化層 3 3 a 上では、チタンシリサイド層が成長しないので、チタンシリサイド層形成工程において、チタンシリサイド層 2 1 a とチタンシリサイド層 2 1 c とがつながる、いわゆるブリッジ効果の発生を抑制することができる。なお、サイドウォール 2 5 b においても、同様のことが言える。

【 0 0 8 2 】

(デバイスの製造方法)

図 5 (E) に示す M O S 電界効果トランジスタ 5 の製造方法を、図 5 を用いて説明する。図 5 は、M O S 電界効果トランジスタ 5 の製造方法を説明するための工程図である。

【 0 0 8 3 】

図 5 (A) に示す工程を行う。この工程は、第 1 実施形態の図 1 (A) で示す工程と同じなので、説明を省略する。 10

【 0 0 8 4 】

図 5 (B) に示すように、p 型シリコン基板 1 1 全面に、例えば、C V D 法を用いて、シリコン窒化層 3 3 を形成する。シリコン窒化層 3 3 の厚みは、3 0 0 ~ 1 0 0 0 オングストロームである。シリコン窒化層 3 3 の厚みが 3 0 0 オングストローム以上だと、ブリッジ効果の発生を十分に抑制することができるからである。

【 0 0 8 5 】

一方、シリコン窒化層 3 3 の厚みが 1 0 0 0 オングストローム以下だと、ウェットエッチングの制御が容易となるからである。つまり、後の工程で、露出しているシリコン窒化層 3 3 は熱リン酸により、ウェットエッチングされる。シリコン窒化層 3 3 の厚みが大きすぎると、ウェットエッチングの時間が長くなるので、ウェットエッチングの制御が困難となる。よって、露出しているシリコン窒化層 3 3 を完全に除去できず、一部のシリコン窒化層 3 3 が残る。この部分には、シリサイドが形成されないので、高抵抗化してしまうのである。 20

【 0 0 8 6 】

次に、シリコン窒化層 3 3 上に、例えば、C V D 法を用いて、シリコン酸化層 2 5 を形成する。

【 0 0 8 7 】

図 5 (C) に示すように、シリコン酸化層 2 5 を全面エッチングすることにより、ゲート電極 1 3 の側面 1 3 b に、サイドウォール 2 5 a 、 2 5 b を形成する。シリコン酸化層 2 5 をオーバエッチングすることにより、サイドウォール 2 5 a 、 2 5 b の頂部 2 6 a 、 2 6 b を、ゲート電極 1 3 の上面 1 3 a より低い位置にする。このオーバエッチングのとき、シリコン酸化層 2 5 下にはシリコン窒化層 3 3 がある。このため、シリコン酸化層 2 5 をオーバエッチングしても、 n^+ 型ソース(ドレイン)形成領域が過剰にエッチングされることはない。 30

【 0 0 8 8 】

図 5 (D) に示すように、例えば、熱リン酸により、露出しているシリコン窒化層 3 3 を除去する。これにより、ゲート電極 1 3 の一方の側面 1 3 b には、シリコン窒化層 3 3 a が残り、かつゲート電極 1 3 の他方の側面 1 3 b には、シリコン窒化層 3 3 b が残る。

【 0 0 8 9 】

そして、ゲート電極 1 3 、サイドウォール 2 5 a 、 2 5 b および素子分離絶縁層 2 7 a 、 2 7 b をマスクとして、イオン注入により n 型不純物(例えば、ヒ素、リン)を、p 型シリコン基板 1 1 の全面に注入する。これにより、 n^+ 型ソース領域 1 5 a 、 n^+ 型ドレイン領域 1 5 b を形成する。 40

【 0 0 9 0 】

図 5 (E) に示すように、 n^+ 型ソース領域 1 5 a 、ゲート電極 1 3 、 n^+ 型ドレイン領域 1 5 b に、それぞれ、チタンシリサイド層 2 1 a 、 2 1 c 、 2 1 b を形成する。チタンシリサイド層 2 1 a 、 2 1 c 、 2 1 b 形成工程は、第 1 実施形態の図 2 (B) で示す工程と同じなので、説明を省略する。

【 0 0 9 1 】

以上により、MOS電界効果トランジスタ5が完成する。

【0092】

次に、上記製造方法による効果を説明する。上記製造方法によれば、図5(C)に示すように、シリコン酸化層25下にシリコン窒化層33を形成しているため、 n^+ 型ソース(ドレイン)形成領域を過剰にエッチングすることなく、サイドウォール25a、25bの頂部26a、26bが、ゲート電極13の上面13aより低い位置にある構造のMOS電界効果トランジスタ5を形成することができる。

【0093】

なお、MOS電界効果トランジスタ1、3、5はn型であるが、p型でも本発明を適用することができる。

10

【図面の簡単な説明】

【図1】第1実施形態にかかるMOS電界効果トランジスタ1の製造方法を説明するための工程図である。

【図2】第1実施形態にかかるMOS電界効果トランジスタ1の製造方法を説明するための工程図である。

【図3】第2実施形態にかかるMOS電界効果トランジスタ3の製造方法を説明するための工程図である。

【図4】第2実施形態にかかるMOS電界効果トランジスタ3の製造方法を説明するための工程図である。

【図5】第3実施形態にかかるMOS電界効果トランジスタ5の製造方法を説明するための工程図である。

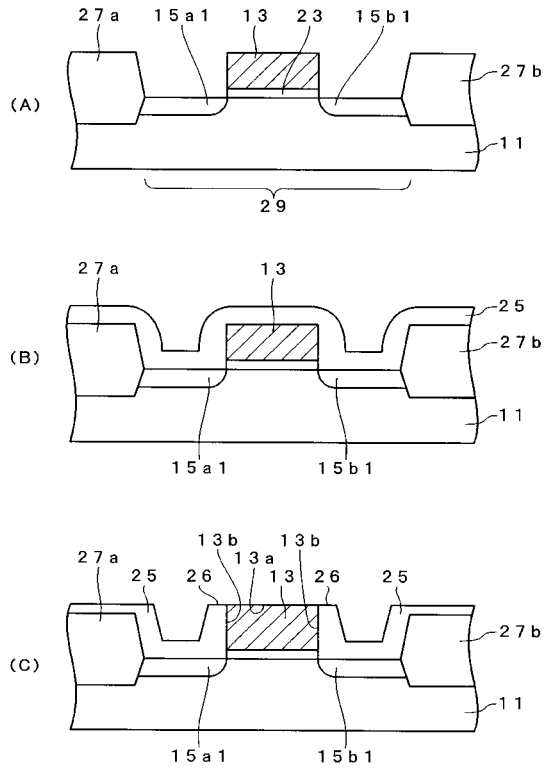
20

【符号の説明】

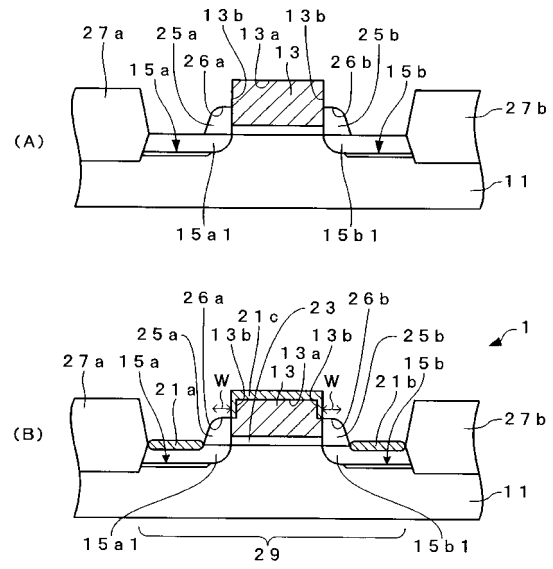
- 1、3、5 MOS電界効果トランジスタ
- 11 p型シリコン基板
- 13 ゲート電極
- 13a 上面
- 13b 側面
- 15a n^+ 型ソース領域
- 15b n^+ 型ドレイン領域
- 15a1、15b1 エクステンション領域
- 21a、21b、21c チタンシリサイド層
- 25 シリコン酸化層
- 25a、25b サイドウォール
- 26、26a、26b 頂部
- 31 チタンナイトライド層
- 33 シリコン窒化層

30

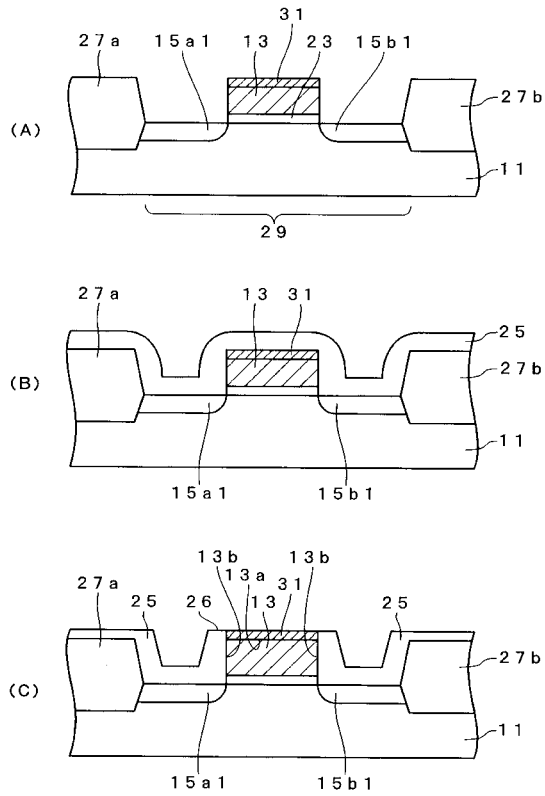
【図 1】



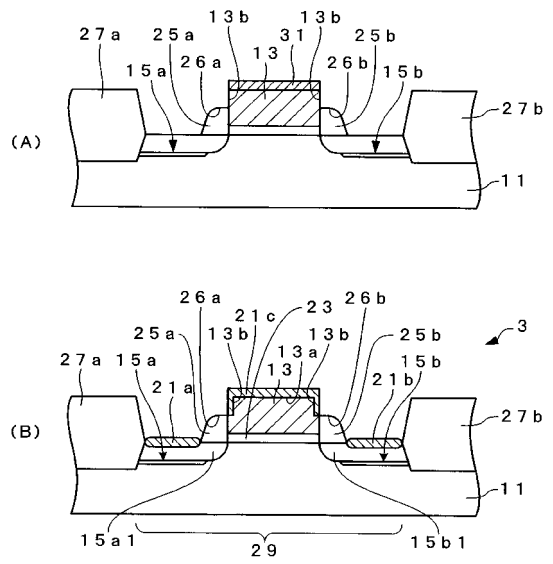
【図 2】



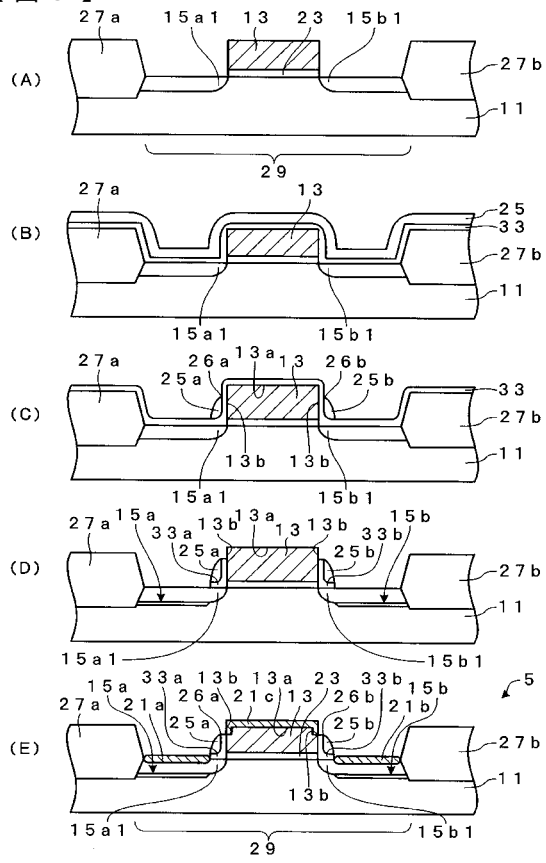
【図 3】



【図 4】



【 図 5 】



フロントページの続き

- (56)参考文献 特開平08 - 241988 (JP, A)
特開昭62 - 131585 (JP, A)
特開平09 - 023007 (JP, A)
特開平09 - 074199 (JP, A)
特開平07 - 086583 (JP, A)
特開平11 - 204784 (JP, A)
特開平10 - 229187 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/336
H01L 21/28
H01L 29/423
H01L 29/49
H01L 29/78