



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0018851
(43) 공개일자 2011년02월24일

(51) Int. Cl.

B82B 3/00 (2006.01) H01L 29/786 (2006.01)
G02F 1/136 (2006.01)

(21) 출원번호 10-2010-0080016

(22) 출원일자 2010년08월18일

심사청구일자 2010년08월18일

(30) 우선권주장

1020090076419 2009년08월18일 대한민국(KR)

(71) 출원인

세종대학교산학협력단

서울 광진구 군자동 98 세종대학교

(72) 발명자

정종완

서울특별시 성북구 종암동 현대아이파크2차아파트
202동 1502호

(74) 대리인

특허법인 엠에이피에스

전체 청구항 수 : 총 24 항

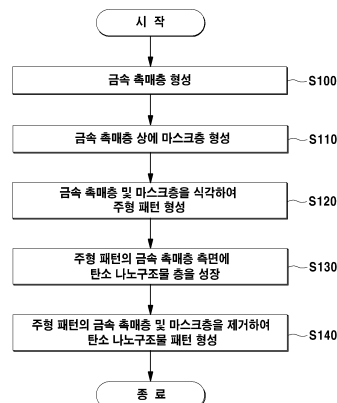
(54) 탄소 나노구조물 패턴 및 이의 제조 방법, 그리고 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법

(57) 요약

본원은, 기판 상에 금속 촉매층을 형성하는 단계, 상기 금속 촉매층 상에 마스크층을 형성하는 단계, 상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계, 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계, 및 상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴을 형성하는 단계를 포함하는, 탄소 나노구조물 패턴의 제조 방법에 관한 것이다.

또한, 본원은 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법에 관한 것으로서, 누설 전류가 작으며 대형 기판 상에 대형 크기로 제조할 수 있으며 대량 생산이 가능한 것을 특징으로 하는 기판 상에 패턴된 금속 촉매층 측면을 따라 형성된 나노리본 형태의 탄소 나노구조물 층을 포함하는 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

대표도 - 도3



이 발명을 지원한 국가연구개발사업

과제고유번호 R01-2008-000-10290-0

부처명 교육과학기술부

연구관리전문기관 재단법인 한국연구재단

연구사업명 과학재단 특정기초사업

연구과제명 대량 생산이 가능한 고품질 그래핀 온 실리콘(graphene on silicon, GOS)제조 기술 연구

기여율 1/2

주관기관 세종대학교산학협력단

연구기간 2009.03.01 ~ 2010.02.28이 발명을 지원한 국가연구개발사업

과제고유번호 KRF-2008-313-D00383

부처명 교육과학기술부

연구관리전문기관 학술진흥재단

연구사업명 기초연구지원 기초과학

연구과제명 불순물 이온주입및 측면확산법을 이용한 sub-10nm 그래핀 나노리본 트랜지스터의 제작연

구

기여율 1/2

주관기관 세종대학교산학협력단

연구기간 2008.11.01 ~ 2010.10.31

특허청구의 범위

청구항 1

하기 단계를 포함하는, 탄소 나노구조물(carbon nanostructured material) 패턴의 제조 방법:

기판 상에 금속 촉매층을 형성하는 단계,

상기 금속 촉매층 상에 마스크층을 형성하는 단계,

상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 상기 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계,

상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계, 및

상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴을 형성하는 단계.

청구항 2

제 1 항에 있어서,

상기 탄소 나노구조물은 그래핀(graphene), 탄소나노튜브, 탄소 나노파이버, 탄소 나노와이어 또는 탄소 나노콘을 포함하는 것인, 탄소 나노구조물 패턴의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 금속 촉매층은 상기 탄소 나노구조물 성장용 촉매로서 사용되는 전이금속을 포함하는 것인, 탄소 나노구조물 패턴의 제조 방법.

청구항 4

제 3 항에 있어서,

상기 금속은 Cu, Fe, Ni, Co, Pt, Ir, Pd 및 Ru로 이루어진 군에서 선택되는 하나 이상의 금속 또는 그의 합금을 포함하는 것인, 탄소 나노구조물 패턴의 제조 방법.

청구항 5

제 1 항에 있어서,

상기 마스크층은 SiO₂, SiN_x, Al₂O₃, HfO_x, Au, Cu, Pt, Ti, TiN 및 Cr로 이루어진 군에서 선택되는 하나 이상을 포함하는 것인, 탄소 나노구조물 패턴의 제조 방법.

청구항 6

제 1 항에 있어서,

상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계는, 탄소를 포함하는 전구체를 열 또는 플라즈마에 의하여 분해하여 상기 탄소 나노구조물 층을 성장시키는 것을 포함하는 것인, 탄소 나노구조물

패턴의 제조 방법.

청구항 7

제 1 항에 있어서,

상기 기판 및 상기 금속 촉매층 사이에 배리어(barrier) 층을 형성하는 단계를 추가 포함하는, 탄소 나노구조물 패턴의 제조 방법.

청구항 8

제 7 항에 있어서,

상기 배리어 층은, SiO_2 , SiN_x , Al_2O_3 및 HfO_x 로 이루어진 군에서 선택되는 하나 이상을 포함하는 것인, 탄소 나노구조물 패턴의 제조 방법.

청구항 9

제 1 항에 따른 제조 방법에 의하여 형성되는 탄소 나노구조물 패턴.

청구항 10

제 9 항에 있어서,

상기 탄소 나노구조물 패턴이 나노리본 형태를 가지는 것인, 탄소 나노구조물 패턴.

청구항 11

제 9 항에 따른 탄소 나노구조물 패턴을 포함하는, 전기 소자.

청구항 12

제 9 항에 따른 탄소 나노구조물 패턴을 포함하는, 전계방출소자.

청구항 13

하기 단계를 포함하는, 탄소 나노구조물 박막 트랜지스터의 제조 방법:

기판 상에 금속 촉매층을 형성하는 단계;

상기 금속 촉매층 상에 마스크층을 형성하는 단계;

상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 상기 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계;

상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 형성하는 단계;

상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴층을 형성하는 단계;

상기 기판 상에 게이트 절연층을 형성하는 단계;

상기 기판 상에 게이트 전극을 형성하는 단계; 및

상기 탄소 나노구조물 패턴층과 전기적으로 접촉하는 소스/드레인 전극을 형성하는 단계.

청구항 14

제 13 항에 있어서,

상기 탄소 나노구조물은 그래핀(graphene), 탄소나노튜브, 탄소 나노파이버, 탄소 나노와이어, 탄소 나노리본 또는 탄소 나노콘을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 15

제 14 항에 있어서,

상기 탄소 나노구조물은 그래핀을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 16

제 13 항에 있어서,

상기 금속 촉매층은 상기 탄소 나노구조물 층 성장용 촉매로서 사용되는 금속을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 금속은 Cu, Fe, Ni, Co, Pt, Ir, Pd 및 Ru로 이루어진 군에서 선택되는 하나 이상의 금속 또는 그의 합금을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 18

제 13 항에 있어서,

상기 마스크층은 SiO, SiN_x, Al₂O₃, HfO_x, SOG, ZrO, Au, Cu, Pt, Ti, TiN, 및 Cr로 이루어진 군에서 선택되는 하나 이상을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 19

제 13 항에 있어서,

상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계는, 탄소를 포함하는 전구체를 열 또는 플라즈마에 의하여 분해하여 상기 탄소 나노구조물 층을 성장시키는 것을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 20

제 13 항에 있어서,

상기 기판 및 상기 금속 촉매층 사이에 배리어(barrier)층을 형성하는 단계를 추가 포함하는, 탄소 나노구조물

박막 트랜지스터의 제조 방법.

청구항 21

제 20 항에 있어서,

상기 배리어 층은, SiO_2 , SiN_x , Al_2O_3 , HfO_x , SOG 및 ZrO 로 이루어진 군에서 선택되는 하나 이상을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 22

제 13 항에 있어서,

상기 탄소 나노구조물 층은 나노리본 형태로 형성되는 것인, 탄소 나노구조물 박막 트랜지스터의 제조 방법.

청구항 23

제 13 항에 따른 제조 방법에 의하여 제조된, 탄소 나노구조물 박막 트랜지스터.

청구항 24

제 23 항에 있어서,

상기 박막 트랜지스터가 포함하는 탄소 나노구조물 층이 그래핀의 나노리본을 포함하는 것인, 탄소 나노구조물 박막 트랜지스터.

명세서

기술분야

[0001] 본원은 탄소 나노구조물(carbon nanostructured material) 패턴 및 이의 제조 방법, 그리고 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법에 관한 것으로서, 구체적으로, 금속 촉매층 패턴의 측면에 선택적으로 탄소 나노구조물을 성장시키는 것을 포함하는 탄소 나노구조물 패턴의 제조 방법 및 상기 제조 방법에 의하여 제조되는 탄소 나노구조물 패턴, 상기 탄소 나노구조물 패턴 층을 포함하는 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법에 관한 것이다.

배경기술

[0002] 탄소나노튜브(CNT), 그래핀(graphene), 탄소 나노섬유(nanofiber) 등의 탄소 나노구조물은 나노전자공학, 나노전자기계 시스템(NEMS), 센서, 콘택트 전극(contact electrode), 나노포토닉스(nanophotonics) 및 나노바이오기술(nanobiotechnology) 등에 있어서의 미래 성장을 위한 가장 잠재성 있는 후보들 중의 일부라고 고려되고 있다. 이는 기본적으로 탄소 나노구조물의 일차원적인 성질, 독특한 전기적, 광학적, 기계적 특성 때문이다.

[0003] 한편, 상기 탄소 나노구조물들 중 그래핀(graphene)은 육각형 구조의 탄소 한 층, 즉 흑연의 (0001)면 단층을 말하는데, 이러한 그래핀은 탄소나노튜브보다 더 뛰어난 물성을 갖는 것으로 알려져 있다. 특히, 그래핀은 실리콘에 비해 50배 내지 100배의 전기 전도성을 가지고 있어 실리콘과 같은 반도체를 대체할 수 있는 신물질로서 많은 연구가 진행되고 있다.

[0004] 일반적으로, 그래핀은 스카치 테이프를 이용하여 고 결정성 흑연 등으로부터 떼어내는 방법으로 얻어진다. 그 밖에, 기계적 방법 [B. Z. Jang 등, Nano-scaled graphite plates, US 7,071,258 B1]과, 정전기적 방법 [A. N. Sidorov 등, Electrostatic deposition of graphene, Nanotechnology 18(2007) 135301]을 사용하여 그래핀을 제조하는 방법들이 제안되었다. 이와 같은 방법들의 공통점은 그래핀을 고결정성 흑연으로부터 물리적으로 벗

겨내는 것(mechanical cleavage)이다.

- [0005] 또한, Alfonso 등은 Nano Lett. 2009년 1월호에서, 그래핀 기판을 성장하는 방법으로서 금속 촉매를 이용하는 방법을 개시하였는데, 이 방법은 금속촉매를 증착한 후 CVD 방법으로 그래핀을 성장하는 방법이다. 상기 방법은 CVD를 사용하므로 대형 그래핀을 성장할 수 있는 장점을 갖고 있으나, 금속 촉매를 사용하므로, 그래핀을 증착한 후 금속 촉매를 제거하여 그 위에 증착된 그래핀을 다른 기판에 붙여야 하는 근본적인 제한을 가지고 있어서 대량생산에서는 사용하기가 매우 어려운 단점을 갖고 있다.
- [0006] 하지만, 평판 그래핀은 반금속(semi-metal)이므로 트랜지스터로 제조하는 경우에 전류를 완전히 차단할 수 없어 누설전류가 매우 큰 문제점이 존재하였다.
- [0007] 이와 관련된 종래 기술에 있어서, 리소그래피를 통해 그래핀을 패터닝을 한 후 O₂ 플라즈마 등을 통하여 상기 그래핀을 식각[탑-다운(top-down) 방식]하거나 바텀-업(bottom-up) 방식으로 상기 그래핀을 합성하는 방법 등이 있었다. 그러나 첫 번째 전통적인 탑-다운 방식은 리소그래피의 한계점 및 플라즈마 식각시 그래핀을 손상(damage)시키는 문제점으로 인해 실제로 나노리본이 형성된다 해도 누설전류가 커서 트랜지스터의 동작이 한계를 가진다고 알려져 있다. 그리고 두 번째 바텀-업 방식은 대량 생산에 사용할 수 있는 방법이 아니라는 치명적인 단점이 있다.
- [0008] 또한, 그래핀 기판을 바탕으로 그래핀 트랜지스터를 제조하기 위한 종래 여러 그래핀 성장 방법은 대량으로 그래핀을 성장시키는데 모두 한계점이 있어 상기 그래핀 기판을 바탕으로 그래핀 트랜지스터를 제조하는 방법은 극히 어려운 기술적 한계를 보여 주고 있다.
- [0009] 따라서 누설 전류가 작아 트랜지스터로 사용하기에 적합하며 대량 생산이 가능하고 대형 기판 상에 대형 크기로 제조할 수 있는 트랜지스터에 대한 필요성이 대두되었다.
- [0010] 탄소 원자의 평평한 단일 원자층인 그래핀은, 초고속 트랜지스터 또는 매우 얇은 및/또는 투명 전극으로 이어질 수 있는 높은 전자 이동도를 가지고 있다. 디바이스 응용에 이용되기 위해, 그래핀의 밴드갭은 그래핀이 제로-밴드 갭 소재이기 때문에 개시되어야 한다. 리본의 폭이 감소하는 것처럼 그래핀 리본의 밴드갭은 증가하는 것은 알려졌다. 그래핀 리본은 그래핀 합성, 패터닝 및 리본의 식각을 통하여 실행될 수 있다. 그래서, 합성, 패터닝, 및 식각은 그래핀 리본을 제조하기 위해 모두 중요하다. 그래핀 합성을 위한 많은 보고가 있었다. 그 중에, 금속 촉매 상에서 화학 기상 증착(CVD)은 고품질 필름 및 쉬운 스케일-업(scale-up) 덕분에 매우 유망하다.
- [0011] 그러나, CVD-성장 그래핀 리본을 구현하기 위해, 합성된 그래핀 층의 밑의 금속 촉매 때문에 후속되는 전사 공정이 필요하다. 일반적 습식 전사 방법은 금속 촉매로부터 그래핀 필름을 분리하고 그것을 바람직한 기판으로 전사시키는 것을 포함한다. 물투를 전사 기술이 최근에 보고되었지만, 접힘 및 결함 없이 저가의 고효율 전사 방법은 여전히 연구되고 있다. 상기 전사 공정뿐만 아니라, 그래핀 리본을 패터닝하기 위한 후속되는 O₂ 플라즈마 식각 공정은 상기 리본 예지에서 추가적 손상을 일으킬 수 있다. 따라서, 전사와 식각 공정 모두 CVD-성장 그래핀으로부터 우수한 그래핀 리본을 제조하기 위해 극복되어야 하는 장애물이다.

발명의 내용

해결하려는 과제

- [0012] 이에, 상기한 바와 같은 종래의 문제점을 해결하기 위하여, 본원은, 금속 촉매층 패터를 이용하여 상기 금속 촉매층의 측면에 탄소 나노구조물을 선택적으로 성장시키는 것을 포함하는 탄소 나노구조물 패터의 제조 방법, 및 상기 제조 방법에 의하여 제조되는 탄소 나노구조물 패터를 제공한다.
- [0013] 또한, 본원은, 누설 전류가 작고 대형 기판 상에 대형 크기로 제조할 수 있으며 대량 생산 가능한, 나노리본 형태로 금속 촉매층 측면 측면을 따라 형성된 탄소 나노구조물 층을 포함하는 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법을 제공하고자 한다.
- [0014] 그러나, 본원이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0015] 상술한 기술적 과제를 달성하기 위하여, 본원의 제 1 측면은, 하기 단계를 포함하는, 탄소 나노구조물(carbon nanostructured material) 패턴의 제조 방법을 제공한다:
- [0016] 기판 상에 금속 촉매층을 형성하는 단계;
- [0017] 상기 금속 촉매층 상에 마스크층을 형성하는 단계;
- [0018] 상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계;
- [0019] 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계; 및
- [0020] 상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴을 형성하는 단계.
- [0021] 본원의 제 2 측면은, 상기 본원에 따른 탄소 나노구조물 패턴의 제조 방법에 의하여 제조되는 탄소 나노구조물 패턴을 제공한다.
- [0022] 본원의 제 3 측면은, 상기 탄소 나노구조물 패턴을 포함하는 전기·전자 소자를 제공한다.
- [0023] 본원의 제 4 측면은, 상기 탄소 나노구조물 패턴을 포함하는 전계방출소자를 제공한다.
- [0024] 본원의 제 5 측면은, 하기 단계를 포함하는, 탄소 나노구조물 박막 트랜지스터의 제조 방법을 제공한다:
- [0025] 기판 상에 금속 촉매층을 형성하는 단계;
- [0026] 상기 금속 촉매층 상에 마스크층을 형성하는 단계;
- [0027] 상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 상기 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계;
- [0028] 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 형성하는 단계;
- [0029] 상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴층을 형성하는 단계;
- [0030] 상기 기판 상에 게이트 절연층을 형성하는 단계;
- [0031] 상기 기판 상에 게이트 전극을 형성하는 단계; 및
- [0032] 상기 탄소 나노구조물 패턴층과 전기적으로 접촉하는 소스/드레인 전극을 형성하는 단계.
- [0033] 본원의 제 6 측면은, 상기 제조 방법에 따라 제조되는 탄소 나노구조물 박막 트랜지스터를 제공할 수 있다.

발명의 효과

- [0034] 상기 본원의 탄소 나노구조물 패턴의 제조 방법은, 금속 촉매층의 측면에만 선택적으로 탄소 나노구조물 층을 형성하는 것을 포함함으로써, 제조된 탄소 나노구조물 층 또는 패턴을 다른 기판에 전사하는 공정이 필요치 않으며, 이로 인해 제조 공정이 단순화됨으로써, 탄소 나노구조물 패턴의 제조 비용을 낮출 수 있는 동시에 탄소 나노구조물 층 또는 패턴을 다른 기판에 이식하는 공정에 의해 발생할 수 있는 탄소 나노구조물 층 또는 패턴의 파손이 방지된다.
- [0035] 또한, 상기 본원에 따르면, 나노리본 등 다양한 형태의 탄소 나노구조물 패턴층을 금속 촉매층 측면에 선택적으로 성장시킨 탄소 나노구조물 층을 포함하는 탄소 나노구조물 박막 트랜지스터를 제조할 수 있다. 상기 탄소 나노구조물 박막 트랜지스터는 나노리본 등 다양한 형태의 탄소 나노구조물 층을 포함하며 상기 나노리본 등 다양한 형태의 탄소 나노구조물 층의 폭이 좁아 누설 전류가 매우 적으며 탄소 나노구조물 나노 리본, 특히 그래핀 나노 리본의 성장 방법이 대형 기판 상에 또는 대량으로 생산하기에 적합하여 대형 기판 상에 대형 크기로 또는 대량으로 탄소 나노구조물 박막 트랜지스터를 제조할 수 있다. 또한, 본원에 따라 제조되는 그래핀 리본이 핀-형(fin-type)의 수직형이기 때문에, 실제적 듀얼 게이트 그래핀 트랜지스터는 용이하게 구현될 수 있다. 구체적으로, 상기 탄소 나노구조물 중 그래핀은 반금속(semi-metal) 물질인데, 이러한 반금속 물질을 반도체 특성을 갖는 그래핀으로 제조하기 위해서는 그래핀의 폭을 매우 좁게 만들어야 한다. 상기 그래핀의 폭을 매우 좁게 제조한 구조를 "나노리본 구조"라고 하며 상기 나노리본의 폭이 좁을수록 밴드갭이 커져서 트랜지스터가

오픈되는 경우 누설전류가 작아진다.

도면의 간단한 설명

[0036]

도 1은 본원의 일 구현예에 따른 탄소 나노구조물 패턴의 제조 방법에 의해 제조된 탄소 나노구조물 패턴의 사시도이고,

도 2는 도 1의 II-II를 따른 단면도이고,

도 3은 본원의 일 구현예에 따른 탄소 나노구조물 패턴의 제조 방법을 나타낸 순서도이고,

도 4a 내지 도 4c는 본원의 일 구현예에 따른 탄소 나노구조물 패턴의 제조 방법을 설명하기 위한 단면도이고,

도 5는 본원의 일 구현예에 따른 탄소 나노구조물 박막 트랜지스터의 제조 방법을 보여 주는 순서도이고,

도 6a 내지 도 6f는 본원의 일 구현예에 따른 탄소 나노구조물 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이고,

도 7은 본원의 일 구현예에 따른 탄소 나노구조물 박막 트랜지스터의 사시도이고,

도 8a 내지 도 8e는 본원의 일 실시예에 따른 탄소 나노구조물 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이고,

도 9a 내지 도 9d는 본원의 일 실시예에 따른 탄소 나노구조물 박막 트랜지스터의 제조 방법을 설명하기 위한 사시도이고,

도 10a 내지 도 10b는 본원의 일 실시예에 따른 탄소 나노구조물의 SEM 이미지이고,

도 10c는 본원의 일 실시예에 따른 탄소 나노구조물의 라만 스펙트럼이고,

도 11a는 본원의 일 실시예에 따른 탄소 나노구조물의 개략도이고,

도 11b는 본원의 일 실시예에 따른 탄소 나노구조물의 단면적 SEM 이미지이고,

도 11c는 본원의 일 실시예에 따른 탄소 나노구조물의 단면적 TEM 이미지이고,

도 11d는 본원의 일 실시예에 따른 탄소 나노구조물의 단면적 TEM 이미지이고,

도 12a는 본원의 일 실시예에 따른 탄소 나노구조물의 I-V 측정하는 장치를 나타내는 도면이고,

도 12a 및 12b는 본원의 일 실시예에 따른 탄소 나노구조물 리본의 Ni 시각 전 후의 I-V 곡선이고,

도 13a는 본원의 일 실시예에 따른 탄소 나노구조물 리본 트랜지스터의 I-V 측정하는 장치를 나타내는 도면이고,

도 13b 및 13c는 본원의 일 실시예에 따른 탄소 나노구조물 리본 트랜지스터의 백 게이트 전압에 대한 출력 및 전송 특성을 나타낸 그래프이고,

도 13d는 본원의 일 실시예에 따른 탄소 나노구조물의 상호 전도도를 나타낸 그래프이다.

발명을 실시하기 위한 구체적인 내용

[0037]

이하, 첨부한 도면을 참조하여 본원이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본원의 구현예 및 실시예를 상세히 설명한다.

[0038]

그러나 본원은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 구현예 및 실시예에 한정되지 않는다. 그리고 도면에서 본원을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0039]

본원 명세서 전체에서 사용되는 정도의 용어 "약", "실질적으로" 등은 언급된 의미에 고유한 제조 및 물질 허용 오차가 제시될 때 그 수치에서 또는 그 수치에 근접한 의미로 사용되고, 본 발명의 이해를 돕기 위해 정확하거나 절대적인 수치가 언급된 개시 내용을 비양심적인 침해자가 부당하게 이용하는 것을 방지하기 위해 사용된다. 본원 명세서 전체에서 사용되는 정도의 용어 "~ (하는) 단계" 또는 "~의 단계" 는 "~를 위한 단계"를 의미하지 않는다.

- [0040] 본원 명세서 전체에서, 어떤 부재가 다른 부재와 "상에" 위치하고 있다고 할 때, 이는 어떤 부재가 다른 부재에 접해 있는 경우뿐 아니라 두 부재 사이에 또 다른 부재가 존재하는 경우도 포함한다. 또한 어떤 부분이 어떤 구성 요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성 요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.
- [0041] 본원의 제 1 측면에 있어서, 상기 탄소 나노구조물(carbon nanostructured material) 패턴의 제조 방법은 하기의 단계를 포함할 수 있다:
- [0042] 기판 상에 금속 촉매층을 형성하는 단계;
- [0043] 상기 금속 촉매층 상에 마스크층을 형성하는 단계;
- [0044] 상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계;
- [0045] 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계; 및
- [0046] 상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴을 형성하는 단계.
- [0047] 본원의 일 구현예에 있어서, 상기 "탄소 나노구조물"은 그래핀(graphene), 풀러렌, 탄소나노튜브, 탄소 나노파이버, 탄소 나노와이어 또는 탄소 나노콘 등을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0048] 본원의 다른 구현예에 있어서, 상기 금속 촉매층은 상기 탄소 나노구조물 성장용 촉매로서 사용될 수 있는 금속을 포함할 수 있으며, 상기 금속은 Cu, Fe, Ni, Co, Pt, Ir, Pd 및 Ru로 이루어진 군에서 선택되는 하나 이상의 금속 또는 그의 합금을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0049] 본원의 또 다른 구현예에 있어서, 상기 마스크층은 SiO₂, SiN_x, Al₂O₃, HfO_x, Au, Cu, Pt, Ti, TiN 및 Cr로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0050] 본원의 또 다른 구현예에 있어서, 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물을 성장시키는 단계는, 탄소를 포함하는 전구체를 열 또는 플라즈마에 의하여 분해하여 상기 탄소 나노구조물 층을 성장시키는 것을 포함할 수 있다.
- [0051] 본원의 또 다른 구현예에 있어서, 상기 기판 및 상기 금속 촉매층 사이에 배리어(barrier) 층을 형성하는 단계를 추가 포함할 수 있다.
- [0052] 본원의 또 다른 구현예에 있어서, 상기 배리어 층은, SiO₂, SiN_x, Al₂O₃ 및 HfO_x 로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있으나, 이에 제한되는 것은 아니다.
- [0053] 본원의 제 2 측면은, 상기 본원에 따른 탄소 나노구조물 패턴의 제조 방법에 의하여 제조되는 탄소 나노구조물 패턴을 제공한다.
- [0054] 본원의 일 구현예에 있어서, 상기 탄소 나노구조물 패턴이 나노리본 형태를 가지는 것일 수 있으나, 이에 제한되는 것은 아니다.
- [0055] 본원의 제 3 측면은, 상기 본원에 따른 탄소 나노구조물 패턴을 포함하는 전기·전자 소자를 제공한다.
- [0056] 본원의 제 4 측면은, 상기 본원에 따른 탄소 나노구조물 패턴을 포함하는 전계방출소자를 제공한다.
- [0057] 이하, 도면을 참조하여 본원에 따른 일 구현예를 보다 구체적으로 설명한다.
- [0058] 도 1은 본원의 일 구현예에 따른 탄소 나노구조물 패턴의 제조 방법에 의해 제조된 탄소 나노구조물 패턴의 사시도이며, 도 2는 도 1의 II-II를 따른 단면도이다.
- [0059] 도 1 및 도 2에 도시된 바와 같이, 탄소 나노구조물 패턴은 기판(10), 선택적인 배리어 층(20) 및 탄소 나노구조물 층(30)을 포함할 수 있으며, 후술할 탄소 나노구조물 패턴의 제조 방법에 의해 제조된다.

- [0060] 이하, 본원에 따른 탄소 나노구조물 패턴을 제조하는 방법을 도면을 이용하여 구체적으로 설명한다.
- [0061] 도 3은 본원의 일 구현예에 따른 탄소 나노구조물 패턴의 제조 방법을 나타낸 순서도이며, 도 4a 내지 도 4c는 본원의 일 구현예에 따른 탄소 나노구조물 패턴의 제조 방법을 설명하기 위한 단면도이다.
- [0062] 우선, 도 3 및 도 4a에 도시된 바와 같이, 기판(10) 상에 금속 촉매층(50)을 형성한다(S100).
- [0063] 구체적으로, 기판(10)은 특별히 제한은 없으며, 예를 들어, 실리콘, 유리, 플라스틱, 산화물 기판 등일 수 있다. 상기 기판과 금속 촉매가 반응할 가능성이 있는 경우, 이러한 반응을 막기 위하여 기판(10) 상에 절연체를 포함하는 배리어 층(20)을 형성할 수 있다. 이 경우 배리어 층(20) 상에 탄소 나노구조물 층(30)을 형성한다.
- [0064] 배리어 층(20)은 비제한적인 예로서 SiO_2 , SiN_x , Al_2O_3 및 HfO_x 등을 포함할 수 있다. 기판(10)이 실리콘 기판일 경우, 실리콘 기판 표면을 자외선(UV) 및 O_3 로 처리함으로써, SiO_2 를 포함하는 배리어 층(20)을 형성할 수 있으며, 또는, 실리콘 기판 표면을 질소 분위기에서 처리함으로써, SiN_x 를 포함하는 배리어 층(20)을 형성할 수 있다.
- [0065] 기판(10)에 종류에 따라 선택적으로 배리어 층(20)을 형성한 다음 기판(10) 상에 금속 촉매층(50)을 형성한다. 상기 금속 촉매층(50)의 높이는 특별히 제한되지 않으며, 원하는 전기 전자 소자의 특성에 적절한 범위에서 당업자가 적의 선택할 수 있으며, 예를 들어, 나노미터, 마이크로미터 또는 밀리미터 크기의 범위일 수 있으나, 이에 제한되는 것은 아니다. 금속 촉매층(50)은 후에 형성될 탄소 나노구조물 층(30)의 성장용 촉매로서 사용될 수 있는 모든 일반적인 금속을 포함할 수 있으며, 예를 들어, Cu, Fe, Ni, Co, Pt, Ir, Pd 및 Ru로 이루어진 군에서 선택되는 하나 이상의 금속 또는 그의 합금을 포함할 수 있다. 금속 촉매층(50)은, 비제한적 예로서, 스퍼터링, 전자빔증착법(e-beam evaporation), 금속 혼합물의 졸-겔(sol-gel) 연소를 이용하는 방법, 금속 전구체를 이용한 이온 교환 침전법, 전기도금법(Electroplating), 무전해도금법(Electroless Plating) 등을 이용하여 형성할 수 있다.
- [0066] 다음, 금속 촉매층(50) 상에 마스크층(60)을 형성한다(S110).
- [0067] 구체적으로, 예를 들어, 화학 기상 증착(CVD) 또는 플라즈마 기상 증착 공정 등을 이용하여 금속 촉매층(50) 상에 마스크층(60)을 형성한다. 마스크층(60)은 후에 형성될 탄소 나노구조물 층(30)의 성장 시 금속 촉매층(50)에 의한 탄소 나노구조물 층(30)의 성장 반응을 막을 수 있는 모든 절연 물질을 포함할 수 있으며, 예를 들어, SiO_2 , SiN_x , Al_2O_3 및 HfO_x 로 이루어진 군에서 선택되는 하나 이상의 절연 물질 외에도 탄소 나노구조물 층(30)의 성장 촉매 역할을 하지 않는 금속인 Au, Cu, Pt, Ti, TiN 및 Cr로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있다. 또한, 마스크층(60)은 비제한적 예로서, 전기 방전법(Arcdischarge), 레이저 증착법(Laser vaporization), 전기분해 방법 또는 플레임(Flame) 합성 방법 등을 이용하여 형성할 수 있다.
- [0068] 다음, 도 3 및 도 4b에 도시된 바와 같이, 금속 촉매층(50) 및 마스크층(60)을 식각하여 원하는 패턴을 형성한다(S120). 이러한 식각방법은 전통적인 리소그래피와 식각을 이용하여 수행될 수 있다. 한편, 여기서, "원하는 패턴"이란, 예를 들어, 박막 트랜지스터(thin film transistor)를 구성하는 도전성 패턴의 형태이거나, 또는 칩 온 기판(chip on substrate)에 형성된 칩을 구성하는 도전성 패턴의 형태일 수 있으나, 이에 제한되는 것은 아니다.
- [0069] 구체적으로, 예를 들어, 우선, 마스크층(60) 상에 포토레지스트층(photoresist layer)을 형성한 후, 설정된 패턴이 형성되어 있는 마스크를 통해 포토레지스트 층을 노광 및 현상하여 상기 설정된 패턴에 대응하는 포토레지스트 패턴을 형성한다. 이 때, 포토레지스트 패턴은 식각하고자 하는 금속 촉매층(50) 및 마스크층(60) 부분을 노출하게 된다. 다음, 포토레지스트 패턴을 마스크로서 이용하여 포토레지스트 패턴을 통해 노출된 금속 촉매층(50) 및 마스크층(60)을 식각하여 기판(10) 상에 금속 촉매층(50) 및 마스크층(60)을 포함하는 원하는 패턴을 형성한다. 이 후, 에싱(ashing) 공정 또는 리프트 오프(lift off) 공정을 이용하여 마스크층(60)으로부터 포토레지스트 패턴을 제거한다. 한편, 필요에 따라 포토레지스트 패턴을 제거하지 않을 수도 있다.
- [0070] 이와 같은, 포토리소그래피(photolithography) 공정을 이용하여 금속 촉매층(50) 및 마스크층(60)을 식각함으로써 형성된 패턴의 상면에는 금속 촉매층(50)을 블로킹(blocking)하기 위한 마스크층(60)이 노출되어 있으며, 상기 패턴의 측면에는 금속 촉매층(50)이 노출되어 있다.
- [0071] 다음, 도 3 및 도 4c에 도시된 바와 같이, 상기 패턴의 금속 촉매층(50) 측면(51)에 탄소 나노구조물 층(30)을

성장시킨다(S130).

- [0072] 예를 들어, 아세틸렌(C_2H_2) 또는 메탄(CH_4) 등의 탄소를 포함하는 전구체(precursor)를 열 에너지를 이용하여 분해하는 화학기상증착법 또는 플라즈마 에너지를 이용하여 분해하는 플라즈마 화학기상증착법 등에 의하여 금속 촉매층(50) 측면(51)에 탄소 나노구조물 층(30)을 선택적으로 성장시킨다. 성장된 탄소 나노구조물 층(30)은 그래핀(graphene), 탄소나노튜브, 탄소 나노파이버, 탄소 나노와이어 또는 탄소 나노콘 등을 포함하는 것일 수 있다. 또한, 탄소 나노구조물 층(30)은, 비제한적 예로서, 전기 방전법(Arcdischarge), 레이저 증착법(Laser vaporization), 전기분해 방법, 플레임(Flame) 합성 방법 등을 이용하여 형성할 수 있다.
- [0073] 다음, 도 3에 도시된 바와 같이, 상기 측면에만 선택적으로 탄소 나노구조물 층(30)을 성장시킨 패턴의 금속 촉매층(50) 및 마스크층(60)을 제거한다(S140).
- [0074] 예를 들어, 금속 촉매층(50) 및 마스크층(60)이 선택적으로 식각되는 식각액을 사용한 습식 식각 공정을 이용하여 탄소 나노구조물 층(30)을 제외하고 금속 촉매층(50) 및 마스크층(60)의 일부 또는 전체를 기판(10)으로부터 제거함으로써 기판(10) 상에는 탄소 나노구조물 층(30)만 형성되어 있게 된다.
- [0075] 이상과 같이, 본원은 원하는 패턴으로 형성되어 있는 금속 촉매층(50)의 측면(51)에만 선택적으로 탄소 나노구조물 층(30)을 형성함으로써, 성장된 탄소 나노구조물 층(30)을 다른 기판에 이식하지 않고 탄소 나노구조물 층(30)이 성장된 기판(10)에서 그대로 사용할 수 있기 때문에, 탄소 나노구조물 패턴의 제조 공정이 단순화된다. 즉, 탄소 나노구조물 패턴의 제조 공정이 단순화됨으로써, 탄소 나노구조물 패턴의 제조 비용을 낮출 수 있는 동시에 탄소 나노구조물 층(30)을 다른 기판에 이식하는 공정에 의해 발생할 수 있는 탄소 나노구조물 층(30)의 파손이 방지된다. 또한, 상기와 같은 공정에 의해 제조된 탄소 나노구조물 패턴 상에 추가적인 도전성 패턴을 형성하여 박막 트랜지스터 등 전기 소자를 제조할 수 있다.
- [0076] 또한, 상기와 같은 공정에 의해 제조된 탄소 나노구조물 패턴 상에 전계방출소자를 제조할 수 있다.
- [0077] 본원의 제 5 측면에 있어서, 하기 단계를 포함하는, 탄소 나노구조물 박막 트랜지스터의 제조 방법을 제공할 수 있다:
- [0078] 기판 상에 금속 촉매층을 형성하는 단계;
- [0079] 상기 금속 촉매층 상에 마스크층을 형성하는 단계;
- [0080] 상기 금속 촉매층 및 상기 마스크층을 식각하여 측면에 상기 금속 촉매층이 노출되어 있는 주형 패턴을 형성하는 단계;
- [0081] 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 형성하는 단계;
- [0082] 상기 주형 패턴의 금속 촉매층 및 마스크층의 일부 또는 전체를 제거하여 탄소 나노구조물 패턴층을 형성하는 단계;
- [0083] 상기 기판 상에 게이트 절연층을 형성하는 단계;
- [0084] 상기 기판 상에 게이트 전극을 형성하는 단계; 및
- [0085] 상기 탄소 나노구조물 패턴층과 전기적으로 접촉하는 소스/드레인 전극을 형성하는 단계.
- [0086] 본원의 일 구현예에 있어서, 상기 탄소 나노구조물 층은 나노 리본 형태일 수 있다.
- [0087] 본원의 다른 구현예에 있어서, 상기 탄소 나노구조물은 그래핀(graphene), 탄소나노튜브, 탄소 나노파이버, 탄소 나노와이어, 탄소 나노리본 또는 탄소 나노콘을 포함하는 것일 수 있으나, 이에 제한되지는 않는다. 예를 들어, 상기 탄소 나노구조물 층은 그래핀을 포함하는 것일 수 있으나, 이에 제한되지는 않는다. 일 구현예에 있어서, 상기 그래핀은 나노리본 형태를 가지는 것일 수 있다.
- [0088] 본원의 또 다른 구현예에 있어서, 상기 금속 촉매층은 상기 탄소 나노구조물 층 성장의 촉매로서 사용되는 금속을 포함하는 것일 수 있으나, 이에 제한되지는 않는다.
- [0089] 본원의 또 다른 구현예에 있어서, 상기 금속은 Cu, Fe, Ni, Co, Pt, Ir, Pd, Cu 및 Ru로 이루어진 군에서 선택

되는 하나 이상의 금속 또는 그의 합금을 포함하는 것일 수 있으나, 이에 제한되지는 않는다.

- [0090] 본원의 또 다른 구현예에 있어서, 상기 마스크층은 SiO_2 , SiN_x , Al_2O_3 , HfO_x , SOG(Silicon-on-Glass), ZrO, Au, Cu, Pt, Ti, TiN 및 Cr로 이루어진 군에서 선택되는 하나 이상을 포함하는 것일 수 있으나, 이에 제한되지는 않는다.
- [0091] 본원의 또 다른 구현예에 있어서, 상기 주형 패턴의 금속 촉매층 측면에 탄소 나노구조물 층을 성장시키는 단계는, 탄소를 포함하는 전구체를 열 또는 플라즈마에 의하여 분해하여 화학기상증착법에 의하여 상기 탄소 나노구조물 층을 성장시키는 것을 포함하는 것일 수 있다.
- [0092] 본원의 또 다른 구현예에 있어서, 상기 기판 및 상기 금속 촉매층 사이에 배리어(barrier)층을 형성하는 단계를 추가 포함할 수 있다.
- [0093] 본원의 또 다른 구현예에 있어서, 상기 배리어 층은, SiO_2 , SiN_x , Al_2O_3 , HfO_x , SOG 및 ZrO로 이루어진 군에서 선택되는 하나 이상을 포함하는 것일 수 있으나, 이에 제한되지는 않는다.
- [0094] 본원의 제 6 측면에 있어서, 상기 제조 방법에 따라 제조되는 탄소 나노구조물 박막 트랜지스터를 제공할 수 있다.
- [0095] 본원의 일 구현예에 있어서, 상기 박막 트랜지스터가 포함하는 탄소 나노구조물 층이 그래핀의 나노리본을 포함하는 것일 수 있다.
- [0096] 이하, 본원의 탄소 나노구조물 박막 트랜지스터 및 그의 제조 방법에 대한 일 구현예 및 일 실시예를 도면을 이용하여 자세히 설명한다. 그러나, 본원이 이에 제한되는 것은 아니다.
- [0097] 도 5는 본원의 일 구현예에 따른 탄소 나노구조물 박막 트랜지스터의 제조 방법을 나타낸 순서도이며, 도 6a 내지 도 6f는 본원의 일 구현예에 따른 탄소 나노구조물 박막 트랜지스터의 제조 방법을 설명하기 위한 단면도이다.
- [0098] 우선, 도 5 및 도 6a에 도시된 바와 같이, 기판(100) 상에 금속 촉매층(300)을 형성한다(S200).
- [0099] 구체적으로, 기판(100)은 특별히 제한은 없으며, 예를 들어, 실리콘, 유리, 플라스틱, 산화물 기판 등일 수 있다. 상기 기판과 금속 촉매가 반응할 가능성이 있는 경우, 이러한 반응을 막기 위하여 기판(100) 상에 절연체를 포함하는 배리어 층(200)을 형성할 수 있다. 이 경우 상기 배리어 층(200) 상에 탄소 나노구조물 층(500)을 형성한다.
- [0100] 상기 배리어 층(200)은 비제한적인 예로서 SiO_2 , SiN_x , Al_2O_3 , HfO_x , SOG 및 ZrO로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있으나 이에 제한되는 것은 아니다. 기판(100)이 실리콘 기판일 경우, 실리콘 기판 표면을 산소 분위기 처리, 혹은 자외선(UV) 및 O_3 로 처리함으로써, SiO_2 를 포함하는 배리어 층(200)을 형성할 수 있으며, 또는, 실리콘 기판 표면을 질소 분위기에서 처리함으로써, SiN_x 를 포함하는 배리어 층(200)을 형성할 수 있다.
- [0101] 기판(100)의 종류에 따라 선택적으로 배리어 층(200)을 형성한 다음 상기 기판(100) 상에 금속 촉매층(300)을 형성한다. 상기 금속 촉매층(300)의 높이는 특별히 제한되지 않으며, 원하는 전기 전자 소자의 특성에 적절한 범위에서 당업자가 선택할 수 있다. 여기서, 상기 금속 촉매층(300)의 높이(두께)에 따라 이후 상기 금속 촉매층(300)의 측면(side-wall)에 성장될 탄소 나노구조물 층(500)의 높이[탄소 나노구조물 층 리본 폭 : T(도 7 참조)]가 결정될 수 있다. 상기 금속 촉매층(300)은 후에 형성될 탄소 나노구조물 층(500)의 성장의 촉매로서 사용될 수 있는 모든 일반적인 금속을 포함할 수 있으며, 예를 들어, 금속은 Cu, Fe, Ni, Co, Pt, Ir, Pd 및 Ru로 이루어진 군에서 선택되는 하나 이상 금속 또는 그의 합금을 포함할 수 있으나, 이에 제한되는 것은 아니다. 상기 금속 촉매층(300)은 비제한적 예로서, 스퍼터링, 전자빔증착법(e-beam evaporation), 금속 혼합물의 졸-겔(sol-gel) 연소를 이용하는 방법, 금속 전구체를 이용한 이온 교환 침전법, 전기도금법(Electroplating), 무전해도금법(Electroless Plating) 등을 이용하여 형성할 수 있다.
- [0102] 다음, 금속 촉매층(300) 상에 마스크층(400)을 형성한다(S210).

- [0103] 구체적으로, 예를 들어, 화학 기상 증착 또는 플라즈마 기상 증착 공정 등을 이용하여 금속 촉매층(300) 상에 마스크층(400)을 형성할 수 있다. 상기 마스크층(400)은 후에 형성될 탄소 나노구조물 층(500)의 성장 시 금속 촉매층(300) 상부에 탄소 나노구조물 층(500)의 성장 반응을 막을 수 있는 모든 절연 물질을 포함할 수 있으며, 예를 들어, SiO_2 , SiNx , Al_2O_3 , HfO_x , SOG 및 ZrO 로 이루어진 군에서 선택되는 하나 이상의 절연 물질을 사용하거나 또는 탄소 나노구조물 층(500)의 성장을 위한 촉매 역할을 하는 금속촉매층(300) 보다 작은 촉매 활성을 갖는 금속인 Au, Cu, Pt, Ti, TiN, Cr로 이루어진 군에서 선택되는 하나 이상을 포함할 수 있다. 또한, 상기 마스크층(400)은 비제한적 예로서, 전기 방전법(Arcdischarge), 레이저 증착법(Laser vaporization), 전기분해 방법, 플레임(Flame) 합성 방법 등을 이용하여 형성할 수 있다.
- [0104] 다음, 도 6b에 도시된 바와 같이, 금속 촉매층(300) 및 마스크층(400)을 식각하여 원하는 주형 패턴을 형성한다(S220). 이러한 식각 방법은 전통적인 리소그래피와 식각을 이용하여 수행될 수 있다. 한편, 여기서, "원하는 패턴"이란, 예를 들어, 이후 완성될 나노리본 형태의 탄소나노 구조물이 형성될 수 있는 도전성 패턴의 형태일 수 있으나, 이에 제한되는 것은 아니다.
- [0105] 구체적으로, 예를 들어, 우선, 마스크층(400) 상에 포토레지스트층(photoresist layer)을 형성한 후, 설정된 패턴이 형성되어 있는 마스크를 통해 포토레지스트층을 노광 및 현상하여 상기 설정된 패턴에 대응하는 포토레지스트 패턴을 형성한다. 이 때, 포토레지스트 패턴은 식각하고자 하는 금속 촉매층(300) 및 마스크층(400) 부분을 노출하게 된다. 다음, 포토레지스트 패턴을 마스크로서 이용하여 포토레지스트 패턴을 통해 노출된 금속 촉매층(300) 및 마스크층(400)을 식각하여 기판(100) 상에 금속 촉매층(300) 및 마스크층(400)을 포함하는 원하는 패턴을 형성한다. 이후, 에칭(ashing) 공정 또는 리프트 오프(lift off) 공정을 이용하여 마스크층(400)으로부터 포토레지스트 패턴을 제거한다. 한편, 필요에 따라 포토레지스트 패턴을 제거하지 않을 수도 있다.
- [0106] 이와 같은, 포토리소그래피(photolithography) 공정을 이용하여 금속 촉매층(300) 및 마스크층(400)을 식각함으로써 형성된 패턴의 상면에는 금속 촉매층(300)을 블로킹(blocking)하기 위한 마스크층(400)이 노출되어 있으며, 상기 패턴의 측면에는 금속 촉매층(300)이 노출되어 있다.
- [0107] 다음, 도 6c에 도시된 바와 같이, 상기 주형 패턴의 금속 촉매층(300) 측면(310)에 탄소 나노구조물 층(500)을 성장시킨다(S230).
- [0108] 예를 들어, 아세틸렌(C_2H_2) 또는 메탄(CH_4) 등의 탄소를 포함하는 전구체(precursor)를 열 에너지를 이용하여 분해하는 열 화학기상증착법 또는 플라즈마 에너지를 이용하여 분해하는 플라즈마 화학기상증착법 등에 의하여 금속 촉매층(300) 측면(310)에 탄소 나노구조물 층(500)을 선택적으로 성장시킬 수 있다. 성장된 탄소 나노구조물(500)은 그래핀(graphene), 탄소나노튜브, 탄소 나노파이버, 탄소 나노와이어 또는 탄소 나노콘 등을 포함할 수 있으나 이에 제한되는 것은 아니다. 또한, 탄소 나노구조물 층(500)은 비제한적 예로서, 전기 방전법(Arcdischarge), 레이저 증착법(Laser vaporization), 전기분해 방법 또는 플레임(Flame) 합성 방법 등을 이용하여 형성할 수 있다.
- [0109] 다음, 도 6d에 도시된 바와 같이, 상기 측면에만 선택적으로 탄소 나노구조물 층(500)을 성장시킨 패턴의 금속 촉매층(300) 및 마스크층(400)을 전부 또는 일부를 제거하여 탄소 나노구조물 패턴층(500)을 형성할 수 있다(S240).
- [0110] 예를 들어, 금속 촉매층(300) 및 마스크층(400)이 선택적으로 식각되는 식각액을 사용한 습식 식각 공정을 이용하여 상기 마스크층(400)은 전체를, 상기 금속 촉매층(300)은 일부를 제거함으로써 기판(100) 상에 패턴된 금속 촉매층(300) 및 상기 금속 촉매층(300)의 측면을 따라 형성된 탄소 나노구조물 패턴층(500)을 형성할 수 있다.
- [0111] 이후, 도 6e에 도시된 바와 같이, 상기 탄소 나노구조물 패턴층(500)이 형성된 기판 상에 게이트 절연층(600)을 형성한다(S250). 상기 게이트 절연층(600)은 SiO_2 , SiNx , Al_2O_3 , HfO_x , SOG 및 ZrO 로 이루어진 군에서 선택되는 하나 이상의 절연 물질로 형성할 수 있다.
- [0112] 마지막으로, 도 6f에 도시된 바와 같이 상기 게이트 절연층(600)을 형성한 후, 게이트 전극 물질층을 상기 게이트 절연층(600) 상에 형성할 수 있으며, 이후 상기 게이트 전극 물질층을 패터닝하여 게이트 전극(700)을 형성할 수 있다(S260). 상기 게이트 전극 물질은 통상적으로 게이트 전극 물질로 사용되는 크롬(Cr), 몰리브덴(Mo) 또는 알루미늄(Al) 등의 금속, 또는 탄소구조물, 폴리 실리콘 등을 사용할 수 있으나 이에 제한되는 것은 아니다. 상기 게이트 전극 물질층은 화학기상증착법(Chemical Vapor Deposition, CVD) 또는 물리기상증착법(Physical vapor deposition, PVD)으로 형성될 수 있으며, 상기 화학기상증착법은 금속유기화학기상증착법

(MOCVD), 상압화학적기상증착법(APCVD), 저압 화학기상증착법(LPCVD), 플라즈마가속화학증착법(PECVD) 및 원자층증착법(ALD) 중 하나일 수 있다.

[0113] 여기서, 상기 게이트 전극 물질층을 패터닝하는 방법은 전술한 포토레지스트 패턴을 이용한 리소그래피 공정을 예로 들 수 있으나, 이에 제한되는 것은 아니다.

[0114] 이후, 상기 소스/드레인 전극(미도시)은 당업계에서 사용되는 재료 및 방법을 이용하여 형성될 수 있으며, 예를 들어, AZO(Al doped zinc oxide), ITO(Indium tin oxide), 코발트(Co), 철(Fe), 니켈(Ni), 크롬(Cr), 금(Au), 은(Ag), 구리(Cu), 알루미늄(Al), 백금(Pt), 주석(Sn), 텅스텐(W), 루테튬(Ru), 팔라듐(Pd) 및 카드뮴(Cd)으로 이루어지는 군으로부터 선택되는 하나 이상으로 형성할 수 있으며, 화학기상증착법(Chemical Vapor Deposition, CVD) 또는 물리기상증착법(Physical vapor deposition, PVD)으로 소스/드레인 전극 물질층을 형성한 후 예를 들어, 리소그래피 공정으로 패터닝하여 상기 탄소 나노구조물 패턴층(500)과 전기적으로 접촉하는 소스/드레인 전극을 형성할 수 있다(S270). 상기 화학기상증착법은 금속유기화학기상증착법(MOCVD), 상압화학적기상증착법(APCVD), 저압 화학기상증착법(LPCVD), 플라즈마가속화학증착법(PECVD) 및 원자층증착법(ALD) 중 하나일 수 있다. 다만, 추가적으로 상기 게이트 전극(700)과 소스/드레인 전극 사이에 전술한 게이트 절연층과 동일한 물질로 상기 두 전극을 절연시키는 층간 절연막을 형성할 수 있다.

[0115] 도 7은 상술한 바와 같은 본원의 일 구현예에 따른 탄소 나노구조물 박막 트랜지스터의 사시도이다.

[0116] 이하, 본원의 실시예를 통하여 보다 구체적으로 설명하며, 본 실시예에 의하여 본원의 범위가 제한되는 것은 아니다.

실시예 1

[0117] 우선, 기판(10)으로서 실리콘 기판을 증류수, 아세톤, 에탄올의 순서로 각각 세척하고, 각각의 세척 단계 사이에는 N_2 가스를 퍼징(purging)하여 기판의 오염물질을 제거하여 사용하였다.

[0118] 다음, 실리콘 기판 표면을 자외선 및 O_3 로 처리함으로써, 기판(10) 상에 SiO_2 를 포함하는 배리어 층(20)을 형성하였다.

[0119] 다음, 배리어 층(20) 상에 스퍼터링 공정을 이용하여 기판(10) 상에 Pt를 포함하는 금속 촉매층(50)을 형성하였다.

[0120] 다음, 금속 촉매층(50) 상에 화학 기상 증착 공정을 이용하여 Al_2O_3 를 포함하는 마스크층(60)을 형성하였다.

[0121] 다음, 금속 촉매층(50) 및 마스크층(60)을 포토리소그래피 공정을 이용해 식각하여 원하는 주형 패턴을 형성하였다. 상기 주형 패턴의 측면(51)에는 금속 촉매층(50)이 노출되어 있다.

[0122] 다음, 탄소를 포함하는 전구체인 메탄(CH_4)을 열 화학 증착법에 의하여 열을 이용해 분해함으로써, 금속 촉매층(50) 측면(51)에만 선택적으로 탄소 나노구조물(30)로서 그래핀을 성장시켰다.

[0123] 다음, 금속 촉매층(50) 및 마스크층(60)이 선택적으로 식각되는 식각액을 사용한 습식 식각 공정을 이용하여 기판(10)으로부터 금속 촉매층(50) 및 마스크층(60) 전체를 기판(10)으로부터 제거하여, 그래핀 패턴(나노리본)만이 상기 기판 상에 그대로 잔존하였다 (도 4 참조).

실시예 2

[0124] 우선, 기판(100)으로서 실리콘 산화막이 형성된 실리콘 기판(SiO_2/Si)을 증류수, 아세톤, 에탄올의 순서로 각각 세척하고, 각각의 세척 단계 사이에는 N_2 가스를 퍼징(purging)하여 기판의 오염물질을 제거하여 사용하였다.

[0125] 다음, 상기 기판 표면을 자외선 및 O_3 로 처리함으로써, 기판(100) 상에 SiO_2 를 포함하는 배리어 층(200)을 형성하였다.

- [0126] 다음, 배리어 층(200) 상에 스퍼터링 공정을 이용하여 기판(100) 상에 Pt을 포함하는 금속 촉매층(300)을 형성하였다.
- [0127] 다음, 금속 촉매층(300) 상에 화학 기상 증착 공정을 이용하여 Al_2O_3 를 포함하는 마스크층(400)을 형성하였다.
- [0128] 다음, 금속 촉매층(300) 및 마스크층(400)을 포토리소그래피 공정을 이용해 식각하여 원하는 주형 패턴을 형성하였다. 상기 주형 패턴의 측면(310)에는 금속 촉매층(300)이 노출되어 있다.
- [0129] 다음, 탄소를 포함하는 전구체인 메탄(CH_4)을 열 화학 증착법에 의하여 열을 이용해 분해함으로써, 금속 촉매층(300) 측면(310)에만 선택적으로 탄소 나노구조물 층(500)으로서 그래핀 나노 리본을 성장시켰다.
- [0130] 다음, 금속 촉매층(300) 및 마스크층(400)이 선택적으로 식각되는 식각액을 사용한 습식 식각 공정을 이용하여 기판(100)으로부터 금속 촉매층(300)의 일부 및 마스크층(400) 전체를 기판(100)으로부터 제거하여, 패턴된 금속 촉매층(300) 및 상기 금속 촉매층(300) 측면에 성장된 그래핀 나노리본의 패턴이 상기 기판 상에 그대로 잔존하였다.
- [0131] 이후, 상기 기판(100) 전면에 SiO_2 를 포함하는 게이트 절연층(600)을 형성하였다.
- [0132] 마지막으로 몰리브덴(Mo) 금속을 사용하여 화학 기상 증착법을 통해 상기 기판 상에 게이트 전극 물질층을 형성하고 이후 리소그래피 공정을 통하여 패터닝함으로써 게이트 전극(700)을 형성하였고, 화학기상증착법으로 Ni을 사용하여 상기 기판(100) 상에 소스/드레인 전극층을 형성하였다. 이후, 상기 소스/드레인 전극층을 리소그래피 공정을 사용하여 상기 금속 촉매층과 접촉하도록 패터닝하여 소스/드레인 전극을 형성함으로써 그래핀 박막 트랜지스터를 완성하였다 (도 6 및 도 7 참조).

실시예 3

- [0133] 본 실시예에 있어서 핀-형(fin-type) 그래핀 리본 제조를 위한 개략적인 전체 공정 흐름은 도 8 및 도 9에 나타내었다. 구체적인 제조 공정은, 우선, Si 기판 상에 300 nm 두께의 SiO_2 층을 증착하였다. 그리고 나서 300 nm-니켈(Ni) 및 200 nm- SiO_2 는 각각 스퍼터링 및 CVD로 연속적으로 증착하였다(도 8(a)). 상기 니켈 필름은 그래핀 성장을 위한 촉매의 역할을 하고, 상부 SiO_2 200 nm 는 그래핀 합성으로부터 Ni 촉매의 상부 표면을 보호하기 위한 보호층으로서 역할을 한다. 상기 SiO_2 층 상에 포토레지스트(PR)를 스핀코팅하고 포토리소그래피에 의해 패터닝하여 상기 SiO_2 /Ni 적층체의 일부를 노출시켜 주형 패턴을 형성시켰다. 이와 같이 노출된 SiO_2 /Ni 적층체 외부 패턴(ourside pattern)을 유도 결합 플라즈마(ICP) 식각기에 의해 건식-식각하거나 또는 SiO_2 와 Ni 각각에 대하여 완충 산화물 식각액(Buffered Oxide Echant, BOE) 및 질산 각각 의해 습식-식각하였다(도 8(b)). 이러한 단계들을 통하여, 상기 니켈 촉매의 측면만이 노출되었고, 상기 노출된 니켈 촉매의 측면 상에 CVD에 의해 그래핀을 성장시킬 수 있다. 다음, 상기 PR을 아세톤으로 제거하였다(도 8(c), 도 9(a)). 상기 와 같이 수득된 샘플(사이즈 $1-2\text{ cm}^2$)을 할로젠 램프 가열 시스템을 구비한 CVD 석영 반응기 안으로 로딩하였다. 상기 챔버는 기계적 펌프에 의해 1 m Torr 하에서 진공을 유지하였고, 아르곤(Ar) 분위기(99.999% 순도)에서 퍼징하였다. 그리고 나서 온도를 증가시키는 동안 상기 촉매 니켈 금속의 산화를 방지하기 위해 수소(H_2) (99.999% 순도) 가스를 상기 반응기로 주입되도록 허용하였다. 상기 샘플은 900-950℃ 에서 Ar 및 H_2 가스 분위기 하에서 예비-어닐링(pre-annealed)하였고, 그래핀 성장은 850-900℃에서 수행하였다(도 8(d), 도 9(b)). 핀-형 그래핀 리본을 구현하기 위해, 그래핀 성장 후에, 전체 리본 패턴의 중앙부에서 상부 SiO_2 층 및 Ni 층 각각을 10 : 1 BOE 및 $FeCl_3$ -기재 식각 용액 (Transcene Co. Type I)으로 각각 식각하면, 도 8(e)와 도 9(c)에 도시된 바와 같이, 두 개의 평행한 그래핀 리본이 수득되었다. 탑 게이트(상부 게이트) 공정을 수행하는 경우, 도 9(d)에 도시된 바와 같이 그래핀 리본을 이용하여 신규 핀-형 그래핀 트랜지스터를 구현할 수 있다.
- [0134] 상기 그래핀 리본 트랜지스터를 위한 종래 CVD 공정과 비교할 때, 본원에 따른 공정은 측면 그래핀이 이용되기 때문에 그래핀 전사 공정을 요구하지 않는다. 게다가, 그래핀 리본이 핀-형의 수직형이기 때문에, 실제적 듀얼 게이트 그래핀 트랜지스터가 용이하게 구현될 수 있다. 종래 연속적 니켈 필름 상에서 수평으로 합성된 그래핀

은 광학 현미경, 라만 분광기, 및 원자 힘 현미경(AFM)에 의해 쉽게 검사할 수 있다. 그러나, 본원에 따른 측면 그래핀은 매우 얇은 그래핀 층이 금속 촉매층의 측면 상에만 존재하는지 확인하기가 매우 어렵다. 이에, 본 실시예에서 상기 측면 성장 그래핀은 투과전자현미경(TEM)에 의해 관측되고, 이를 이용한 리본 레지스터 또는 트랜지스터의 전류-전압 측정은 반도체 분석기(Agilent B1500A)에 의해 수행하였다.

[0135] 우선, 캡 SiO_2 층 없이 벌크 Ni 촉매 상에서 합성된 그래핀의 TEM 관측을 수행하였다. 도 10a는 캡(cap) SiO_2 층 없이 연속적 Ni 필름 상에 CVD에 의해 합성된 그래핀의 광학 현미경 사진을 나타내며, 그래핀의 전형적 광학적 이미지가 관찰되었다. 더어두운 그레이 컬러를 나타내는, Ni 상에서 합성된 그래핀의 일부 지점들은, 주변보다 더 두꺼운 그래핀 층으로 구성된 영역들이다 (도 10 b). 성장된 그래핀의 층 수는 라만 분광기에 의해 관측되었다(도 10c). 일부 영역들은 > 1 의 2D/G 피크 비율을 나타내는데 이는 단일층 그래핀을 나타내며, 일부 영역들은 < 1 의 2D/G 피크 비율을 나타내는데 이는 다층 그래핀을 나타낸다.

[0136] 다음, Ni 촉매의 측면 상에 합성된 그래핀에 대한 TEM 관측을 수행하였다. 도 11(a)는 측면 그래핀 성장의 단면 개략도이고, 도 11(b)는 상부 SiO_2 와 Ni 층을 건식-식각한 후의 단면 SEM 이미지이다. Ni 및 SiO_2 의 기울기는 수직이지 않지만, $\sim 64^\circ$ 이다. 도 11(c)는 CVD 성장 후에 적층된 층에 대한 단면 저배율 TEM 이미지이고, 도 11(d)는 상기 선택된 측면 영역에 대한 확대된 TEM 이미지이다. 상기 CVD 후에, 측면 그래핀($\sim$ 수 층의 그래핀)은, 도 11(d)에 도시된 바와 같이, Ni과 백금(Pt)(TEM 이미지를 위해 증착한 층) 층 사이에서 확인되었다. 도 11(d)에서 상기 층간 거리는, TEM 이미지의 강도 프로파일로부터 ~ 0.3 nm이 되는 것을 확인하였으며, 이는 그래핀의 층들을 나타낸다. 상기 합성된 측면 그래핀 리본은 레지스터 또는 트랜지스터를 위한 채널로서 이용될 수 있다. 이것을 위해, 상기 리본 패턴의 중앙 부분에서 측면 그래핀을 지지하는 Ni 층을 FeCl_3 -기재 습식 식각 용액(Transcene Co. Type I)에 의해 식각하였고, 도 8(e) 및 도 9(c)에 도시된 바와 같이, 두 개의 평행한 그래핀 리본을 획득하였다.

[0137] 상기 Ni이 완전히 식각됐는지 확인하기 위해, 상기 리본의 I-V 곡선을 도 12(a)의 측정 장치를 이용하여 Ni를 식각하기 전 및 후에 각각 측정하여 도 12(b,c)에 나타내었다. 또한, 상기 Ni 식각 후에 CVD-스킵된(skipped) 샘플에 대해 무실할 정도의 양의 전류가 흐른다는 것을 확인하였다. 상기 제조된 그래핀 리본에 대한 게이트 변조(gate modulation)의 실행 가능성을 확인하기 위해, 백 게이트(back gate)를 상기 p-형 기판에 적용하였다.

[0138] 도 13(a)는 상기 제조된 측면 그래핀 리본 트랜지스터의 I-V 측정을 나타내는 도면이다. 도 13(b) 및 도 13(c)는 백 게이트 구성에 있어서 작동하는 전형적인 출력과 전달 특성이다. 드레인 전류는 드레인 전압에 대하여 전형적 의존을 나타내고, 드레인 전류의 포화를 나타내지 않았다. 드레인 전류는 사실상 백 게이트 전압으로 조절되는 것으로 보여진다. 이는, 상기 백 게이트 산화물이 상기 리본의 바텀 에지(bottom edge)와만 접촉시키기 때문에 상기 제조된 그래핀 리본이 백 게이트 변조 특성을 나타내는 것은 상당히 놀랍다. 상기 리본이 탑 게이트 산화물에 의해 변조되면 많은 개선된 출력 특성이 달성될 것이 예상된다. 상기 전달 특성은 게이트 전압 증가에 따라 감소하는 드레인 전류를 나타내며 (도 13(c)), 이는 p-형 채널 전도도를 나타낸다. 상기 강한 p-형 전도도는 제조된 모든 그래핀 리본 트랜지스터에 대하여 관측되었다. 그래핀은 흡착질(adsorbate)에 의해 쉽게 p-도핑된다. 그것들은 그래핀에서부터 흡착된 분자로의 전하 이동을 일으킨다. 게다가, 그래핀과 SiO_2 사이의 약한 C-O 결합의 형성은, 탄소로부터 상기 SiO_2/Si 기판의 산소로 전하를 전달함으로써 상기 그래핀에서 p-형 전도도에 기여할 수 있다.

[0139] 전술한 본원의 설명은 예시를 위한 것이며, 본원이 속하는 기술분야의 통상의 지식을 가진 자는 본원의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.

[0140] 본원의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본원의 범위에 포함되는 것으로 해석되어야 한다.

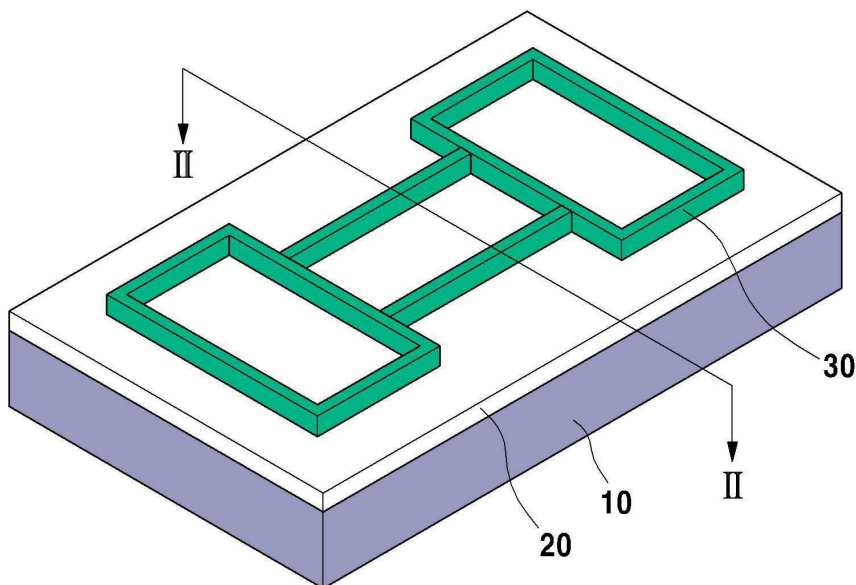
부호의 설명

[0141]

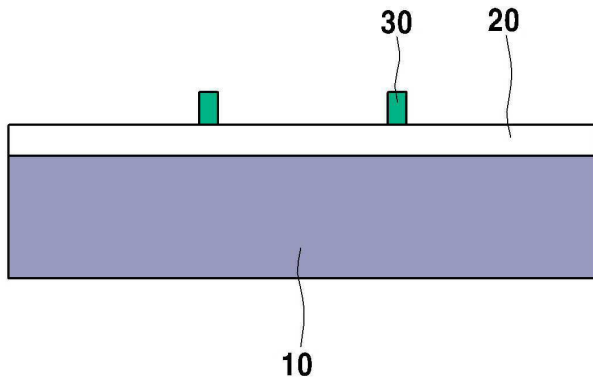
- 10 : 기판
- 20 : 배리어 층
- 30 : 탄소 나노구조물 층
- 50 : 금속 촉매층
- 60 : 마스크층
- 100 : 기판
- 200 : 배리어층
- 300 : 금속 촉매층
- 400 : 마스크층
- 500 : 탄소 나노구조물 층(패턴)
- 600 : 게이트 절연층
- 700 : 게이트 전극

도면

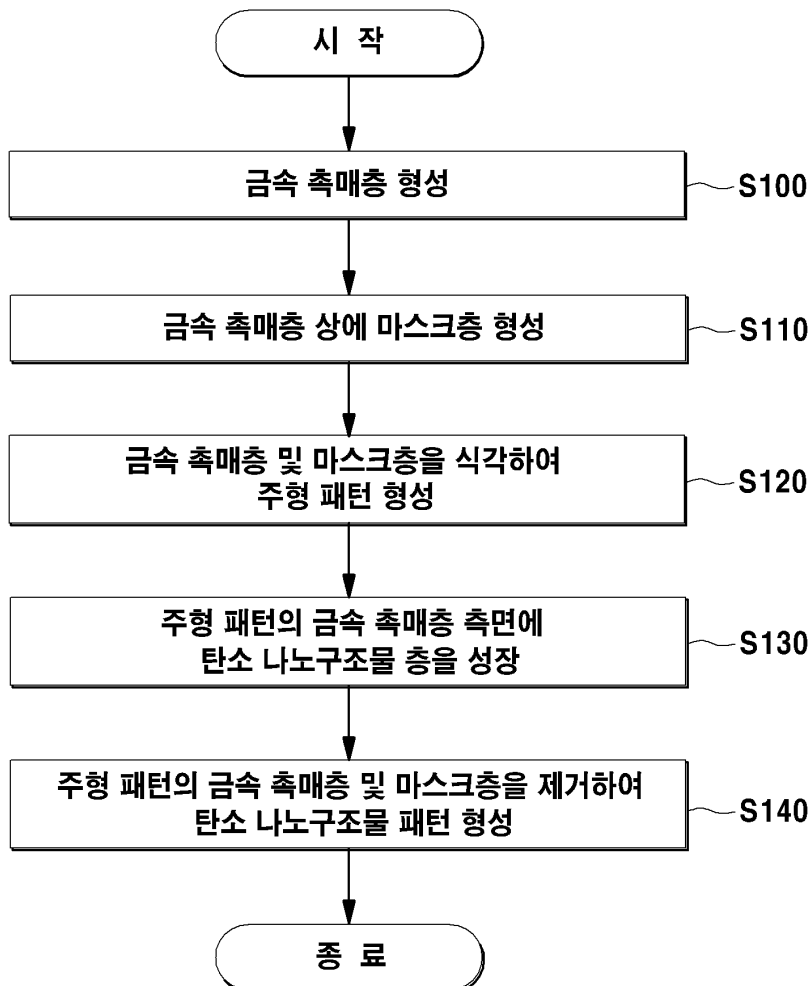
도면1



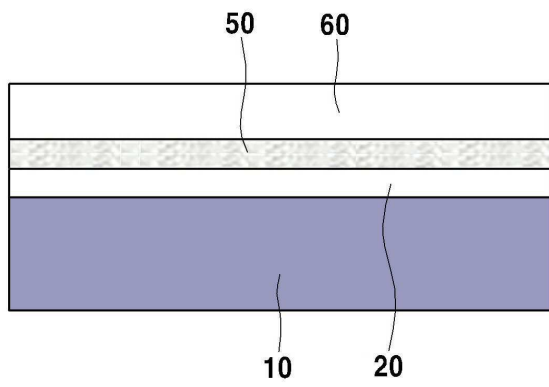
도면2



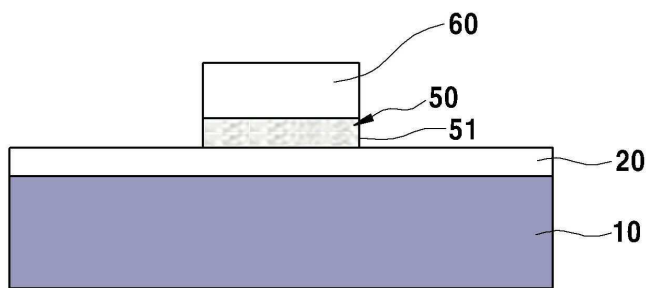
도면3



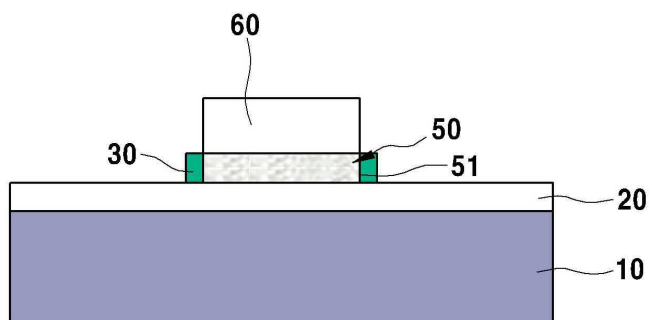
도면4a



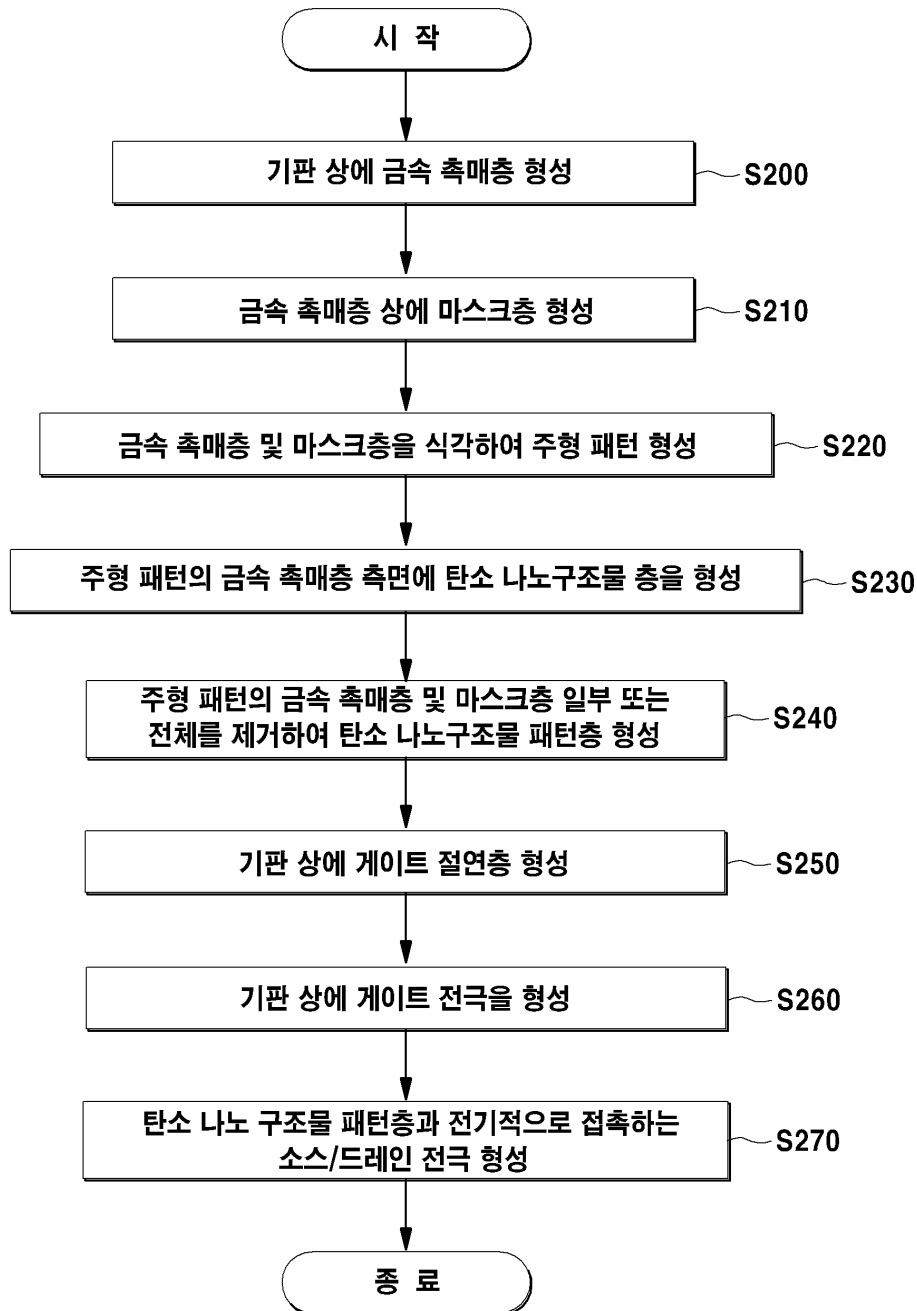
도면4b



도면4c



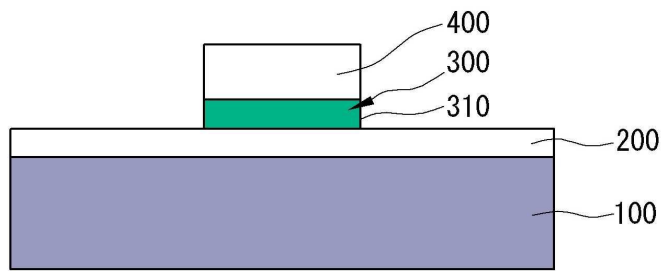
도면5



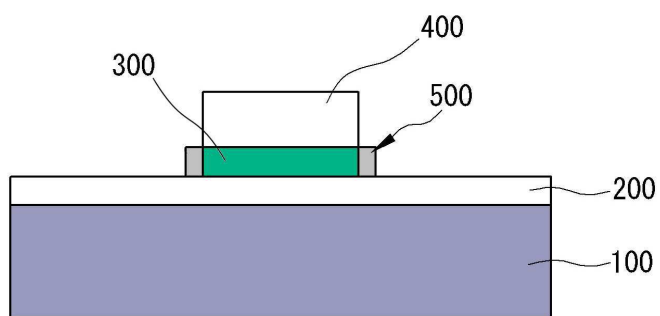
도면6a



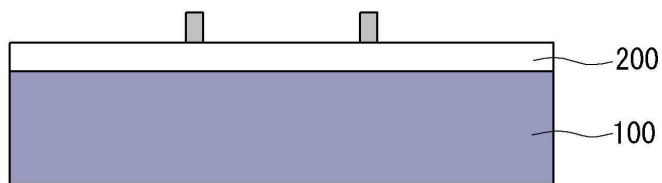
도면6b



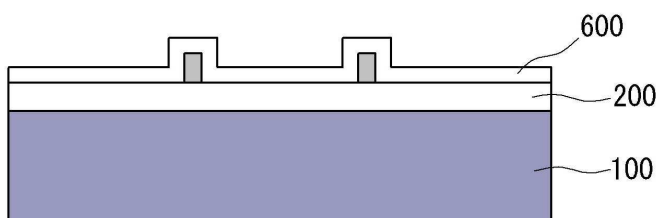
도면6c



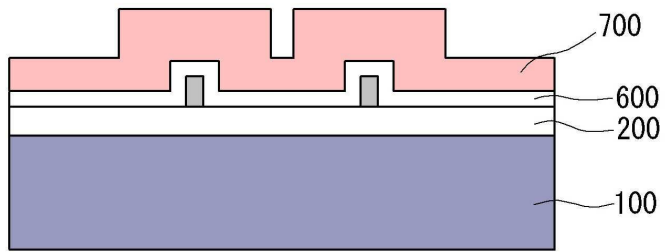
도면6d



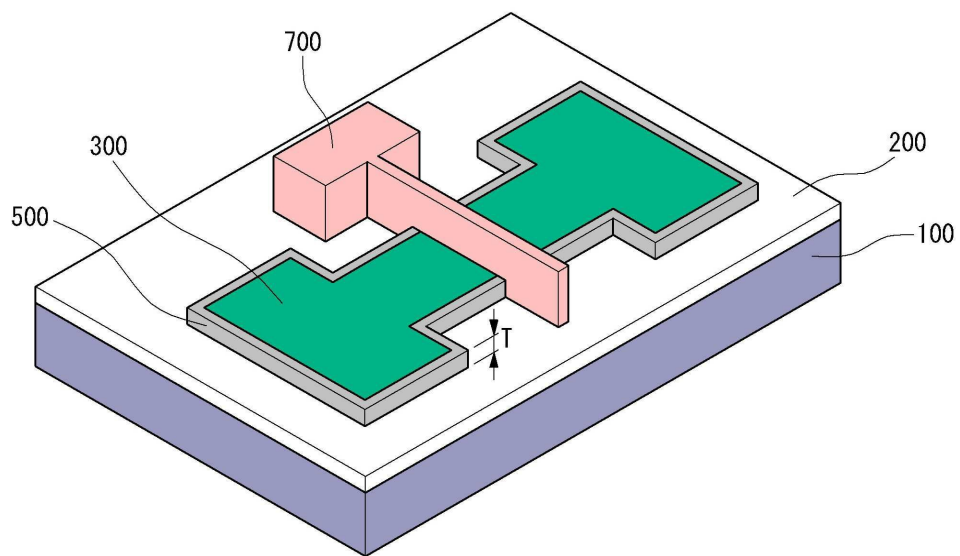
도면6e



도면6f



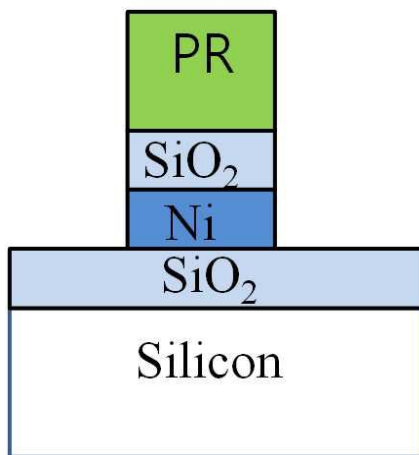
도면7



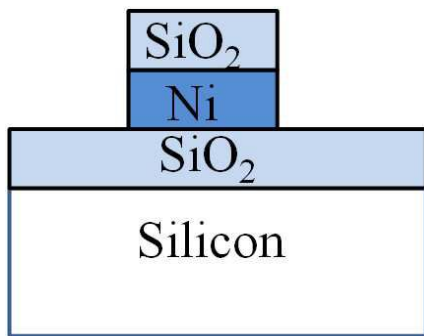
도면8a

SiO ₂
Ni
SiO ₂
Silicon

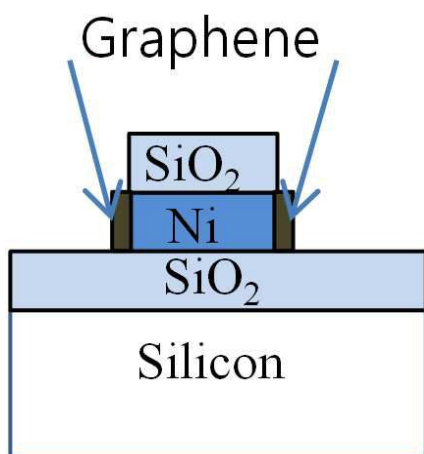
도면8b



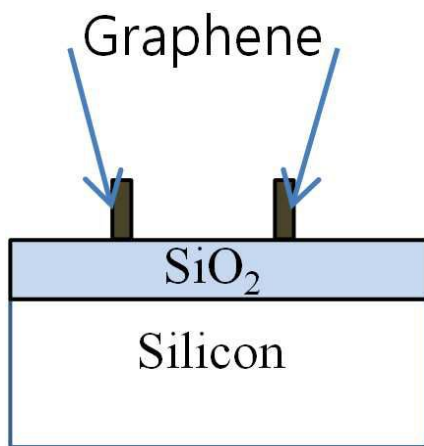
도면8c



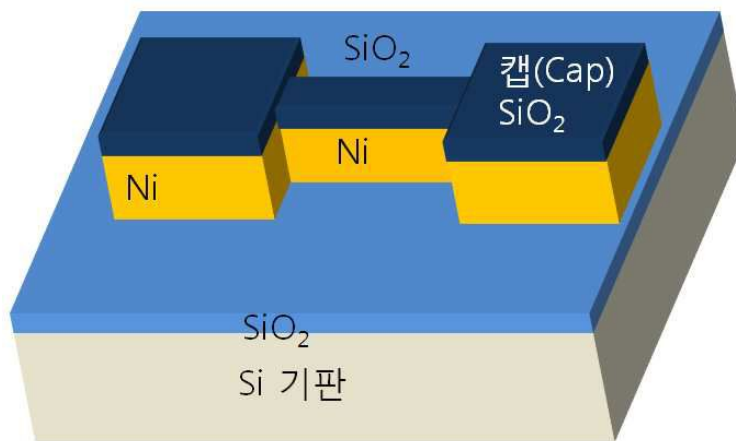
도면8d



도면8e



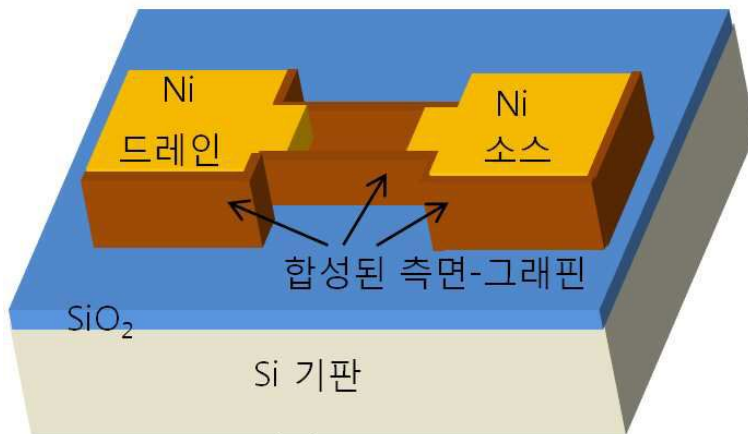
도면9a



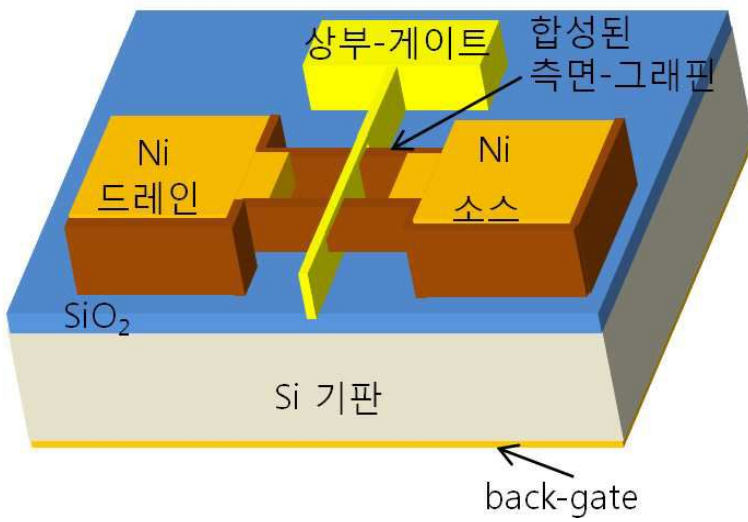
도면9b



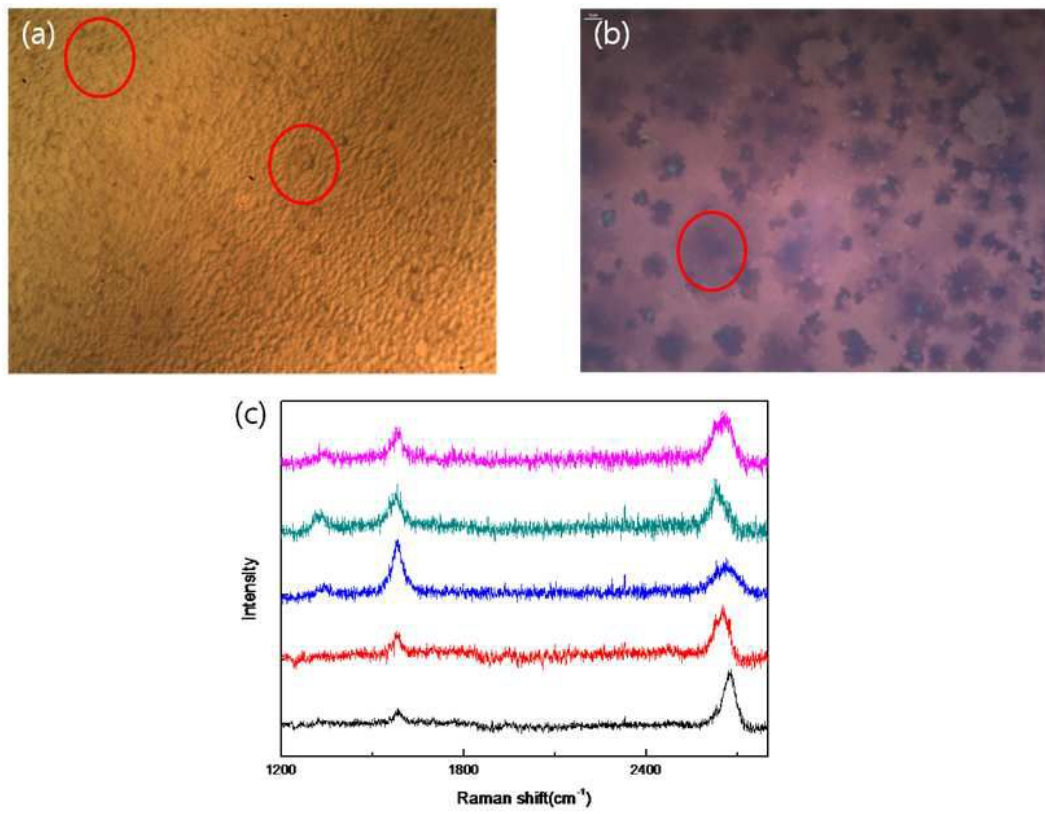
도면9c



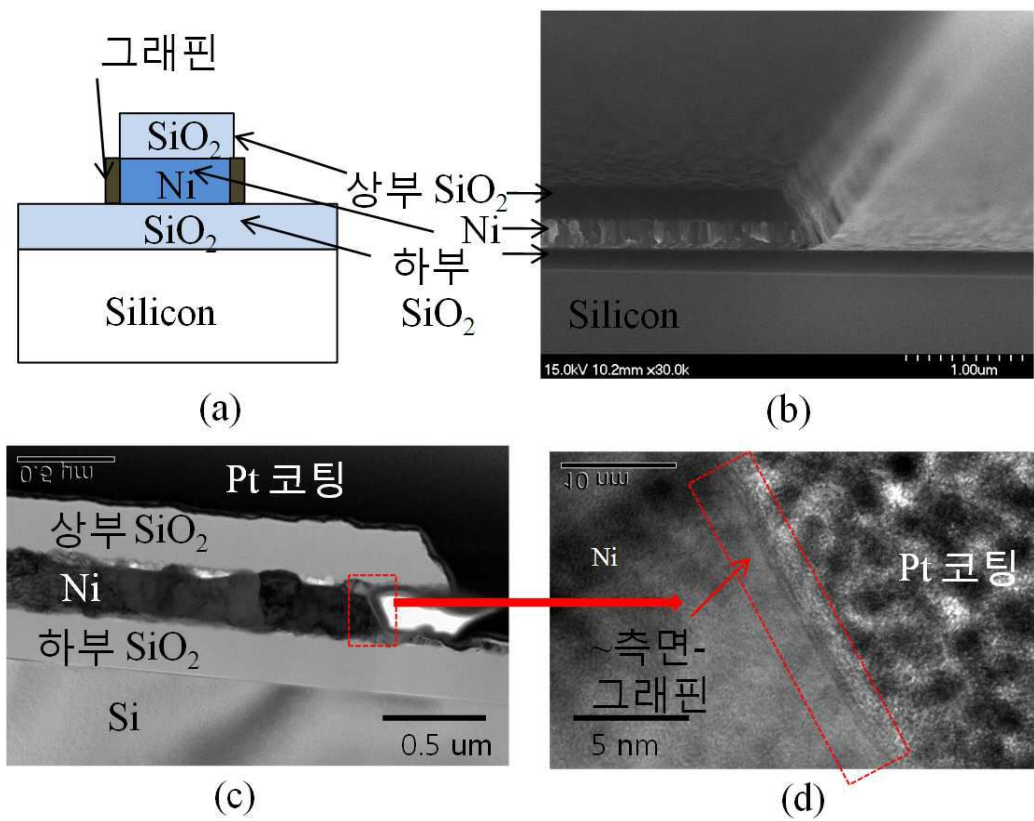
도면9d



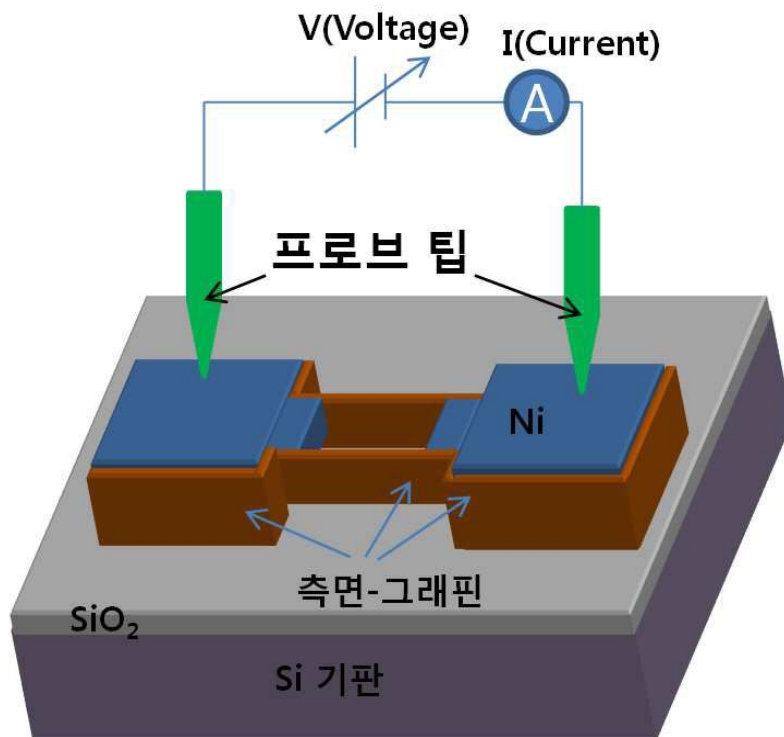
도면10



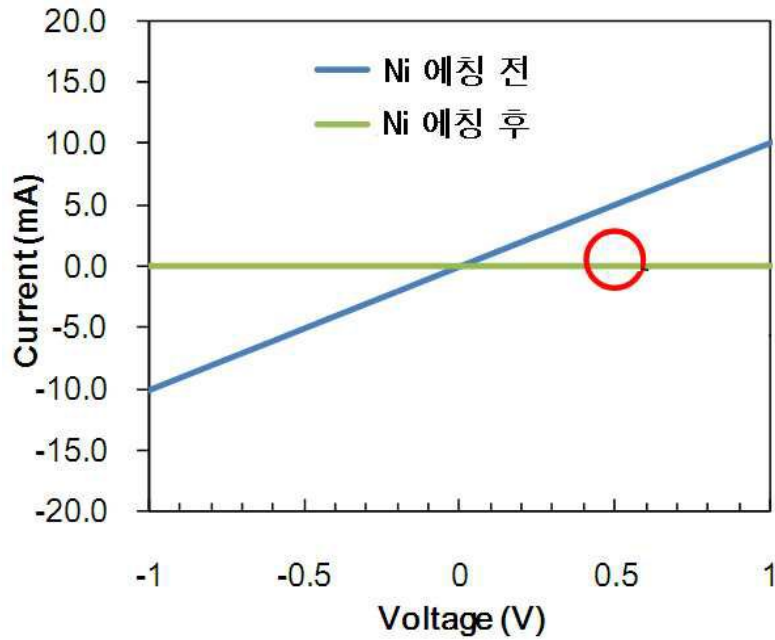
도면11



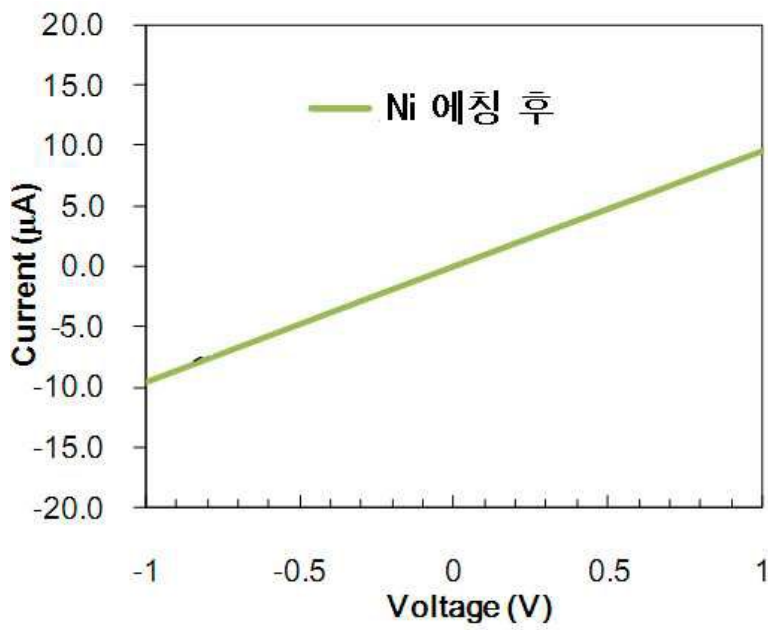
도면12a



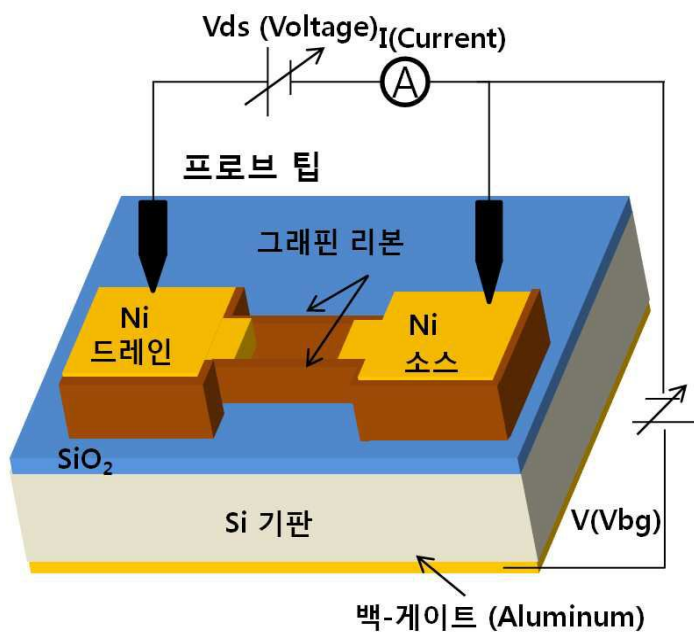
도면12b



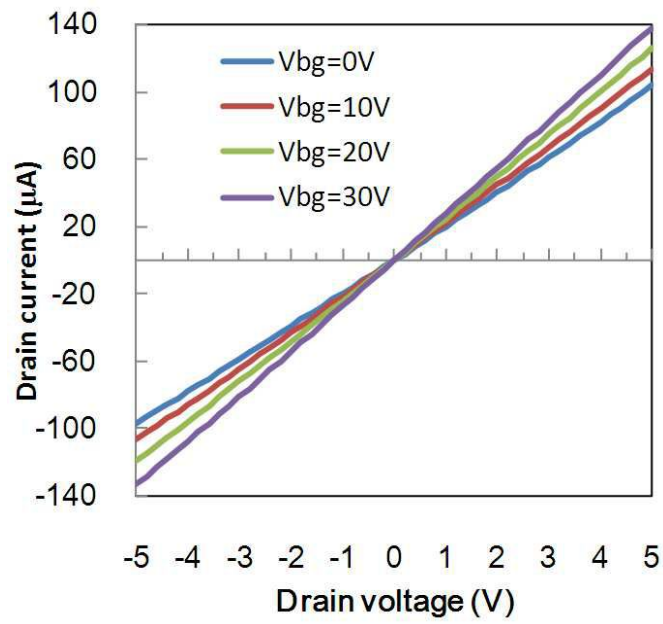
도면12c



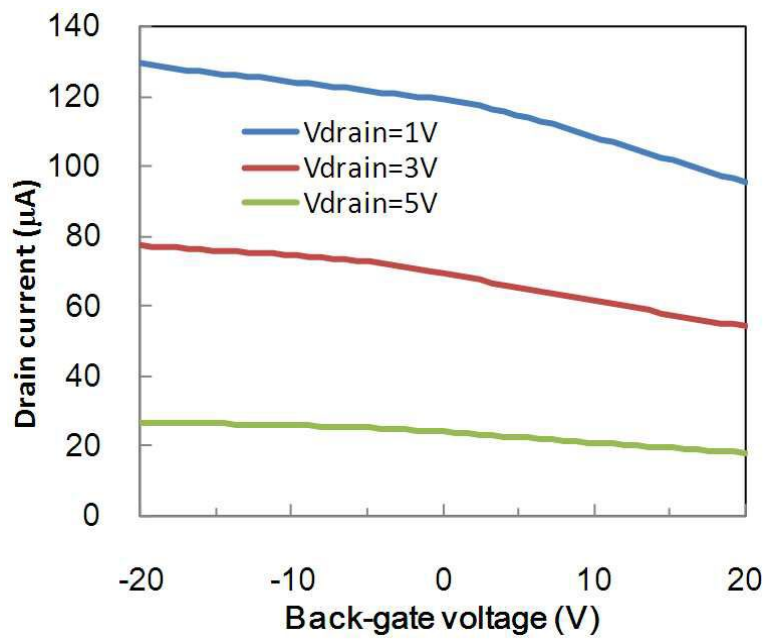
도면13a



도면13b



도면13c



도면13d

