(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3720484号

(P3720484)

(45)発行日　平成17年11月30日(2005.11.30)　(24)登録日　平成17年9月16日(2005.9.16)

(51)Int.Cl.[7]	F I	
G11B 20/10	G11B 20/10	321A
H03H 15/00	H03H 15/00	
H03H 17/00	H03H 17/00	601E
H03H 21/00	H03H 21/00	
H04B 3/06	H04B 3/06	C

請求項の数 8　(全 20 頁)　最終頁に続く

(21)出願番号　特願平8-259740
(22)出願日　平成8年9月30日(1996.9.30)
(65)公開番号　特開平9-198799
(43)公開日　平成9年7月31日(1997.7.31)
審査請求日　平成13年10月11日(2001.10.11)
(31)優先権主張番号　536008
(32)優先日　平成7年9月29日(1995.9.29)
(33)優先権主張国　米国(US)

(73)特許権者　500373758
シーゲイト　テクノロジー　エルエルシー
アメリカ合衆国，カリフォルニア，スコッツ　バレイ，ピー．オー．ボックス　６６３６０，　ディスク　ドライブ　９２０
(74)代理人　100066692
弁理士　浅村　皓
(74)代理人　100072040
弁理士　浅村　肇
(74)代理人　100094673
弁理士　林　鈺三
(74)代理人　100091339
弁理士　清水　邦明

最終頁に続く

(54)【発明の名称】トランスバーサル等化器および入力信号等化方法

(57)【特許請求の範囲】

【請求項１】

適応アナログ汎用化トランスバーサル等化器であって、

所望のトランスバーサル等化器の周波数領域の応答を表す適応パラメータ信号を供給する適応パラメータ信号手段、

複数の直列接続されたアナログ周波数フィルタ部を含む遅延回路であって、各前記フィルタ部は前記フィルタ部の応答が前記適応パラメータ信号によって決定される変換機能に従う前記フィルタ部の励起に関連して連続的に変動する、前記遅延回路、

タップ重み信号を供給するタップ重み信号手段、

制御入力を有する複数のアナログ乗算器にして、前記乗算器は前記遅延回路の隣接したアナログ周波数フィルタ部の間のタップ位置に接続され、それにより前記乗算器の出力は前記乗算器の前記制御入力に受信されたタップ重み信号に関連して決定された前記タップ位置における信号の振幅の倍数である振幅を有する信号である、前記複数のアナログ乗算器、及び

前記乗算器の出力を加算するために前記乗算器に接続されたアナログ加算手段を含む適応アナログ汎用化トランスバーサル等化器。

【請求項２】

請求項１記載の適応アナログ汎用化トランスバーサル等化器であって、前記周波数領域フィルタ部はローパスフィルタである、適応アナログ汎用化トランスバーサル等化器。

【請求項３】

ディスク装置ＰＲＭＬ読出しチャンネル用アナログトランスバーサル等化器であって、
複数の直列接続されたアナログフィルタを含む遅延回路であって、それぞれフィルタ出力を供給する複数のタップ位置を有し、各アナログフィルタの周波数応答は適応パラメータ信号によって決定される、前記遅延回路と、
制御入力を有する複数のアナログ乗算器であって、各アナログ乗算器は隣接したアナログ周波数フィルタ部の間のタップ位置に接続され、かつ前記乗算器の前記制御入力に供給されるタップ重み信号と前記フィルタ出力を乗算することによって乗算された出力を供給する、前記アナログ乗算器と、
前記アナログ乗算器からの前記乗算された出力を加算するため、前記アナログ乗算器に応答するアナログ加算器と、
を含むアナログトランスバーサル等化器。
【請求項４】
請求項３記載のアナログトランスバーサル等化器であって、周波数領域フィルタはローパスフィルタであるアナログトランスバーサル等化器。
【請求項５】
部分応答および入力信号での最尤検出を用いる形式の通信チャネルにおける、改良されたトランスバーサル等化器であって、
適応パラメータ信号を供給する適応パラメータ信号手段、
入力信号に応答してシーケンシャルにフィルタされ遅延された複数の信号を生成するため、適応パラメータ信号手段に応答可能な複数の直列接続されたアナログフィルタ部であって、各アナログフィルタ部は前記適応パラメータ信号に従って適応した周波数部のフィルタ動作を実行するための適応フィルタ手段を含み、
タップ重み信号を供給するタップ重み信号手段、
前記アナログフィルタ部と前記タップ重み信号手段に応答して、前記シーケンシャルにフィルタされ遅延された複数の信号の各々を前記タップ重み信号で乗算し出力生成信号を供給する乗算手段、
前記乗算手段に応答して、前記出力生成信号を加算する加算手段、
からなる改良されたトランスバーサル等化器。
【請求項６】
請求項５記載の改良されたトランスバーサル等化器であって、アナログフィルタ部はローパスフィルタである改良されたトランスバーサル等化器。
【請求項７】
通信チャネルにおいて入力信号を等化する方法であって、
適応パラメータ信号を供給するステップと、
複数の直列接続されたアナログフィルタ部において入力信号をシーケンシャルにフィルタするステップであって、各アナログフィルタ部は適応パラメータ信号に従って決定された転送機能に従って入力部をフィルタするステップと、
隣接したアナログフィルタ部の間のタップ位置からタップ信号を供給するステップと、
前記タップ位置の各々に対応するタップ重み信号を供給するステップと、
前記タップ信号を対応するタップ重み信号と乗算し乗算出力信号を生成するステップと、
乗算出力信号を加算して等化された出力信号を供給するステップとからなり、
前記適応パラメータ信号はアナログフィルタ部の所望の遅延時間を制御することを特徴とする方法。
【請求項８】
請求項７記載の方法であって、入力信号をシーケンシャルにフィルタするステップがアナログフィルタ部のローパスフィルタを用いてなされる方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】

本発明は、一般に電子フィルタの改善に関し、限定はされないが、特にディスク装置ＰＲＭＬ読出しチャンネル内に使用されるのに適した電子フィルタの改善に関する。

【０００２】

【従来の技術】

コンピュータフィアルを記憶するために使用されるディスク装置内で、これらのファイルは回転するディスクの表面の磁化可能被覆（被膜）内に区画された同心データトラックに沿って記憶される。この目的のために、書込みヘッドはディスク表面に隣接して置かれかつファイルを記憶するために選択されたトラックに整列するように半径方向に移動可能であり、従って書込みヘッドに電流を通すことによってこのトラックを磁化することができる。このトラックを磁化する方向は書込みヘッドを通る電流の方向によって決定され、従ってファイルから導出されるパターンにトラックを磁化することによってこのファイルを記憶することができる。特に、書込み駆動回路がファイルから導出されるビット列をクロック入力し、書込みヘッド電流が書込み駆動回路によって供給され、かつ各クロック周期におけるこの電流の方向が書込み駆動回路の受信するビットの論理値によって決定される。したがって、データトラックの連続したセグメントは、ファイルの内容を反映するパターンに磁化されることになる。磁化されたトラックセグメント、すなわち、データ要素は、次いで磁界を発生し、この磁界を読出しヘッドによって読み出して電気信号を発生することができ、この信号はデータトラックに沿うデータ要素列を反映するように時間に従って変動してファイルの検索を可能にする。

【０００３】

従来のディスク装置においては、書込み駆動回路は、これが受信するビット列に論理１が起こる度に書込みヘッドを通る電流の方向を反転させ、したがって、この列に論理１が起こる度にトラックに沿う磁気媒体の磁化方向を反転させる。後続する読出し中、データトラックの磁化の各反転、云わゆる磁束遷移が読出しヘッドの発生した信号にピークを生じ、かつピーク検出回路を用いてこれらのピークを位相ロックループが確立した「読出し窓」内に置く。この位相ロックループはピーク検出回路からの信号を受信して、読出しヘッドによる磁束遷移の通過に同期する読出しクロックを設定するものである。特に、読出し窓内の信号ピークの出現は、データトラックに沿う磁束遷移の標識である。したがって、磁束遷移は復号されたユーザファイル内の論理１によって発生されるので、信号ピークの出現は書込み駆動回路が受信したデータビット列内の論理１を表示する。次いで、読出し位相ロックループを用いてピークがその中で検出される読出し窓について論理１を記憶ファイル再生電子回路へクロック出力し、及びピークがその中で検出されない読出し窓について論理０を同電子回路へクロック出力する。

【０００４】

上述の方式を使用する従来のディスク装置は大量のデータを記憶するに当たって信頼性を以て動作することはできるが、この型式のディスク装置のデータ記憶容量をディスク装置のユーザが要求するますます高くなるレベルへ上げることは次第に困難になってきた。特に、ディスク装置のデータ記憶容量は書込みヘッドとデータトラックとの間及びデータトラックと読出しヘッドとの間のデータビットの転送速度に依存し、及び汎用型のディスク装置の転送速度を上昇させるに従って種々の問題が生じるようになった。

【０００５】

従来のディスク装置においては、いくつかの影響が転送速度を制限する傾向にある。読出しクロックと読出しヘッドによる磁束遷移の通過との間の同期は、読出しヘッド内に誘導される信号のピークと読出しヘッドによる個別磁束遷移の通過との間の対応性に依存する。しかしながら、読出しヘッド信号を発生させる磁界は、ディスク上の磁束遷移の全てが発生する磁界を重畳したものである。したがって、転送速度が上昇するに従って、データトラックに沿う磁束遷移の間隔を大きくすること、云わゆる「符号間干渉」、すなわち、データトラック上の連続した磁束遷移からの磁界の可なりの重畳が読出しヘッド内のピークをこのようなピークが孤立磁束遷移の場合に起こる時刻から時間的にシフトさせる。ピークシフトの影響を、例えば、パルスのスリム化、ユーザデータの符号化、及びプリライ

ト（ｐｒｅｗｒｉｔｅ）補償によって最小限にすることができるが、このようなディスク装置内のデータの転送速度を制限するピーク検出ディスク装置に関する問題が残る。

【０００６】

更に、連続した磁束遷移の磁界の重畳は、第２の問題を持たらす。隣接した磁束遷移によって発生された磁界は破壊的に重なり合い、従って磁束遷移の通過によって読出しヘッド内に誘導される信号の振幅は転送速度の上昇に従って小さくなる。したがって、読出しヘッドの出力の信号対雑音比は、転送速度を上昇させるに従って低下して、データの読出し中に起こる誤りの数を増大する。ピークシフトの場合におけるように、補正対策、例えば、適応信号フィルタリング、及び誤り検出及び補正回路の使用を採用することはできるが、転送速度を高くするに従ってこれらの対策を採用することが次第に困難になる。その正味結果として、ピーク検出回路を使用するディスク装置の改善の余地は依然存在するものの、その改善を達成するには、採用がますます困難かつ高価になりつつある対策に頼よらざるを得ない。

【０００７】

読出しチャンネルにピーク検出を採用するディスク装置内のデータ転送速度を上昇させるに当たってのこの困難のために、近年、実務者はディスク装置内に云わゆる部分応答、ＰＲＭＬ（Ｐａｒｔｉａｌ　Ｒｅｓｐｏｎｓｅ，Ｍａｘｉｍｕｍ　Ｌｉｋｅｌｉｈｏｏｄ）読出しを使用するようになった。用語「部分応答（ｐａｒｔｉａｌ　ｒｅｓｐｏｎｓｅ）」は、単一ビットの転送される２進情報の応答が隣接ビット間隔へ分散される、すなわち、ビット応答の部分だけが対応する公称ビット間隔の内側にあることを表示する。この型式のディスク装置においては、部分応答信号方式（ｐａｒｔｉａｌ　ｒｅｓｐｏｎｓｅ　ｓｉｇｎａｌｉｎｇ）が符号間干渉（ＩＳＩ）を抑制するのでなく制御するために利用され、かつ雑音の影響がデータトラックのセグメント列の磁化のＰＲＭＬ検出の使用によって最小限にされる。この目的のために、個別磁束情報に相当する信号がフィルタされて、雑音がなければ公称形状を取るであろう信号にされ、次にこの信号が最大公算検出ための公称形状に関連して決定された時刻にサンプルされる。この検出において、符号化データの各ビットがディスクに書き込まれたビット列の文脈に従って再生され、その結果、雑音の影響を制限する。

【０００８】

ディスク装置内の部分応答信号方式及びＰＲＬＭ検出の使用は、最尤（ｍａｘｉｍｕｌ　ｌｉｋｅｌｙｈｏｏｄ）検出に先立ち読出しヘッド内に誘導される信号のフィルタリングに特に厳しい要件を課する。満足する結果を達成するために、雑音を減少させるようにフィルタリングを周波数領域において及び既知かつ制御された符号間干渉を伴う特定波形を得るように時間領域において行わなければならない。最大公算検出は、ディスクからデータブロックを読み出すに当たってランダム雑音の影響を制限するが、読出しヘッド内に誘導される信号を理想的にフィルタして得られる公称形状と実際にフィルタされた信号との間の相違は系統雑音を構成し、この雑音がデータトラックから最終的に再生されるデータに誤りを発生するおそれがある。したがって、読出しヘッド内に誘導される信号の電子フィルタリングは、ＰＲＭＬを使用するディスク装置の動作に非常に重要な役割を演じる。

【０００９】

【発明が解決しようとする課題】

ディスク装置読出しヘッド内に誘導される信号を公称形状にフィルタするに当たっての複雑因子は、たとえ雑音を無視しても、特定の読出しヘッドに誘導される信号の形状がヘッド間で変動し、また読み出されつつあるデータを記憶するデータトラックの半径によっても変動すると云うことである。このような変動は、トラック半径と共にトラック周辺が増大することと関連しており、読出しヘッドとデータトラックの磁化との間の磁気相互作用の使用から起こり、この相互作用がデータトラックを読み出すことを可能にし、したがって、読出しヘッドの内に誘導される信号の固有特性である。

【００１０】

経済的理由のために、ディスク装置の製造上充分な歩留まりを得るには、ヘッド媒体成分

の変動に及びこれらの変動の影響を補償するチャネルエレクトロニクスの能力に比較的緩い公差を許容することが必要である。それゆえ、ＰＲＭＬ読出しチャンネル内のフィルタは、読出しヘッド内に誘導される信号をフィルタして指定波形を合理的に近似する能力がなければならないだけでなく、またそれを適応的に行いかつ低コストで行うことができなければならない。

【００１１】

これまで、部分応答信号方式及び最尤検出を採用するディスク装置に必要とされた適応フィルタリングを実施する好適なアプローチとしては、時間領域フィルタの構成をしたディジタルエレクトロニクスが採用されてきた。このようなフィルタは、一般に、部分フィルタリングを行なった後に信号をディジタル化するアナログ・ディジタル変換器（以下、ＡＤ変換器と称する）及び遅延素子としてシフトレジスタを採用するトランスバーサル等化器を含み、それであるからこのフィルタリングをサンプル値を適当に重み付けをしておいてこれらの連続したサンプル値を加算することによって実施できる。特に、読出しヘッドからの生アナログ信号が、（雑音を減少させる）事前周波数領域フィルタリングの後、チャンネルビット速度でクロック制御されるＡＤ変換器によってサンプルされてディジタル形状に変換される。ＡＤ変換器は、同じクロックによってクロック制御される上述のシフトレジスタから構成されるような、ディジタル遅延を採用する従来のディジタル・トランスバーサル等化器に入力を供給する。次に、ディジタル信号処理が、このシフトレジスタのセルから供給されかつディジタル乗算器によって適当に重み付けされた連続したサンプル値の加算を通して行われて、等化された信号のサンプルを供給する。次いで、これらのサンプルが、データ再生及び自己同期に使用される。ディジタル・トランスバーサル等化に関する更に詳細な議論に関しては、ＭｃＲａｅ等に１９７９年3月２７日に発行された「等化器重み用記号タイミングを得る技術（ＴＥＣＨＮＩＱＵＥ　ＦＯＲ　ＯＢＴＡＩＮＩＮＧ　ＳＹＭＢＯＬ　ＴＩＭＩＮＧ　ＦＯＲ　ＲＱＵＡＬＩＺＥＲ　ＷＥＩＧＨＴＳ）」と題する米国特許第４，１４６，８４０号を参照。

【００１２】

しかしながら、このようなディジタル信号処理を使用すると、システム性能及び経済に関して次のような問題に行き当たる。まず第一に、ディジタル信号処理及びトランスバーサル等化器内に固有の遅延は、少なくともいくつかの追加のクロックサイクルを必要とする。これは、ＡＤ変換器用サンプリングクロックを供給するタイミング回路（位相ロックループ、すなわち、ＰＬＬ）に追加の処理時間を導入し、その結果、時間補正がサンプルを取り上げる時間に対して遅延する。このような遅延は、制御理論において「輸送タグ（ｔｒａｎｓｐｏｒｔａｔｉｏｎ　ｔａｇ）」又は「不感時間（ｄｅａｄ　ｔｉｍｅ）」と通常称される。例えば、Ｋ・オガタ、「現代制御技術」、プレンティスホール、エングルウッド、カルフォルニア、１９７０年、３４６～３５０頁（Ｋ・Ｏｇａｔａ，”Ｍｏｄｅｒｎ　Ｃｏｎｔｒｏｌ　Ｅｎｇｉｎｅｅｒｉｎｇ”，Ｐｒｅｎｔｉｃｅ－Ｈａｌｌ，Ｅｎｇｌｅｗｏｏｄ　Ｃｌｉｆｆ．，１９７０，ｐｐ．３４６－３５０）を参照。この不感時間は、位相ロックループの安定性に悪影響する。したがって、ディジタルフィルタリングの使用は、フィルタされたデイジタル信号が公称波形を近似する程度とタイミング回路に導入される許容遅延の値との間に妥協を図ることを必要とする。

【００１３】

このようなディジタル信号処理の使用に関連した第二の欠点は、経済的考察に関係する。要求に従って、ディスク装置内のチャンネルの転送速度は絶えず上昇し（現在までに２００Ｍｂｉｔ／ｓに達している）、ディジタル信号処理を非常に高速で遂行することを必要とする。これが、大きな電力消費を伴う極めて高速で大形な電子回路を必要とする。結果として、読出しチャンネル内の電力消費が低コスト、低電力、小寸法ディスク装置に対する制限因子になり、このフィルタリングに極めて高転送速度のディジタル信号処理を使用することを実行不可能にする。

【００１４】

ディジタルフィルタリングＰＲＭＬチャンネルから生じるこれらの欠点を克服するために

、ディジタル時間領域フィルタリングをアナログ・トランスバーサル等化器の使用を通してアナログ時間領域フィルタリングで置換することを企図するようになった。理想遅延素子を採用するアナログ・トランスバーサル等化器の更に詳細な論議については、参考試料として本明細書に組み入れられているＡ・Ｇｅｒｓｈｏ著「データ伝送用高度分散チャンネルの適応等化」（”Ａｄａｐｔｉｖｅ Ｅｑｕａｌｉｚａｔｉｏｎ ｏｆ Ｈｉｇｈｌｙ Ｄｉｓｐｅｒｓｉｖｅ Ｃｈａｎｎｅｌｓｆｏｒ Ｄａｔａ Ｔｒａｎｓｍｉｓｓｉｏｎ”）、Ｂｅｌｌ Ｓｙｓｔｅｍ Ｔｅｃｈｎｉｃａｌ Ｊｏｕｒｎａｌ、１９６９年１月、５５～６９頁を参照。しかしながら、ディスク装置読出しチャンネル内にアナログ・トランスバーサル等化器を実現しようとする企図は、経済的非実用性のために、ほとんど成功しなかった。周知のように、電気信号は光速に近い速度で伝搬するが、しかし電気回路内で大きなプログラマブル信号遅延をエミュレートする（アナログ遅延線のような）既知のデバイスは、低コスト、小寸法ディスク装置を実現するには余りに高価でかつ大形である。

【００１５】

このような先行技術のアナログ・トランスバーサル等化器に関連した問題はＲ．Ｍｉｌｌｅｒに１９９４年6月２８日に発行された「ゴーストキャンセラ（ＧＨＯＳＴ ＣＡＮＣＥＬＬＥＲ）」と題する米国特許第５，３２５，１３０号に説明されている。この米国特許は、高精細度ディジタルテレビジョン（以下、ＨＤＤＴと称する）応用のためのプログラマブルアナログ・トランスバーサル等化器を記載している。妥当な電子的遅延素子が欠けているために、その回路による合理的性能を達成するに当たって、この等化器は、均一遅延を含む「外来の（ｅｘｏｔｉｃ）」電子音響遅延素子を採用する。このようなアプローチは、ＨＤＤＴ応用に使用されるには適当なことがあるが、寸法及びコスト制約のためにディスク装置読出しチャンネル内に実現されるには適当でない。

【００１６】

【課題を解決するための手段】

本発明は、フィルタされた信号のサンプリングのタイミングに問題を生じさせることなく、所望の最尤検出用にサンプルされる公称波形を精密に近似するようにディスク装置の読出しヘッド内に誘導される信号をフィルタするために採用することのできる完全適応フィルタリングシステムを提供する。特に、このフィルタリングは、信号をサンプルする前に完了され、従ってサンプリング動作に使用されるクロック信号を発生する電子回路はサンプルの発生とサンプリングに当たって存在するかもしれないタイミグ誤りの補正との間に実質的に遅延を生せずに動作する。このような電子回路の例は、１９９４年９月２１日に出願された「ＰＲＭＬ読出しチャンネル用タイミング及び利得制御回路（ＴＩＭＩＮＧ ＡＮＤＧＡＩＮ ＣＯＮＴＲＯＬ ＣＩＲＣＵＩＴ ＦＯＲ Ａ ＰＲＭＬ ＲＥＡＤ ＣＨＡＮＮＥＬ）」と題する米国特許出願第０８／３０９，７６１号に記載されており、これの教示はここに引用することにより本明細書に組み入れるもととする。

【００１７】

本発明のフィルタリングシステムは構成に融通性を持たせており、このことが本発明を読出しヘッドの種々の型式又は部分応答信号方式の種々のクラスを使用するディスク装置にだけでなく、また種々の転送速度で、すなわち、事実複数の転送速度で動作するディスク装置に容易に適応可能にする。製造上の可なりの経済的利益が、公称波形に対する最終的時間領域フィルタリングを実施するために重み付けしかつ加算することのできる遅延信号を供給する適応周波数領域フィルタを使用する周波数領域遅延回路を利用することによって達成されることが、明らかになる。特に、遅延素子としてのフィルタの使用は、遅延された信号の発生に先立ち実施されるフィルタリングを制限し、かつそのように使用されるフィルタの適応性は読出しヘッドに誘導される信号のフィルタリングに融通性を持たせ、これがまたフィルタリングシステムの能力を損なうことなくフィルタの数を減少させて、いかなるデータトラック半径に対しても及びディスク装置に記憶されたデータを再生するためにフィルタされた信号の最尤検出に充分な実質的にいかなるデータ転送速度においても公称波形の近似を達成する。

【００１８】
これらの目的のために、本発明の一態様においては、本発明のフィルタリングシステムは、低コスト通信チャンネルにおける所望信号形状へプログラマブル適応する融通性のある、堅牢、低コスト、小寸法、製造容易な、適応アナログ汎用化トランスバーサル等化器を提供する。以下に説明されるように、用語「汎用化（ｇｅｎｅｒａｌｉｚｅｄ）」は、この等化器が理想遅延素子を比較的緩い公差を有する実現容易な、非理想ＬＳＩ（大規模集積回路）周波数領域フィルタで置換すること「一般化（ｇｅｎｅｒａｌｉｚａｔｉｏｎ）」を意味する。
【００１９】
本発明の第２態様は、適応アナログプレフィルタ（ｐｒｅｆｉｌｔｅｒ）を含むディスク装置内のＰＲＭＬチャンネル用フィルタリングシステムを提供する。このアナログプレフィルタは、適応アナログ汎用化トランスバーサル等化器と組み合わされたこのプレフィルタが受信した少なくとも１つの適応パラメータによって決定される伝達関数に従ってこのプレフィルタの励起と共に連続的に変動する応答を有する。このアナログ汎用化トランスバーサル等化器は、遅延回路として直列接続された周波数領域フィルタ部を使用し、これらのフィルタ部は、このトランスバーサル等化器が受信した信号から発生された遅延信号の重み付け加算をするようにタップされる。フィルタリングの実施にアナログ電子回路を使用することによって、信号のサンプリングを実施する前にフィルタリングが完了し、従って読出しヘッド内に誘導される信号の公称波形へのフィルタリングとこの波形のサンプリングとの間になんら干渉が存在しない。それゆえ、本発明のフィルタを使用する状況と関係してこのフィルタをどの程度に適応させようとなんらの制限も存在しない。したがって、フィルタは、種々の型式の読出しヘッド及び部分応答信号のクラスに適応し又はいかなるトラック半径においても実質的にいかなる転送速度でも使用される。
【００２０】
本発明の第３態様において、適応アナログ汎用化トランスバーサル等化器の遅延回路のフィルタ部は、このトランスバーサル等化器が受信した信号に選択可能な遅延を施す適応フィルタである。それゆえ、有効な最尤検出用の公称波形に充分に近似した波形を達成するのに必要なフィルタ部の数を制限するだけでなく、また更に、そうでなければプレフィルタについて要求されるであろう複雑性を制限するように、遅延を実験的に最適化することができる。
【００２１】
本発明の更に第４態様において、適応アナログ汎用化トランスバーサル等化器のフィルタ部は低域通過フィルタであって、このことが更にプレフィルタの簡単化を可能にする。特に、ＰＲＭＬシステムにおいて、プレフィルタされた信号のスペクトルはサンプリング速度の半分の遮断周波数を有し及びアナログ汎用化トランスバーサル等化器のフィルタ部としての低域フィルタの使用はフィルタリングシステムによって実施される低域通過フィルタリングの次数を全体として増大する効果を有することを意図している。したがって、そうでなければ読出しヘッド内に誘導される信号の低域通過フィルタリングに充当されるであろう電子回路を除去又は簡単化することができる。
【００２２】
本発明の目的は、読出しチャンネル用タイミング信号を発生する電子回路と独立に動作するＰＲＭＬ用フィルタリングシテムを提供することにある。
【００２３】
本発明の他の目的は、フィルタリングシステムを使用するに当たってこれと共に用いられる実施的にいかなる型式のＰＲＭＬ読出しチャンネルにも適応することのできるＰＲＭＬ読出しチャネンル用フィルタリングシステムを提供することにある。
【００２４】
本発明のなお他の目的は、製造上経済的なＰＲＭＬ読出しチャンネル用フィルタリングシステムを提供することにある。
【００２５】

本発明の更に他の目的は、ＰＲＭＬ読出しチャンネル内に利用されるフィルタリングシステムの複雑性を制限することにある。

【００２６】

本発明の他の目的、特徴、及び利点は、次の詳細な説明を添付の図面及び添付の特許請求の範囲と関連して読むとき、明白になる。

【００２７】

【発明の実施例の形態】

上述したように、本発明は、先行技術の欠点を克服し、かつ一般に通信チャンネル内に有効な、特にディスク装置読出し／書込みチャンネル内に有効な、プログラマブル（適応可能）な、低コスト、低電力、小寸法、ＬＳＩ実現、適応アナログ汎用化トランスバーサル等化器を提供する。本発明の好適実施例の実現において、「汎用化」（ｇｅｎｅｒａｌｉｚａｔｉｏｎ）は、先行技術の理想遅延素子を実現容易なＬＳＩ周波数領域フィルタを含む非理想一般化遅延素子で置換することによって行われる。これらの一般化遅延素子は、不均一な大きさの応答、非線形位相応答、及び可なり変動する遅延を含む、比較的大きな公差及び出力応答変動を持つことを許される。以下に説明されるように、適応等化を行う能力は、遅延素子のこれらの不完全性及び変動の全ての影響を補償する。

【００２８】

本発明の好適実施例の構成及び動作を論じる前に、汎用化トランスバーサル等化理論の概要を論じておく。この理論の次の論議を前掲のＧｅｒｓｈｏの文献に載っている先行技術の理論と比較するのは、当業者にとって有効であろう。

【００２９】

ｍ個のタップを備える汎用化トランスバーサル等化器の（時点ｎＴにおいてサンプルされた）出力Y_nは、全てのタップｋからの重み付け信号の和であり、次のように与えられる。

【００３０】

【数１】

$$Y_n = C_1X_{1_n} + C_2X_{2_n} + \cdots C_kX_{k_n} + \cdots + C_mX_{m_n} \qquad (1)$$

【００３１】

ここに、Y_nは等化器の出力、X_{kn}は時点ｎＴでのタップｋにおける信号、及びC_kはタップｋにおける係数（タップ重み）である。注意するのは、Ｔは任意のサンプリング間隔であり、タップ信号X_{kn}はビット速度で正確にサンプルを供給し、かつ形状が同等（無ひずみかつ理想遅延）であるＧｅｒｓｈｏの文献の場合と対照的に、異なるｋに対して異なる波形を取ること（ひずみのあるかつ非理想遅延素子内のフィルタ動作）を許される。

【００３２】

等化誤差の２乗の和（Ｇｅｒｓｈｏの文献と同等である誤差判定基準）は、次のように与えられる。

【００３３】

【数２】

$$\epsilon = \sum_n (Y_n - d_n)^2 \qquad (2)$$

【００３４】

ここに、d_nは瞬間ｎＴに理想的に等化された出力の所望（サンプルされた）値の列である。

【００３５】

誤差関数（２）は、ｍ個のタップ重みの関数であり、かつｍ次元超平面の或る連続表面を形成する。この関数は、次に定義される点上で最小値を有する。すなわち、タップ重みC_kに対してのこの関数の全ての偏導関数

【００３６】

【数３】

$$\frac{\partial \epsilon}{\partial C_k} = 2\sum_n (Y_n - d_n)\frac{\partial Y_n}{\partial C_k} \qquad (3)$$

【００３７】

が零に等しくなる（式（１）のY_nを式（３）に代入）所の点において最小値となる。したがって、ここでは、次の関係が成り立つ。

【００３８】

【数４】

$$\sum_n (Y_n - d_n)X_{k_n} = 0, \qquad 1 \le K \le m. \qquad (4)$$

【００３９】

式（４）は、ｍ個の未知のタップ重みC_kに対するｍ個の線形方程式の系である。したがって、これらの方程式の解は、等化の最小二乗誤差（以下、ＬＭＳと称する））を生じる最適タップ係数を与える。

【００４０】

上の議論とＧｅｒｓｈｏの文献のそれとの間には２つの顕著な差があることが判る。すなわち、まず第一に、X_{kn}は異なるタップに対して異なることを許される（非理想遅延素子を用いてひずみ及びフィルタ動作が遂行される）、第二に、サンプリングが任意のサンプリング間隔で遂行される。

【００４１】

それゆえ、この議論は、先行技術理論及び技術の一般化であり、かつ以下に論じるように、実用的な意義を含み及び先行技術に優る利点を有する。

【００４２】

式（４）はまた別の解釈をされる。すなわち、その左辺は、等化器出力誤差の列$Y_n - d_n$とタップ信号列X_{kn}との間の決定論的相互相関である。式（４）は、これらの相関が零なる値を持たなければならず、したがって、一般化に対して成立し、先行技術の場合に限らないことを規定する。したがって、式（４）は、その線形方程式の系の適応解に対する「てこ比（ｌｅｖｅｒａｇｅ）」を提供する。その解は、全ての相関（式（４））の反復漸化（ｉｔｅｒａｔｉｖｅ　ｒｅｄｕｃｔｉｏｎ）によって達成される。

【００４３】

説明した汎用化トランスバーサル等化は、コスト、寸法、及び簡単性に限らず、選考技術に比較して顕著な利点を有する。この等化器は、周波数領域において追加の信号フィルタリング（非理想遅延フィルタ内の雑音の追加抑制）を行うので、優れた総合性能を有する。

【００４４】

以下、図面全体を参照して説明する。特に図１は、本発明により構成されたフィルタリングシステム１０のブロック図を示す。フィルタリングシステム１０は、ＰＲＭＬ読出しチャンネルの他の部分（図示されていない）と共に単一シリコンチップ上に形成され、かつ下に説明される適応特徴を有することを意図している。これらの特徴の実現に当たって、フィルタリングシステム１０はマイクロプロセッサ（図示されていない）からチャンネルインタフェース１２を経由してディジタル表現された適応パラメータを受信し、チャンネルインタフェース１２はこれらのパラメータを記憶する複数のラッチ（図示されていない）を含むことも更に意図されている。

【００４５】

同様に、フィルタリングシステム１０の適応は、フィルタリングシステム１０を部分とするＰＲＭＬ読出しチャンネルを採用するディスク装置が製造されるときに実施されること、及びこのような適応がフィルタリングシステム１０上の種々の位置で信号を測定することを含むことを意図している。それゆえ、チャンネルインタフェース１２は、これらの信

号の測定のために外部機器と接続することのできる電気接続器（図示されていない）を更に含むことがある。

【００４６】

図１に示されたように、フィルタリングシステム１０は一般に適応アナログフィルタ１４を含み、このフィルタはプログラマブル利得増幅器（図示されていない）からのフィルタされる信号を信号経路１６を通して受信し、この利得増幅器はフィルタリングシステム１０と同じチップ上に形成されかつフィルタリングシステムのように、ディスク装置用ＰＲＭＬ読出しチャンネルの部分である。以下に論じる目的のために、信号経路１６上のフィルタされていない信号は、また、信号経路１８を経由してチャンネルインタフェース１２へ供給され、フィルタリングシステム１０の適応に利用される外部機器へ伝達される。

【００４７】

プレフィルタ（ｐｒｅｆｉｌｔｅｒ）１４の出力は、信号経路２０を経由して適応アナログ汎用化トランスバーサル等化器２２の入力へ伝達され、適応アナログ汎用化トランスバーサル等化器２２はフィルタされた信号を、信号経路２４を経由してサンプリング回路（図示されていない）へ供給する。これらのサンプリング回路は、前掲の米国特許出願第０８／３０９，７６１号に記載されたように、同じチップ上に形成されたタイミング及び利得制御回路の部分であってよい。フィルタされた信号は、また、信号経路２６を経由してチャンネルインタフェース１２内の電気接続器（図示されていない）に伝達されることがあり、以下に説明される目的に使用される。

【００４８】

上に注意したように、プレフィルタ１４及びトランスバーサル等化器２２の両方は共に適応性であり、従ってそれらのフィルタリング特性をマイクロプロセッサによって提供される適応パラメータを介して調節することができる。これらのパラメータはプレフィルタ１４及びトランスバーサル等化器２２においてアナログ信号として表現され、従って、ディジタル・アナログ変換器（以下、ＤＡ変換器と称する）アセンブリがあって、これらのアセンブリがマイクロプロセッサに記憶されまたチャネンルインタフェース１２内のラッチへ出力されるためのこれらのパラメータの２進表現をアナログパラメータ信号の形に変換してプレフィルタ１４及びトランスバーサル等化器２２に使用されるようにすることを意図している。

【００４９】

特に、フィルタリングシステム１０は、プレフィルタ伝達関数調節ＤＡ変換器アセンブリ２８を含み、ＤＡ変換器アセンブリ２８は複数のＤＡ変換器を含み、これらの変換器はチャンネルインタフェース１２からバス３０を経由して２進表現された適応パラメータを受信し、かつ適応アナログパラメータ信号を出力し、これらのアナログ信号は図１にバス３２として集約的に表示された信号経路を通してプレフィルタ１４へパラメータを供給する。以下に論じるプレフィルタ１４の好適実施例の場合、ＤＡ変換器アセンブリ２８が出力する適応パラメータは、ＤＡ変換器アセンブリ２８が受信した２進値によって決定された大きさを有する電流である。同様に、ディジタル表現タップ重みがチャンネルインタフェース１２からバス３６を通して等化器タップ重みＤＡ変換器アセンブリ３４内の複数のＤＡ変換器（図示されていない）へ供給され、ＤＡ変換器アセンブリ３４内でアナログ信号に変換され、図１にアナログバス３８によって集約的に表示された複数の信号経路を経由してトランスバーサル等化器２２へ伝達される。以下に論じるように、トランスバーサル等化器２２は、複数の適応フィルタ部を含む。これらのフィルタ区分の特性を調節するために使用されるアナログ信号は、等化器遅延調節ＤＡ変換器アセンブリ４２から図１にアナログバス４０として集約的に表示された複数の信号経路を通してトランスバーサル等化器２２に受信される。

【００５０】

以下に論じるように、トランスバーサル等化器２２のフィルタ部は、これらのフィルタ部が受信する信号に対して時間的に遅延された信号を発生し、及びこれらの遅延された信号は図１にバス４６として集約的に表示された複数の信号経路を経由してチャンネルインタ

フェース１２に伝達され、インタフェース１２に接続されたチップ外の装置がこれらの信号を測定することができる。

【００５１】

図２及び３は、本発明のプレフィルタ１４の構成を示す。図２に示されているように、プレフィルタ１４は複数の直列接続段を含み、これらの３つの段４８、５０、及び５２だけが示されている。クラスＩＶ部分応答信号方式を採用するディスク装置内の使用に適応した本発明の好適実施例においては、プレフィルタ１４にとって都合の良い段の数は５である。しかしながら、当業者に認められるようにこれと異なる段の数を使用することもある。特に、本発明は、プレフィルタ１４の段の数及び各段の構成を、フィルタリングシステム１０を使用しようとするディスク装置にプレフィルタ１４を適応させるように変化させることができることを意図している。それゆえ、例えば、異なる型式の読出しヘッド内に誘導されると思われる信号の相違を計算に入れるために又はディスク装置内に使用されると思われる部分応答信号方式の種々のクラスの使用にプレフィルタ１４を適応させるために、段の数及び各段の構成を変化させることができる。

【００５２】

図３はプレフィルタ１４の選択された段５４の好適構成を示す。ここに示されたように、段５４はその第１の枝路５８に線形位相アナログ低域通過フィルタ５６を含み、かつ枝路５８と並列に接続された第２枝路６４に線形位相アナログ高域通過フィルタ６０とプログラマブル利得増幅器６２との直列接続を含む。フィルタ５６と６０の入力は段５４の入力信号を受信するように一括して接続され、及び低域通過フィルタ５６とプログラマブル利得増幅器６２の出力は加算回路６６によって加算又は減算されて段５４の応答を供給する。

【００５３】

上に挙げたプレフィルタ１４の好適実施例において、プレフィルタ１４の最初の４つの段のフィルタ５６及び６０は、線形位相特性を有する二次フィルタであり、従ってこれらの段の各々は低域通過フィルタ５６の出力とプログラマブル利得増幅器６２の出力との加算によって選択周波数範囲内でプレフィルタ１４が受信した信号の振幅を増大することができ、又はこのような段における低域通過フィルタ５６の出力からプログラマブル利得増幅器６２の出力を減算することによってやはり選択周波数範囲内でこのような信号の振幅を減少させることができる。

【００５４】

更に、各段５４の低域通過フィルタ５６及び高域通過フィルタ６０は、図１のバス３２の部分を形成するアナログバス６８及び７０を通して受信された適応パラメータ信号に応答して調節することのできる伝達関数を有する適応フィルタである。この能力を有するフィルタは、本発明の譲受人に譲渡されかつここに引用することにより本明細書に組み入れられるＫｏｖｎｅｒ、Ｍｉｎｕｈｉｎ、及びＳｒｉｎｉｖａｓａｎに１９９５年2月２１日に発行された、「ディスク装置サブシステム用完全集積プログラマブルフィルタ（ＦＵＬＬＹ　ＩＮＴＥＧＲＡＴＥＤ　ＰＲＯＧＲＡＭＭＡＢＬＥ　ＦＩＬＴＥＲＳ　ＤＩＳＣ　ＤＲＩＶＥ　ＳＵＢＳＹＳＴＥＭＳ）」と題する米国特許第５，３９２，１７１号に記載されているばかりでなく、Ｒ・Ｌ・Ｇｅｉｇｅｒ及びＥ・Ｓａｎｃｈｅｚ－Ｓｉｎｅｎｃｉｏの論文「演算相互コンダクタンス増幅器を使用する能動フィルタ設計；指導書」（“Ａｃｔｉｖｅ　Ｆｉｌｔｅｒ　Ｄｅｓｉｇｎ　Ｕｓｉｎｇ　Ｏｐｅｒａｔｉｏｎａｌ　Ｔｒａｎｓｃｏｎｄｕｃｔａｎｃｅ　Ａｍｐｌｉｆｉｅｒｓ；Ａ　Ｔｕｔｏｒｉａｌ”）、ＩＥＥＥ　Ｃｉｒｃｕｉｔｓ　ａｎｄ　Ｄｅｖｉｃｅｓ　Ｍａｇａｚｉｎｅ、ｖｏｌ．１，Ｎｏ．２，Ｍａｒ．１９８５）にも記載されている。この論文に開示されているように、演算相互コンダクタンス増幅器の利得をこの増幅器が受信した電流によって調節することができ、かつこのような特性をフィルタを構成するのに利用することができ、これらのフィルタの数はこの論文に示されており、このようなフィルタの伝達関数内の周波数係数をこの演算相互コンダクタンス増幅器に供給される電流によって調節することができる。

【００５５】

プログラマブル利得増幅器６２もまた演算相互コンダクタンス増幅器を使用して構成することができ、増幅器６２は、同様に、図１のバス３０の部分を形成する信号経路７２を通して少なくとも１つの適応パラメータを受信して、フィルタ５６及び６０の通過帯域内の信号の相対振幅を調節する。したがって、段５４が受信した信号のスペクトルの部分をプログラマブル利得増幅器６２が選択した量によって増幅又は減衰することができる。

【００５６】

上に挙げた好適実施例の最終段は、一次能動適応低域通過フィルタであって、このフィルタの伝達関数を、同様に、図１に示されたプレフィルタ伝達関数調節ＤＡ変換器アセンブリ２８へマイクロプロセッサが出力した適応パラメータに応答して信号経路７４（図２）を通してこの段に受信された電流にまた応答して、調節することができる。したがって、プレフィルタ１４の伝達関数を図２のバス７６及び７８を通してプレフィルタ１４の段に供給された電流によって調節することができ、図２で２つの段へのアナログ信号経路８０及び８２を通してプレフィルタ１４内の段に供給される電流によってこれらの段に含まれる高域通過フィルタ及び低域通過フィルタの伝達関数を調節して、これらの段の高周波数応答及び低周波数応答の相対振幅を調節することができ、及びアナログ信号経路７４を経由してプレフィルタ１４の最終段に供給される電流によってこの最終段の伝達関数を調節することができる。

【００５７】

適応特性を備えるプレフィルタ１４を提供する目的は、図４に示された信号特性に関連させると良く判る。曲線８４は、周波数の関数として典型的薄膜読出しヘッドによってデータトラック上を孤立磁化パルスが通過させられ、これによってこの読出しヘッド内に誘導される信号の振幅特性である。一般に、かつこの図に示されているように、このような特性は、周波数零において零から急速に立ち上がり、次いで高周波数になるに従って零に向かって次第に降下する。これに反して、ディスク装置の読出しチャンネル内に部分応答信号方式を使用すると、孤立磁化パルスから生じる信号のスペクトル、すなわち、サンプルされる信号がこのディスク装置内に採用されている部分応答信号方式のクラスに依存する指定形状を取るようになる。例えば、クラスＩＶ部分応答信号方式をディスク装置に使用すると、サンプルしようとする波形は、Ｔを逐次サンプル間の時間とすると、図４の曲線８６によって一般に示されるスペクトルを有することを要する。信号のこのようなクラスの場合、読出しヘッド内に誘導される信号方式は低周波数において所望より大きい振幅特性を及び高周波数において所望より小さい振幅特性を示す。更に、読出しヘッド内に誘導される信号のスペクトルはクラスＩＶ部分応答信号方式に対する遮断周波数を超えて拡がる高周波数成分を含む。

【００５８】

フィルタリングシステム１０の目的は、読出しヘッドから発する信号を、ディスク装置の読出しチャンネル内に使用しようとする部分応答信号方式の選択されたクラス用の波形に精密に近似させるように処理することにあり、かつ本発明はこのような処理をプレフィルタ１４によって部分的に実施することを構想する。特に、プレフィルタ１４は、一般に、低周波数ノッチ、高周波数でのブースト、及び部分信号遮断周波数より上での大きな減衰を施して、信号の総振幅特性を調節することが構想される。次いで、所望信号波形を精密に近似するために信号の時間－波形形成がトランスバーサル等化器２２を使用して実施される。トランスバーサル等化器２２は、図５に更に詳細に示されている。

【００５９】

図５を参照すると、本発明の適応アナログ汎用化トランスバーサル等化器２２は、遅延回路９０を含み、この回路は直列接続されたアナログ周波数領域フィルタ部９２、９４、９６及び９８を含み、これらの各々は連続励起に対して連続応答を生じ、この応答を各フィルタ部の伝達関数に依存する量だけ励起に対して時間的に遅延させて出力する。遅延回路９０は、フィルタ部９２の入力において、フィルタ部９８の出力において、及びフィルタ部９２、９４、９６及び９８各対間において、それぞれタップされ、これらのタップ位置における信号が、図５に示されたようにアナログ可変利得乗算器１００、１０２、１０４

、１０６及び１０８へ伝達される。

【００６０】

乗算器１００、１０２、１０４、１０６及び１０８の乗算係数は図１のバス３８を形成する、それぞれ、信号経路１１０、１１２、１１４、１１６及び１１８を通して受信されたアナログタップ重み信号によって決定され、従って乗算器１００、１０２、１０４、１０６及び１０８の応答は、タップ位置における信号にマイクロプロセッサからチャンネルインタフェース１２と等化器タップ重みＤＡ変換器アセンブリ３４とを経由して受信されたタップ重みを乗じたものである。乗算器１００、１０２、１０４、１０６及び１０８は、好適には、ギルバートセル乗算器（Ｇｉｌｂｅｒｔ　ｃｅｌｌ　ｍｕｌｔｉｐｌｉｅｒ）である。このような場合、チャンネルインタフェース１２内でディジタル表現されたタップ重みは、図１のトランスバーサル等化器タップ重みＤＡ変換器アセンブリ３４によってアナログ信号に変換される。

【００６１】

それゆえ、可変利得乗算器１００、１０２、１０４、１０６及び１０８の出力をアナログ加算器１２０が受信し、その出力を、読出しヘッドから図１の信号経路１６上を（図示されていない可変利得増幅器を経由して）受信される信号に対するフィルタリングシステム１０の応答として供給する。

【００６２】

フィルタリングシステム１０は、上に説明された限りでは、最尤検出のためにディスク装置内でサンプルされる部分応答信号波形を達成する回路を提供するが、システム１０は、このシステムの構成及び能力を最適化するために使用される追加の特徴を含む。このような特徴の１つは、図５に示されたようなフィルタ部９２、９４、９６及び９８用適応周波数領域フィルタの使用である。特に、本発明は、フィルタ部９２、９４、９６及び９８を演算相互コンダクタンス増幅器を使用して構成することで以て、これらのフィルタ部９２、９４、９６及び９８の伝達関数を図５内にも示されている図１のアナログバス４０を経由してトランスバーサル等化器遅延調節ＤＡ変換器アセンブリ４２から受信された電流に関連して調節できるようにすることを意図している。単一バスの使用によって表示されるように、フィルタリングシステム１０を調節するために使用される適応パラメータを決定するのに要する時間を制限するようにフィルタ部９２、９４、９６及び９８の全てに信号を供給する単一ＤＡ変換器を使用して、これらのフィルタ部９２、９４、…、９８を同時に調節可能とすることが好ましい。しかしながら、本発明は、フィルタ部９２、９４、９６及び９８の個別調節を実施できることを意図している。特に、もしディスク装置内に使用される読出しヘッドの型式又は部分応答信号方式の選択がフィルタ部９２、９４、９６及び９８の個別適応を使用することを有利にするならば、このような個別適応はフィルタパラメータを選択する方法を利用して容易に実施することができる。それゆえ、先行技術のトランスバーサル等化器と対照的に、フィルタ部９２、９４、９６及び９８によって提供される遅延時間は連続的に可変であり、これによって、加算回路１２０の出力上の複合信号は、読出しヘッド内に誘導されるフィルタしようとする信号を公称波形へ精密に近似させるように時間的にどれだけでも遅延される信号の重み付け和で構成可能にされる。加えて、フィルタ部９２、９４、９６及び９８の適応性は、フィルタリングシステム１０の設計が目指す結果を達成するために、そうでなければシステム１０にとって必要とされることもある例外的な製造上の公差に対するいかなる要件をも除去する。

【００６３】

一般的にフィルタリングシステム１０の第２特徴、特にトランスバーサル等化器２２の第２特徴は、それらのフィルタ区分が低域通過フィルタである、例えば、上掲の本発明の１好適実施例においては６次低域通過フィルタであると云うことである。それゆえ、フィルタ部９２、９４、９６及び９８は、読出しヘッド内に誘導される信号の高周波数成分の所望減衰に寄与して、プレフィルタ１４に課せられる要件を最小限にし、したがってフィルタリングシステム１０の製造上の経済化を可能にする。

【００６４】

フィルタリングシステム１０の随意選択特徴は、トランスバーサル等化器２２のタップ位置へのアクセスを行うチャンネルインタフェース１２内に電気接続器を含ませることである。もしこのような特徴を使用するならば、これらのアクセスは、図１のバス４６を構成する信号経路１３０、１３２、１３４、１３６及び１３８によって行われる。このような特徴は、フィルタリングシステム１０に対する適応パラメータの決定を促進させると云う利点を有するが、しかしフィルタリングシステム１０を表面に形成されているチップへの追加接続を必要とする。したがって、外部機器に対するタップ位置へのアクセスが行われない場合に対する適応パラメータの決定を以下に論じる。

【００６５】

適応パラメータの決定

汎用化トランスバーサル等化器２２のタップ重み、プレフィルタ１４の段の伝達関数、及び汎用化トランスバーサル等化器２２の遅延回路を調節するために適応パラメータを決定する方法を論じる前に、フィルタリングシステム１０を部分とするＰＲＭＬ読出しチャンネルを含むディスク装置内でのフィルタリングシステム１０の使用を簡単に論じておくことが有効である。上掲のように、フィルタリングシステム１０の目的は、読出しヘッド内に誘導される信号を、最尤検出用にサンプルすることのできる公称波形にするように処理することにある。

【００６６】

本発明においては、Ｂｒｅｍｍｅｒ等に１９８９年1月１７日発行された米国特許第４，７９９，１１２号、及びＤａｈａｎｄｅｈ等に１９９２年2月１１日に発行された米国特許第５，０８７，９９２号に記載された方法を採用して転送速度をディスク表面を横断して変動させて、本発明を使用するディスク装置に記憶されるデータの容量の最大化を可能にすることを意図している。したがって、適応パラメータは、読出しヘッド内に誘導される信号のスペクトルがデータトラック半径に従って変動するのを補償するようにフィルタリングシスシステム１０を調節するだけでなく、またディスクを横断して転送速度が変動するのを補償するようにフィルタリングシステム１０を調節するために決定される。いったん適応パラメータが決定されると、これらは、ディスク装置の始動中、ディスク装置の１つ以上のディスク上の特定のトラックに記憶されて読出し及びその後の使用に供される。

【００６７】

上述したように、図５に示された適応アナログ汎用化トランスバーサル等化器２２の遅延回路９０は、周波数領域フィルタ部９２、９４、…、９８を含み、これらは動作特性を可なり変動する。示例として、図６は、図５のフィルタ部９２、９４、…、９８それぞれのタップから得られるアナログ信号パルスのグラフ図である。特に、図６のアナログ信号パルス１５２は、第１タップ信号、すなわち、（図１に示された）入力信号経路２０から（図５の）第１フィルタ部９２へのパルスを表示する。後続のアナログ信号パルス１５４、１５６、１５８及び１６０は、それぞれ、非理想フィルタ部９２、９４、…、９８を通して伝搬する結果、アナログ信号パルス１５２内に起こるひずみを示す。図６に示されているように、振幅及び位相ひずみを含む信号形状内の可なりのひずみは、パルスがこれらの非理想フィルタ部を通して伝搬するに従って生じる。もとより、本発明は、汎用化トランスバーサル等化器回路内のこのような非理想フィルタ部の使用を可能とし、かつこれらのひずみを補償して、ＰＲＭＬ読出しチャンネルのための精確な時間領域フィルタリングを提供する。

【００６８】

上掲の図５の回路についての構造及び動作の説明に従い、図６に示されたパルスは、それぞれ、ギルバートセル乗算器１００、１０２、１０４、１０６及び１０８へ供給される。信号経路１１０、１１２、１１４、１１６及び１１８上の対応する５つの制御入力は、（ディスク装置製造中におけるような）一回限り適応又はデータをディスクから読み出す際の実時間連続適応のいずれかを容易にするために乗算係数を供給する。

【００６９】

一回限り適応中、汎用化トランスバーサル等化器２２は、指定された入力パルス又はパルス列に応答して所望出力信号形状を供給するように初期的に適応させられる。特に、図７は、この回路のこのようなオフライン一回限り適応中に遂行されるステップを示す。

【００７０】

図７はこの一回限り適応に関する全般的プロセスの流れ図であり、これはブロック１６２で開始し、ここでトランスバーサル等化器２２からのタップ信号がディジタル化される。特に、（ディスク装置内のＰＲＭＬチャンネルより遥かに高いサンプリング速度を有するオーバサンプリングディジタイザのような）ディスク装置の外部の試験機器が、共通同期点及び所定注入試験パルス又はパルス列を使用して、全てのタップ信号を順序にディジタル化するために使用される。このディジタル化中、乗算器（図５の１００、１０２、１０４、１０６及び１０８）の出力は、最大にセットされている測定されつつあるタップに対応する乗算器に対するものを除き、全て零にセットされる。

【００７１】

タップ信号がブロック１６２においてディジタル化されると、流れはブロック１６４へと進み、ここで等化器の中央タップにおける信号の最大エネルギーに相当する時間基準が決定される。この時間基準は、（この信号の単一パルス又は特定の列であろうとどちらにしろ）クラスＰＲ－４信号のような目標形状の信号を中心とするために基準点として使用される。この規準点が決定されると、プロセスの流れはブロック１６６へ進み、ここで最小ＬＭＳ誤差判定規準が指定される。特にブロック１６６は、チャンネルデータ速度サンプリング点に相当する時点における、中心とされた目標形状（上掲の式（２）内の項「d_n」を参照）と実際に出力された等化器信号との間の最小ＬＭＳ誤差を指定することを伴う。

【００７２】

ブロック１６８は、ＬＭＳ誤り判定規準が指定されると、最適タップ重みが一連の線形方程式（上掲の式（４）を見よ）から決定されることを示している。汎用化トランスバーサル等化器の挙動を記述する線形方程式（上掲の式（４））は先行技術のトランスバーサル等化器に関する式とは異なり、かつより複雑であり、及び（図７の）ブロック１６２によって提供されるオーバサンプリングはこれらの線形方程式に対する係数を決定する上で必要であることが判る。

【００７３】

この汎用化トランスバーサル等化器の場合の重要な特質は、汎用化遅延回路内の遅延の値について仮定を行わないで、代わりに、適当なタップ重みを決定するためにタップ信号から得られる実際データに信頼を置くと云うことである。更に、本発明の汎用化トランスバーサル等化器２２は比較的大きな量の遅延変動（ＰＲＭＬ読出しチャンネル内のビット遅延の±５０％まで）に順応することが判っている。

【００７４】

タップ重みが識別されると、図７の流れはブロック１７０へ進み、ここでタップ重みがセットされ、その後、回路の正しい性能を検査するために信号がトランスバーサル等化器２２に通される、すなわち、得られたタップ重みが入力パルスの適当な時間領域フィルタリングを生じるかどうかを判定する。もし望むならば、実際に等化されフィルタされたパルスを目標パルスと比較して、等化が許容限界内にあるかどうかを判定する。もしタップ重みが正しいと判れば、次いで、ブロック１７２に示されるように、そのタップ重みがディスク装置に記憶される。そうでなければ、満足する等化を達成するように（図１の）プレフィルタ１４のパラメータを変化させる必要がある。

【００７５】

図８は、図７の流れ図のブロック１７０から得られる等化されフィルタされたパルスのグラフ図ばかりでなく、目標パルス１７６のグラフ図である。図８に示されたように、図６に示されたひずみ応答を有するトランスバーサル等化器２２内の非理想遅延回路を使用しても、その等化されフィルタされたパルス１７４は、目標パルス１７６に非常に良く一致する。特に、図６及び８を検討すると、先行技術の従来アナログトランスバーサル等化器

と本発明の汎用化トランスバーサル等化器との間の相違が良く判る。すなわち、上述したように、先行技術は有効な等化を行うために精確な理想に近い遅延回路の使用を必要とするが、図６及び８によって良く判るように、本発明の好適実施例は、非理想遅延回路を使用して優れた時間領域フィルタリングを施すことができる。

【００７６】

オフライン一回限り適応の検討を結論すると、判るように、ディスク装置のＰＲＭＬ読出しチャンネル内の実時間適応を含む、使用することがある適応の他のモードもある。一般に、判るように、大分部の実際のシステム内で、基本的ＬＭＳ誤り判定規準調査研究が、（データ）上の「ブラインド（ｂｌｉｎｄ）」ＬＭＳ等化、学習パターンに基づくＬＭＳ等化、及び種々の符号ＬＭＳ等化を含む、種々のモード変調及び組合わせに使用されることがある。しかしながら、次の説明は、上述のように本発明の好適実施例に使用されることがある実時間適応等化の概要を提供する。

【００７７】

Ｇｅｒｓｈｏの文献に記載されているように、先行技術の適応アナログトランスバーサル等化器は理想遅延適応実時間等化、及びチャンネルビット速度に等しい通信チャンネル上のサンプリング速度を採用する。Ｇｅｒｓｈｏの文献に従って、このようなシステムに対する適応実時間時間領域等化を遂行することは、等化器の挙動を統制する線形方程式の系の反復解を、基礎となる方程式の係数の知識を要せずに、見付け出すことを含む。必要な全ては、等化器出力における等化誤りの値とサンプリング瞬間におけるタップ信号の値との間の全ての相関を（反復的に）零へ減少させることである。

【００７８】

したがって、もし図５の汎用化トランスバーサル等化器２２の出力２４がビット速度でサンプルされかつ非理想フィルタ部９２、９４、…、９８の平均遅延がビット間隔に等しいならば、実時間適応を遂行するために同じ反復調査研究を汎用化トランスバーサル等化器２２と共に使用してよい。それゆえ、ビット速度サンプリングで汎用化トランスバーサル等化器２２を用いて実時間適応を有効に実現するために、フィルタ部９２、９４、…、９８内の遅延の平均値を１ビット間隔に等しいようにかつディスク装置の動作中比較的一定に維持するようにこの平均値に関する公差を維持することが（オフライン一回限り適応に比較して）望ましい。あらゆる点において、フィルタ部９２、９４、…、９８は、依然、広く不完全応答特性を示してよい。

【００７９】

本発明は上述の目的及び利点ばかりでなくこれに固有の目的及び利点を実施及び達成するのに充分適応していることは明らかである。本好適実施例は開示の目的のために説明されたが、多くの変更をこれに施すことが可能なことは当業者にもとより自明であり、これらの変更は添付の特許請求の範囲に開示されかつ明確にされた本発明の精神に包含される。

【００８０】

関連出願

本願は、本発明の譲受者に譲渡されかつここに引用することにより本明細書に組み入れられている、本発明と同じ発明者によって１９９４年９月２１日に出願された、「適応アナログトランスバーサル等化器を備えるディスク装置ＰＲＭＬチャンネル（ＤＩＳＣ　ＤＲＩＶＥ　ＰＲＭＬ　ＣＨＡＮＮＥＬ　ＷＩＴＨ　ＡＤＡＰＴＩＶＥ　ＡＮＡＬＯＧ　ＴＲＡＮＳＶＥＲＳＡＬ　ＥＱＵＡＬＩＺＥＲ）」と題する米国特許出願第０８／３０９，９１２号の一部継続（ＣＩＰ）出願である。

【図面の簡単な説明】

【図１】本発明により構成されたフィルタリングシステムのブロック図。

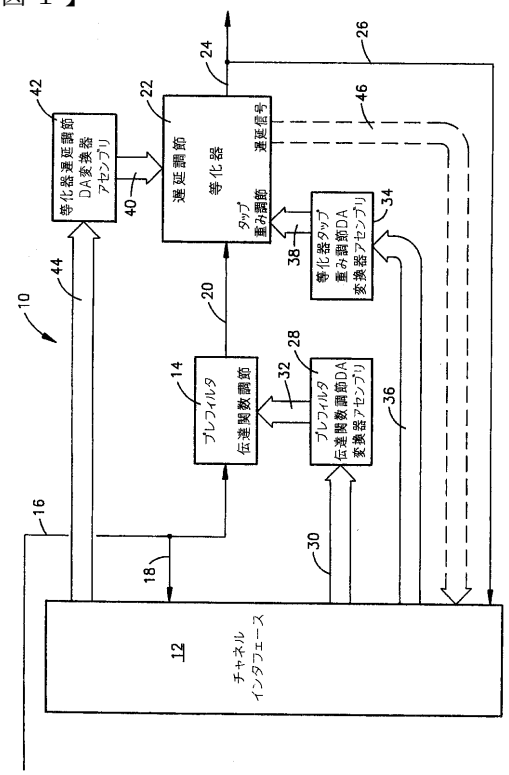
【図２】図１に示されたフィルタリングシステム内の周波数領域プレフィルタのブロック図。

【図３】図２に示されたプレフィルタ内の段のブロック図。

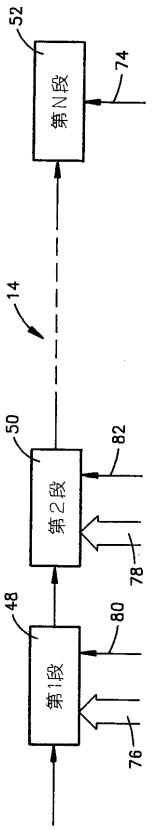
【図４】ディスク装置の読出しヘッドから出力される典型的信号のスペクトルとクラスＩＶ部分応答信号のスペクトルとを比較して示すグラフ図。

【図５】図１に示されたフィルタリングシステム内のアナログ汎用化トランスバーサル等化器のブロック図。
【図６】図５に示されたアナログ汎用化トランスバーサル等化器内の５つタップにおいて得られる信号を表示するグラフ図。
【図７】本発明によりディスク装置の製造中行われる一回限りオフライン適応の場合にＰＲＭＬ読出しチャンネル等化を遂行するプロセスの一連のステップを示す流れ図。
【図８】所望目標パルス、及び図５の等化器と図７の一連のステップを使用して達成される等化されたパルスのグラフ図。
【符号の説明】
１０　フィルタリングシステム
１２　チャンネルインタフェース
１４　プレフィルタ
２２　適応アナログ汎用化トランスバーサル等化器
２８　プレフィルタ伝達関数調節ＤＡ変換器アセンブリ
３４　等化器タップ重みＤＡ変換器アセンブリ
４２　等化器遅延調節ＤＡ変換器アセンブリ
４８　プレフィルタ内の第１段
５０　プレフィルタ内の第２段
５２　プレフィルタ内の最終段
５４　プレフィルタ内の選択された段
５６　低域通過フィルタ
６０　高域通過フィルタ
６２　プログラマブル利得増幅器
９０　遅延回路
９２　アナログ周波数領域フィルタ部
９４　アナログ周波数領域フィルタ部
９６　アナログ周波数領域フィルタ部
９８　アナログ周波数領域フィルタ部
１００　アナログ可変利得乗算器
１０２　アナログ可変利得乗算器
１０４　アナログ可変利得乗算器
１０６　アナログ可変利得乗算器
１０８　アナログ可変利得乗算器
１２０　アナログ加算回路

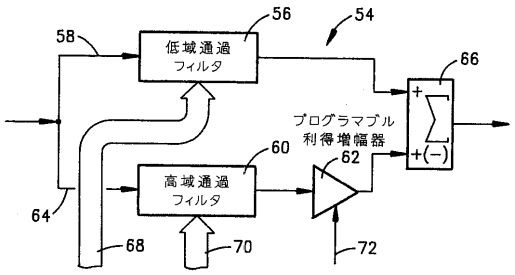
【図１】


等化器遅延調節DA変換器アセンブリ
遅延調節等化器
タップ重み調節
遅延信号
等化器タップ重み調節DA変換器アセンブリ
プレフィルタ伝達関数調節
プレフィルタ伝達関数調節DA変換器アセンブリ
チャネルインタフェース
10
12
14
16
18
20
22
24
26
28
30
32
34
36
38
40
42
44
46

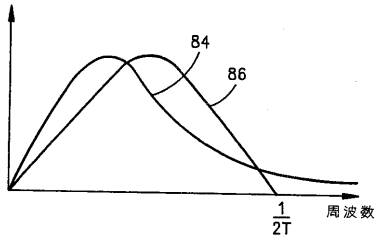
【図２】


第N段
第2段
第1段
14
48
50
52
74
76
78
80
82

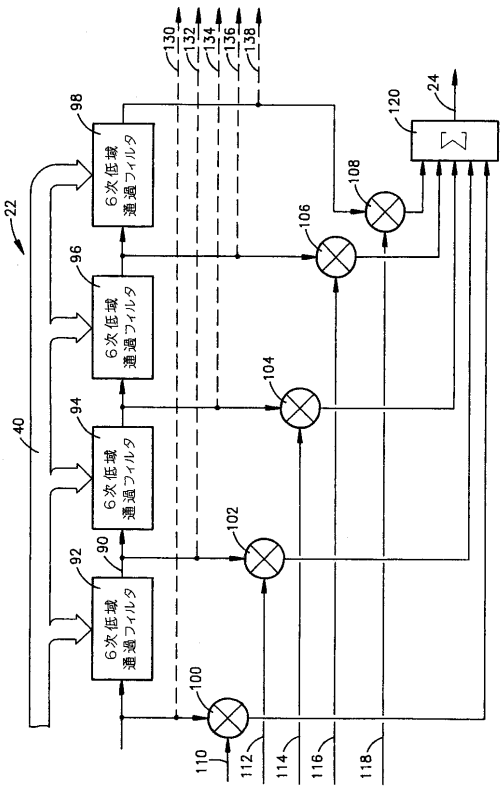
【図３】


低域通過フィルタ
高域通過フィルタ
プログラマブル利得増幅器
54
56
58
60
62
64
66
68
70
72

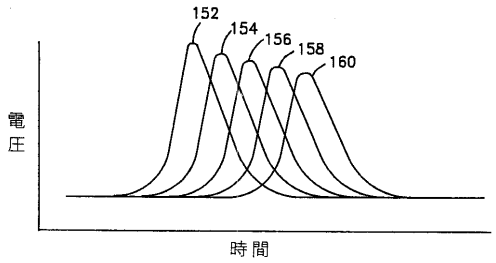
【図４】


84
86
1/2T
周波数

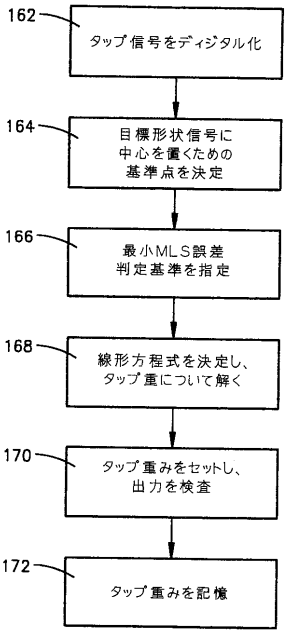
【図５】


6次低域通過フィルタ
22
24
40
90
92
94
96
98
100
102
104
106
108
110
112
114
116
118
120
130
132
134
136
138

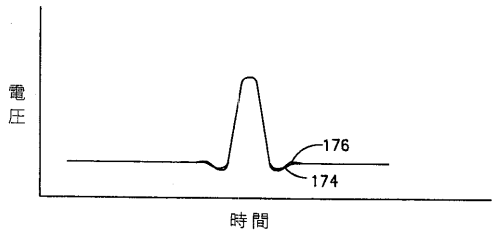
【図６】


152
154
156
158
160
電圧
時間

【図７】


162
タップ信号をディジタル化
164
目標形状信号に
中心を置くための
基準点を決定
166
最小MLS誤差
判定基準を指定
168
線形方程式を決定し、
タップ重について解く
170
タップ重みをセットし、
出力を検査
172
タップ重みを記憶

【図８】


電圧
176
174
時間

フロントページの続き

(51)Int.Cl.[7] F I
H０４Ｂ 3/14 H０４Ｂ 3/14

(72)発明者 バディム ビー. ミニューヒン
アメリカ合衆国オクラホマ州オクラホマ シティー, ウィロウ クリフ ロード ５３１９, アパートメント ナンバー ２４３
(72)発明者 ブラディミール コブナー
アメリカ合衆国オクラホマ州オクラホマ シティー, エヌ. ダブリュ １１５, ６５０４
(72)発明者 スリニバサン スレンドラン
アメリカ合衆国オクラホマ州ノーマン, イー. ボイド ３２４, ナンバー ５

審査官 小林 大介

(56)参考文献 特開平１－２２９５１６（ＪＰ, Ａ）
特開昭６２－２３３９１２（ＪＰ, Ａ）
特開昭５９－１９３６３５（ＪＰ, Ａ）
特開平５－２６６５８７（ＪＰ, Ａ）

(58)調査した分野(Int.Cl.[7], ＤＢ名)
G11B 20/10
H03H 15/00
H03H 17/00
H03H 21/00
H04B 3/00-3/44