(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2024 年 2 月 29 日 (29.02.2024)

WIPO | PCT

(10) 国际公布号
WO 2024/040693 A1

(51) 国际专利分类号:
G11C 11/4076 (2006.01)

(21) 国际申请号: PCT/CN2022/123835

(22) 国际申请日: 2022 年 10 月 8 日 (08.10.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202211006012.6 2022年8月22日 (22.08.2022) CN

(71) 申请人: 长鑫存储技术有限公司 (**CHANGXIN MEMORY TECHNOLOGIES, INC.**) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

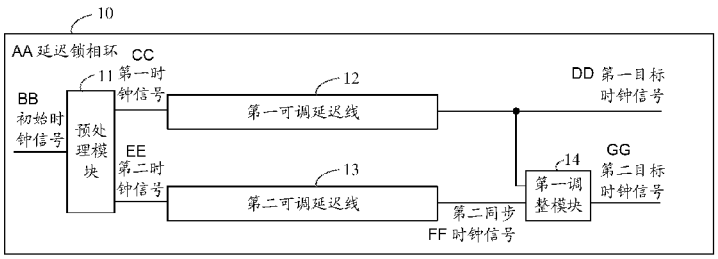
(72) 发明人: 李思曼 (**LI, Siman**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。 严允柱 (**EOM, Yoonjoo**); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230601 (CN)。

(74) 代理人: 北京派特恩知识产权代理有限公司 (**CHINA PAT INTELLECTUAL PROPERTY OFFICE**); 中国北京市海淀区海淀南路21号中关村知识产权大厦B座2层, Beijing 100080 (CN)。

(81) 指定国(除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(54) **Title:** DELAY-LOCKED LOOP AND MEMORY

(54) 发明名称: 一种延迟锁相环和存储器



AA Second target clock signal
BB Initial clock signal
CC First clock signal
DD First target clock signal
EE Second clock signal
FF Second synchronous clock signal
10 Delay-locked loop
11 Preprocessing module
12 First adjustable delay line
13 Second adjustable delay line
14 First adjustment module

图 4

(57) **Abstract:** The embodiments of the present disclosure provide a delay-locked loop and a memory. The delay-locked loop comprises: a preprocessing module, which is configured to receive an initial clock signal, preprocess the initial clock signal, and output a first clock signal and a second clock signal; a first adjustable delay line, which is configured to receive the first clock signal, adjust and transmit the first clock signal, and output a first target clock signal; a second adjustable delay line, which is configured to receive the second clock signal, adjust and transmit the second clock signal, and output a second synchronous clock signal; and a first adjustment module, which is configured to perform delay adjustment on the second synchronous clock signal on the basis of the first target clock signal, and output a second target clock signal.

(57) 摘要: 本公开实施例提供了一种延迟锁相环和存储器，该延迟锁相环包括：预处理模块，配置为接收初始时钟信号，对初始时钟信号进行预处理，输出第一时钟信号和第二时钟信号；第一可调延迟线，配置为接收第一时钟信号，对第一时钟信号进行调整及传输，输出第一目标时钟信号；第二可调延迟线，配置为接收第二时钟信号，对第二时钟信号进行调整及传输，输出第二同步时钟信号；第一调整模块，配置为基于第一目标时钟信号对第二同步时钟信号进行延迟调整，输出第二目标时钟信号。

WO 2024/040693 A1

[见续页]

(84) 指定国(除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

一种延迟锁相环和存储器

相关申请的交叉引用

本公开基于申请号为202211006012.6、申请日为2022年08月22日、发明名称为"一种延迟锁相环和存储器"的中国专利申请提出，并要求该中国专利申请的全部内容在此引入本公开作为参考。

技术领域

本公开涉及半导体存储器技术领域，尤其涉及一种延迟锁相环和存储器。

背景技术

在动态随机存取存储器（Dynamic Random Access Memory，DRAM）中，延迟锁相环需要对四相位时钟信号（即4个相位依次相差90度的时钟信号）进行相位同步和锁定，得到相位差为90度的一组目标时钟信号，以便对数据信号DQ进行采样处理。然而，由于延迟锁相环中的器件存在错配或性能偏差，所以其最终产生的目标时钟信号之间的相位差可能存在偏移，降低数据采样效果。

发明内容

本公开提供了一种延迟锁相环和存储器，能够减少延迟锁相环输出的目标时钟信号的相位偏差。

本公开的技术方案是这样实现的：

第一方面，本公开实施例提供了一种延迟锁相环，所述延迟锁相环包括：

预处理模块，配置为接收初始时钟信号，对所述初始时钟信号进行预处理，输出第一时钟信号和第二时钟信号；

第一可调延迟线，配置为接收所述第一时钟信号，对所述第一时钟信号进行调整及传输，输出第一目标时钟信号；

第二可调延迟线，配置为接收所述第二时钟信号，对所述第二时钟信号进行调整及传输，输出第二同步时钟信号；

第一调整模块，配置为接收所述第一目标时钟信号和所述第二同步时钟信号，基于所述第一目标时钟信号对所述第二同步时钟信号进行延迟调整，输出第二目标时钟信号；

其中，所述第一目标时钟信号和所述第二目标时钟信号之间的相位差为预设值。

在一些实施例中，所述预处理模块包括：接收模块，配置为接收所述初始时钟信号，输出待处理时钟信号；其中，所述待处理时钟信号的时钟周期与所述初始时钟信号的时钟周期相同；分相模块，配置为接收所述待处理时钟信号，对所述待处理时钟信号进行分频和分相处理，输出所述第一时钟信号和所述第二时钟信号；其中，所述第一时钟信号和所述第二时钟信号的时钟周期相同，且所述第一时钟信号的时钟周期是所述初始时钟信号的时钟周期的2倍。

在一些实施例中，所述第一调整模块，包括：第一控制模块，配置为接收所述第一目标时钟信号和所述第二同步时钟信号，基于所述第一目标时钟信号和所述第二同步时钟信号之间的相位差，输出第一控制码；第一延迟链，包括多个第一延迟单元，配置为接收所述第一控制码和所述第二同步时钟信号；基于所述第一控制码，利用多个第一延迟单元对所述第二同步时钟信号的进行延迟调整，输出所述第二目标时钟信号。

在一些实施例中，所述第一控制模块，包括：第一脉冲处理模块，配置为接收所述第一目标时钟信号和所述第二同步时钟信号，输出第一脉冲信号和第二脉冲信号；其中，所述第一脉冲信号和所述第二脉冲信号均各自包括 1 个脉冲，且所述第一脉冲信号的脉冲宽度指示所述第一目标时钟信号和所述第二同步时钟信号之间的相位差，所述第二脉冲信号的脉冲宽度指示所述第二同步时钟信号和所述第一目标时钟信号的反相信号之间的相位差；第一时间数字转换模块，配置为接收所述第一脉冲信号和所述第二脉冲信号；对所述第一脉冲信号进行转换，输出第一转换码，并对所述第二脉冲信号进行转换，输出第二转换码；其中，所述第一转换码用于表征所述第一脉冲信号的宽度，所述第二转换码用于表征所述第二脉冲信号的宽度；第一逻辑模块，配置为接收所述第一转换码和所述第二转换码，对所述第二转换码和所述第一转换码进行减法运算，输出所述第一控制码。

在一些实施例中，第一脉冲处理模块，包括：所述第一脉冲模块，配置为接收所述第一目标时钟信号和第二同步时钟信号，对所述第一目标时钟信号和所述第二同步时钟信号进行异或处理得到第一检测信号，对所述第一检测信号进行脉冲截取及拓宽处理得到第一中间信号，对所述第一中间信号和所述第一检测信号进行与处理，输出所述第一脉冲信号；其中，所述第一检测信号包括多个脉冲，且所述第一检测信号的脉冲宽度指示所述第一目标时钟信号和所述第二同步时钟信号之间的相位差，所述第一中间信号包括一个脉冲，第一中间信号的脉冲宽度大于所述第一检测信号的脉冲宽度；所述第二脉冲模块，配置为接收所述第一目标时钟信号的反相信号和第二同步时钟信号，对所述第一目标时钟信号的反相信号和所述第二同步时钟信号进行异或处理得到第二检测信号，对所述第二检测信号进行脉冲截取及拓宽处理得到第二中间信号，对所述第二中间信号和所述第二检测信号进行与处理，输出所述第二脉冲信号；其中，所述第二检测信号包括多个脉冲，且所述第二检测信号的脉冲宽度指示所述第一目标时钟信号的反相信号和所述第二同步时钟信号之间的相位差，所述第二中间信号包括一个脉冲，第二中间信号的脉冲宽度大于所述第二检测信号的脉冲宽度。

在一些实施例中，所述第一时间转换模块包括：第一转换模块，配置为接收第一脉冲信号，利用所述第一脉冲信号进行采样和延迟处理以得到多个第一采样时钟信号，利用多个所述第一采样时钟信号对所述第一脉冲信号进行采样处理，输出所述第一转换码；第二转换模块，配置为接收第二脉冲信号，利用所述第二脉冲信号进行采样和延迟处理以得到多个第二采样时钟信号，利用多个所述第二采样时钟信号对所述第二脉冲信号进行采样处理，输出所述第二转换码。

在一些实施例中，所述预处理模块，还配置为对所述初始时钟信号进行预处理，输出第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号；所述延迟锁相环还包括：第三可调延迟线，配置为接收所述第三时钟信号，对所述第三时钟信号进行调整及传输，输出第三目标时钟信号；其中，所述第一目标时钟信号和所述第三目标时钟信号的相位差为 180 度；第四可调延迟线，配置为接收所述第四时钟信号，对所述第四时钟信号进行调整及传输，输出第四同步时钟信号；第二调整模块，配置为接收所述第三目标时钟信号和所述第四同步时钟信号，基于所述第三目标时钟信号对所述第四同步时钟信号进行延迟调整，输出第四目标时钟信号；其中，所述第一目标时钟信号、所述第二目标时钟信号、所述第三目标时钟信号和所述第四目标时钟信号之间的相邻相位差均为 90 度。

在一些实施例中，所述分相模块，还配置为对所述待处理时钟信号进行分频和分相处理，输出第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号；其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的时钟周期相同，且所述第一时钟信号的时钟周期是所述初始时钟信号的时钟周期的 2 倍。

在一些实施例中，所述第二调整模块，包括：第二控制模块，配置为接收所述第三目标时钟信号和所述第四同步时钟信号，基于所述第三目标时钟信号和所述第四同步时钟信号之间的相位差，输出第二控制码；第二延迟链，包括多个第二延迟单元，配置为接收所述第二控制码和所述第四同步时钟信号，基于所述第二控制码，利用多个第二延迟单元对所述第四同步时钟信号的进行延迟调整，输出所述第四目标时钟信号。

在一些实施例中，所述第二控制模块，包括：第二脉冲处理模块，配置为接收所述第三目标时钟信号和所述第四同步时钟信号，输出第三脉冲信号和第四脉冲信号；其中，所述第三脉冲信号和所述第四脉冲信号均各自包括 1 个脉冲，且所述第三脉冲信号的脉冲宽度指示所述第

三目标时钟信号和所述第四同步时钟信号之间的相位差，所述第四脉冲信号的脉冲宽度指示所述第四同步时钟信号和所述第三目标时钟信号的反相信号之间的相位差；第二时间数字转换模块，配置为接收所述第三脉冲信号和所述第三脉冲信号；对所述第三脉冲信号进行转换，输出第三转换码，并对所述第四脉冲信号进行转换，输出第四转换码；其中，所述第三转换码用于表征所述第三脉冲信号的宽度，所述第四转换码用于表征所述第四脉冲信号的宽度；第二逻辑模块，配置为接收所述第三转换码和所述第四转换码，对所述第四转换码和所述第三转换码进行减法运算，输出所述第二控制码。

在一些实施例中，所述第二脉冲处理模块，包括：所述第三脉冲模块，配置为接收所述第三目标时钟信号和第四同步时钟信号，对所述第三目标时钟信号和所述第四同步时钟信号进行异或处理得到第三检测信号，对所述第三检测信号进行脉冲截取及拓宽处理得到第三中间信号，对所述第三中间信号和所述第三检测信号进行与处理，输出所述第三脉冲信号；其中，所述第三检测信号包括多个脉冲，且所述第三检测信号的脉冲宽度指示所述第三目标时钟信号和所述第四同步时钟信号之间的相位差，所述第三中间信号包括一个脉冲，且所述第三中间信号的脉冲宽度大于所述第三检测信号的脉冲宽度；所述第四脉冲模块，配置为接收所述第三目标时钟信号的反相信号和第四同步时钟信号，对所述第三目标时钟信号的反相信号和所述第四同步时钟信号进行异或处理得到第四检测信号，对所述第四检测信号进行脉冲截取及拓宽处理得到第四中间信号，对所述第四中间信号和所述第四检测信号进行与处理，输出所述第四脉冲信号；其中，所述第四检测信号包括多个脉冲，且所述第四检测信号的脉冲宽度指示所述第三目标时钟信号的反相信号和所述第四同步时钟信号之间的相位差，所述第四中间信号包括一个脉冲，且所述第四中间信号的脉冲宽度大于所述第四检测信号的脉冲宽度。

在一些实施例中，所述第二时间转换模块包括：第三转换模块，配置为接收第三脉冲信号，将所述第三脉冲信号进行采样和延迟处理以得到多个第三采样时钟信号，利用多个所述第三采样时钟信号对所述第三脉冲信号进行采样处理，输出所述第三转换码；第四转换模块，配置为接收第四脉冲信号，将所述第四脉冲信号进行采样和延迟处理以得到多个第四采样时钟信号，利用多个所述第四采样时钟信号对所述第四脉冲信号进行采样处理，输出所述第四转换码。

在一些实施例中，所述第一脉冲模块包括：第一触发器、第二触发器、第一非门、第四延迟单元、第一与门、第一异或门、第二与门；所述第二脉冲模块、所述第三脉冲模块、所述第四脉冲模块与所述第一脉冲模块的结构对应相同；其中，在所述第一脉冲模块中，所述第一异或门的第一输入端接收所述第一目标时钟信号，所述第一异或门的第二输入端接收所述第二同步时钟信号，所述第一异或门的输出端用于输出所述第一检测信号；所述第一触发器的输入端接收第一电源信号，所述第一触发器的时钟端与所述第一异或门的输出端连接；所述第一非门的输入端与所述第一异或门的输出端连接，所述第二触发器的输入端接收地信号，所述第二触发器的输出端与所述第一非门的输出端连接；所述第四延迟单元的输入端与所述第二触发器的输出端连接，所述第一与门的第一输入端与所述第一触发器的输出端连接，所述第一与门的第二输入端与所述第四延迟单元的输出端连接，所述第一与门的输出端用于输出所述第一中间信号；所述第二与门的第一输入端与所述第一与门的输出端连接，所述第二与门的第二输入端与所述第一异或门的输出端连接，所述第二与门的输出端用于输出所述第一脉冲信号。

在一些实施例中，所述第一转换码、所述第二转换码、所述第三转换码、所述第四转换码均各自包括多位子信号；所述第一转换模块包括第三触发器、第三延迟链、多个第四触发器，且所述第二转换模块、所述第三转换模块、所述第四转换模块均与所述第一转换模块的结构对应相同；其中，在所述第一转换模块中，所述第三触发器的输入端接收第二电源信号，所述第三触发器的时钟端接收所述第一脉冲信号，所述第三触发器的输出端与所述第三延迟链的输入端连接；所有的第四触发器的输入端均用于接收所述第一脉冲信号；所述第三延迟链包括串联设置的多个第三延迟单元，一个所述第四触发器的时钟端与一个第三延迟单元的输出端对应连接，一个所述第四触发器的输出端输出所述第一转换码的一位子信号。

在一些实施例中，所述第一延迟链包括多个串联设置的第一延迟单元、所述第二延迟链包括多个第二延迟单元；所述第一延迟链中的第一延迟单元、所述第二延迟链中的第二延迟单元、所述第三延迟链中的第三延迟单元对应相同。

在一些实施例中，所述第一控制码的第 i 位子信号用于控制第 i 个第一延迟单元处于开启状

态或者关闭状态，所述第二控制码的第 i 位子信号用于控制第 i 个第二延迟单元处于开启状态或者关闭状态；所述第一延迟链，具体配置为利用处于开启状态的所述第一延迟单元对所述第二同步时钟信号进行延迟，输出所述第二目标时钟信号；所述第二延迟链，具体配置为利用处于开启状态的所述第二延迟单元对所述第四同步时钟信号进行延迟，输出所述第四目标时钟信号。

在一些实施例中，所述第一控制码的前 a 位子信号为第一状态，所述第一控制码的后（A-a）位子信号为第二状态；所述第二控制码的前 b 位子信号为第一状态，所述第二控制码的后（B-b）位子信号为第二状态；A、B、a、b 均为正整数，且 a 小于或等于 A，A 是指第一控制码中的子信号的总位数，b 小于或等于 B，B 是指第二控制码中的子信号的总位数；所述第一延迟链，具体配置为利用第 1 个~第 a 个所述第一延迟单元对所述第二同步时钟信号进行延迟处理，并将第 a 个所述第一延迟单元的输出信号确定为所述第二目标时钟信号；所述第二延迟链，具体配置为利用第 1 个~第 b 个所述第二延迟单元对所述第四同步时钟信号进行延迟处理，并将第 b 个所述第二延迟单元的输出信号确定为所述第四目标时钟信号。

在一些实施例中，所述第一目标时钟信号、所述第二目标时钟信号、所述第三目标时钟信号和所述第四目标时钟信号在经过对应的信号传输路径后用于数据采样处理；所述延迟锁相环还还包括：反馈模块，配置为接收所述第一时钟信号，输出模拟时钟信号，且所述模拟时钟信号用于模拟所述第一目标时钟信号经过所述信号传输路径后的波形；检测模块，配置为接收所述第一时钟信号和所述模拟时钟信号，对所述第一时钟信号和所述模拟时钟信号进行相位检测，得到相位检测信号；调参模块，配置为接收所述相位检测信号，基于所述相位检测信号输出延迟线控制信号；所述第一可调延迟线，具体配置为接收所述延迟线控制信号，基于所述延迟线控制信号对所述第一时钟信号进行调整及传输，输出所述第一目标时钟信号；所述第二可调延迟线，具体配置为接收所述延迟线控制信号，基于所述延迟线控制信号对所述第二时钟信号进行调整及传输，输出所述第二同步时钟信号。

在一些实施例中，所述反馈模块包括：第五可调延迟线，配置为接收所述第一时钟信号和所述延迟线控制信号，基于所述延迟线控制信号对所述第一时钟信号进行调整及传输，输出复制时钟信号；其中，所述第五可调延迟线与所述第一可调延迟线的结构相同，所述复制时钟信号用于模拟所述第一目标时钟信号的波形；复制延迟模块，配置为接收所述复制时钟信号，对所述复制时钟信号进行延迟处理，输出模拟时钟信号；其中，所述复制延迟模块配置为模拟所述信号传输路径的延时。

第二方面，本公开实施例提供了一种存储器，所述存储器至少包括如第一方面所述的延迟锁相环。

本公开实施例提供了一种延迟锁相环和存储器，该延迟锁相环包括：该延迟锁相环包括：预处理模块，配置为接收初始时钟信号，对初始时钟信号进行预处理，输出第一时钟信号和第二时钟信号；第一可调延迟线，配置为接收第一时钟信号，对第一时钟信号进行调整及传输，输出第一目标时钟信号；第二可调延迟线，配置为接收第二时钟信号，对第二时钟信号进行调整及传输，输出第二同步时钟信号；第一调整模块，配置为基于第一目标时钟信号对第二同步时钟信号进行延迟调整，输出第二目标时钟信号；其中，第一目标时钟信号和第二目标时钟信号之间的相位差为预设值。这样，通过第一调整模块可以对第一同步时钟信号和第二目标时钟信号之间的相位差进行校正，改善目标时钟信号之间的相位偏差。

附图说明

图 1 为一种延迟锁相环的结构示意图；

图 2 为一种信号时序示意图一；

图 3 为一种信号时序示意图二；

图 4 为本公开实施例提供的一种延迟锁相环的结构示意图一；

图 5 为本公开实施例提供的一种延迟锁相环的结构示意图二；

图 6 为本公开实施例提供的一种信号时序示意图一；

图 7 为本公开实施例提供的一种延迟锁相环的结构示意图三；
图 8 为本公开实施例提供的一种信号时序示意图二；
图 9 为本公开实施例提供的一种延迟锁相环的局部结构示意图一；
图 10 为本公开实施例提供的一种延迟锁相环的局部结构示意图二；
图 11 为本公开实施例提供的一种信号时序示意图三；
图 12 为本公开实施例提供的一种时钟同步电路的结构示意图；
图 13 为本公开实施例提供的一种存储器的结构示意图。

具体实施方式

下面将结合本公开实施例中的附图，对本公开实施例中的技术方案进行清楚、完整地描述。可以理解的是，此处所描述的具体实施例仅仅用于解释相关申请，而非对该申请的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与有关申请相关的部分。除非另有定义，本文所使用的所有的技术和科学术语与属于本公开的技术领域的技术人员通常理解的含义相同。本文中所使用的术语只是为了描述本公开实施例的目的，不是旨在限制本公开。在以下的描述中，涉及到“一些实施例”，其描述了所有可能实施例的子集，但是可以理解，“一些实施例”可以是所有可能实施例的相同子集或不同子集，并且可以在不冲突的情况下相互结合。需要指出，本公开实施例所涉及的术语“第一\第二\第三”仅是用于区别类似的对象，不代表针对对象的特定排序，可以理解地，“第一\第二\第三”在允许的情况下可以互换特定的顺序或先后次序，以使这里描述的本公开实施例能够以除了在这里图示或描述的以外的顺序实施。

动态随机存取存储器（Dynamic Random Access Memory，DRAM）
同步动态随机存取存储器（Synchronous Dynamic Random Access Memory，SDRAM）
双倍数据速率内存（Double Data Rate SDRAM，DDR）
低功率 DDR（Low Power DDR，LPDDR）
第 n 代 DDR 标准（DDRn Specification，DDRn），例如 DDR3、DDR4、DDR5、DDR6
第 n 代 LPDDR 标准(LPDDRn Specification，LPDDRn)，例如 LPDDR3、LPDDR4、LPDDR5、LPDDR6

目前，存储器逐渐向着高速化发展。以 DDR5 为例，由于其速度提升和工艺的限制，接口处的高速时钟信号需要在内部转为低速时钟信号。举例来说，存储器中的延迟锁相环（Delay Locked Loop，DLL）需要通过大量的反相器链来动态调整时钟信号的延迟以及执行延迟匹配处理。如果在高频速度下，这些反相器链可能会造成信号偏差（Jitter）的大量累计，最终导致信号丢失。因此，在 DDR5 的高频速度下，为了保证信号质量，来自于外部的初始时钟信号 CLK 在内部会分频/分相得到四相位时钟信号，四相位时钟信号分别送入延迟锁相环进行相位同步及锁定，然后通过数据选择模块（Mux）利用调整后的四相位时钟信号对数据信号 DQ 进行采样及选择输出，得到目标数据信号。

参见图 1，其示出了一种延迟锁相环的结构示意图。参见图 2，其示出了一种信号时序示意图一。如图 1 和图 2 所示，初始时钟信号 CLK 经过接收模块进入延迟锁相环，然后被分相模块处理为四相位时钟信号（即 clk0、clk90、clk180 和 clk270），且四相位时钟信号的频率降低为初始时钟信号 CLK 的一半；其次，通过 4 条可调延迟线分别对四相位时钟信号进行延迟以及占空比方面的调整。这样，在延迟锁相环进行相位锁定之后，获得四相位的目标时钟信号(即 DLL0、DLL90、DLL180 和 DLL270)，且目标时钟信号 DLL0、DLL90、DLL180 和 DLL270 经由相应的信号传输路径传输到数据选择模块，数据选择模块将四相位的目标时钟信号 DLL0、DLL90、DLL180 和 DLL270 转化为数据采样时钟信号 DQS，后续利用数据采样时钟信号 DQS 对数据信号 DQ 进行采样得到目标数据信号。另外，延迟锁相环还包括第 5 条可调延迟线、复制延迟模块、检测模块和调参模块，第 5 条可调延迟线和复制延迟模块构成回路，第 5 条可调延迟线接收时钟信号 clk0，复制延迟模块输出模拟时钟信号，模拟时钟信号用于模拟目标时钟信号 DLL0 传输到数据选择模块时的波形，检测模块对模拟时钟信号和时钟信号 clk0 之间的相位差进行检测，调参模块根据检测模块的检测结果输出延迟线控制信号，延迟线控制信号用于控制所有可

调延迟线的工作参数。这样，延迟锁相环存在闭环反馈机制，保证最终处理得到的目标时钟信号 DLL0/DLL90/DLL180/DLL270 符合要求。

由上述可知，初始时钟信号 CLK 分为四路进入延迟锁相环，为了保证初始时钟信号 CLK 的上升沿和下降沿信息不被丢失，所以延迟锁相环内部需要准备 4 路主要的可调延迟线，以便对四相位时钟信号进行相位同步和锁定处理，最终传输到数据选择模块（Mux）。然而，由于 4 条可调延迟线存在错配，同时转换模块输出的四相位时钟信号（clk0、clk90、clk180 和 clk270）本身也存在一定的误差，所以目标时钟信号 DLL0/DLL90/DLL180/DLL270 之间也存在一定的相位偏差。参见图 3，其示出了一种信号时序示意图二。如图 3 所示，最终送入数据选择模块的目标时钟信号 DLL0DLL90/DLL180/DLL270 之间的相位差（体现为 T1、T2、T3 和 T4）并不相同，此时数据采样时钟信号 DQS 中脉冲周期（体现为 t1、t2）的长度并不相同，即数据采样时钟信号的有效窗口较小，限制了存储器性能的提高。

基于此，本公开实施例提供了一种延迟锁相环，用于改善延迟锁相环输出的时钟信号之间的相位偏差，以便提高存储器的性能得到进一步提高。

下面将结合附图对本公开各实施例进行详细说明。

在本公开的一实施例中，参见图 4，其示出了本公开实施例提供的一种延迟锁相环 10 的结构示意图一。如图 4 所示，延迟锁相环 10 包括:

预处理模块 11，配置为接收初始时钟信号，对初始时钟信号进行预处理，输出第一时钟信号和第二时钟信号;

第一可调延迟线 12，配置为接收第一时钟信号，对第一时钟信号进行调整及传输，输出第一目标时钟信号;

第二可调延迟线 13，配置为接收第二时钟信号，对第二时钟信号进行调整及传输，输出第二同步时钟信号;

第一调整模块 14，配置为接收第一目标时钟信号和第二同步时钟信号，基于第一目标时钟信号对第二同步时钟信号进行延迟调整，输出第二目标时钟信号，且第一目标时钟信号和第二目标时钟信号之间的相位差为预设值。

需要说明的是，本公开实施例的延迟锁相环 10 可以应用但不限于存储器，例如 DRAM、SDRAM 等。另外，在其他模拟电路/数字电路中，均可通过本公开实施例提供的延迟锁相环 10 来产生一组不同相位的时钟信号。

在延迟锁相环 10 中，通过第一可调延迟线 12 和第二可调延迟线 13 分别获得第一目标时钟信号和第二同步时钟信号，然后利用第一调整模块 14 对第二同步时钟信号进行延迟调整以得到第二目标时钟信号，保证第一目标时钟信号和第二目标时钟信号之间的相位差为预设值。这样，通过引入第一调整模块 14，可以对第一同步时钟信号和第二目标时钟信号之间的相位差进行校正，改善由于延迟线不匹配或者预处理过程而产生的相位偏差。

需要说明的是，预设值可以根据实际应用场景进行设定，例如 180 度、90 度。另外，本公开实施例对于相位差的限定均允许一定的误差，即第一目标时钟信号和第二目标时钟信号之间的相位差在误差允许的范围内为预设值。如无特别说明，后续关于相位差、时钟周期的限定均可进行相应理解。

本公开实施例后续以预设值为 90 度进行说明，此时第一目标时钟信号可以表示为 DLL0，第二目标时钟信号可以表示为 DLL90，其他情况请参照理解。

在一些实施例中，参见图 5，其示出了本公开实施例提供的一种延迟锁相环 10 的结构示意图二。如图 5 所示，预处理模块 11 包括:

接收模块 111，配置为接收初始时钟信号 CLK，输出待处理时钟信号；其中，待处理时钟信号的时钟周期与初始时钟信号 CLK 的时钟周期相同;

分相模块 112，配置为接收待处理时钟信号，对待处理时钟信号进行分频和分相处理，输出第一时钟信号 clk0 和第二时钟信号 clk90；其中，第一时钟信号 clk0 和第二时钟信号 clk90 的时钟周期相同，且第一时钟信号 clk0 的时钟周期是初始时钟信号 CLK 的时钟周期的 2 倍。

需要说明的是，在理想情况下，第一时钟信号 clk0 和第二时钟信号 clk90 之间的相位差为 90 度，然而，由于实际工艺参数的偏差以及错配问题，分相模块 112 的工作参数可能存在偏差，导致第一时钟信号 clk0 和第二时钟信号 clk90 之间的相位差并非为 90 度且超出了误差允许的范

围，这也是需要引入第一调整模块 14 的部分原因。

在一些实施例中，请参考图 4 和图 5，第一调整模块 14，包括:

第一控制模块 141，配置为接收第一目标时钟信号 DLL0 和第二同步时钟信号 DL90，基于第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 之间的相位差，输出第一控制码 DLLCode1<N: 0>;

第一延迟链 142，包括多个第一延迟单元，配置为接收第一控制码 DLLCode1<N: 0>和第二同步时钟信号 DL90; 基于第一控制码 DLLCode1<N: 0>，利用多个第一延迟单元对第二同步时钟信号 DL90 的进行延迟调整，输出第二目标时钟信号 DLL90。

需要说明的是，第一控制码 DLLCode1<N: 0>是根据第二同步时钟信号 DL90 与理想情况（即第一目标时钟信号 DLL0 延迟 90 度）的相位偏差转化得到的。进一步地，第一延迟链 142 能够基于第一控制码 DLLCode1<N: 0>控制第二同步时钟信号 DL90 的相位向前或者向后调整，得到第二目标时钟信号 DLL90，以保证第一目标时钟信号 DLL0 和第二目标时钟信号 DLL90 之间的相位差为 90 度。

在一些实施例中，如图 5 所示，第一控制模块 141，包括:

第一脉冲处理模块 21，配置为接收第一目标时钟信号 DLL0 和第二同步时钟信号 DL90，输出第一脉冲信号 IN0 和第二脉冲信号 IN1; 其中，第一脉冲信号 IN0 和第二脉冲信号 IN1 均各自包括 1 个脉冲，且第一脉冲信号 IN0 的脉冲宽度指示第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 之间的相位差，第二脉冲信号 IN1 的脉冲宽度指示第二同步时钟信号 DL90 和第一目标时钟信号的反相信号之间的相位差;

第一时间数字转换模块 22，配置为接收第一脉冲信号 IN0 和第二脉冲信号 IN1; 对第一脉冲信号 IN0 进行转换，输出第一转换码 TDCCode0<N: 0>，并对第二脉冲信号 IN1 进行转换，输出第二转换码 TDCCode1<N: 0>; 其中，第一转换码 TDCCode0<N: 0>用于表征第一脉冲信号 IN0 的宽度，第二转换码 TDCCode1<N: 0>用于表征第二脉冲信号 IN1 的宽度;

第一逻辑模块 23，配置为接收第一转换码 TDCCode0<N: 0>和第二转换码 TDCCode1<N: 0>，对第二转换码 TDCCode1<N: 0>和第一转换码 TDCCode0<N: 0>进行减法运算，输出第一控制码 DLLCode1<N: 0>。

这样，如果第一脉冲信号 IN0 的脉冲宽度大于第二脉冲信号 IN1 的脉冲宽度，说明第二同步时钟信号 DL90 过于滞后; 如果第一脉冲信号 IN0 的脉冲宽度小于第二脉冲信号 IN1 的脉冲宽度，说明第二同步时钟信号 DL90 过于提前。同时，第一转换码 TDCCode0<N: 0>的数值和第一脉冲信号 IN0 的脉冲宽度是对应的，第二转换码 TDCCode1<N: 0>的数值和第二脉冲信号 IN1 的脉冲宽度是对应的，因此将第二转换码 TDCCode1<N: 0>减去第一转换码 TDCCode0<N: 0>能够得到第一控制码 DLLCode1<N: 0>。

特别地，根据电路中各参数定义以及信号连接关系的不同，也可能采用第一转换码 TDCCode0<N: 0>减去第二转换码 TDCCode1<N: 0>得到第一控制码 DLLCode1<N: 0>，具体机制需要根据实际电路进行确定。

在一些实施例中，参见图 6，其示出了本公开实施例提供的一种信号时序示意图一。请参考图 5 和图 6，第一脉冲处理模块 21，包括:

第一脉冲模块 211，配置为接收第一目标时钟信号 DLL0 和第二同步时钟信号 DL90，对第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 进行异或处理得到第一检测信号 D0，对第一检测信号 D0 进行脉冲截取及拓宽处理得到第一中间信号 S0，对第一中间信号 S0 和第一检测信号 D0 进行与处理，输出第一脉冲信号 IN0; 其中，第一检测信号 D0 包括多个脉冲，且第一检测信号 D0 的脉冲宽度指示第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 之间的相位差，第一中间信号 S0 包括一个脉冲，第一中间信号 S0 的脉冲宽度大于第一检测信号 D0 的脉冲宽度;

第二脉冲模块 212，配置为接收第一目标时钟信号的反相信号和第二同步时钟信号 DL90，对第一目标时钟信号的反相信号和第二同步时钟信号 DL90 进行异或处理得到第二检测信号 D1，对第二检测信号 D1 进行脉冲截取及拓宽处理得到第二中间信号 S1，对第二中间信号 S1 和第二检测信号 D1 进行与处理，输出第二脉冲信号 IN1; 其中，第二检测信号 D1 包括多个脉冲，且第二检测信号 D1 的脉冲宽度指示第一目标时钟信号的反相信号和第二同步时钟信号 DL90 之间

的相位差，第二中间信号 S1 包括一个脉冲，第二中间信号 S1 的脉冲宽度大于第二检测信号 D1 的脉冲宽度。

在这里，第一中间信号 S0 的脉冲至少覆盖第一检测信号 D0 中的一个完整脉冲，第二中间信号 S1 的脉冲至少覆盖第二检测信号 D1 中的一个完整脉冲。在图 6 中，“△”表示拓宽处理中的拓宽量。

需要说明的是，第一脉冲模块 211 和第二脉冲模块 212 的结构可以利用多种电学器件组合而成，本公开实施例后续将提供一种具体示例。

在一些实施例中，请参考图 5 和图 6，第一时间转换模块 22 包括:

第一转换模块 221，配置为接收第一脉冲信号 IN0，利用第一脉冲信号 IN0 进行采样和延迟处理以得到多个第一采样时钟信号，利用多个第一采样时钟信号对第一脉冲信号 IN0 进行采样处理，输出第一转换码 TDCCode0<N: 0>;

第二转换模块 222，配置为接收第二脉冲信号 IN1，利用第二脉冲信号 IN1 进行采样和延迟处理以得到多个第二采样时钟信号，利用多个第二采样时钟信号对第二脉冲信号 IN1 进行采样处理，输出第二转换码 TDCCode1<N: 0>。

需要说明的是，第一转换模块 221 和第二转换模块 222 的结构是相似的，具体可以利用多种电学器件组合而成，本公开实施例后续将提供一种具体示例。

在一些实施例中，参见图 7，其示出了本公开实施例提供的一种延迟锁相环 10 的结构示意图三。如图 7 所示，延迟锁相环 10 的输出信号还可以包括第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270。也就是说，延迟锁相环 10 输出第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270，且相邻的目标时钟信号之间的相位差为 90 度。

此时，预处理模块 11，还配置为对初始时钟信号 CLK 进行预处理，输出第一时钟信号 clk0、第二时钟信号 clk90、第三时钟信号 clk180 和第四时钟信号 clk270。相应的，延迟锁相环 10 还包括:

第三可调延迟线 15，配置为接收第三时钟信号 clk180，对第三时钟信号 clk180 进行调整及传输，输出第三目标时钟信号 DLL180; 其中，第一目标时钟信号 DLL0 和第三目标时钟信号 DLL180 的相位差为 180 度;

第四可调延迟线 16，配置为接收第四时钟信号 clk270，对第四时钟信号 clk270 进行调整及传输，输出第四同步时钟信号 DL270;

第二调整模块 17，配置为接收第三目标时钟信号 DLL180 和第四同步时钟信号 DL270，基于第三目标时钟信号 DLL180 对第四同步时钟信号 DL270 进行延迟调整，输出第四目标时钟信号 DLL270。

需要说明的是，由于延迟锁相环 10 的电路原理，第一可调延迟线 12 输出的第一目标时钟信号 DLL0 和第三可调延迟线 15 输出的第三目标时钟信号 DLL180 的错配较小，参见前面的图 3。也就是说，可以认为第一目标时钟信号 DLL0 和第三目标时钟信号 DLL180 的相位差稳定为 180 度，即第一目标时钟信号 DLL0 和第三目标时钟信号 DLL180 互为反相信号。但是，第四可调延迟线 16 直接输出的第四同步时钟信号 DL270 的相位可能因为错配等原因发生偏移，因此引入第二调整模块 17 对第四同步时钟信号 DL270 进行延迟调整，能够使得第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270 之间的相位差为 90 度，改善由于延迟线不匹配或者预处理过程而产生的相位偏差。

还需要说明的是，如图 7 所示，分相模块 112，还配置为对待处理时钟信号进行分频和分相处理，输出第一时钟信号 clk0、第二时钟信号 clk90、第三时钟信号 clk180 和第四时钟信号 clk270; 其中，第一时钟信号 clk0、第二时钟信号 clk90、第三时钟信号 clk180 和第四时钟信号 clk270 的时钟周期相同，且第一时钟信号 clk0 的时钟周期是初始时钟信号 CLK 的时钟周期的 2 倍。

应理解，第二调整模块 17 的组成与第一调整模块 14 的组成类似，以下为具体说明。

在一些实施例中，如图 7 所示，第二调整模块 17，包括:

第二控制模块 171，配置为接收第三目标时钟信号 DLL180 和第四同步时钟信号 DL270，基于第三目标时钟信号 DLL180 和第四同步时钟信号 DL270 之间的相位差，输出第二控制码

DLLCode2<N: 0>;

第二延迟链 172，包括多个第二延迟单元，配置为接收第二控制码 DLLCode2<N: 0>和第四同步时钟信号 DL270，基于第二控制码 DLLCode2<N: 0>，利用多个第二延迟单元对第四同步时钟信号 DL270 的进行延迟调整，输出第四目标时钟信号 DLL270。

需要说明的是，第二控制码 DLLCode2<N: 0>是根据第四同步时钟信号 DL270 与理想情况（即第三目标时钟信号 DLL180 延迟 90 度）的相位偏差转化得到的。进一步地，第二延迟链 172 能够基于第二控制码 DLLCode2<N: 0>控制第四同步时钟信号 DL270 的相位向前或者向后调整，得到第四目标时钟信号 DLL270，以保证第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270 之间的相位差为 90 度。

在一些实施例中，参见图 8，其示出了本公开实施例提供的一种信号时序示意图二。请参考图 7 和图 8，第二控制模块 171，包括：

第二脉冲处理模块 24，配置为接收第三目标时钟信号 DLL180 和第四同步时钟信号 DL270，输出第三脉冲信号 IN2 和第四脉冲信号 IN3；其中，第三脉冲信号 IN2 和第四脉冲信号 IN3 均各自包括 1 个脉冲，且第三脉冲信号 IN2 的脉冲宽度指示第三目标时钟信号 DLL180 和第四同步时钟信号 DL270 之间的相位差，第四脉冲信号 IN3 的脉冲宽度指示第四同步时钟信号 DL270 和第三目标时钟信号的反相信号之间的相位差；

第二时间数字转换模块 25，配置为接收第三脉冲信号 IN2 和第三脉冲信号 IN2；对第三脉冲信号 IN2 进行转换，输出第三转换码 TDCCode2<N: 0>，并对第四脉冲信号 IN3 进行转换，输出第四转换码 TDCCode3<N: 0>；其中，第三转换码 TDCCode2<N: 0>用于表征第三脉冲信号 IN2 的宽度，第四转换码 TDCCode3<N: 0>用于表征第四脉冲信号 IN3 的宽度；

第二逻辑模块 26，配置为接收第三转换码 TDCCode2<N: 0>和第四转换码 TDCCode3<N: 0>，对第四转换码 TDCCode3<N: 0>和第三转换码 TDCCode2<N: 0>进行减法运算，输出第二控制码 DLLCode2<N: 0>。

这样，如果第三脉冲信号 IN2 的脉冲宽度大于第四脉冲信号 IN3 的脉冲宽度，说明第四同步时钟信号 DL270 过于滞后；如果第三脉冲信号 IN2 的脉冲宽度小于第四脉冲信号 IN3 的脉冲宽度，说明第四同步时钟信号 DL270 过于提前。同时，第三转换码 TDCCode2<N: 0>的数值和第三脉冲信号 IN2 的脉冲宽度是对应的，第四转换码 TDCCode3<N: 0>的数值和第四脉冲信号 IN3 的脉冲宽度是对应的，因此将第四转换码 TDCCode3<N: 0>减去第三转换码 TDCCode2<N: 0>能够得到第二控制码 DLLCode2<N: 0>。

在一些实施例中，如图 7 所示，第二脉冲处理模块 24，包括：

第三脉冲模块 213，配置为接收第三目标时钟信号 DLL180 和第四同步时钟信号 DL270，对第三目标时钟信号 DLL180 和第四同步时钟信号 DL270 进行异或处理得到第三检测信号 D2，对第三检测信号 D2 进行脉冲截取及拓宽处理得到第三中间信号 S2，对第三中间信号 S2 和第三检测信号 D2 进行与处理，输出第三脉冲信号 IN2；其中，第三检测信号 D2 包括多个脉冲，且第三检测信号 D2 的脉冲宽度指示第三目标时钟信号 DLL180 和第四同步时钟信号 DL270 之间的相位差，第三中间信号 S2 包括一个脉冲，第三中间信号 S2 的脉冲宽度大于第三检测信号 D2 的脉冲宽度；

第四脉冲模块 214，配置为接收第三目标时钟信号的反相信号和第四同步时钟信号 DL270，对第三目标时钟信号的反相信号和第四同步时钟信号 DL270 进行异或处理得到第四检测信号 D3，对第四检测信号 D3 进行脉冲截取及拓宽处理得到第四中间信号 S3，对第四中间信号 S3 和第四检测信号 D3 进行与处理，输出第四脉冲信号 IN3；其中，第四检测信号 D3 包括多个脉冲，且第四检测信号 D3 的脉冲宽度指示第三目标时钟信号的反相信号和第四同步时钟信号 DL270 之间的相位差，第四中间信号 S3 包括一个脉冲，第四中间信号 S3 的脉冲宽度大于第四检测信号 D3 的脉冲宽度。

在这里，第三中间信号 S2 的脉冲至少覆盖第三检测信号 D2 中的一个完整脉冲，第四中间信号 S3 的脉冲至少覆盖第四检测信号 D3 中的一个完整脉冲。同时，第三脉冲模块 213 和第四脉冲模块 214 可以利用多种电学器件组合而成，本公开实施例后续将提供一种具体示例。

在一些实施例中，如图 7 所示，第二时间转换模块 25 包括：

第三转换模块 223，配置为接收第三脉冲信号 IN2，将第三脉冲信号 IN2 进行采样和延迟处

理以得到多个第三采样时钟信号，利用多个第三采样时钟信号对第三脉冲信号 IN2 进行采样处理，输出第三转换码 TDCCode2<N: 0>；

第四转换模块 224，配置为接收第四脉冲信号 IN3，将第四脉冲信号 IN3 进行采样和延迟处理以得到多个第四采样时钟信号，利用多个第四采样时钟信号对第四脉冲信号 IN3 进行采样处理，输出第四转换码 TDCCode3<N: 0>。

需要说明的是，第三转换模块和第四转换模块的结构是相似的，具体可以利用多种电学器件组合而成，本公开实施例后续将提供一种具体示例。

从以上可以看出，对于延迟锁相环 10，由于利用第一调整模块对第二可调延迟线输出的第二同步时钟信号 DL90 进行额外调整，且利用第二调整模块对第四可调延迟线输出的第四同步时钟信号 DL270 进行延迟调整，因此能够保证最终得到的四相位时钟信号的相位差为预设值，改善由于延迟线不匹配或者预处理过程而产生的相位偏差，提高数据采样的效果。

如前述，第一脉冲模块 211~第四脉冲模块 214 的结构相同，第一转换模块 221~第四转换模块 224 的结构相同，以下以第一脉冲模块 211、第一转换模块 221 为例，提供可行的电路元件组成。

在一些实施例中，参见图 9，其示出了本公开实施例提供的一种延迟锁相环 10 的局部结构示意图一。如图 9 所示，第一脉冲模块 211（图 9 中包括 211a 和 211b 两个部分）包括：第一触发器 301、第二触发器 302、第一非门 303、第四延迟单元 304、第一与门 305、第一异或门 306、第二与门 307；在第一脉冲模块 211 中，第一异或门 306 的第一输入端接收第一目标时钟信号 DLL0，第一异或门 306 的第二输入端接收第二同步时钟信号 DL90，第一异或门 306 的输出端用于输出第一检测信号 D0；第一触发器 301 的输入端接收第一电源信号 VDD，第一触发器 301 的时钟端与第一异或门 306 的输出端连接；第一非门 303 的输入端与第一异或门 306 的输出端连接，第二触发器 302 的输入端接收地信号 VSS，第二触发器 302 的输出端与第一非门 303 的输出端连接；第四延迟单元 304 的输入端与第二触发器 302 的输出端连接，第一与门 305 的第一输入端与第一触发器 301 的输出端连接，第一与门 305 的第二输入端与第四延迟单元 304 的输出端连接，第一与门 305 的输出端用于输出第一中间信号 S0；第二与门 307 的第一输入端与第一与门 305 的输出端连接，第二与门 307 的第二输入端与第一异或门 306 的输出端连接，第二与门 307 的输出端用于输出第一脉冲信号 IN0。

需要说明的是，如前述的图 8 所示，第一检测信号 D0 包括多个脉冲，每一脉冲的脉冲宽度指示第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 之间的相位差；第一中间信号 S0 仅包括一个脉冲信号，且第一中间信号 S0 的脉冲宽度为（第一检测信号 D0 的脉冲宽度+第四延迟单元 304 的延迟值△），同时第一中间信号 S0 的脉冲覆盖且仅覆盖第一检测信号 D0 的一个脉冲。这样，将第一中间信号 S0 和第一检测信号 D0 进行与运算，刚好保留第一检测信号 D0 的一个脉冲，从而得到能够指示第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 之间的相位差的第一脉冲信号 IN0。

为了避免混乱，图 9 仅针对第一脉冲模块 211 中的各个器件进行编号，即虚线框部分，第二脉冲模块~第四脉冲模块中的器件并未编号，请对应理解。

在第二脉冲模块 212（图 9 中包括 212a 和 212b 两个部分）中，第一异或门的第一输入端为第二同步时钟信号 DL90，第一异或门的第二输入端为第三目标时钟信号 DLL180（相当于第一目标时钟信号的反相信号），第一异或门的输出端用于输出第二检测信号 D1，第一与门的输出端用于输出第二中间信号 S1，第二与门的输出端用于输出第一脉冲信号 IN0，其余器件的连接关系与第一脉冲模块 211 相同。

在第三脉冲模块 213（图 9 中包括 213a 和 213b 两个部分）中，第一异或门的第一输入端为第三目标时钟信号 DLL180，第一异或门的第二输入端为第四同步时钟信号 DL270，第一异或门的输出端用于输出第三检测信号 D2，第一与门的输出端用于输出第三中间信号 S2，第二与门的输出端用于输出第三脉冲信号 IN2，其余器件的连接关系与第一脉冲模块 211 相同。

在第四脉冲模块 214（图 9 中包括 214a 和 214b 两个部分）中，第一异或门的第一输入端为第四同步时钟信号 DL270，第一异或门的第二输入端为第一目标时钟信号 DLL0（相当于第三目标时钟信号的反相信号），第一异或门的输出端用于输出第四检测信号 D3，第一与门的输出端用于输出第四中间信号 S3，第二与门的输出端用于输出第四脉冲信号 IN3，其余器件的连接

关系与第一脉冲模块 211 相同。

这样，如图 8 和图 9 所示，通过第一脉冲模块 211~第四脉冲模块 214，得到第一脉冲信号 IN0、第二脉冲信号 IN1、第三脉冲信号 IN2、第四脉冲信号 IN3，从而获得第二同步时钟信号 DL90 和第四同步时钟信号 DL270 的偏移情况。

在一些实施例中，第一转换码 TDCCode0<N: 0>、第二转换码 TDCCode1<N: 0>、第三转换码 TDCCode2<N: 0>、第四转换码 TDCCode3<N: 0>均各自包括多位子信号。以第一转换码 TDCCode0<N: 0>为例，其包括 TDCcode0: <0>、TDCcode0:<1>……TDCcode0<N>这些子信号。

参见图 10，其示出了本公开实施例提供的一种延迟锁相环 10 的局部结构示意图二。如图 10 所示，第一转换模块 221 包括第三触发器 308、第三延迟链 309、多个第四触发器 310；其中，第三触发器 308 的输入端接收第二电源信号 VDD，第三触发器 308 的时钟端接收第一脉冲信号 IN0，第三触发器 308 的输出端与第三延迟链 309 的输入端连接；所有的第四触发器 310 的输入端均用于接收第一脉冲信号 IN0；第三延迟链 309 包括串联设置的多个第三延迟单元，一个第四触发器 310 的时钟端与一个第三延迟单元的输出端对应连接，一个第四触发器 310 的输出端输出第一转换码 TDCCode0<N: 0>的一位子信号。

需要说明的是，为了方便说明，第三触发器 308 的输出信号记为信号 Clk_start_0，参见图 11，其示出了本公开实施例提供的一种信号时序示意图三。如图 11 所示，在第一脉冲信号 IN0 的上升沿，信号 Clk_start_0 由低电平状态变化为高电平状态，信号 Clk_start_0 在经过多个第三延迟单元的过程中依次得到信号 Clk_start0（用作第 1 个第四触发器 310 的时钟信号）、信号 Clk_start1（用作第 2 个第四触发器 310 的时钟信号）……信号 Clk_startN（用作最后一个第四触发器 310 的时钟信号），利用信号 Clk_start0 对第一脉冲信号 IN0 进行采样得到 TDC0code<0>、利用信号 Clk_start1 对第一脉冲信号 IN0 进行采样得到 TDCcode0<1>……利用信号 Clk_startN 对第一脉冲信号 IN0 进行采样得到 TDCcode0<N>，从而得到第一转换码 TDCCode0<N: 0>。

类似的，图 10 仅针对第一转换模块 221 中的各个器件进行编号，第二转换模块~第四转换模块中的器件并未编号，请对应理解。

特别地，在第二转换模块 222 中，第三触发器的时钟端、所有的第四触发器的输入端均用于接收第二脉冲信号 IN1，一个第四触发器的输出端输出述第二转换码 TDCCode1<N: 0>的一位子信号。在第三转换模块 223 中，第三触发器的时钟端、所有的第四触发器的输入端均用于接收第三脉冲信号 IN2，一个第四触发器的输出端输出第三转换码 TDCCode2<N: 0>的一位子信号。在第四转换模块 224 中，第三触发器的时钟端、所有的第四触发器的输入端均用于接收第四脉冲信号 IN3，一个第四触发器的输出端输出第四转换码 TDCCode3<N: 0>的一位子信号。

这样，将第一目标时钟信号 DLL0 和第二同步时钟信号 DL90 之间的相位差转换得到第一转换码 TDCCode0<N: 0>，将第二同步时钟信号 DL90 和第一目标时钟信号 DLL0 的反相信号之间的相位差转换得到第二转换码 TDCCode1<N: 0>，将第三目标时钟信号 DLL180 和第四同步时钟信号 DL270 之间的相位差转换得到第三转换码 TDCCode2<N: 0>，将第四同步时钟信号 DL270 和第三目标时钟信号的反相信号之间的相位差转换得到第四转换码 TDCCode3<N: 0>。

需要说明的是，第一延迟链 142、第二延迟链 172、第三延迟链 309 的结构对应相同。也就是说，第一延迟链 142 包括多个串联设置的第一延迟单元、第二延迟链 172 包括多个第二延迟单元；第一延迟链 142 中的第一延迟单元、第二延迟链 172 中的第二延迟单元、第三延迟链 309 中的第三延迟单元对应相同。

在一些实施例中，对于第一延迟链 142 和第二延迟链 172 来说，第一控制码 DLLCode1<N: 0>的第 i 位子信号用于控制第 i 个第一延迟单元处于开启状态或者关闭状态，第二控制码 DLLCode2<N: 0>的第 i 位子信号用于控制第 i 个第二延迟单元处于开启状态或者关闭状态；

第一延迟链 142，具体配置为利用处于开启状态的第一延迟单元对第二同步时钟信号 DL90 进行延迟，输出第二目标时钟信号 DLL90；

第二延迟链 172，具体配置为利用处于开启状态的第二延迟单元对第四同步时钟信号 DL270 进行延迟，输出第四目标时钟信号 DLL270。

这样，通过减少或增减延迟单元的开启数量可以调整延迟链的延迟值，其输出的目标时钟信号可以提前或者延后处理。

或者，在另一些实施例中，第一控制码 DLLCode1<N: 0>的前 a 位子信号为第一状态，第一控制码 DLLCode1<N: 0>的后（A-a）位子信号为第二状态；第二控制码 DLLCode2<N: 0>的前 b 位子信号为第一状态，第二控制码 DLLCode2<N: 0>的后（B-b）位子信号为第二状态；A、B、a、b 均为正整数，且 a 小于或等于 A，A 是指第一控制码中的子信号的总位数，b 小于或等于 B，B 是指第二控制码中的子信号的总位数。在这里，A=B=N+1。

第一延迟链 142，具体配置为利用第 1 个~第 a 个第一延迟单元对第二同步时钟信号 DL90 进行延迟处理，并将第 a 个第一延迟单元的输出信号确定为第二目标时钟信号 DLL90;

第二延迟链 172，具体配置为利用第 1 个~第 b 个第二延迟单元对第四同步时钟信号 DL270 进行延迟处理，并将第 b 个第二延迟单元的输出信号确定为第四目标时钟信号 DLL270。

以第一延迟链 142 为例，假设第一控制码 DLLCode1<N: 0>=110000，此时第 2 个第一延迟单元的输出端输出第二目标时钟信号 DLL90，即第二目标时钟信号 DLL90 不会通过最后 4 个第二延迟单元；假设 DLLCode1<N: 0>=111100，此时第 4 个第二延迟单元的输出端输出第二目标时钟信号 DLL90，即第二目标时钟信号 DLL90 不会通过最后 2 个第二延迟单元。

这样，由于延迟锁相环 10 引入了第一调整模块 14 和第二调整模块 17，能够改善由于延迟线不匹配或者预处理过程而产生的相位偏差。

在一些实施例中，如图 9 所示，第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270 在经过对应的信号传输路径后用于数据采样处理。具体来说，第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270 在经过对应的信号传输路径后到达数据选择模块（Mux），数据选择模块利用四相位的目标时钟信号对数据信号 DQ 进行采样及选择输出，得到目标数据信号。在这里，每一信号传输路径上可以设置一定数量的缓冲器，用于增加信号的驱动能力，且 4 条信号传输路径上的缓冲器的设置数目均是相同。

如图 9 所示，延迟锁相环 10 还包括:

反馈模块(包括第五可调延迟线 411 和复制延迟模块 412)，配置为接收第一时钟信号 clk0，输出模拟时钟信号，且模拟时钟信号用于模拟第一目标时钟信号 DLL0 经过信号传输路径后的波形;

检测模块 42，配置为接收第一时钟信号 clk0 和模拟时钟信号，对第一时钟信号 clk0 和模拟时钟信号进行相位检测，得到相位检测信号;

调参模块 43，配置为接收相位检测信号，基于相位检测信号输出延迟线控制信号;

第一可调延迟线 12，具体配置为接收延迟线控制信号，基于延迟线控制信号对第一时钟信号 clk0 进行调整及传输，输出第一目标时钟信号 DLL0;

第二可调延迟线 13，具体配置为接收延迟线控制信号，基于延迟线控制信号对第二时钟信号 clk90 进行调整及传输，输出第二同步时钟信号 DL90。

类似地，第三可调延迟线 15，具体配置为接收延迟线控制信号，基于延迟线控制信号对第三时钟信号 clk180 进行调整及传输，输出第三目标时钟信号 DLL180; 第四可调延迟线 16，具体配置为接收延迟线控制信号，基于延迟线控制信号对第四时钟信号 clk270 进行调整及传输，输出第四同步时钟信号 DL270。

需要说明的是，第一目标时钟信号 DLL0 在到达数据选择模块时的波形和第一时钟信号 clk0 的波形需要保持一致，因此需要构建反馈调整机制。具体来说第一时钟信号 clk0 在经过反馈模块 151 后产生模拟时钟信号，由于模拟时钟信号能够模拟第一目标时钟信号 DLL0 在到达数据选择模块时的波形，所以根据模拟时钟信号和第一时钟信号 clk0 之间的差别来调整延迟线控制信号，以便对第一可调延迟线的工作参数进行调整。

另外，模拟时钟信号的波形与第一目标时钟信号 DLL0 经过信号传输路径后的波形并非是完全相同的。在实际工作场景中，在存储器进入稳定工作状态之后，模拟时钟信号可以进行分频处理，从而降低延迟线调整信号的更新频次，避免信号毛刺带来的信号抖动，同时降低电力消耗。

在一种具体的实施例中，如图 9 所示，反馈模块包括:

第五可调延迟线 411，配置为接收第一时钟信号 clk0 和延迟线控制信号，基于延迟线控制信号对第一时钟信号 clk0 进行调整及传输，输出复制时钟信号；其中，第五可调延迟线与第一

可调延迟线的结构相同，复制时钟信号用于模拟第一目标时钟信号 DLL0 的波形；

复制延迟模块 412，配置为接收复制时钟信号，对复制时钟信号进行延迟处理，输出模拟时钟信号；其中，复制延迟模块配置为模拟信号传输路径的延时。

这样，第五可调延迟线 411 用于复制第一可调延迟线的处理过程，复制延迟模块 412 至少配置为复制第一目标时钟信号 DLL0 经由信号传输路径进行传输时的延时，从而构成反馈调整的闭环。

综上所述，针对延迟锁相环，为了减小由于布图错配（Layout Mismatch）、工艺误差、电压、温度（Process Voltage Temperature，PVT）等引起的信号偏差，首先，通过对第一目标时钟信号、第二同步时钟信号、第三目标时钟信号和第四同步时钟信号各自的上升沿信息进行逻辑处理，形成第一脉冲信号 IN0~第四脉冲信号 IN3，将第一脉冲信号 IN0~第四脉冲信号 IN3 分别输入到 4 个独立的时间数字转换模块（即第一转换模块~第四转换模块），对应得到第一转换码 TDCcode0<N: 0>~第四转换码 TDCcode3<N: 0>；然后，将第二转换码 TDCcode1<N: 0>减去第一转换码 TDCcode0<N: 0>以得到第一控制码 DLLCode1<N: 0>，将第四转换码 TDCcode3<N: 0>减去第三转换码 TDCcode2<N: 0>以得到第二控制码 DLLCode2<N: 0>；最后，利用第一控制码 DLLCode1<N: 0>对第二同步时钟信号进行延迟调节，利用第二控制码 DLLCode2<N: 0>对第四同步时钟信号进行延迟调节，最终得到相位偏差较小的四相位目标时钟信号，提高数据采样的效果。

在本公开的另一实施例中，参见图 12，其示出了本公开实施例提供的一种时钟同步电路 50 的结构示意图。如图 12 所示，该时钟同步电路 50 包括前述的延迟锁相环 10 和数据选择模块 51，且所述延迟锁相环 10 和数据选择模块 51 之间设置信号传输路径；其中，

延迟锁相环 10，配置为接收初始时钟信号，输出第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270；其中，第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270 之间的相位依次相差 90 度；

数据选择模块 51，配置为经由对应的信号传输路径分别接收第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270，并利用第一目标时钟信号 DLL0、第二目标时钟信号 DLL90、第三目标时钟信号 DLL180 和第四目标时钟信号 DLL270 对数据信号 DQ 进行采样及选择输出，得到目标数据信号进行选择输出处理，得到目标数据信号。

特别地，如图 12 所示，对所有的信号传输路径来说，每一信号传输路径均设置了相同数目的缓冲器，以起到信号延迟和驱动增强的作用。图 8 中以每一信号传输路径设置 2 个缓冲器为例进行示出，但在实际应用过程中可以更多或者更少。

需要说明的是，延迟锁相环 10 的结构请参见前述说明，其在第二可调延迟线的输出一侧设置第一调整模块，在第四可调延迟线的输出一侧设置第二调整模块，然后利用第一调整模块对第二可调延迟线输出的信号进行延迟调整，且利用第二调整模块对第四可调延迟线输出的信号进行延迟调整，因此能够保证最终得到的四相位时钟信号的相位差为预设值，改善由于延迟线不匹配或者预处理过程而产生的相位偏差，提高数据采样的效果。

在本公开的又一实施例中，参见图 13，其示出了本公开实施例提供的一种存储器 60 组成结构示意图。如图 13 所示，存储器 60 至少包括前述的延迟锁相环 10。

在一些实施例中，存储器至少符合以下规范之一：DDR3、DDR4、DDR5、DDR6、LPDDR3、LPDDR4、LPDDR5、LPDDR6。

以上，仅为本公开的较佳实施例而已，并非用于限定本公开的保护范围。需要说明的是，在本公开中，术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含，从而使得包括一系列要素的过程、方法、物品或者装置不仅包括那些要素，而且还包括没有明确列出的其他要素，或者是还包括为这种过程、方法、物品或者装置所固有的要素。在没有更多限制的情况下，由语句“包括一个……”限定的要素，并不排除在包括该要素的过程、方法、物品或者装置中还存在另外的相同要素。上述本公开实施例序号仅仅为了描述，不代表实施例的优劣。本公开所提供的几个方法实施例中所揭露的方法，在不冲突的情况下可以任意组合，得到新的方法实施例。本公开所提供的几个产品实施例中所揭露的特征，在不冲突的情况下可以任

意组合，得到新的产品实施例。本公开所提供的几个方法或设备实施例中所揭露的特征，在不冲突的情况下可以任意组合，得到新的方法实施例或设备实施例。以上，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以权利要求的保护范围为准。

工业实用性

本公开实施例提供了一种延迟锁相环和存储器，该延迟锁相环包括：该延迟锁相环包括：预处理模块，配置为接收初始时钟信号，对初始时钟信号进行预处理，输出第一时钟信号和第二时钟信号；第一可调延迟线，配置为接收第一时钟信号，对第一时钟信号进行调整及传输，输出第一目标时钟信号；第二可调延迟线，配置为接收第二时钟信号，对第二时钟信号进行调整及传输，输出第二同步时钟信号；第一调整模块，配置为基于第一目标时钟信号对第二同步时钟信号进行延迟调整，输出第二目标时钟信号；其中，第一目标时钟信号和第二目标时钟信号之间的相位差为预设值。这样，通过第一调整模块可以对第一同步时钟信号和第二目标时钟信号之间的相位差进行校正，改善目标时钟信号之间的相位偏差。

权利要求书

1.一种延迟锁相环，所述延迟锁相环包括:

预处理模块，配置为接收初始时钟信号，对所述初始时钟信号进行预处理，输出第一时钟信号和第二时钟信号;

第一可调延迟线，配置为接收所述第一时钟信号，对所述第一时钟信号进行调整及传输，输出第一目标时钟信号;

第二可调延迟线，配置为接收所述第二时钟信号，对所述第二时钟信号进行调整及传输，输出第二同步时钟信号;

第一调整模块，配置为接收所述第一目标时钟信号和所述第二同步时钟信号，基于所述第一目标时钟信号对所述第二同步时钟信号进行延迟调整，输出第二目标时钟信号;

其中，所述第一目标时钟信号和所述第二目标时钟信号之间的相位差为预设值。

2.根据权利要求 1 所述的延迟锁相环，其中，所述预处理模块包括:

接收模块，配置为接收所述初始时钟信号，输出待处理时钟信号；其中，所述待处理时钟信号的时钟周期与所述初始时钟信号的时钟周期相同;

分相模块，配置为接收所述待处理时钟信号，对所述待处理时钟信号进行分频和分相处理，输出所述第一时钟信号和所述第二时钟信号;

其中，所述第一时钟信号和所述第二时钟信号的时钟周期相同，且所述第一时钟信号的时钟周期是所述初始时钟信号的时钟周期的 2 倍。

3.根据权利要求 2 所述的延迟锁相环，其中，所述第一调整模块，包括:

第一控制模块，配置为接收所述第一目标时钟信号和所述第二同步时钟信号，基于所述第一目标时钟信号和所述第二同步时钟信号之间的相位差，输出第一控制码;

第一延迟链，包括多个第一延迟单元，配置为接收所述第一控制码和所述第二同步时钟信号；基于所述第一控制码，利用多个第一延迟单元对所述第二同步时钟信号的进行延迟调整，输出所述第二目标时钟信号。

4.根据权利要求 3 所述的延迟锁相环，其中，所述第一控制模块，包括:

第一脉冲处理模块，配置为接收所述第一目标时钟信号和所述第二同步时钟信号，输出第一脉冲信号和第二脉冲信号；其中，所述第一脉冲信号和所述第二脉冲信号均各自包括 1 个脉冲，且所述第一脉冲信号的脉冲宽度指示所述第一目标时钟信号和所述第二同步时钟信号之间的相位差，所述第二脉冲信号的脉冲宽度指示所述第二同步时钟信号和所述第一目标时钟信号的反相信号之间的相位差;

第一时间数字转换模块，配置为接收所述第一脉冲信号和所述第二脉冲信号；对所述第一脉冲信号进行转换，输出第一转换码，并对所述第二脉冲信号进行转换，输出第二转换码；其中，所述第一转换码用于表征所述第一脉冲信号的宽度，所述第二转换码用于表征所述第二脉冲信号的宽度;

第一逻辑模块，配置为接收所述第一转换码和所述第二转换码，对所述第二转换码和所述第一转换码进行减法运算，输出所述第一控制码。

5.根据权利要求 4 所述的延迟锁相环，其中，第一脉冲处理模块，包括:

所述第一脉冲模块，配置为接收所述第一目标时钟信号和第二同步时钟信号，对所述第一目标时钟信号和所述第二同步时钟信号进行异或处理得到第一检测信号，对所述第一检测信号进行脉冲截取及拓宽处理得到第一中间信号，对所述第一中间信号和所述第一检测信号进行与处理，输出所述第一脉冲信号；其中，所述第一检测信号包括多个脉冲，且所述第一检测信号的脉冲宽度指示所述第一目标时钟信号和所述第二同步时钟信号之间的相位差，所述第一中间信号包括一个脉冲，第一中间信号的脉冲宽度大于所述第一检测信号的脉冲宽度;

所述第二脉冲模块，配置为接收所述第一目标时钟信号的反相信号和第二同步时钟信号，对所述第一目标时钟信号的反相信号和所述第二同步时钟信号进行异或处理得到第二检测信号，对所述第二检测信号进行脉冲截取及拓宽处理得到第二中间信号，对所述第二中间信号和所述

第二检测信号进行与处理，输出所述第二脉冲信号；其中，所述第二检测信号包括多个脉冲，且所述第二检测信号的脉冲宽度指示所述第一目标时钟信号的反相信号和所述第二同步时钟信号之间的相位差，所述第二中间信号包括一个脉冲，第二中间信号的脉冲宽度大于所述第二检测信号的脉冲宽度。

6.根据权利要求 5 所述的延迟锁相环，其中，所述第一时间转换模块包括:

第一转换模块，配置为接收第一脉冲信号，利用所述第一脉冲信号进行采样和延迟处理以得到多个第一采样时钟信号，利用多个所述第一采样时钟信号对所述第一脉冲信号进行采样处理，输出所述第一转换码;

第二转换模块，配置为接收第二脉冲信号，利用所述第二脉冲信号进行采样和延迟处理以得到多个第二采样时钟信号，利用多个所述第二采样时钟信号对所述第二脉冲信号进行采样处理，输出所述第二转换码。

7.根据权利要求 6 所述的延迟锁相环，其中，

所述预处理模块，还配置为对所述初始时钟信号进行预处理，输出第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号;

所述延迟锁相环还包括:

第三可调延迟线，配置为接收所述第三时钟信号，对所述第三时钟信号进行调整及传输，输出第三目标时钟信号；其中，所述第一目标时钟信号和所述第三目标时钟信号的相位差为 180 度;

第四可调延迟线，配置为接收所述第四时钟信号，对所述第四时钟信号进行调整及传输，输出第四同步时钟信号;

第二调整模块，配置为接收所述第三目标时钟信号和所述第四同步时钟信号，基于所述第三目标时钟信号对所述第四同步时钟信号进行延迟调整，输出第四目标时钟信号;

其中，所述第一目标时钟信号、所述第二目标时钟信号、所述第三目标时钟信号和所述第四目标时钟信号之间的相邻相位差均为 90 度。

8.根据权利要求 7 所述的延迟锁相环，其中，

所述分相模块，还配置为对所述待处理时钟信号进行分频和分相处理，输出第一时钟信号、第二时钟信号、第三时钟信号和第四时钟信号;

其中，所述第一时钟信号、所述第二时钟信号、所述第三时钟信号和所述第四时钟信号的时钟周期相同，且所述第一时钟信号的时钟周期是所述初始时钟信号的时钟周期的 2 倍。

9.根据权利要求 8 所述的延迟锁相环，其中，所述第二调整模块，包括:

第二控制模块，配置为接收所述第三目标时钟信号和所述第四同步时钟信号，基于所述第三目标时钟信号和所述第四同步时钟信号之间的相位差，输出第二控制码;

第二延迟链，包括多个第二延迟单元，配置为接收所述第二控制码和所述第四同步时钟信号，基于所述第二控制码，利用多个第二延迟单元对所述第四同步时钟信号的进行延迟调整，输出所述第四目标时钟信号。

10.根据权利要求 9 所述的延迟锁相环，其中，所述第二控制模块，包括:

第二脉冲处理模块，配置为接收所述第三目标时钟信号和所述第四同步时钟信号，输出第三脉冲信号和第四脉冲信号；其中，所述第三脉冲信号和所述第四脉冲信号均各自包括 1 个脉冲，且所述第三脉冲信号的脉冲宽度指示所述第三目标时钟信号和所述第四同步时钟信号之间的相位差，所述第四脉冲信号的脉冲宽度指示所述第四同步时钟信号和所述第三目标时钟信号的反相信号之间的相位差;

第二时间数字转换模块，配置为接收所述第三脉冲信号和所述第三脉冲信号；对所述第三脉冲信号进行转换，输出第三转换码，并对所述第四脉冲信号进行转换，输出第四转换码；其中，所述第三转换码用于表征所述第三脉冲信号的宽度，所述第四转换码用于表征所述第四脉冲信号的宽度;

第二逻辑模块，配置为接收所述第三转换码和所述第四转换码，对所述第四转换码和所述第三转换码进行减法运算，输出所述第二控制码。

11.根据权利要求 10 所述的延迟锁相环，其中，所述第二脉冲处理模块，包括:

所述第三脉冲模块，配置为接收所述第三目标时钟信号和第四同步时钟信号，对所述第三

目标时钟信号和所述第四同步时钟信号进行异或处理得到第三检测信号，对所述第三检测信号进行脉冲截取及拓宽处理得到第三中间信号，对所述第三中间信号和所述第三检测信号进行与处理，输出所述第三脉冲信号；其中，所述第三检测信号包括多个脉冲，且所述第三检测信号的脉冲宽度指示所述第三目标时钟信号和所述第四同步时钟信号之间的相位差，所述第三中间信号包括一个脉冲，且所述第三中间信号的脉冲宽度大于所述第三检测信号的脉冲宽度；

所述第四脉冲模块，配置为接收所述第三目标时钟信号的反相信号和第四同步时钟信号，对所述第三目标时钟信号的反相信号和所述第四同步时钟信号进行异或处理得到第四检测信号，对所述第四检测信号进行脉冲截取及拓宽处理得到第四中间信号，对所述第四中间信号和所述第四检测信号进行与处理，输出所述第四脉冲信号；其中，所述第四检测信号包括多个脉冲，且所述第四检测信号的脉冲宽度指示所述第三目标时钟信号的反相信号和所述第四同步时钟信号之间的相位差，所述第四中间信号包括一个脉冲，且所述第四中间信号的脉冲宽度大于所述第四检测信号的脉冲宽度。

12.根据权利要求 11 所述的延迟锁相环，其中，所述第二时间转换模块包括：

第三转换模块，配置为接收第三脉冲信号，将所述第三脉冲信号进行采样和延迟处理以得到多个第三采样时钟信号，利用多个所述第三采样时钟信号对所述第三脉冲信号进行采样处理，输出所述第三转换码；

第四转换模块，配置为接收第四脉冲信号，将所述第四脉冲信号进行采样和延迟处理以得到多个第四采样时钟信号，利用多个所述第四采样时钟信号对所述第四脉冲信号进行采样处理，输出所述第四转换码。

13.根据权利要求 11 所述的延迟锁相环，其中，所述第一脉冲模块包括：第一触发器、第二触发器、第一非门、第四延迟单元、第一与门、第一异或门、第二与门；所述第二脉冲模块、所述第三脉冲模块、所述第四脉冲模块与所述第一脉冲模块的结构对应相同；

其中，在所述第一脉冲模块中，所述第一异或门的第一输入端接收所述第一目标时钟信号，所述第一异或门的第二输入端接收所述第二同步时钟信号，所述第一异或门的输出端用于输出所述第一检测信号；所述第一触发器的输入端接收第一电源信号，所述第一触发器的时钟端与所述第一异或门的输出端连接；所述第一非门的输入端与所述第一异或门的输出端连接，所述第二触发器的输入端接收地信号，所述第二触发器的输出端与所述第一非门的输出端连接；所述第四延迟单元的输入端与所述第二触发器的输出端连接，所述第一与门的第一输入端与所述第一触发器的输出端连接，所述第一与门的第二输入端与所述第四延迟单元的输出端连接，所述第一与门的输出端用于输出所述第一中间信号；所述第二与门的第一输入端与所述第一与门的输出端连接，所述第二与门的第二输入端与所述第一异或门的输出端连接，所述第二与门的输出端用于输出所述第一脉冲信号。

14.根据权利要求 12 所述的延迟锁相环，其中，所述第一转换码、所述第二转换码、所述第三转换码、所述第四转换码均各自包括多位子信号；

所述第一转换模块包括第三触发器、第三延迟链、多个第四触发器，且所述第二转换模块、所述第三转换模块、所述第四转换模块均与所述第一转换模块的结构对应相同；其中，

在所述第一转换模块中，所述第三触发器的输入端接收第二电源信号，所述第三触发器的时钟端接收所述第一脉冲信号，所述第三触发器的输出端与所述第三延迟链的输入端连接；所有的第四触发器的输入端均用于接收所述第一脉冲信号；所述第三延迟链包括串联设置的多个第三延迟单元，一个所述第四触发器的时钟端与一个第三延迟单元的输出端对应连接，一个所述第四触发器的输出端输出所述第一转换码的一位子信号。

15.根据权利要求 14 所述的延迟锁相环，其中，所述第一延迟链包括多个串联设置的第一延迟单元、所述第二延迟链包括多个第二延迟单元；

所述第一延迟链中的第一延迟单元、所述第二延迟链中的第二延迟单元、所述第三延迟链中的第三延迟单元对应相同。

16.根据权利要求 15 所述的延迟锁相环，其中，所述第一控制码的第 i 位子信号用于控制第 i 个第一延迟单元处于开启状态或者关闭状态，所述第二控制码的第 i 位子信号用于控制第 i 个第二延迟单元处于开启状态或者关闭状态；

所述第一延迟链，具体配置为利用处于开启状态的所述第一延迟单元对所述第二同步时钟

信号进行延迟，输出所述第二目标时钟信号；

所述第二延迟链，具体配置为利用处于开启状态的所述第二延迟单元对所述第四同步时钟信号进行延迟，输出所述第四目标时钟信号。

17.根据权利要求16所述的延迟锁相环，其中，所述第一控制码的前a位子信号为第一状态，所述第一控制码的后（A-a）位子信号为第二状态；所述第二控制码的前b位子信号为第一状态，所述第二控制码的后（B-b）位子信号为第二状态；A、B、a、b均为正整数，且a小于或等于A，A是指第一控制码中的子信号的总位数，b小于或等于B，B是指第二控制码中的子信号的总位数；

所述第一延迟链，具体配置为利用第1个~第a个所述第一延迟单元对所述第二同步时钟信号进行延迟处理，并将第a个所述第一延迟单元的输出信号确定为所述第二目标时钟信号；

所述第二延迟链，具体配置为利用第1个~第b个所述第二延迟单元对所述第四同步时钟信号进行延迟处理，并将第b个所述第二延迟单元的输出信号确定为所述第四目标时钟信号。

18.根据权利要求1-17任一项所述的延迟锁相环，其中，所述第一目标时钟信号、所述第二目标时钟信号、所述第三目标时钟信号和所述第四目标时钟信号在经过对应的信号传输路径后用于数据采样处理；

所述延迟锁相环还还包括：

反馈模块，配置为接收所述第一时钟信号，输出模拟时钟信号，且所述模拟时钟信号用于模拟所述第一目标时钟信号经过所述信号传输路径后的波形；

检测模块，配置为接收所述第一时钟信号和所述模拟时钟信号，对所述第一时钟信号和所述模拟时钟信号进行相位检测，得到相位检测信号；

调参模块，配置为接收所述相位检测信号，基于所述相位检测信号输出延迟线控制信号；

所述第一可调延迟线，具体配置为接收所述延迟线控制信号，基于所述延迟线控制信号对所述第一时钟信号进行调整及传输，输出所述第一目标时钟信号；

所述第二可调延迟线，具体配置为接收所述延迟线控制信号，基于所述延迟线控制信号对所述第二时钟信号进行调整及传输，输出所述第二同步时钟信号。

19.根据权利要求18所述的延迟锁相环，其中，所述反馈模块包括：

第五可调延迟线，配置为接收所述第一时钟信号和所述延迟线控制信号，基于所述延迟线控制信号对所述第一时钟信号进行调整及传输，输出复制时钟信号；其中，所述第五可调延迟线与所述第一可调延迟线的结构相同，所述复制时钟信号用于模拟所述第一目标时钟信号的波形；

复制延迟模块，配置为接收所述复制时钟信号，对所述复制时钟信号进行延迟处理，输出模拟时钟信号；其中，所述复制延迟模块配置为模拟所述信号传输路径的延时。

20.一种存储器，所述存储器包括如权利要求1-19任一项所述的延迟锁相环。

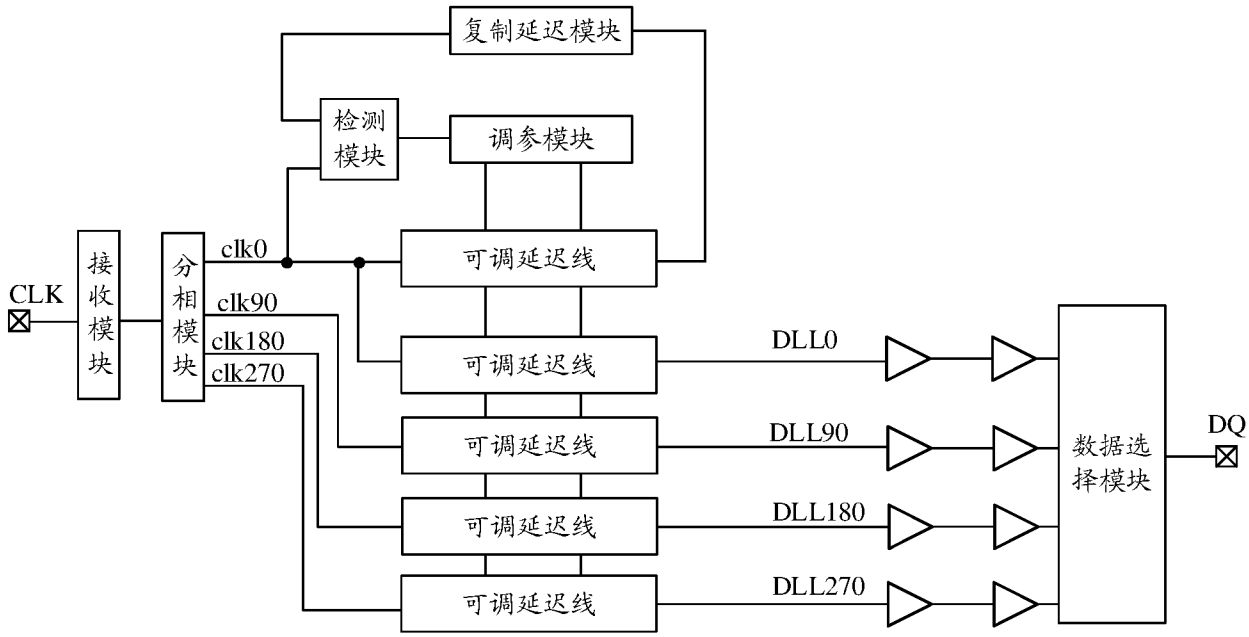

复制延迟模块
检测模块
调参模块
CLK
接收模块
分相模块
clk0
clk90
clk180
clk270
可调延迟线
可调延迟线
可调延迟线
可调延迟线
DLL0
DLL90
DLL180
DLL270
数据选择模块
DQ

图 1

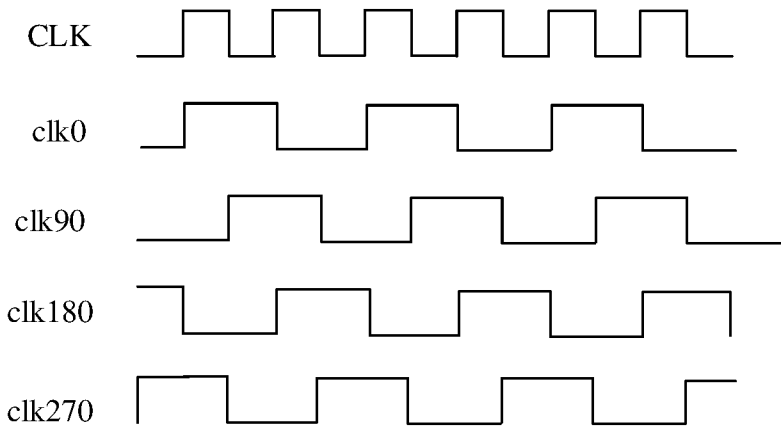

CLK
clk0
clk90
clk180
clk270

图 2

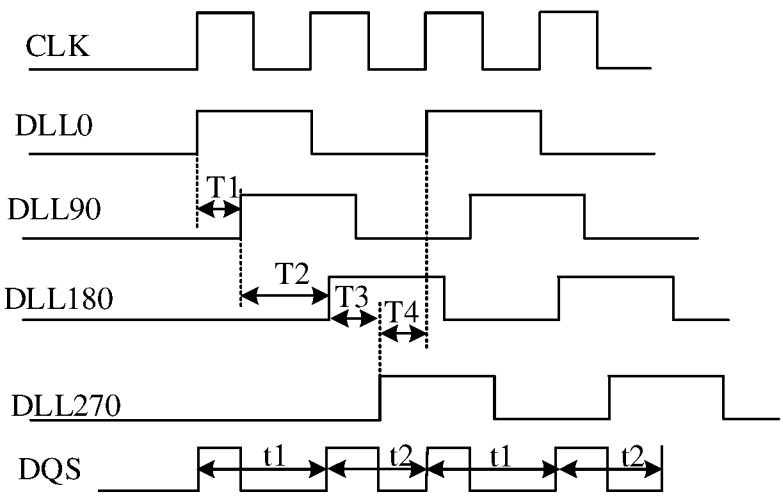

CLK
DLL0
DLL90
T1
DLL180
T2
T3
T4
DLL270
DQS
t1
t2
t1
t2

图 3

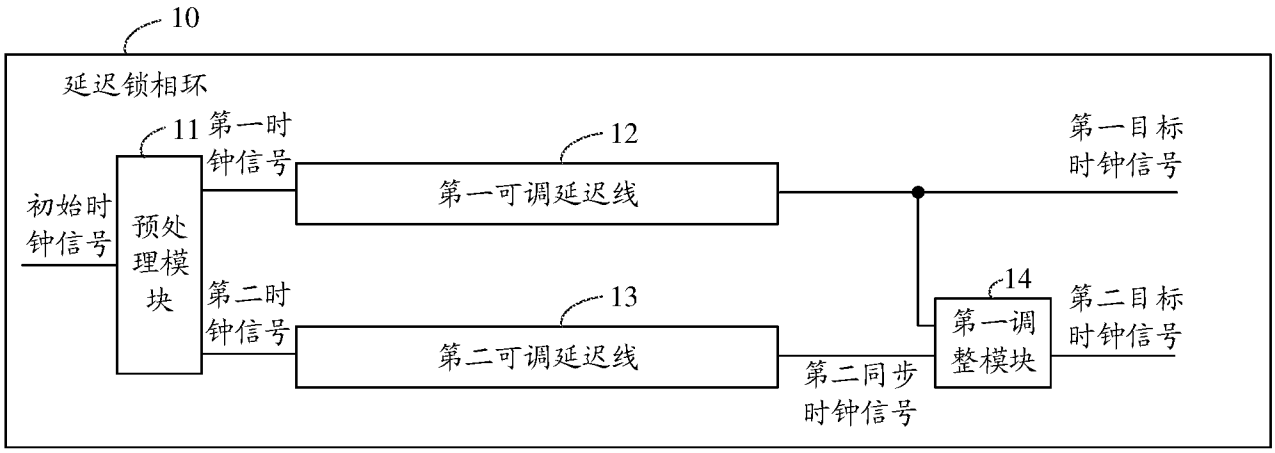

10
延迟锁相环
11
第一时钟信号
12
第一目标时钟信号
初始时钟信号
预处理模块
第一可调延迟线
第二时钟信号
13
14
第二目标时钟信号
第二可调延迟线
第一调整模块
第二同步时钟信号

图 4

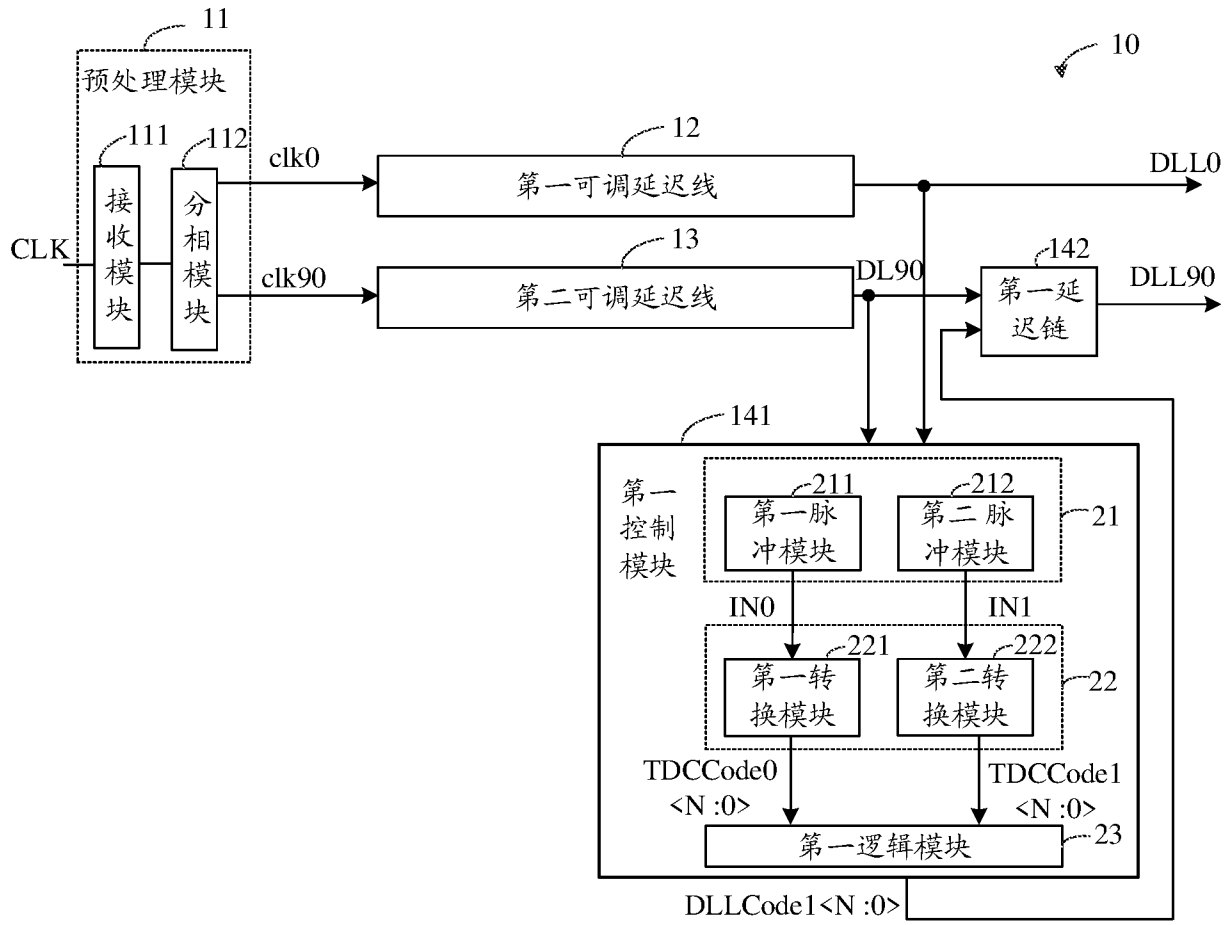

11
预处理模块
10
111
112
12
clk0
DLL0
接收模块
分相模块
第一可调延迟线
CLK
13
DL90
142
DLL90
clk90
第二可调延迟线
第一延迟链
141
第一控制模块
211
212
第一脉冲模块
第二脉冲模块
21
IN0
IN1
221
222
第一转换模块
第二转换模块
22
TDCCode0 <N :0>
TDCCode1 <N :0>
第一逻辑模块
23
DLLCode1<N :0>

图 5

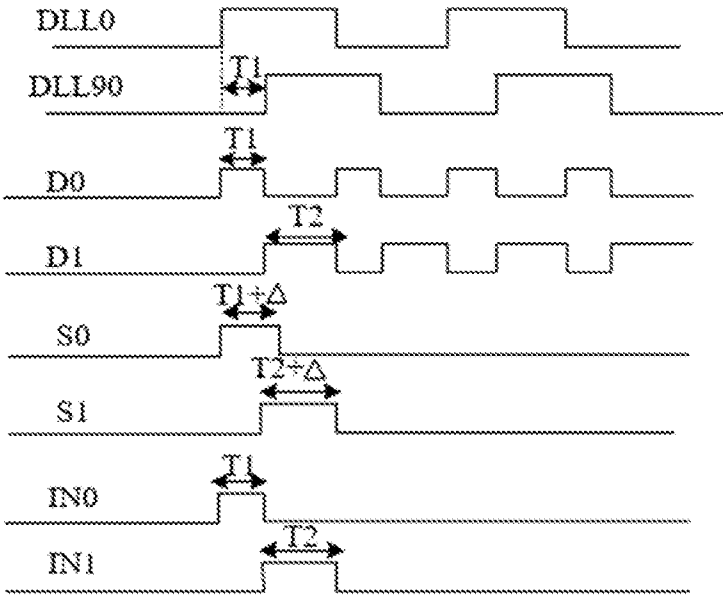

DLL0
DLL90
T1
D0
T2
D1
T1+Δ
S0
T2+Δ
S1
IN0
IN1

图 6

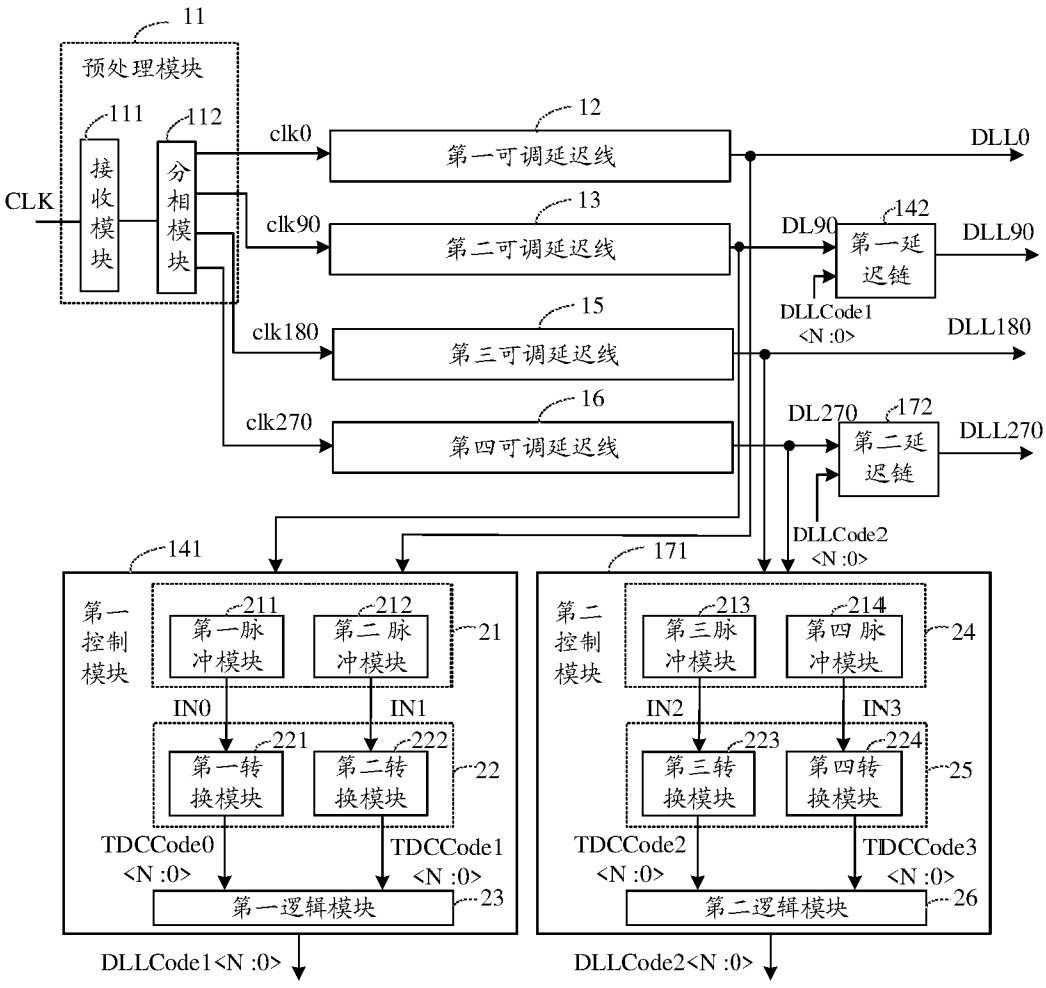

11
预处理模块
111
112
接收模块
分相模块
CLK
clk0
clk90
clk180
clk270
12
第一可调延迟线
13
第二可调延迟线
15
第三可调延迟线
16
第四可调延迟线
DLL0
DL90
142
第一延迟链
DLL90
DLLCode1 <N :0>
DLL180
DL270
172
第二延迟链
DLL270
DLLCode2 <N :0>
141
171
第一控制模块
第二控制模块
211
第一脉冲模块
212
第二脉冲模块
21
213
第三脉冲模块
214
第四脉冲模块
24
IN0
IN1
IN2
IN3
221
第一转换模块
222
第二转换模块
22
223
第三转换模块
224
第四转换模块
25
TDCCode0 <N :0>
TDCCode1 <N :0>
TDCCode2 <N :0>
TDCCode3 <N :0>
第一逻辑模块
23
第二逻辑模块
26
DLLCode1<N :0>
DLLCode2<N :0>

图 7

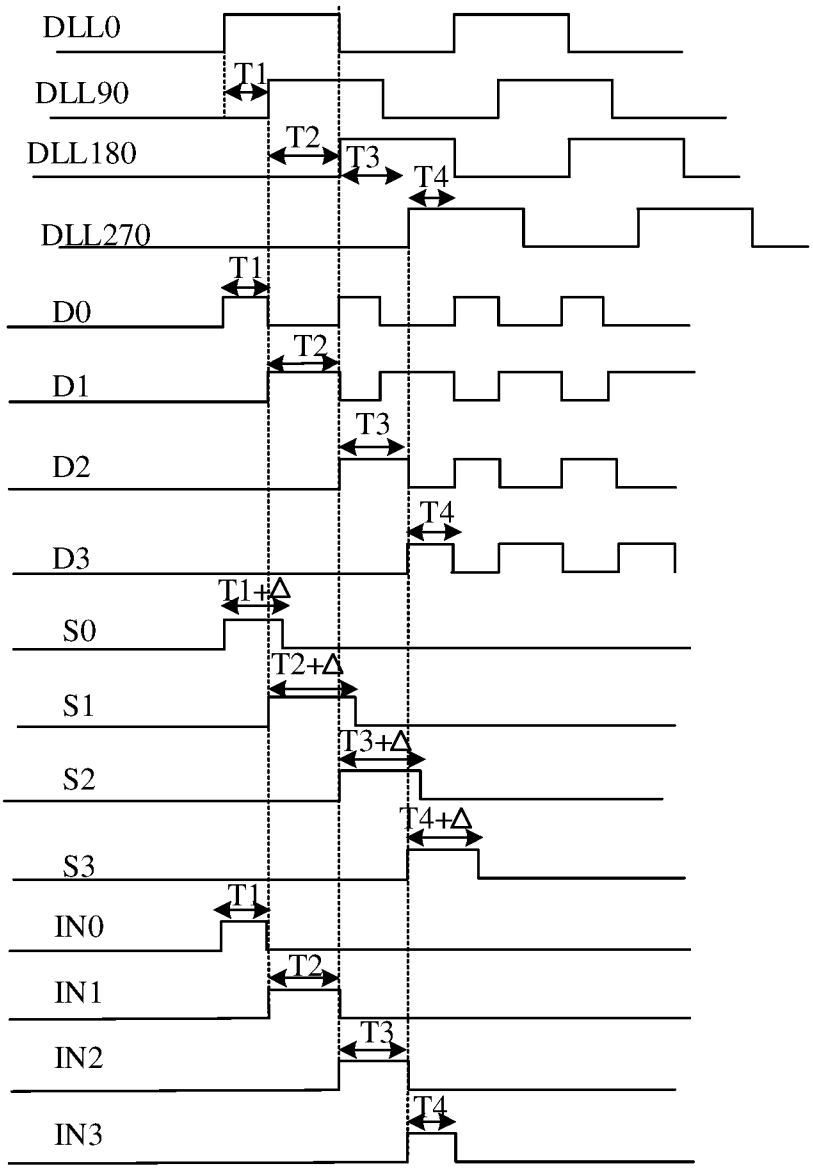

DLL0
DLL90
DLL180
DLL270
D0
D1
D2
D3
S0
S1
S2
S3
IN0
IN1
IN2
IN3
T1
T2
T3
T4
T1+Δ
T2+Δ
T3+Δ
T4+Δ

图 8

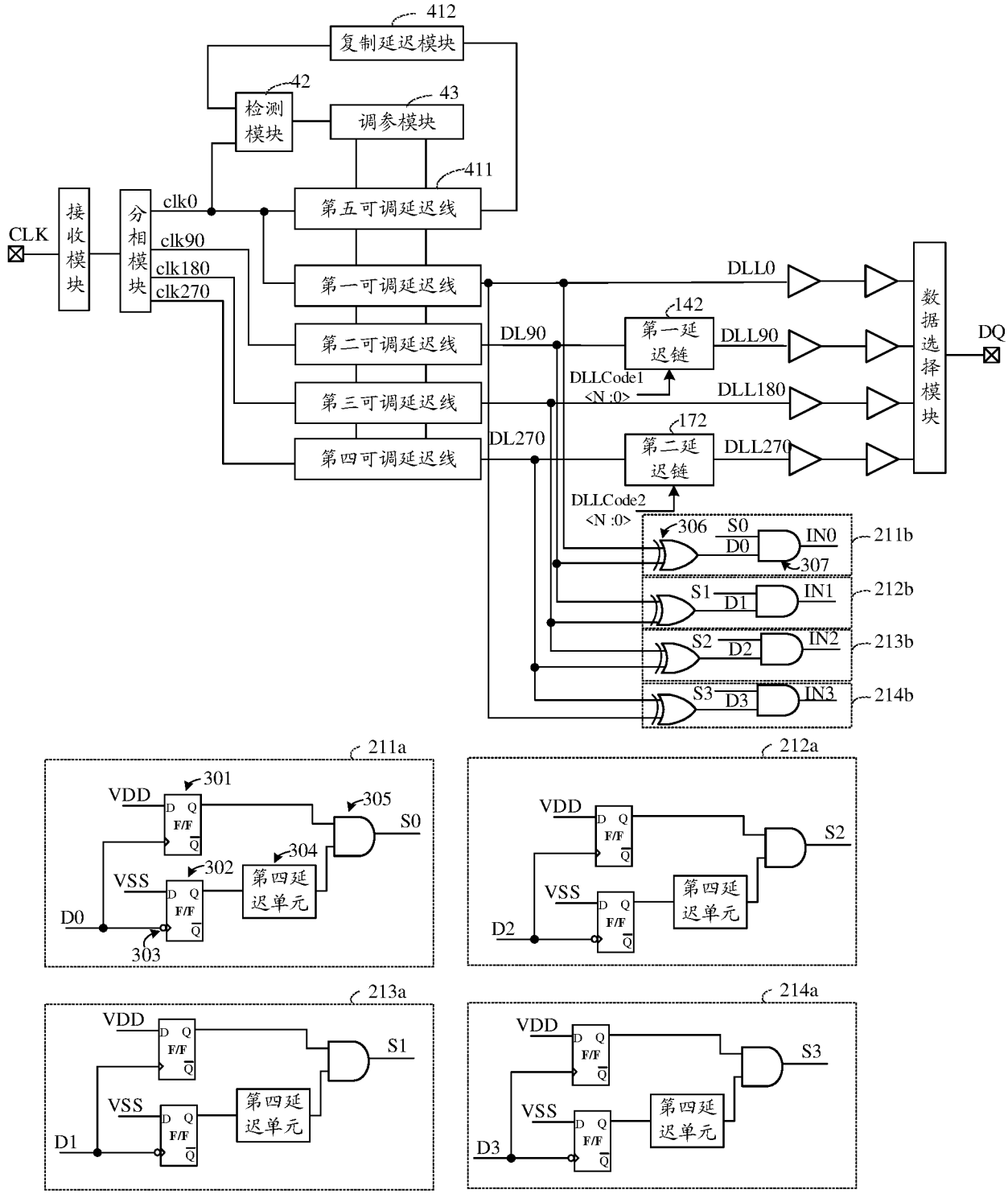

412
复制延迟模块
42
检测模块
43
调参模块
411
第五可调延迟线
CLK
接收模块
分相模块
clk0
clk90
clk180
clk270
第一可调延迟线
第二可调延迟线
第三可调延迟线
第四可调延迟线
DLL0
DL90
142
第一延迟链
DLL90
DLLCode1 <N :0>
DLL180
DL270
172
第二延迟链
DLL270
DLLCode2 <N :0>
数据选择模块
DQ
306
S0
D0
IN0
307
211b
S1
D1
IN1
212b
S2
D2
IN2
213b
S3
D3
IN3
214b
211a
301
VDD
D Q F/F Q
305
S0
304
302
VSS
第四延迟单元
D0
303
212a
VDD
S2
VSS
第四延迟单元
D2
213a
VDD
S1
VSS
第四延迟单元
D1
214a
VDD
S3
VSS
第四延迟单元
D3

图 9

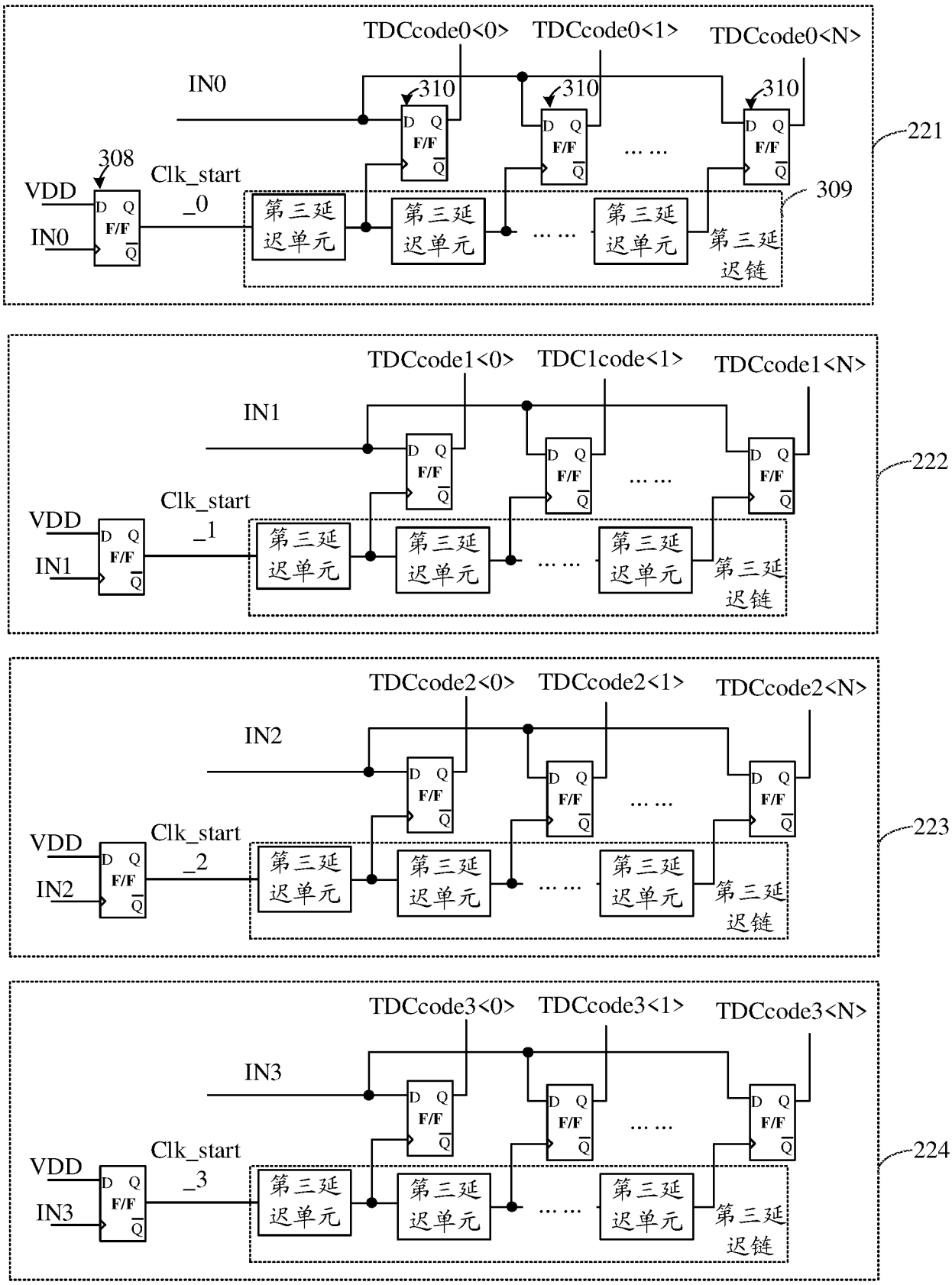

TDCcode0<0>
TDCcode0<1>
TDCcode0<N>
IN0
310
308
VDD
Clk_start
_0
D Q
F/F
Q
第三延迟单元
第三延迟链
309
221
TDCcode1<0>
TDC1code<1>
TDCcode1<N>
IN1
Clk_start
_1
222
TDCcode2<0>
TDCcode2<1>
TDCcode2<N>
IN2
Clk_start
_2
223
TDCcode3<0>
TDCcode3<1>
TDCcode3<N>
IN3
Clk_start
_3
224

图 10

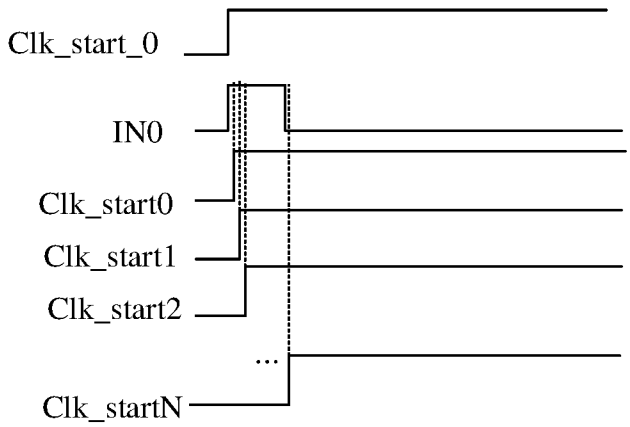

Clk_start_0
IN0
Clk_start0
Clk_start1
Clk_start2
...
Clk_startN

图 11

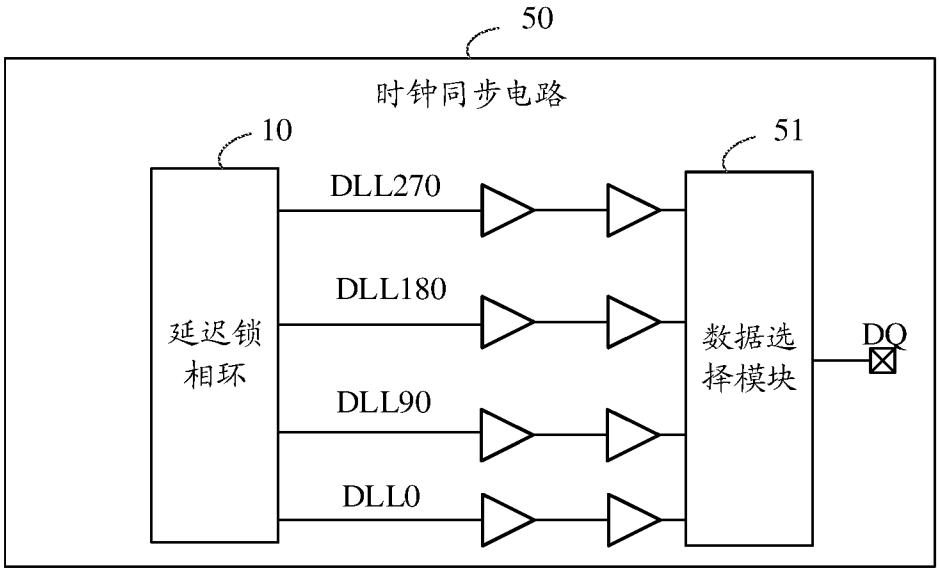

50
时钟同步电路
10
51
DLL270
DLL180
DLL90
DLL0
延迟锁相环
数据选择模块
DQ

图 12

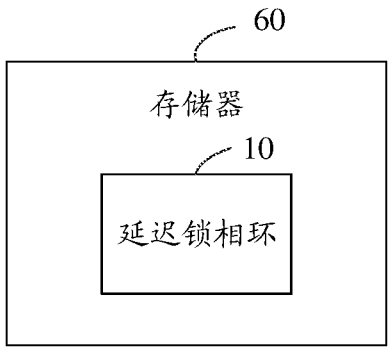

60
存储器
10
延迟锁相环

图 13

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2022/123835

A. CLASSIFICATION OF SUBJECT MATTER

G11C 11/4076(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI, IEEE: 延迟锁相环, 时钟, 频, 相, 延迟线, 调, 相位差, delay locked loop, DLL, clock, frequency, phase, delay Line, adjust, phase difference

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 107872221 A (SANECHIPS TECHNOLOGY CO., LTD.) 03 April 2018 (2018-04-03) description, paragraph [0081]	1-20
A	CN 106549664 A (MONTAGE TECHNOLOGY (SHANGHAI) CO., LTD.) 29 March 2017 (2017-03-29) entire document	1-20
A	CN 104467819 A (BEIJING STARCHIP TECHNOLOGY CO., LTD.) 25 March 2015 (2015-03-25) entire document	1-20
A	US 2011148487 A1 (SNK PATENT LAW OFFICES) 23 June 2011 (2011-06-23) entire document	1-20
A	US 2013028029 A1 (ELITE SEMICONDUCTOR MEMORY TECHNOLOGY INC.) 31 January 2013 (2013-01-31) entire document	1-20

☐ Further documents are listed in the continuation of Box C. ☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 November 2022	**29 November 2022**
Name and mailing address of the ISA/CN **China National Intellectual Property Administration (ISA/CN)** **No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing 100088, China** Facsimile No. **(86-10)62019451**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2022/123835

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
CN 107872221 A	03 April 2018	None	
CN 106549664 A	29 March 2017	US 2017085272 A1	23 March 2017
CN 104467819 A	25 March 2015	None	
US 2011148487 A1	23 June 2011	US 2008111595 A1	15 May 2008
		TW 200822114 A	16 May 2008
		KR 20080043562 A	19 May 2008
US 2013028029 A1	31 January 2013	None	

国际检索报告

国际申请号
PCT/CN2022/123835

A. 主题的分类

G11C 11/4076(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT, WPI, EPODOC, CNKI, IEEE：延迟锁相环，时钟，频，相，延迟线，调，相位差，delay locked loop，DLL，clock，frequency，phase，delay Line，adjust，phase difference

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 107872221 A (深圳市中兴微电子技术有限公司) 2018年4月3日 (2018-04-03) 说明书第[0081]段	1-20
A	CN 106549664 A (澜起科技上海有限公司) 2017年3月29日 (2017-03-29) 全文	1-20
A	CN 104467819 A (北京芯诣世纪科技有限公司) 2015年3月25日 (2015-03-25) 全文	1-20
A	US 2011148487 A1 (SNK PATENT LAW OFFICES) 2011年6月23日 (2011-06-23) 全文	1-20
A	US 2013028029 A1 (ELITE SEMICONDUCTOR MEMORY TECHNOLOGY INC.) 2013年1月31日 (2013-01-31) 全文	1-20

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2022年11月15日	2022年11月29日
ISA/CN的名称和邮寄地址 中国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 孔昕 电话号码 86-(10)-53961371

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2022/123835

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107872221	A	2018年4月3日		无		
CN	106549664	A	2017年3月29日	US	2017085272	A1	2017年3月23日
CN	104467819	A	2015年3月25日		无		
US	2011148487	A1	2011年6月23日	US	2008111595	A1	2008年5月15日
				TW	200822114	A	2008年5月16日
				KR	20080043562	A	2008年5月19日
US	2013028029	A1	2013年1月31日		无		