



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2017년08월31일
(11) 등록번호 10-1772725
(24) 등록일자 2017년08월23일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01)
(21) 출원번호 10-2013-0043759
(22) 출원일자 2013년04월19일
심사청구일자 2016년04월21일
(65) 공개번호 10-2014-0125972
(43) 공개일자 2014년10월30일
(56) 선행기술조사문헌
KR100861921 B1
(뒷면에 계속)

(73) 특허권자
매그나칩 반도체 유한회사
충북 청주시 흥덕구 향정동 1
(72) 발명자
안창호
충청북도 청주시 흥덕구 대신로 215 매그나칩 반도체 유한회사 내 (향정동)
남병재
충청북도 청주시 흥덕구 대신로 215 매그나칩 반도체 유한회사 내 (향정동)
(뒷면에 계속)
(74) 대리인
김중선

전체 청구항 수 : 총 24 항

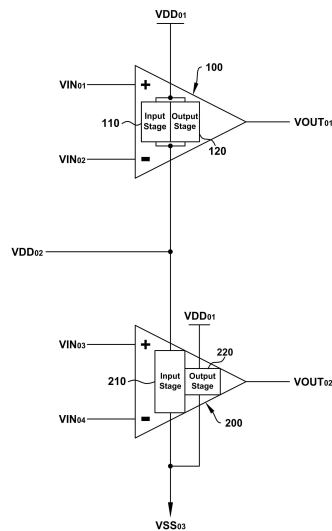
심사관 : 추장희

(54) 발명의 명칭 **하프-스윙 레일-투-레일 구조의 출력 버퍼 장치**

(57) 요약

본 발명은 소비전류 감소와 함께 하이-슬루-레이트 및 저전력 특성을 향상시킬 수 있도록 출력 버퍼 및 그 스위치 구조를 개선한 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치에 관한 것으로, 제1 전압 레일과 제2 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 및 상기 제1,2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 제공한다.

대표도 - 도3



(72) 발명자

박상현

충청북도 청주시 흥덕구 대신로 215 매그나칩 반도체 유한회사 내 (향정동)

고재홍

충청북도 청주시 흥덕구 대신로 215 매그나칩 반도체 유한회사 내 (향정동)

신현진

충청북도 청주시 흥덕구 대신로 215 매그나칩 반도체 유한회사 내 (향정동)

(56) 선행기술조사문헌

JP2007208316 A

KR1020110072914 A

KR1020110060440 A

KR1020070070818 A

명세서

청구범위

청구항 1

제1 전압 레일과 제2 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 및

상기 제1 및 제2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 2

제1항에 있어서,

상기 제2 출력 버퍼는;

상기 제2 전압 레일과 상기 제3 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및

상기 제1 전압 레일과 상기 제3 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지;를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 3

제2항에 있어서,

상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨보다 높고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 4

제 1항에 있어서,

상기 제1 출력 버퍼는;

상기 제1 전압 레일과 상기 제2 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및

상기 제1 전압 레일과 상기 제2 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제1 출력 신호를 출력하는 출력 스테이지;를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 5

제4항에 있어서,

상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 6

제1항 내지 제5항 중 어느 한 항에 있어서,

상기 제2 전압 레일의 전압값은;

상기 제1 전압 레일과 제3 전압 레일의 중간 전압값인 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력

버퍼 장치.

청구항 7

제1 전압 레일과 제2 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼;

상기 제1 입력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 공급하는 제11 스위치;

상기 제2 입력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 공급하는 제12 스위치;

상기 제1,2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;

상기 제3 입력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 공급하는 제13 스위치; 및

상기 제4 입력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 공급하는 제14 스위치를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 8

제7항에 있어서,

상기 제1 출력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 피드백시키는 제21 스위치;

상기 제1 출력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 피드백시키는 제22 스위치;

상기 제2 출력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 피드백시키는 제23 스위치; 및

상기 제2 출력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 피드백시키는 제24 스위치를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 9

제8항에 있어서,

상기 제1 출력 신호를 제1 패널로 공급하기 위해 상기 제1 출력 버퍼와 제1 패널 사이에 구비되어, 상기 제1 출력 버퍼와 상기 제1 패널을 연결하는 제31 스위치;

상기 제1 출력 신호를 제2 패널로 공급하기 위해 상기 제1 출력 버퍼와 제2 패널 사이에 구비되어, 상기 제1 출력 버퍼와 상기 제2 패널을 연결하는 제33 스위치;

상기 제2 출력 신호를 제1 패널로 공급하기 위해 상기 제2 출력 버퍼와 제1 패널 사이에 구비되어, 상기 제2 출력 버퍼와 상기 제1 패널을 연결하는 제32 스위치; 및

상기 제2 출력 신호를 제2 패널로 공급하기 위해 상기 제2 출력 버퍼와 제2 패널 사이에 구비되어, 상기 제2 출력 버퍼와 상기 제2 패널을 연결하는 제34 스위치를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 10

제9항에 있어서,

상기 제11 내지 제14 스위치로 이루어진 제1 스위치 그룹, 상기 제21 내지 제24 스위치로 이루어진 제2 스위치 그룹 및 상기 제31 내지 제34 스위치로 이루어진 제3 스위치 그룹들의 각각의 스위치들은 하기 표 1에 도시된 조합에 따라 제1 전압 레일과 제2 전압 레일이 선택적으로 공급될 수 있는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

표 1.

구분	제1 스위치 그룹(SW10)				제2 스위치 그룹(SW20)				제3 스위치 그룹(SW30)			
디코더 종류	Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder	
스위치	SW ₁₁	SW ₁₂	SW ₁₃	SW ₁₄	SW ₂₁	SW ₂₂	SW ₂₃	SW ₂₄	SW ₃₁	SW ₃₂	SW ₃₃	SW ₃₄
실시예 1A					HV	HV	HV	HV				
실시예 1B	HV	HV	HV	HV	HV	HV	MV	MV				
실시예 1C					MV	MV	MV	MV				
실시예 2A					HV	HV	HV	HV				
실시예 2B	HV	HV	MV	MV	HV	HV	MV	MV	HV	HV	HV	HV
실시예 2C					MV	MV	MV	MV				
실시예 3A					HV	HV	HV	HV				
실시예 3B	MV	MV	MV	MV	HV	HV	MV	MV				
실시예 3C					MV	MV	MV	MV				

표 1에 있어서, HV는 제1 전압 레일(VDD₀₁)의 공급 전압이고, MV는 제2 전압 레일(VDD₀₂)의 공급 전압이다.

청구항 11

제9항에 있어서,

상기 제1 패널 및 제2 패널을 서로 단락시키는 제40 스위치를 더 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 12

제7항 내지 제11항 중 어느 한 항에 있어서,

외부의 PCB 또는 IC에 형성되어 상기 제1 내지 제3 전압 레일에 선택적으로 구동 전압을 공급하도록 병렬로 연결된 복수의 레귤레이터들을 더 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 13

제1 전압 레일과 제2 및 제3 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 및

상기 제2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 14

제13항에 있어서,

상기 제1 출력 버퍼는;

상기 제1 전압 레일과 상기 제2 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및

상기 제1 전압 레일과 상기 제3 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지;를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 15

제14항에 있어서,

상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨보다 낮은 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 16

제13항에 있어서,

상기 제2 출력 버퍼는;

상기 제2 전압 레일과 상기 제3 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및

상기 제2 전압 레일과 상기 제3 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지;를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 17

제16항에 있어서,

상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 18

제13항 내지 제17항 중 어느 한 항에 있어서,

상기 제2 전압 레일의 전압값은;

상기 제1 전압 레일과 제3 전압 레일의 중간 전압값인 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 19

제1 전압 레일과 제2 및 제3 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼;

상기 제1 입력 신호를 상기 제1출력 버퍼의 제1 입력단으로 공급하는 제51 스위치;

상기 제2 입력 신호를 상기 제1출력 버퍼의 제2 입력단으로 공급하는 제52 스위치;

상기 제2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;

상기 제3 입력 신호를 상기 제2출력 버퍼의 제1 입력단으로 공급하는 제53 스위치; 및

상기 제4 입력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 공급하는 제54 스위치를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 20

제19항에 있어서,

상기 제1 출력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 피드백시키는 제61 스위치;

상기 제1 출력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 피드백시키는 제62 스위치;

상기 제2 출력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 피드백시키는 제63 스위치; 및

상기 제2 출력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 피드백시키는 제64 스위치를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 21

제20항에 있어서,

상기 제1 출력 신호를 제1 패널로 공급하기 위해 제1 출력 버퍼와 제1 패널 사이에 구비되어, 상기 제1 출력 버퍼와 상기 제1 패널을 연결하는 제71 스위치;

상기 제1 출력 신호를 제2 패널로 공급하기 위해 제1 출력 버퍼와 제2 패널 사이에 구비되어, 상기 제1 출력 버퍼와 상기 제2 패널을 연결하는 제73 스위치;

상기 제2 출력 신호를 제1 패널로 공급하기 위해 제2 출력 버퍼와 제1 패널 사이에 구비되어, 상기 제2 출력 버퍼와 상기 제1 패널을 연결하는 제72 스위치; 및

상기 제2 출력 신호를 상기 제2 패널로 공급하기 위해 제2 출력 버퍼와 제2 패널 사이에 구비되어, 상기 제2 출력 버퍼와 상기 제2 패널을 연결하는 제74 스위치를 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 22

제20항에 있어서,

상기 제51 내지 제54 스위치로 이루어진 제5 스위치 그룹, 상기 제61 내지 제64 스위치로 이루어진 제6 스위치 그룹 및 상기 제71 내지 제74 스위치로 이루어진 제7 스위치 그룹들의 각각의 스위치들은 하기 표 2에 도시된 조합에 따라 제1 전압 레일과 제2 전압 레일이 선택적으로 공급될 수 있는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

표 2.

구분	제5 스위치 그룹(SW50)				제6 스위치 그룹(SW60)				제7 스위치 그룹(SW70)			
	Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder	
스위치	SW ₅₁	SW ₅₂	SW ₅₃	SW ₅₄	SW ₆₁	SW ₆₂	SW ₆₃	SW ₆₄	SW ₇₁	SW ₇₂	SW ₇₃	SW ₇₄
실시예 4A					HV	HV	HV	HV				
실시예 4B	HV	HV	HV	HV	HV	HV	MV	MV				
실시예 4C					MV	MV	MV	MV				
실시예 5A					HV	HV	HV	HV				
실시예 5B	HV	HV	MV	MV	HV	HV	MV	MV	HV	HV	HV	HV
실시예 5C					MV	MV	MV	MV				
실시예 6A					HV	HV	HV	HV				
실시예 6B	MV	MV	MV	MV	HV	HV	MV	MV				
실시예 6C					MV	MV	MV	MV				

표 2에 있어서, HV는 제1 전압 레일(VDD₁₁)의 공급 전압이고, MV는 제2 전압 레일(VDD₁₂)의 공급 전압이다.

청구항 23

제21항에 있어서,

상기 제1 패널 및 제2 패널을 단락시키는 제80 스위치를 더 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

청구항 24

제19항 내지 제23항 중 어느 한 항에 있어서,

외부의 PCB 또는 IC에 형성되어 상기 제1 내지 제3 전압 레일에 선택적으로 구동 전압을 공급하는 제1 레귤레이터 및 제2 레귤레이터를 더 포함하는 것을 특징으로 하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치.

발명의 설명

기술 분야

본 발명은 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치에 관한 것으로, 더욱 상세하게는 하이-슬루-레이트(high-slew-rate) 및 저전력 특성을 가지는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치에 관한 것이다.

[0001]

배경 기술

- [0002] 일반적으로 디스플레이 장치의 패널(Panel)을 구동하기 위한 집적회로(DDI: Display Driver IC, 디스플레이 구동 집적회로 혹은 디스플레이 구동장치라 함)의 경우 대형화에 따른 부하 커패시턴스(load capacitance)의 증가와 수평 주기(horizontal period)의 감소로 인해 슬루 레이트(slew rate)가 중요한 요소로 대두되고 있다.
- [0003] 또한, 패널(Panel) DDI 실장환경 측면에서 보면, 종래에는 소스(Source) IC(Integrated Circuit)가 하나의 액정만을 구동하였으나, 근래에서 소스 IC가 두 개 더 나아가 세 개의 액정을 구동하고 있으므로 빠른 슬루잉 타임(fast slewing time)의 구현이 필요해지고 있다. 또한, 빠른 슬루잉 타임을 구현하면서도, 저 전력(Low power)도 함께 요청되고 있으므로 소비 전류 감소와 함께 하이-슬루-레이트, 빠른 슬루잉 타임 또는 빠른 세틀링 타임(fast settling time)을 가지도록 디스플레이 구동장치를 설계할 필요가 있다.
- [0004] 도 1은 액정 표시 장치를 나타내는 도면이다.
- [0005] 액정 표시 장치(Liquid Crystal Display device; LCD)는 소형화, 박형화 및 저전력 소모의 장점들을 가지며, 노트북 컴퓨터 및 LCD TV 등에 이용되고 있다. 특히, 스위치 소자로서 박막 트랜지스터(Thin Film Transistor)를 이용하는 액티브 매트릭스 타입(active matrix type)의 액정 표시 장치는 동영상(moving image)을 표시(display)하기에 적합하다.
- [0006] 도 1을 참조하면, 액정 표시 장치(1)는 액정 패널(liquid crystal panel)(2), 다수의 소스 라인(source line)(SL)들을 각각 가지는 소스 드라이버(source driver)(SD)들, 및 다수의 게이트 라인(gate line)(GL)들을 각각 가지는 게이트 드라이버(gate driver)(GD)들을 포함한다. 소스 라인은 데이터 라인(data line) 또는 채널(channel)이라고도 한다.
- [0007] 각각의 소스 드라이버(SD)들은 액정 패널(2) 상에 배치되는 소스 라인(SL)들을 구동한다. 각각의 게이트 드라이버(GD)들은 액정 패널(110) 상에 배치되는 게이트 라인(GL)들을 구동한다.
- [0008] 액정 패널(2)은 다수의 픽셀(pixel)(3)들을 포함한다. 각각의 픽셀(3)들은 스위치 트랜지스터(switch transistor)(TR), 액정으로부터의 전류 누설을 감소시키기 위한 저장 커패시터(storage capacitor)(CST), 및 액정 커패시터(liquid crystal capacitor)(CLC)를 포함한다. 스위치 트랜지스터(TR)는 게이트 라인(GL)을 구동하는 신호에 응답하여 턴-온/턴-오프(turn-on/turn-off)되고, 스위치 트랜지스터(TR)의 일 단자는 소스 라인(SL)에 연결된다. 저장 커패시터(CST)는 스위치 트랜지스터(TR)의 타 단자와 접지 전압(VSS)사이에 연결되고, 액정 커패시터(CLC)는 스위치 트랜지스터(TR)의 타 단자와 공통 전압(common voltage)(VCOM) 사이에 연결된다. 예를 들어, 공통 전압(VCOM)은 전원 전압(VDD)/2 일 수 있다.
- [0009] 액정 패널(2)상에 배치되는 픽셀(3)들에 연결된 각각의 소스 라인(SL)들의 부하(load)는 기생 저항들(parasitic resistors) 및 기생 커패시터들(parasitic capacitors)로 모델링(modelling)될 수 있다.
- [0010] 도 2는 종래기술에 따른 출력 버퍼 장치를 개략적으로 나타내는 도면이다.
- [0011] 도 2를 참조하면, 소스 드라이버(50)는 출력 버퍼(output buffer)(10), 출력 스위치(output switch)(11), 출력 보호 저항(output protection resistor)(12) 및 소스 라인에 연결된 부하(load)(13)를 포함한다. 출력 버퍼(10)는 아날로그 영상 신호를 증폭하여 대응되는 출력 스위치(11)로 전달한다. 출력 스위치(11)는 출력 스위치 제어 신호(OSW, OSWB)의 활성화에 응답하여 증폭된 아날로그 영상 신호를 소스 라인 구동 신호로서 출력한다. 상기 소스 라인 구동 신호는 소스 라인에 연결된 부하(load)(13)에 공급된다. 상기 부하(13)는, 도 2에 도시된 바와 같이, 사다리형(ladder type)으로 연결된 기생 저항들(RL1 ~ RL5)과 기생 커패시터들(CL1 ~ CL5)로 모델링될 수 있다.
- [0012] 그러나, 상기와 같은 종래기술에 의하면, 상기 출력 스위치(11)는 복수개의 트랜스미션 스위치를 가질 수 있으며, 이때 복수개의 트랜스미션 스위치가 가지는 저항 성분으로 인해 슬루 레이트가 낮아져, 슬루잉 타임(slewing time)이 길어지는 문제점이 있다. 또한, 슬루 레이트를 높일 경우 소비전류가 증가한다는 다른 문제점도 있다.

선행기술문헌

특허문헌

[0013] (특허문헌 0001) 대한민국 공개특허공보 제10-2011-0072914호(2011년06월29일)

발명의 내용

해결하려는 과제

[0014] 본 발명은 상술한 종래기술의 문제점을 극복하기 위한 것으로서, 출력 버퍼 및 그 스위치 구조를 개선하여 하이-슬루-레이트 및 저전력 특성을 가질 수 있도록 한 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 제공하는 데에 그 목적이 있다.

과제의 해결 수단

[0015] 상기 목적을 달성하기 위해 본 발명은, 제1 전압 레일과 제2전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 및 상기 제1,2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 제공한다.

[0016] 상기 제2 출력 버퍼는; 상기 제2 전압 레일과 상기 제3 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및 상기 제1 전압 레일과 상기 제3 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지;를 포함할 수 있다.

[0017] 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨보다 높고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것이 바람직하다.

[0018] 상기 제1 출력 버퍼는; 상기 제1 전압 레일과 상기 제2 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및 상기 제1 전압 레일과 상기 제2 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제1 출력 신호를 출력하는 출력 스테이지;를 포함할 수 있다.

[0019] 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것이 바람직하다.

[0020] 상기 제2 전압 레일의 전압값은; 상기 제1 전압 레일과 제3 전압 레일의 중간 전압값인 것이 더욱 바람직하다.

[0021] 상기 목적을 달성하기 위한 본 발명의 다른 특징은, 제1 전압 레일과 제2 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 상기 제1 입력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 공급하는 제11 스위치; 상기 제2 입력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 공급하는 제12 스위치; 상기 제1,2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼; 상기 제3 입력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 공급하는 제13 스위치; 및 상기 제4 입력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 공급하는 제14 스위치를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 제공한다.

[0022] 또한, 상기 제1 출력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 피드백시키는 제21 스위치; 상기 제1 출력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 피드백시키는 제22 스위치; 상기 제2 출력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 피드백시키는 제23 스위치; 및 상기 제2 출력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 피드백시키는 제24 스위치를 포함할 수 있다.

[0023] 또한, 상기 제1출력 신호를 상기 제1 패널로 공급하는 제31 스위치; 상기 제1 출력 신호를 상기 제2 패널로 공급하는 제33 스위치; 상기 제2 출력 신호를 상기 제1 패널로 공급하는 제32 스위치; 및 상기 제2 출력 신호를 상기 제2 패널로 공급하는 제34 스위치를 포함할 수 있다.

[0024] 또한, 상기 제1 패널 및 제2 패널을 단락시키는 제40 스위치를 더 포함할 수 있다.

- [0025] 상기 목적을 달성하기 위한 본 발명의 또 다른 특징은, 제1 전압 레일과 제2,3 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 및 상기 제2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼;를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 제공한다.
- [0026] 상기 제1 출력 버퍼는; 상기 제1 전압 레일과 상기 제2 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및 상기 제1 전압 레일과 상기 제3 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지;를 포함할 수 있다.
- [0027] 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨보다 낮은 것이 바람직하다.
- [0028] 상기 제2 출력 버퍼는; 상기 제2 전압 레일과 상기 제3 전압 레일로부터 입력 하이 전원 전압 및 입력 로우 전원 전압을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지; 및 상기 제2 전압 레일과 상기 제3 전압 레일로부터 출력 하이 전원 전압 및 출력 로우 전원 전압을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지;를 포함할 수 있다.
- [0029] 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것이 바람직하다.
- [0030] 상기 제2 전압 레일의 전압값은; 상기 제1 전압 레일과 제3 전압 레일의 중간 전압값인 것이 더욱 바람직하다.
- [0031] 상기 목적을 달성하기 위한 본 발명의 또 다른 특징은, 제1 전압 레일과 제2,3 전압 레일 사이에서 구동되며, 제1 입력 신호와 제2 입력 신호에 응답하여 제1 출력 신호를 출력하는 제1 출력 버퍼; 상기 제1 입력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 공급하는 제51 스위치; 상기 제2 입력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 공급하는 제52 스위치; 상기 제2 전압 레일과 제3 전압 레일 사이에서 구동되며, 제3 입력 신호와 제4 입력 신호에 응답하여 제2 출력 신호를 출력하는 제2 출력 버퍼; 상기 제3 입력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 공급하는 제53 스위치; 및 상기 제4 입력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 공급하는 제54 스위치를 포함하는 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 제공한다.
- [0032] 또한, 상기 제1 출력 신호를 상기 제1 출력 버퍼의 제1 입력단으로 피드백시키는 제61 스위치; 상기 제1 출력 신호를 상기 제1 출력 버퍼의 제2 입력단으로 피드백시키는 제62 스위치; 상기 제2 출력 신호를 상기 제2 출력 버퍼의 제1 입력단으로 피드백시키는 제63 스위치; 및 상기 제2 출력 신호를 상기 제2 출력 버퍼의 제2 입력단으로 피드백시키는 제64 스위치를 포함할 수 있다.
- [0033] 또한, 상기 제1 출력 신호를 상기 제1 패널로 공급하는 제71 스위치; 상기 제1 출력 신호를 상기 제2 패널로 공급하는 제73 스위치; 상기 제2 출력 신호를 상기 제1 패널로 공급하는 제72 스위치; 및 상기 제2 출력 신호를 상기 제2 패널로 공급하는 제74 스위치를 포함할 수 있다.
- [0034] 또한, 상기 제1 패널 및 제2 패널을 단락시키는 제80 스위치를 더 포함할 수 있다.

발명의 효과

- [0035] 상기와 같이 구성된 본 발명에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치에 의하면, 출력 버퍼의 전압 공급 구조 및 연결된 외부 스위치 구조를 개선하여 제1, 제2 및 제3 전압을 사용하여 선택적으로 구동될 수 있도록 함으로써 소비전류를 감소시킴과 함께 하이-슬루-레이트 및 저전력 특성을 향상시킬 수 있도록 하는 효과가 있다.

도면의 간단한 설명

- [0036] 도 1은 일반적인 액정표시장치를 나타내는 도면,
- 도 2는 종래기술에 따른 출력 버퍼 장치를 개략적으로 나타내는 도면,

도 3은 본 발명의 바람직한 일 실시예에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 나타내는 도면,
 도 4는 도 3의 출력 버퍼 장치에 오프셋 캔슬레이션을 위한 스위치 구조를 추가한 장치를 나타내는 도면,
 도 5는 본 발명의 바람직한 다른 실시예에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 나타내는 도면,
 도 6은 도 5의 출력 버퍼 장치에 오프셋 캔슬레이션을 위한 스위치 구조를 추가한 장치를 나타내는 도면,
 도 7은 도 3의 출력 버퍼 장치에 따른 전원 공급 구조를 나타낸 도면,
 도 8은 도 5의 출력 버퍼 장치에 따른 전원 공급 구조를 나타낸 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0037] 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하기로 한다.
- [0038] 도 3은 본 발명의 바람직한 일 실시예에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 나타내는 도면이다.
- [0039] 도시된 바와 같이, 본 발명의 바람직한 일 실시예에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치는, 제1 입력 신호(VIN₀₁), 제2 입력 신호(VIN₀₂) 및 제1 출력 신호(VOUT₀₁)을 갖는 제1 출력 버퍼(100)와, 제3 입력 신호(VIN₀₃), 제4 입력 신호(VIN₀₄) 및 제2 출력 신호(VOUT₀₂)를 갖는 제2 출력 버퍼(200)를 포함한다.
- [0040] 상기 제1 출력 버퍼(100) 및 제2 출력 버퍼(200)는 제1 전압 레일(VDD₀₁), 제2 전압 레일(VDD₀₂) 및 제3 전압 레일(VSS₀₃) 중 어느 하나 이상의 전압으로 구동된다.
- [0041] 여기서, 제1 출력 버퍼(100)는 제1 전압 레일(VDD₀₁)과 제2 전압 레일(VDD₀₂) 사이에서 구동되며, 제1 입력 신호(VIN₀₁)와 제2 입력 신호(VIN₀₂)에 응답하여 제1 출력 신호(VOUT₀₁)를 출력한다. 또한, 제2 출력 버퍼(200)는 상기 제1,2 전압 레일(VDD₀₁)(VDD₀₂)과 제3 전압 레일(VSS₀₃) 사이에서 구동되며, 제3 입력 신호(VIN₀₃)와 제4 입력 신호(VIN₀₄)에 응답하여 제2 출력 신호(VOUT₀₂)를 출력한다.
- [0042] 상기 제2 출력 버퍼(200)는; 상기 제2 전압 레일(VDD₀₂)과 상기 제3 전압 레일(VSS₀₃)로부터 입력 하이 전원 전압(input high power voltage) 및 입력 로우 전원 전압(input low power voltage)을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지(input stage)(210) 및 상기 제1 전압 레일(VDD₀₁)과 상기 제3 전압 레일(VSS₀₃)로부터 출력 하이 전원 전압(output high power voltage) 및 출력 로우 전원 전압(output low power voltage)을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지(output stage)(220)를 포함할 수 있다.
- [0043] 이때, 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨보다 높고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것이 바람직하다.
- [0044] 또한, 상기 제1 출력 버퍼(100)는; 상기 제1 전압 레일(VDD₀₁)과 상기 제2 전압 레일(VDD₀₂)로부터 입력 하이 전원 전압(input high power voltage) 및 입력 로우 전원 전압(input low power voltage)을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지(input stage)(110) 및 상기 제1 전압 레일(VDD₀₁)과 상기 제2 전압 레일(VDD₀₂)로부터 출력 하이 전원 전압(output high power voltage) 및 출력 로우 전원 전압(output low power voltage)을 인가받고, 상기 전달 신호에 상응하는 상기 제1 출력 신호를 출력하는 출력 스테이지(output stage)(120)를 포함할 수 있다.
- [0045] 이때, 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것이 바람직하다.
- [0046] 상기 제2 전압 레일(VDD₀₂)의 전압값은; 상기 제1 전압 레일(VDD₀₁)과 제3 전압 레일(VSS₀₃)의 중간(half) 전압값인 것이 더욱 바람직하다.
- [0047] 일 예로서, 상기 제1 전압 레일(VDD₀₁)이 +10V이고, 제3 전압 레일(VSS₀₃)이 0V일 때, 제2 전압 레일(VDD₀₂)

2)은 5V가 되고, 상기 상기 제1 전압 레일(VDD₀₁)이 +10V이고, 제3 전압 레일(VSS₀₃)이 -10V일 때, 제2 전압 레일(VDD₀₂)은 0V가 된다.

- [0048] 도 4는 도 3의 출력 버퍼 장치에 오프셋 캔슬레이션을 위한 스위치 구조를 추가한 장치를 나타내는 도면이다.
- [0049] 도시된 바와 같이, 상기 제1 출력 버퍼(100) 및 제2 출력 버퍼(200)에 제11~14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄) 및 제21~24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)를 추가 구성하여 전압 공급 및 피드백 회로를 구성할 수 있다.
- [0050] 도 3에서 설명한 바와 같이, 상기 제1 출력 버퍼(100)는, 제1 전압 레일(VDD₀₁)과 제2 전압 레일(VDD₀₂) 사이에서 구동되며, 제1 입력 신호(VIN₀₁)와 제2 입력 신호(VIN₀₂)에 응답하여 제1 출력 신호(VOUT₀₁)를 출력한다.
- [0051] 이때, 제11 스위치(SW₁₁)는 상기 제1 입력 신호(VIN₀₁)를 상기 제1 출력 버퍼(100)의 제1 입력단(+)으로 공급하고, 제12 스위치(SW₁₂)는 상기 제2 입력 신호(VIN₀₂)를 상기 제1 출력 버퍼(100)의 제2 입력단(-)으로 공급한다.
- [0052] 또한 도 3에서 설명한 바와 같이, 상기 제2 출력 버퍼(200)는 상기 제1,2 전압 레일(VDD₀₁)(VDD₀₂)과 제3 전압 레일(VSS₀₃) 사이에서 구동되며, 제3 입력 신호(VIN₀₃)와 제4 입력 신호(VIN₀₄)에 응답하여 제2 출력 신호(VOUT₀₂)를 출력한다.
- [0053] 이때, 제13 스위치(SW₁₃)는 상기 제3 입력 신호(VIN₀₃)를 상기 제2 출력 버퍼(200)의 제1 입력단(+)으로 공급하고, 제14 스위치(SW₁₄)는 상기 제4 입력 신호(VIN₀₄)를 상기 제2 출력 버퍼(200)의 제2 입력단(-)으로 공급한다.
- [0054] 또한, 제21 스위치(SW₂₁)는 상기 제1 출력 신호(VOUT₀₁)를 상기 제1 출력 버퍼(100)의 제1 입력단(+)으로 피드백시키고, 제22 스위치(SW₂₂)는 상기 제1 출력 신호(VOUT₀₁)를 상기 제1 출력 버퍼(100)의 제2 입력단(-)으로 피드백시킨다.
- [0055] 제23 스위치(SW₂₃)는 상기 제2 출력 신호(VOUT₀₂)를 상기 제2 출력 버퍼(200)의 제1 입력단(+)으로 피드백시키고, 제24 스위치(SW₂₄)는 상기 제2 출력 신호(VOUT₀₂)를 상기 제2 출력 버퍼(200)의 제2 입력단(-)으로 피드백시킨다.
- [0056] 또한, 상기 제1 출력 신호(VOUT₀₁)를 상기 제1 패널(102)로 공급하는 제31 스위치(SW₃₁); 상기 제1 출력 신호(VOUT₀₁)를 상기 제2 패널(202)로 공급하는 제33 스위치(SW₃₃); 상기 제2 출력 신호(VOUT₀₂)를 상기 제1 패널(102)로 공급하는 제32 스위치(SW₃₂); 상기 제2 출력 신호(VOUT₀₁)를 상기 제2 패널(202)로 공급하는 제34 스위치(SW₃₄)를 포함한다.
- [0057] 또한, 상기 제1 패널(102) 및 제2 패널(202)을 서로 단락시키는 제40 스위치(SW₄₀)를 더 포함한다.
- [0058] 상기 스위치들에는 제1 전압 레일(VDD₀₁)과 제2 전압 레일(VDD₀₂)이 선택적으로 공급될 수 있는데, 본 발명의 바람직한 실시예를 통하여 공급 가능한 입력전압의 조합은 다음의 표1과 같다.

표 1

[0059]	구분	제1 스위치 그룹(SW10)				제2 스위치 그룹(SW20)				제3 스위치 그룹(SW30)			
	디코더 종류	Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder	
	스위치	SW ₁₁	SW ₁₂	SW ₁₃	SW ₁₄	SW ₂₁	SW ₂₂	SW ₂₃	SW ₂₄	SW ₃₁	SW ₃₂	SW ₃₃	SW ₃₄

실시예1A	HV	HV	HV	HV	HV	HV	HV	HV	HV	HV	HV	HV
실시예1B					HV	HV	HV	HV				
실시예1C					MV	MV	MV	MV				
실시예2A	HV	HV	MV	MV	HV	HV	HV	HV				
실시예2B					HV	HV	MV	MV				
실시예2C					MV	MV	MV	MV				
실시예3A	MV	MV	MV	MV	HV	HV	HV	HV				
실시예3B					HV	HV	MV	MV				
실시예3C					MV	MV	MV	MV				

- [0060] 여기서, HV는 제1 전압 레일(VDD₀₁)의 공급 전압이고, MV는 제2 전압 레일(VDD₀₂)의 공급 전압이다.
- [0061] 이때, 상기 스위치 SW₁₁, SW₁₂, SW₂₁, SW₂₂, SW₃₁, SW₃₂는 포지티브 디코더(Positive Decoder)(101)를 거쳐서 상기 제1 전압 레일(VDD₀₁) 및 제2 전압 레일(VDD₀₂)의 공급 전압을 선택적으로 공급받으며, 상기 스위치 SW₁₃, SW₁₄, SW₂₃, SW₂₄, SW₃₃, SW₃₄는 네거티브 디코더(Negative Decoder)(201)를 거쳐서 상기 제1 전압 레일(VDD₀₁) 및 제2 전압 레일(VDD₀₂)의 공급 전압을 선택적으로 공급받을 수 있다.
- [0062] 따라서, 상기 표1의 실시예 1A에 도시된 바와 같이, 제11 스위치 내지 제14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄)에 HV가 공급되는 상태에서, 제21 스위치 내지 제24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)에는 일괄적으로 HV가 공급될 수 있다.
- [0063] 한편, 상기 표1의 실시예 1B에 도시된 바와 같이, 상기와 같이 제11 스위치 내지 제14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄)에 HV가 공급되는 상태에서, 포지티브 디코더(101)를 통하여 제21 및 제22 스위치(SW₂₁, SW₂₂)에는 HV가 공급되고, 네거티브 디코더(201)를 통하여 제23 및 제24 스위치(SW₂₃, SW₂₄)에는 MV가 선택적으로 공급될 수 있다.
- [0064] 다른 한편으로, 상기 표1의 실시예 1C에 도시된 바와 같이, 제11 스위치 내지 제14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄)에 HV가 공급되는 상태에서, 제21 스위치 내지 제24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)에는 일괄적으로 MV가 공급될 수 있다.
- [0065] 여기서, 상기 제31 스위치 내지 제34 스위치(SW₃₁, SW₃₂, SW₃₃, SW₃₄)에는 항상 HV가 공급되는 것이 바람직하다.
- [0066] 또한, 상기 표1의 실시예 2A에 도시된 바와 같이, 포지티브 디코더(101)를 통하여 제11 및 제12 스위치(SW₁₁, SW₁₂)에는 HV가 공급되고, 네거티브 디코더(201)를 통하여 제13 및 제14 스위치(SW₁₃, SW₁₄)에는 MV가 선택적으로 공급되는 상태에서, 제21 스위치 내지 제24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)에는 일괄적으로 HV가 공급될 수 있다.
- [0067] 한편, 상기 표1의 실시예 2B에 도시된 바와 같이, 포지티브 디코더(101)를 통하여 제11 및 제12 스위치(SW₁₁, SW₁₂)에는 HV가 공급되고, 네거티브 디코더(201)를 통하여 제13 및 제14 스위치(SW₁₃, SW₁₄)에는 MV가 선택적으로 공급되는 상태에서, 포지티브 디코더(101)를 통하여 제21 및 제22 스위치(SW₂₁, SW₂₂)에는 HV가 공급되고, 네거티브 디코더(201)를 통하여 제23 및 제24 스위치(SW₂₃, SW₂₄)에는 MV가 선택적으로 공급될 수 있다.
- [0068] 다른 한편으로, 상기 표1의 실시예 2C에 도시된 바와 같이, 포지티브 디코더(101)를 통하여 제11 및 제12 스위치(SW₁₁, SW₁₂)에는 HV가 공급되고, 네거티브 디코더(201)를 통하여 제13 및 제14 스위치(SW₁₃, SW₁₄)에는 MV가 선택적으로 공급되는 상태에서, 제21스위치 내지 제24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)에는 일괄적으로 MV가 공급될 수 있다.
- [0069] 여기서도, 상기 제31 스위치 내지 제34 스위치(SW₃₁, SW₃₂, SW₃₃, SW₃₄)에는 항상 HV가 공급되는 것이 바람직하다.
- [0070] 또한, 상기 표1의 실시예 3A에 도시된 바와 같이, 제11 스위치 내지 제14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄)에 MV가 공급되는 상태에서, 제21 스위치 내지 제24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)에는 일괄적으로 HV가 공급될 수 있다.

- [0071] 한편, 상기 표1의 실시예 3B에 도시된 바와 같이, 상기와 같이 제11 스위치 내지 제14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄)에 MV가 공급되는 상태에서, 포지티브 디코더(101)를 통하여 제21 및 제22 스위치(SW₂₁, SW₂₂)에는 HV가 공급되고, 네거티브 디코더(201)를 통하여 제23 및 제24 스위치(SW₂₃, SW₂₄)에는 MV가 선택적으로 공급될 수 있다.
- [0072] 다른 한편으로, 상기 표1의 실시예 3C에 도시된 바와 같이, 제11 스위치 내지 제14 스위치(SW₁₁, SW₁₂, SW₁₃, SW₁₄)에 MV가 공급되는 상태에서, 제21 스위치 내지 제24 스위치(SW₂₁, SW₂₂, SW₂₃, SW₂₄)에는 일괄적으로 MV가 공급될 수 있다.
- [0073] 여기서도, 상기 제31 스위치 내지 제34 스위치(SW₃₁, SW₃₂, SW₃₃, SW₃₄)에는 항상 HV가 공급되는 것이 바람직하다.
- [0074] 또한, 상기 제1 내지 제3 스위치 그룹들(SW₁₀)(SW₂₀)(SW₃₀)의 각각의 스위치들은 TR의 TG 조합이거나, Single TR의 조합으로 구성될 수 있다.
- [0075] 따라서, 본 발명은 상기 스위치들의 입력전압 선택 및 각각의 선택적 동작과 작용에 의하여, 디스플레이 구동장치의 레이아웃 면적을 증가시키지 않으며, 출력 버퍼 및 그 스위치 구조가 개선되어 소비전류 증가 없이 하이-슬루-레이트를 가질 수 있다.
- [0076] 도 5는 본 발명의 바람직한 다른 실시예에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치를 나타내는 도면이다.
- [0077] 도시된 바와 같이, 본 발명의 바람직한 다른 실시예에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치는, 제1 입력 신호(VIN₁₁), 제2 입력 신호(VIN₁₂) 및 제1 출력 신호(VOUT₁₁)을 갖는 제1 출력 버퍼(300)와, 제3 입력 신호(VIN₁₃), 제4 입력 신호(VIN₁₄) 및 제2 출력 신호(VOUT₁₂)를 갖는 제2 출력 버퍼(400)를 포함한다.
- [0078] 상기 제1 출력 버퍼(300) 및 제2 출력 버퍼(400)는 제1 전압 레일(VDD₁₁), 제2 전압 레일(VDD₁₂) 및 제3 전압 레일(VSS₁₃) 중 어느 하나 이상의 전압으로 구동되는데, 상기 도 3를 통하여 설명된 구조와는 다른 구조로 동작된다.
- [0079] 즉, 제1 출력 버퍼(300)는 제1 전압 레일(VDD₁₁)과 제2,3 전압 레일(VDD₁₂)(VSS₁₃) 사이에서 구동되며, 제1 입력 신호(VIN₁₁)와 제2 입력 신호(VIN₁₂)에 응답하여 제1 출력 신호(VOUT₁₁)를 출력한다. 또한, 제2 출력 버퍼(400)는 상기 제2 전압 레일(VDD₁₂)과 제3 전압 레일(VSS₁₃) 사이에서 구동되며, 제3 입력 신호(VIN₁₃)와 제4 입력 신호(VIN₁₄)에 응답하여 제2 출력 신호(VOUT₁₂)를 출력한다.
- [0080] 상기 제1 출력 버퍼(300)는; 상기 제1 전압 레일(VDD₁₁)과 상기 제2 전압 레일(VDD₁₂)로부터 입력 하이 전원 전압(input high power voltage) 및 입력 로우 전원 전압(input low power voltage)을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지(input stage)(310) 및 상기 제1 전압 레일(VDD₁₁)과 상기 제3 전압 레일(VSS₁₃)로부터 출력 하이 전원 전압(output high power voltage) 및 출력 로우 전원 전압(output low power voltage)을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지(output stage)(320)를 포함한다.
- [0081] 이때, 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨보다 낮은 것이 바람직하다.
- [0082] 상기 제2 출력 버퍼(400)는; 상기 제2 전압 레일(VDD₁₂)과 상기 제3 전압 레일(VSS₁₃)로부터 입력 하이 전원 전압(input high power voltage) 및 입력 로우 전원 전압(input low power voltage)을 인가받고, 입력 신호에 상응하는 전달 신호를 생성하는 입력 스테이지(input stage)(410) 및 상기 제2 전압 레일(VDD₁₂)과 상기 제3 전압 레일(VSS₁₃)로부터 출력 하이 전원 전압(output high power voltage) 및 출력 로우 전원 전압(output low power voltage)을 인가받고, 상기 전달 신호에 상응하는 상기 제2 출력 신호를 출력하는 출력 스테이지(output stage)(420)를 포함한다.
- [0083] 이때, 상기 출력 하이 전원 전압의 전압 레벨은 상기 입력 하이 전원 전압의 전압 레벨과 같고, 상기 출력 로우 전원 전압의 전압 레벨은 상기 입력 로우 전원 전압의 전압 레벨과 같은 것이 바람직하다.

- [0084] 상기 제2 전압 레일(VDD₁₂)의 전압값은; 상기 제1 전압 레일(VDD₁₁)과 제3 전압 레일(VSS₁₃)의 중간(half) 전압값인 것이 더욱 바람직하다.
- [0085] 도 6은 도 5의 출력 버퍼 장치에 오프셋 캔슬레이션을 위한 스위치 구조를 추가한 장치를 나타내는 도면이다.
- [0086] 도시된 바와 같이, 상기 제1 출력 버퍼(300) 및 제2 출력 버퍼(400)에 제51~54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄) 및 제61~64 스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)를 추가 구성하여 전압 공급 및 피드백 회로를 구성한다.
- [0087] 도 5에서 설명한 바와 같이, 상기 제1출력 버퍼(300)는 제1 전압 레일(VDD₁₁)과 제2,3 전압 레일(VDD₁₂)(VSS₁₃) 사이에서 구동되며, 제1 입력 신호(VIN₁₁)와 제2 입력 신호(VIN₁₂)에 응답하여 제1 출력 신호(VOUT₁₁)로 제1 출력 신호를 출력한다.
- [0088] 이때, 제51 스위치(SW₅₁)는 상기 제1 입력 신호(VIN₁₁)를 상기 제1 출력 버퍼(300)의 제1 입력단(+)으로 공급하고, 제52 스위치(SW₅₂)는 상기 제2 입력 신호(VIN₁₂)를 상기 제1 출력 버퍼(300)의 제2 입력단(-)으로 공급한다.
- [0089] 또한, 도 5에서 설명한 바와 같이, 상기 제2 출력 버퍼(400)는 상기 제2 전압 레일(VDD₁₂)과 제3 전압 레일(VSS₁₃) 사이에서 구동되며, 제3 입력 신호(VIN₁₃)와 제4 입력 신호(VIN₁₄)에 응답하여 제2 출력 신호(VOUT₁₂)로 제2 출력 신호를 출력한다.
- [0090] 이때, 제53 스위치(SW₅₃)는 상기 제3 입력 신호(VIN₀₃)를 상기 제2 출력 버퍼(400)의 제1 입력단(+)으로 공급하고, 제54 스위치(SW₅₄)는 상기 제4 입력 신호(VIN₀₄)를 상기 제2 출력 버퍼(210)의 제2 입력단(-)으로 공급한다.
- [0091] 또한, 제61 스위치(SW₆₁)는 상기 제1 출력 신호(VOUT₁₁)를 상기 제1 출력 버퍼(300)의 제1 입력단(+)으로 피드백시키고, 제62 스위치(SW₆₂)는 상기 제1 출력 신호(VOUT₁₁)를 상기 제1 출력 버퍼(300)의 제2 입력단(-)으로 피드백시킨다.
- [0092] 또한, 제63 스위치(SW₆₃)는 상기 제2 출력 신호(VOUT₁₂)를 상기 제2 출력 버퍼(400)의 제1 입력단(+)으로 피드백시키고, 제64 스위치(SW₆₄)는 상기 제2 출력 신호(VOUT₁₂)를 상기 제2 출력 버퍼(400)의 제2 입력단(-)으로 피드백시킨다.
- [0093] 또한, 상기 제1 출력 신호(VOUT₁₁)를 상기 제1 패널(302)로 공급하는 제71 스위치(SW₇₁); 상기 제1 출력 신호(VOUT₁₁)를 상기 제2 패널(402)로 공급하는 제73 스위치(SW₇₃); 상기 제2 출력 신호(VOUT₁₂)를 상기 제1 패널(302)로 공급하는 제72 스위치(SW₇₂); 상기 제2 출력 신호(VOUT₁₂)를 상기 제2 패널(402)로 공급하는 제74 스위치(SW₇₄)를 포함한다.
- [0094] 또한, 상기 제1 패널(302) 및 제2 패널(402)을 서로 단락시키는 제80 스위치(SW₈₀)를 더 포함한다.
- [0095] 상기 스위치들에는 제1 전압 레일(VDD₁₁)과 제2 전압 레일(VDD₁₂)이 선택적으로 공급될 수 있는데, 본 발명의 바람직한 실시예를 통하여 공급 가능한 입력전압의 조합은 다음의 표2와 같다.

표 2

[0096]

구 분	제5 스위치 그룹(SW50)				제6 스위치 그룹(SW60)				제7 스위치 그룹(SW70)			
디코더 종 류	Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder		Positive Decoder		Negative Decoder	
스위치	SW ₅₁	SW ₅₂	SW ₅₃	SW ₅₄	SW ₆₁	SW ₆₂	SW ₆₃	SW ₆₄	SW ₇₁	SW ₇₂	SW ₇₃	SW ₇₄

실시예4A	HV	HV	HV	HV	HV	HV	HV	HV	HV	HV	HV	HV
실시예4B					HV	HV	HV	HV				
실시예4C					MV	MV	MV	MV				
실시예5A	HV	HV	MV	MV	HV	HV	HV	HV				
실시예5B					HV	HV	MV	MV				
실시예5C					MV	MV	MV	MV				
실시예6A	MV	MV	MV	MV	HV	HV	HV	HV				
실시예6B					HV	HV	MV	MV				
실시예6C					MV	MV	MV	MV				

- [0097] 여기서, HV는 제1 전압 레일(VDD₁₁)의 공급 전압이고, MV는 제2 전압 레일(VDD₁₂)의 공급 전압이다.
- [0098] 이때, 상기 스위치 SW₅₁, SW₅₂, SW₆₁, SW₆₂, SW₇₁, SW₇₂는 포지티브 디코더(301)를 거쳐서 상기 제1 전압 레일(VDD₁₁) 및 제2 전압 레일(VDD₁₂)의 공급 전압을 선택적으로 공급받으며, 상기 스위치 SW₅₃, SW₅₄, SW₆₃, SW₆₄, SW₇₃, SW₇₄는 네거티브 디코더(401)를 거쳐서 상기 제1 전압 레일(VDD₁₁) 및 제2 전압 레일(VDD₁₂)의 공급 전압을 선택적으로 공급받을 수 있다.
- [0099] 따라서, 상기 표2의 실시예 4A에 도시된 바와 같이, 제51 스위치 내지 제54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄)에 HV가 공급되는 상태에서, 제61 스위치 내지 제64 스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)에는 일괄적으로 HV가 공급될 수 있다.
- [0100] 한편, 상기 표2의 실시예 4B에 도시된 바와 같이, 상기와 같이 제51 스위치 내지 제54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄)에 HV가 공급되는 상태에서, 포지티브 디코더(301)를 통하여 제61 및 제62 스위치(SW₆₁, SW₆₂)에는 HV가 공급되고, 네거티브 디코더(401)를 통하여 제63 및 제64 스위치(SW₆₃, SW₆₄)에는 MV가 선택적으로 공급될 수 있다.
- [0101] 다른 한편으로, 상기 표2의 실시예 4C에 도시된 바와 같이, 제51 스위치 내지 제54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄)에 HV가 공급되는 상태에서, 제61 스위치 내지 제64 스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)에는 일괄적으로 MV가 공급될 수 있다.
- [0102] 이때, 상기 제71 스위치 내지 제74 스위치(SW₇₁, SW₇₂, SW₇₃, SW₇₄)에는 항상 HV가 공급되는 것이 바람직하다.
- [0103] 또한, 상기 표2의 실시예 5A에 도시된 바와 같이, 포지티브 디코더(301)를 통하여 제51 및 제52 스위치(SW₅₁, SW₅₂,)에는 HV가 공급되고, 네거티브 디코더(401)를 통하여 제53 및 제54 스위치(SW₅₃, SW₅₄)에는 MV가 선택적으로 공급되는 상태에서, 제61스위치 내지 제64스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)에는 일괄적으로 HV가 공급될 수 있다.
- [0104] 한편, 상기 표2의 실시예 5B에 도시된 바와 같이, 포지티브 디코더(301)를 통하여 제51 및 제52 스위치(SW₅₁, SW₅₂)에는 HV가 공급되고, 네거티브 디코더(401)를 통하여 제53 및 제54 스위치(SW₅₃, SW₅₄)에는 MV가 선택적으로 공급되는 상태에서, 포지티브 디코더(301)를 통하여 제61 및 제62 스위치(SW₆₁, SW₆₂)에는 HV가 공급되고, 네거티브 디코더(401)를 통하여 제63 및 제64 스위치(SW₆₃, SW₆₄)에는 MV가 선택적으로 공급될 수 있다.
- [0105] 다른 한편으로, 상기 표2의 실시예 5C에 도시된 바와 같이, 포지티브 디코더(301)를 통하여 제51 및 제52 스위치(SW₅₁, SW₅₂)에는 HV가 공급되고, 네거티브 디코더(401)를 통하여 제53 및 제54 스위치(SW₅₃, SW₅₄)에는 MV가 선택적으로 공급되는 상태에서, 제61 스위치 내지 제64 스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)에는 일괄적으로 MV가 공급될 수 있다.
- [0106] 이때, 상기 제71 스위치 내지 제74 스위치(SW₇₁, SW₇₂, SW₇₃, SW₇₄)에는 항상 HV가 공급되는 것이 바람직하다.
- [0107] 또한, 상기 표2의 실시예 6A에 도시된 바와 같이, 제51 스위치 내지 제54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄)에 MV가 공급되는 상태에서, 제61 스위치 내지 제64 스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)에는 일괄적으로 HV가 공급될 수 있다.

- [0108] 한편, 상기 표2의 실시예 6B에 도시된 바와 같이, 상기와 같이 제51 스위치 내지 제54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄)에 MV가 공급되는 상태에서, 포지티브 디코더(301)를 통하여 제61 및 제62 스위치(SW₆₁, SW₆₂)에는 HV가 공급되고, 네거티브 디코더(401)를 통하여 제63 및 제64 스위치(SW₆₃, SW₆₄)에는 MV가 선택적으로 공급될 수 있다.
- [0109] 다른 한편으로, 상기 표 2의 실시예 6C에 도시된 바와 같이, 제51 스위치 내지 제54 스위치(SW₅₁, SW₅₂, SW₅₃, SW₅₄)에 MV가 공급되는 상태에서, 제61 스위치 내지 제64 스위치(SW₆₁, SW₆₂, SW₆₃, SW₆₄)에는 일괄적으로 MV가 공급될 수 있다.
- [0110] 이때, 상기 제71 스위치 내지 제74 스위치(SW₇₁, SW₇₂, SW₇₃, SW₇₄)에는 항상 HV가 공급되는 것이 바람직하다.
- [0111] 또한, 상기 제5 내지 제7 스위치 그룹들(SW₅₀)(SW₆₀)(SW₇₀)의 각각의 스위치들은 TR의 TG 조합이거나, Single TR의 조합으로 구성될 수 있다.
- [0112] 따라서, 본 발명은 디스플레이 구동장치의 레이아웃 면적을 증가시키지 않으며, 출력 버퍼 및 그 스위치 구조를 개선하여 소비전류 증가 없이 하이-슬루-레이트를 가질 수 있다.
- [0113] 도 7은 도 3의 본 발명의 일 실시예의 출력 버퍼 장치에 따른 전원 공급 구조를 나타낸 도면으로서, 도시된 바와 같이, 본 발명에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치의 전원 공급 구조는, 외부의 PCB(미도시) 또는 IC에 형성된 제1 레귤레이터(103) 및 제2 레귤레이터(104)로부터 제1 전압 레일(VDD₀₁) 제2 전압 레일(VDD₀₂) 및 제3 전압 레일(VSS₀₃)을 선택적으로 공급받아 제1 출력 버퍼(100) 및 제2 출력 버퍼(200)를 구동시킬 수 있다.
- [0114] 도 8은 도 5의 본 발명의 다른 실시예의 출력 버퍼 장치에 따른 전원 공급 구조를 나타낸 도면으로서, 도시된 바와 같이, 본 발명에 따른 하프-스윙 레일-투-레일 구조의 출력 버퍼 장치의 전원 공급 구조는, 외부의 PCB(미도시) 또는 IC에 형성된 제1 레귤레이터(303) 및 제2 레귤레이터(304)로부터 제1 전압 레일(VDD₁₁) 제2 전압 레일(VDD₁₂) 및 제3 전압 레일(VSS₁₃)을 선택적으로 공급받아 제1 출력 버퍼(300) 및 제2 출력 버퍼(400)를 구동시킬 수 있다.
- [0115] 본 명세서에 기재된 본 발명의 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 실시예에 관한 것이고, 발명의 기술적 사상을 모두 포괄하는 것은 아니므로, 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다. 따라서 본 발명은 상술한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형실시가 가능한 것은 물론이고, 그와 같은 변경은 청구범위 기재의 권리범위 내에 있게 된다.

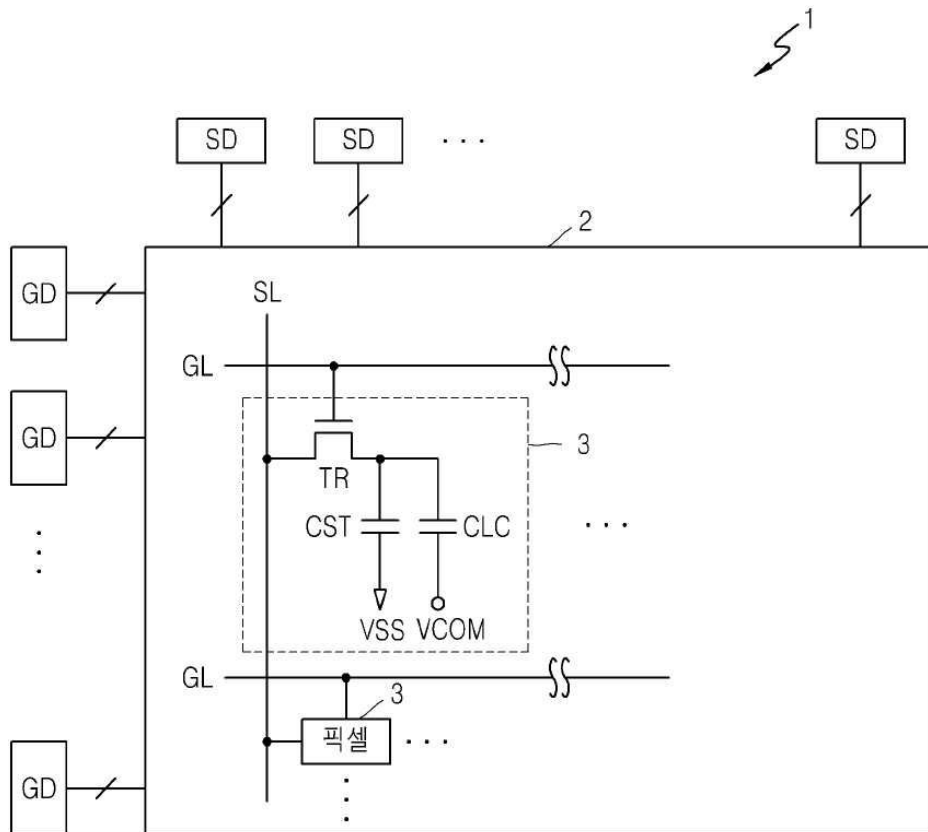
부호의 설명

- [0116] 100 : 제1 출력 버퍼 200 : 제2 출력 버퍼
- 110, 210 : 입력 스테이지 120, 220 : 출력 스테이지
- VDD₀₁ : 제1 전압 레일 VDD₀₂ : 제2 전압 레일
- VSS₀₃ : 제3 전압 레일 VIN₀₁ : 제1 입력 신호
- VIN₀₂ : 제2 입력 신호 VIN₀₃ : 제3 입력 신호
- VIN₀₄ : 제4 입력 신호 VOUT₀₁ : 제1 출력 신호
- VOUT₀₂ : 제2 출력 신호 101, 201 : 포지티브/네거티브 디코더
- SW₁₀ : 제1 스위치 그룹 SW₁₁, SW₁₂, SW₁₃, SW₁₄ : 제11~14 스위치
- SW₂₀ : 제2 스위치 그룹 SW₂₁, SW₂₂, SW₂₃, SW₂₄ : 제21~24 스위치

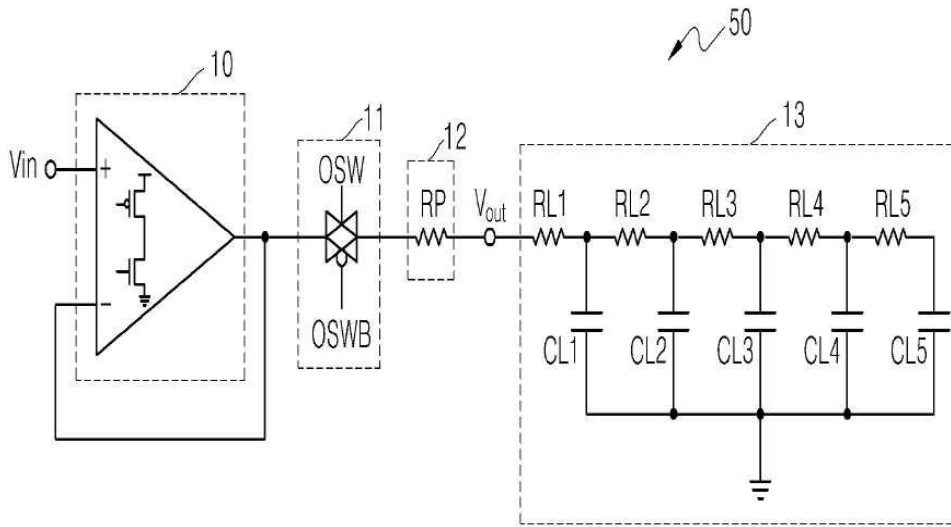
- SW₃₀ : 제3 스위치 그룹 SW₃₁, SW₃₂, SW₃₃, SW₃₄ : 제31~34 스위치
- SW₅₀ : 제5 스위치 그룹 SW₅₁, SW₅₂, SW₅₃, SW₅₄ : 제51~54 스위치
- SW₆₀ : 제6 스위치 그룹 SW₆₁, SW₆₂, SW₆₃, SW₆₄ : 제61~64 스위치
- SW₇₀ : 제7 스위치 그룹 SW₇₁, SW₇₂, SW₇₃, SW₇₄ : 제71~74 스위치
- SW₄₀ : 제4 스위치 SW₈₀ : 제8 스위치

도면

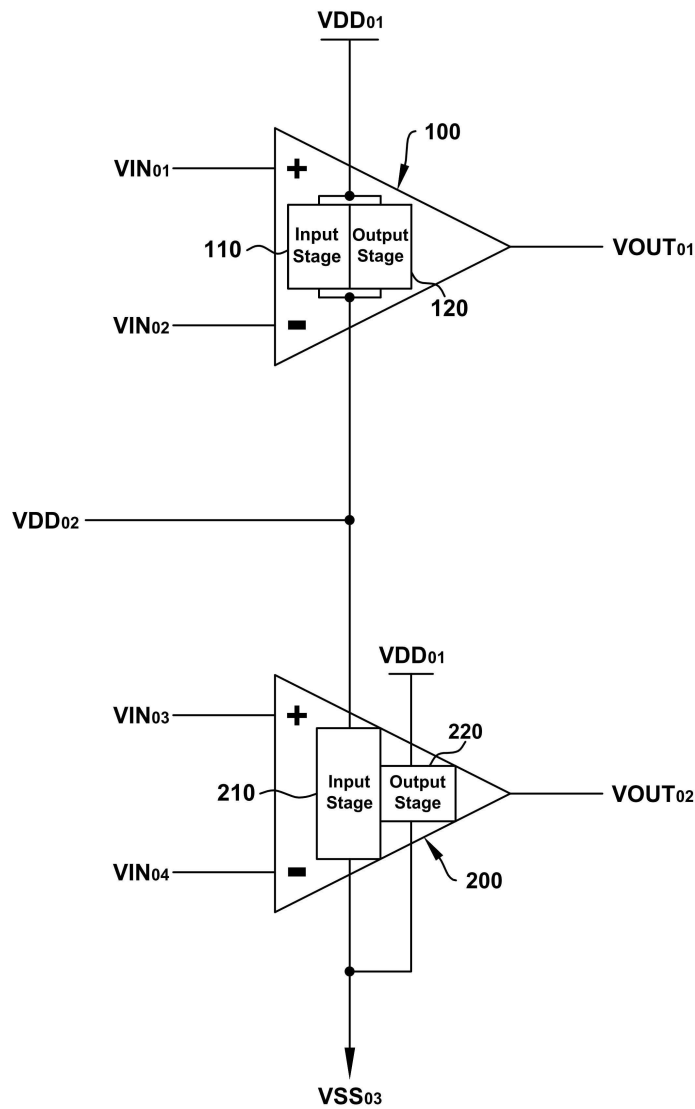
도면1



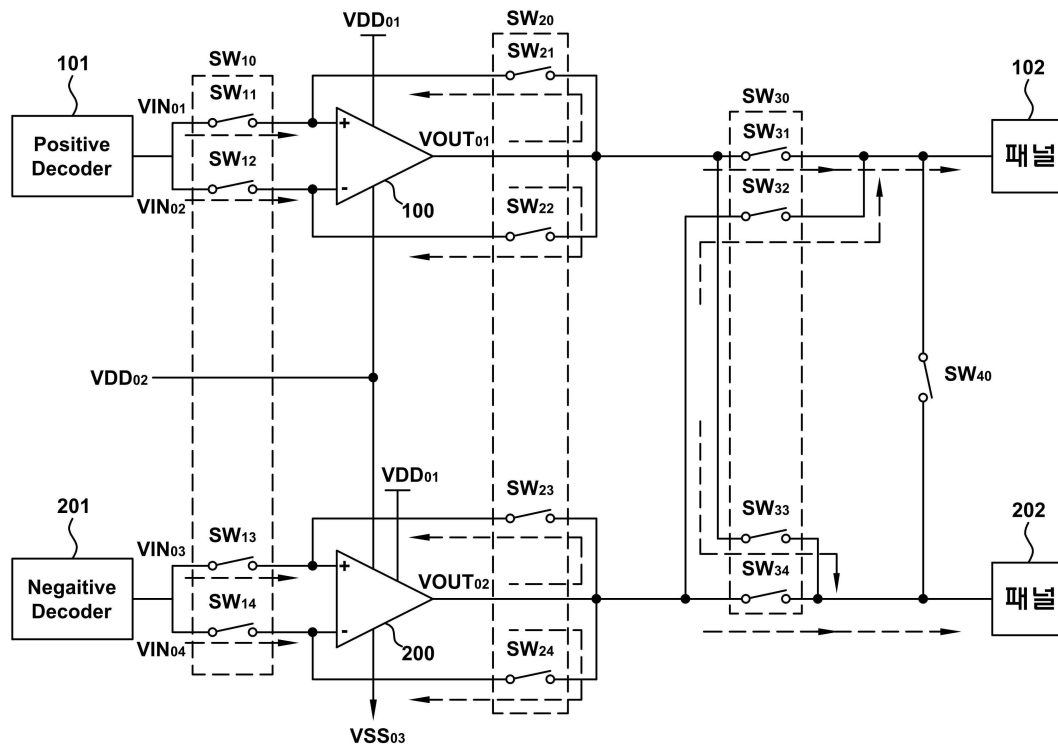
도면2



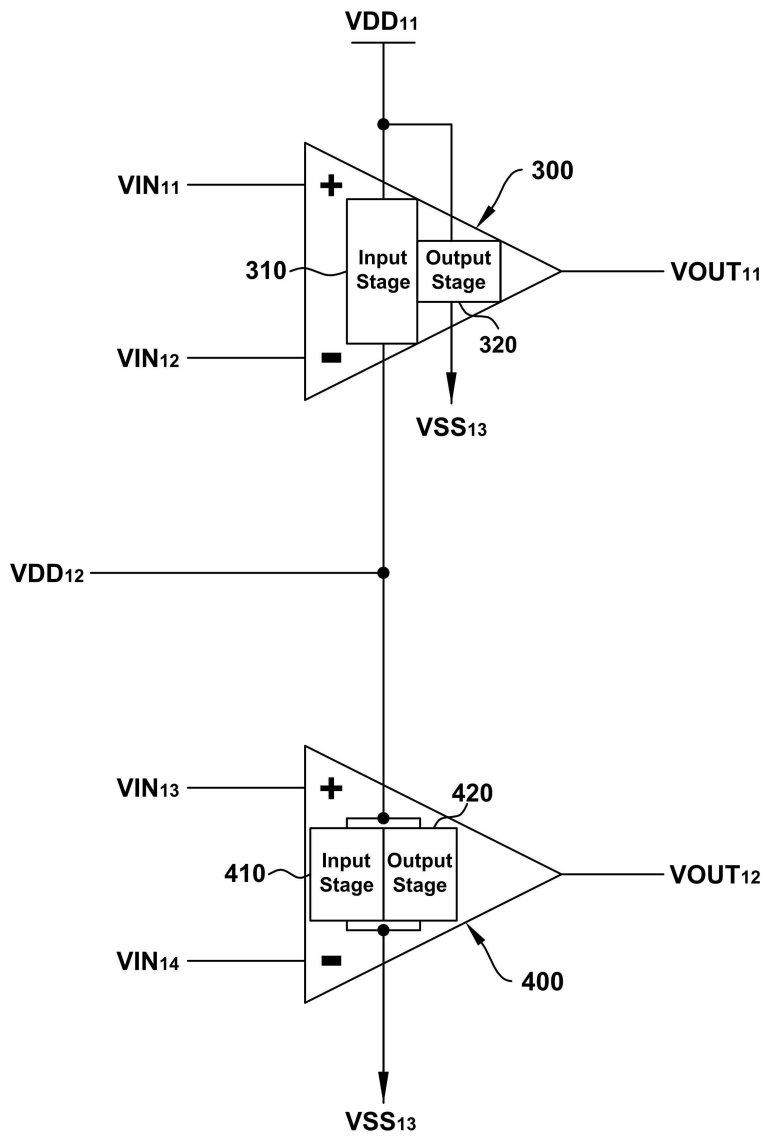
도면3



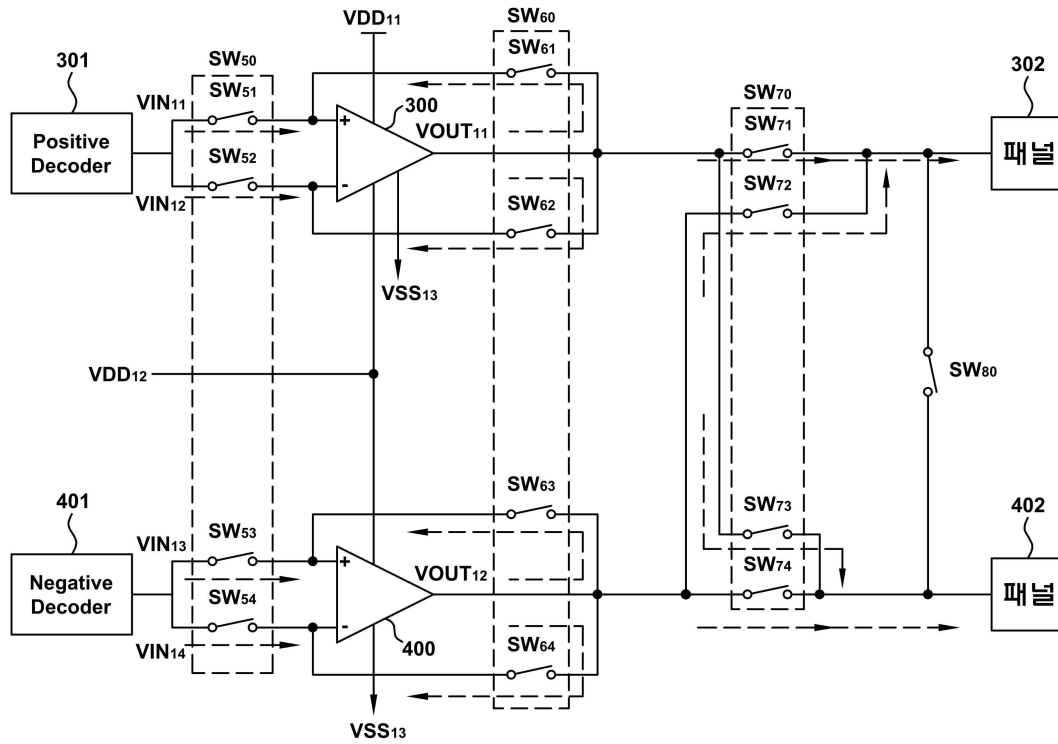
도면4



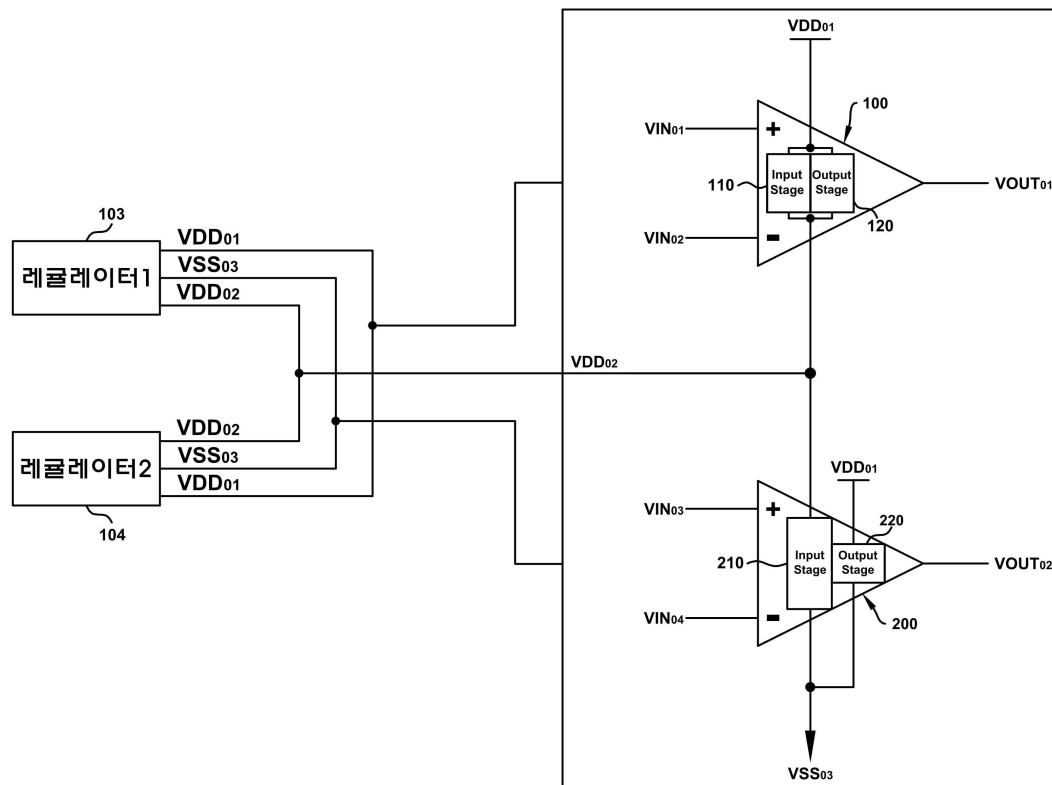
도면5



도면6



도면7



도면8

