



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. C23C 16/44 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년12월01일 10-0652909 2006년11월24일
---	-------------------------------------	--

(21) 출원번호	10-2000-7009897	(65) 공개번호	10-2001-0041680
(22) 출원일자	2000년09월06일	(43) 공개일자	2001년05월25일
심사청구일자	2004년02월25일		
번역문 제출일자	2000년09월06일		
(86) 국제출원번호	PCT/US1999/004946	(87) 국제공개번호	WO 1999/45167
국제출원일자	1999년03월05일	국제공개일자	1999년09월10일

(81) 지정국 국내특허 : 대한민국, 일본,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투갈, 스웨덴, 핀란드, 사이프러스,

(30) 우선권주장 60/077,082 1998년03월06일 미국(US)

(73) 특허권자 에이에스엠 아메리카, 인코포레이티드
미국 85034-7200 아리조나 피닉스 이스트 유니버시티 드라이브 3440

(72) 발명자 라아이지마커스,아이보
미합중국아리조나주85048피닉스이스트빅혼애버뉴2741

포마레테,크리스토프프랑소와릴리안
프랑스에프-34570피그냥로뜨라꼴다민16

반더제우그드,코넬리우스,알렉산더
미합중국오레곤주97229포틀랜드노스웨스트아보뷰드라이브9560

그쉬완트너,알렉산더
독일디-80687뮌헨엘센하이머스트라쎄18

그라슬,안드레아스
독일디-81735뮌헨프리드리히-엥겔스-보젠12

(74) 대리인 허성원
윤창일
서동헌

심사관 : 이성준

전체 청구항 수 : 총 32 항

(54) 하이 스텝 커버리지를 갖는 실리콘 증착 방법

(57) 요약

높은 증착율과 양호한 스텝 커버리지를 갖는 실리콘 증착방법이 개시된다. 증착 공정은 대기압에 가까운 압력을 포함하는 고압에서, 약 650℃ 이상의 온도에서 진행된다. 실란과 수소는 매엽식 웨이퍼 챔버에서 기관(100) 위로 유동한다. 첨가 가스가 증착 공정에 첨가되는 경우에도 공정이 양호한 스텝 커버리지와 높은 증착율(예컨대 50nm/min 이상)을 유지하여 도전성 실리콘의 증착율을 상업적인 실시 가능한 정도로 할 수 있음이 장점이다. 높은 증착율에도 불구하고 스텝 커버리지는 폴리실리콘(101)을 40:1의 높은 중형비를 갖는 극단적으로 깊은 트렌치(100)와 비아홀에 증착시켜, 보이드나 키홀을 형성하지 않고도 그러한 구조를 충분히 채울 수 있다.

특허청구의 범위**청구항 1.**

500Torr(66.7kPa) 보다 큰 압력에서 반응 챔버 내의 기관 상에 비에피택셜 실리콘층을 증착시키는 방법에 있어서,

공정 가스를 반응 챔버를 통해 그리고 상기 기관 위로 원하는 반응 온도에서 상기 기관 위에 유동시키는 단계로서, 상기 반응 챔버에서의 공정 가스 잔류 시간을 100초 미만으로 하는 단계를 포함하며,

상기 반응 챔버는 100리터 미만의 전체 체적 용량을 가지며, 상기 공정 가스는 실리콘 소스 가스를 포함하며, 상기 실리콘 소스 가스의 유량이 100sccm과 2000sccm 사이인 것을 특징으로 하는 방법.

청구항 2.

제1항에 있어서,

상기 잔류 시간은 60초 미만인 것을 특징으로 하는 방법.

청구항 3.

제2항에 있어서,

상기 잔류 시간은 20초 미만인 것을 특징으로 하는 방법.

청구항 4.

제1항에 있어서,

상기 압력은 700Torr(93.3kPa)보다 큰 것을 특징으로 하는 방법.

청구항 5.

제1항에 있어서,

상기 반응 챔버는 가스 유동축을 따른 횡단면에서 보면 웨이퍼 위의 일정한 높이를 갖는 매엽식 웨이퍼 수평 반응 챔버를 포함하는 것을 특징으로 하는 방법.

청구항 6.

제5항에 있어서,

상기 반응 챔버는 기관의 상류 및 하류에서 수평 분할판에 의해 수직 분할되며, 상기 분할판은 기관의 평면에 있는 것을 특징으로 하는 방법.

청구항 7.

제1항에 있어서,

상기 공정 가스는 실란과 수소를 포함하는 것을 특징으로 하는 방법.

청구항 8.

화학증착에 의해 비에피택셜 실리콘층을 증착시키는 공정에 있어서,

기관을 매엽식 공정 반응 챔버 내로 위치시키는 단계로서, 상기 반응 챔버가 100리터 미만의 전체 체적 용량을 갖는 단계,

상기 기관의 온도를 625℃와 850℃ 사이의 온도로 상승시키는 단계,

실리콘 소스 가스와 수소 운반가스를 포함하는 공정 가스를 반응 챔버에 도입하는 단계로서, 상기 실리콘 소스 가스의 유량이 100sccm과 2000sccm 사이인 단계, 및

상기 반응 챔버를 700Torr(93.3kPa) 보다 큰 압력에서 유지하면서 상기 공정 가스를 상기 기관 위로 유동시키는 단계를 포함하는 것을 특징으로 하는 공정.

청구항 9.

제8항에 있어서,

폴리실리콘이 적어도 50nm/min의 속도로 증착되는 것을 특징으로 하는 공정.

청구항 10.

화학증착에 의한 실리콘 증착 방법에 있어서,

0.5 μ m를 넘지 않고 2:1 보다 큰 종횡비를 갖는 개구부를 갖는 복수의 구멍들을 포함하는 기관을 반응 챔버 내로 로딩하는 단계,

상기 기관의 온도를 원하는 반응 온도로 상승시키는 단계,

상기 반응 챔버에서 700Torr(93.3kPa) 보다 큰 압력을 유지하는 단계, 및

실란 베이스의 실리콘 소스 가스, 수소 운반가스 및 첨가원소 소스 가스를 원하는 반응 온도에서 상기 반응 챔버 내의 기관 위로 동시에 유동시켜, 상기 기관 위와 구멍들 내에 공정 중에 전도성으로 도핑된 실리콘층을 증착시키는 단계를 포함하며,

상기 실리콘층은 구멍들의 70% 보다 큰 스텝 커버리지를 보이는 것을 특징으로 하는 방법.

청구항 11.

제10항에 있어서,

상기 실리콘층은 상기 구멍들의 80% 보다 큰 스텝 커버리지를 보이는 것을 특징으로 하는 방법.

청구항 12.

제10항에 있어서,

상기 실리콘층은 상기 구멍들의 85% 보다 큰 스텝 커버리지를 보이는 것을 특징으로 하는 방법.

청구항 13.

제10항에 있어서,

상기 실리콘층은 상기 구멍들의 90% 보다 큰 스텝 커버리지를 보이는 것을 특징으로 하는 방법.

청구항 14.

제10항에 있어서,

상기 원하는 반응 온도는 650℃ 보다 큰 것을 특징으로 하는 방법.

청구항 15.

제14항에 있어서,

상기 원하는 반응 온도는 700℃ 미만인 것을 특징으로 하는 방법.

청구항 16.

제10항에 있어서,

상기 실리콘 소스 가스가 모노실란을 포함하는 것을 특징으로 하는 방법.

청구항 17.

제10항에 있어서,

상기 구멍들이 5:1 보다 큰 종횡비를 갖는 것을 특징으로 하는 방법.

청구항 18.

제10항에 있어서,

상기 구멍들이 10:1 보다 큰 종횡비를 갖는 것을 특징으로 하는 방법.

청구항 19.

제10항에 있어서,

상기 구멍들이 20:1 보다 큰 종횡비를 갖는 것을 특징으로 하는 방법.

청구항 20.

제10항에 있어서,

상기 구멍들이 40:1 보다 큰 종횡비를 갖는 것을 특징으로 하는 방법.

청구항 21.

제10항에 있어서,

상기 증착된 실리콘층이 비소를 포함하는 것을 특징으로 하는 방법.

청구항 22.

제10항에 있어서,

상기 실리콘층 증착 단계가 50nm/min 보다 큰 속도로 상기 실리콘층을 성장시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 23.

제10항에 있어서,

상기 실리콘층 증착 단계가 100nm/min 보다 큰 속도로 상기 실리콘층을 성장시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 24.

집적 회로를 형성하는 방법에 있어서,

2:1 보다 큰 종횡비를 갖는 구멍들을 기판에 제공하는 단계,

상기 기판을 매엽식 웨이퍼 공정 챔버에 로딩하는 단계, 및

80% 보다 큰 스텝 커버리지를 갖도록 적어도 50nm/min의 속도로 실리콘을 상기 구멍들 내에 증착시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 25.

제24항에 있어서,

상기 실리콘 증착 단계가 실란을 수소 운반가스 내에서 유동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 26.

제24항에 있어서,

상기 구멍들의 종횡비가 5:1 보다 큰 것을 특징으로 하는 방법.

청구항 27.

제26항에 있어서,

상기 구멍들의 종횡비가 10:1 보다 큰 것을 특징으로 하는 방법.

청구항 28.

제27항에 있어서,

상기 실리콘 증착 단계가 공정 중의 도핑 단계를 포함하는 것을 특징으로 하는 방법.

청구항 29.

제28항에 있어서,

상기 공정 중의 도핑 단계가 아르신을 유동시키는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 30.

제29항에 있어서,

상기 실리콘 증착 단계가 500Torr(66.7kPa) 보다 큰 압력에서 챔버를 유지하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 31.

제30항에 있어서,

상기 실리콘 증착 단계는 상기 챔버를 대기압에서 유지하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 32.

제31항에 있어서,

상기 수소 운반가스 및 실란을 유동시키는 단계는 상기 반응 챔버 내의 반응 잔류 시간을 100초 미만으로 유지하는 단계를 포함하는 것을 특징으로 하는 방법.

청구항 33.

삭제

청구항 34.

삭제

청구항 35.

삭제

청구항 36.

삭제

청구항 37.

삭제

명세서

기술분야

본 발명은 실리콘 증착에 관한 것으로, 보다 구체적으로는 하이 스텝 커버리지를 갖는 전도성 실리콘의 화학증착에 관한 것이다.

배경기술

반도체 재료로, 현재 실리콘은 트랜지스터를 집적회로로 제작하기 위한 가장 인기있는 재료이다. 실리콘 기판 상에 서로 다른 영역에 선택적으로 첨가함으로써 서로 다른 유형의 도전성과 레벨을 갖는 소스, 드레인 및 채널 영역이 실리콘 기판에 형성될 수 있다. 일반적으로 기판은 단결정 실리콘 웨이퍼 또는 기판 위에 형성되는 에피택셜층을 포함한다. 기판 전체(웨이퍼 또는 에피택셜층) 또는 "웰(well)"로 알려진 영역에는 비교적 저레벨의 제1 전도 타입(예를 들면, p형)의 배경원소가 첨가된다. 소스와 드레인 영역은 반대의 전도 타입(예를 들면 P웰 내의 n형 소스/드레인 영역)의 첨가원소를 고농도로 주입시켜 그 영역 내에서 형성된다. 종종 하부 영역들이 최종적인 전자장치의 전기 특성에 맞추기 위하여 다른 레벨, 등급 및 다른 유형의 첨가원소로 트랜지스터 영역 내에서 형성되기도 한다.

실리콘은 아주 흔히 트랜지스터가 형성되는 베이스 반도체층을 형성하거나 또는 반도체층의 일부가 되기 때문에 관련된 회로 성분 제조에 이용되기도 한다. 특히, 회로 성분이 실리콘 기판에 직접 접촉하게 되는 경우에, 실리콘은 기판과 전기적으로 양립할 수 있고 기판과 오옴 접촉(ohmic contact)을 형성하기 때문에 바람직한 재료이다. 반대로 대부분의 금속재료들은 활성 영역의 전기적 특성을 파괴하거나 또는 악영향을 미칠 수 있다. 높은 용융점 및 그로 인해 유리 리플로우나 첨가원소 주입 등의 차후 고에너지 단계를 견딜 수 있는 능력 등의 실리콘의 또 다른 이점이 여전히 다른 공정 응용에 대한 실리콘의 사용을 유리하게 한다.

따라서, 실리콘은 흔히 트랜지스터 게이트 전극, 커패시터 전극, 금속-기관 접착, 배선층(wiring layer) 사이의 도체 플러그 등의 형성을 위해 사용된다. 그러나 부적절하게도, 이들 어플리케이션의 대부분은 공정 중인 집적회로의 구조적인 특징에서 급경사의 커버리지를 필요로 한다. 예를 들면 흔히 커패시터는 실리콘 기관 내의 트랜치에 형성되거나(트랜치 커패시터) 또는 기관 위의 적층 구조물에 형성된다(적층 커패시터). 콘택트 플러그는, 두 개의 배선층 사이에 형성되든 또는 하나의 배선층으로부터 기관으로 형성되든, 절연층을 통해 에칭된 홀 내에 형성된다.

이들 적용된 공정 각각에서 구조상의 종횡비(높이:폭)는 계속 빨라지고 더 작아지는 집적 회로의 추세 속에 장치 밀도가 증가함에 따라 계속 증가한다. 일반적으로 종횡비가 높아질수록 문제되는 콘택홀 개구부, 비아홀(via) 또는 트랜치 구조물의 수직 측벽과 바닥을 균일하게 커버하는 것이 더 어려워진다. 그러한 구조물을 채우는 것은 더욱 더 어렵다. 증착층은 개구부의 리프에서 더 빨리 생성되어 구멍들이 채워지기 전에 개구부를 차단하는 경향이 있다. 이는 구멍들 내에 공동이나 키홀을 만드는 결과를 야기한다.

다결정 실리콘(폴리실리콘 또는 간단히 폴리)은 화학증착(CVD)에 의해 증착될 수 있다. 화학증착(CVD) 실리콘은 대부분의 금속과 같은 도전성 재료의 물리증착(PVD)보다 종횡비가 높은 구멍들 내로 스텝 커버리지가 들어가기 때문에 유리하다. 한편 실리콘은 도전성과 오염 접착을 위해 도핑되어야 하며, 실리콘층 형성 비용에 추가된다. 그러한 비용은 실리콘층이 형성된 후에 이온 주입 또는 확산 등을 통해 도핑이 실시되는 경우에 특히 높다. 실리콘층 형성 후의 도핑 단계는 도핑을 위해 필요한 추가 공정 단계 때문에 처리량의 감소를 초래하여 비용을 증가시킨다. 기존의 다른 구조물을 고에너지 첨가 이온 주입으로부터 또는 고온의 긴 확산 공정들로부터 보호해야 할 필요에 의해 추가 비용이 부과된다. 더욱이 예를 들어 구조가 형성된 후에 깊은 실리콘 플러그에 적절히 도핑하는 것은 때로는 기술적으로 어렵다.

실리콘층을 공정 중(in situ)에서 도핑(즉, 실리콘 증착 중에 첨가원소 추가)하기 위한 공정들이 알려져 있지만, 공정 중의 도핑은 일반적으로 하이 스텝 커버리지를 요구하는 응용 공정에서는 비실용적이다. 실리콘의 화학증착에서 첨가원소 가스를 반응가스에 추가하면 스텝 커버리지를 줄이는 경향이 있는 것으로 밝혀졌다. 증착율을 낮추는 것은 일반적인 제안과 같이, 예컨대 증착하는 동안 온도 및/또는 압력을 낮춤으로써 스텝 커버리지를 개선하는 것에 도움이 될 수 있다. 그러나 그러한 스텝 커버리지의 개선조차도 현재 또는 차세대 집적회로의 종횡비가 높은 홀을 커버하거나 채우는데에는 적합하지 못하다. 더욱이, 증착율을 낮춤으로써 처리량이 감소되므로 이러한 선택은 특히 증착 후에 추가 도핑 단계가 필요한 경우에는 매력적이지 못하다.

따라서 종횡비가 높은 구멍들이나 트랜치에 양호한 스텝 커버리지를 가지며 허용되는 증착율로 실리콘을 증착시키기 위한 공정에 대한 필요성이 있다. 그러한 공정에서는 후속 도핑 단계의 필요성을 없애기 위해 공정 중의 실리콘 도핑을 허용하는 것이 바람직하다.

발명의 상세한 설명

고온에서 비정질 및/또는 다결정 실리콘층을 증착하기 위한 방법이 개시된다. 유리하게도, 시중에서 허용하는 증착율을 얻기 위해 충분히 높은 온도를 유지하면서 높은 종횡비를 갖는 구멍들에서 하이 스텝 커버리지를 얻을 수 있다.

예시된 실시예에서, 실란과 수소는 대기압 이하에서 매엽식 웨이퍼 공정 챔버에서 유동한다. 예를 들면 650°C의 온도에서 50nm/min이상의 증착율을 공정 중 도핑에서 얻을 수 있고, 도핑이 안된 실리콘에 대해서는 약 100nm/min이상의 높은 증착율을 얻을 수 있다. 그러한 높은 증착율은 심지어 극단적으로 높은 종횡비의 비아홀을 우수한 스텝 커버리지로 채우면서도 얻을 수 있다. 예를 들면 0.25 μ m의 넓이와 7-7.5 μ m의 깊이를 갖는 커패시터 트랜치는 본 명세서에 개시된 방법을 이용하여 실리콘으로 공극이 없이 채워졌다.

그러므로 본 발명의 일 측면에 따라서, 공정 가스를 약 100초 미만의 잔류 시간으로 유동시키면서 약 500Torr(66.7kPa) 챔버 압력 이상에서 실리콘을 증착시키는 방법이 제공된다.

본 발명의 다른 측면에 따라서, 화학증착에 의해 비에피택셜 실리콘층을 증착시키는 공정이 제공된다.

기관은 매엽식 웨이퍼 공정 챔버 내에 놓여진다. 기관 온도는 약 625°C와 850°C 사이의 반응 온도로 올라가고, 실리콘 소스 가스와 수소 운반가스를 포함하는 공정 가스가 반응 챔버로 유입된다. 공정 가스는 기관 위에서 유동하며, 그 동안 반응 챔버는 약 700Torr(93.3kPa)이상의 압력으로 유지된다.

본 발명의 또 다른 측면에 따라서, 화학증착에 의해 실리콘을 증착시키는 방법이 제공된다. 복수의 구멍들을 포함하는 반도체 기판이 반응 챔버 내에 로딩된다. 구멍들은 약 $0.5\mu\text{m}$ 를 넘지않는 개구부와 약 2:1이상의 종횡비를 갖는다. 기판 온도는 원하는 반응 온도로 상승된다. 챔버 압력은 약 700Torr(93.3kPa)이상으로 유지되며 실란 베이스의 실리콘 소스 가스, 수소 운반가스 및 첨가원소 소스 가스는 원하는 반응 온도에서 반응 챔버 내의 기판 위로 동시에 유동한다. 그러므로, 공정 중 전도성 원소가 첨가된 실란층은 기판 위에 그리고 구멍들 내에 증착되어 구멍들에서 약 70%이상의 스텝 커버리지를 보여준다.

본 발명의 또 다른 측면에 따라서, 집적회로를 형성하는 방법이 개시된다. 기판에는 2:1이상의 종횡비를 갖는 구멍들이 마련된다. 기판은 매엽식 공정 챔버 내로 로딩되고, 실리콘은 적어도 약 50nm/min의 증착율 구멍들 내에 증착되어 약 80%이상의 스텝 커버리지를 갖는다.

본 발명의 또 다른 측면에 따라서, 집적 커패시터가 약 $0.25\mu\text{m}$ 이하의 넓이와 약 20:1이상의 종횡비를 갖는 트렌치에 형성된다. 커패시터는 트렌치를 덮고 있는 유전층과 트렌치의 내부를 충전하고 있고 전도성 원소가 첨가된 폴리실리콘층을 포함한다.

실시예

바람직한 리액터

도1은 바람직한 실시예에 따라 구성된 석영으로 된 공정 또는 반응 챔버(12)를 포함하는 CVD 리액터(10)를 도시하는데, 이에 대해 본 명세서에 개시된 방법은 특별한 용도를 갖는다. 바람직한 실시예가 매엽식 기판 CVD 리액터와 관련하여 설명되지만, 개시된 공정은 개시된 것과는 다른 형태를 갖는 반응 챔버를 비롯한 다른 형태의 CVD 리액터에 응용할 수 있다는 것이 이해될 것이다.

복수의 복사 열원이 챔버(12) 외부에 지지되어 있어, 석영 챔버(12) 벽에 눈에 띄는 열 흡수없이 챔버(12)에 열 에너지를 공급한다. 바람직한 실시예가 반도체 웨이퍼 공정을 위한 "냉벽" CVD 리액터와 관련하여 설명되지만, 개시된 공정 방법은 유도 또는 저항 가열을 채용하는 등의 다른 가열/냉각 시스템과 연계하여 이용될 수 있다는 것이 이해될 것이다. 바람직한 챔버(12)의 구성은 도2 및 도3을 참조하여 보다 상세히 설명된다.

예시된 복사 열원은 세장관 형태의 복사 가열 엘리먼트(13)의 상부 가열 어셈블리를 포함한다. 상부 가열 엘리먼트(13)는 평행하게 이격 위치하고, 또 하부의 반응 챔버(12)를 통과하는 반응 가스 통로와 실질적으로 평행한 것이 바람직하다. 하부 가열 어셈블리는 반응 챔버(12) 아래에 비슷한 세장관 형태의 복사 가열 엘리먼트를 포함하며, 상부 가열 엘리먼트(13)에 대해 가로 방향인 것이 바람직하다. 바람직하게, 복사열의 일부는 상부 램프(13) 및 가열 램프(14)의 위, 아래에 각각 있는 거친 반사면의 반사판에 의해 챔버(12) 내로 확산 반사된다. 이 외에도 복수의 스폿 램프(15)가 웨이퍼 지지체(후술)의 저면으로 집중된 열을 공급하여 반응 챔버(12)의 바닥을 통해 연장하는 냉 지지 구조체에 의해 생기는 히트 싱크 효과를 중화시킨다.

세장관 형태의 가열 엘리먼트(13, 14) 각각은 요오드 같은 할로젠 가스를 함유한 투명한 석영 엔빌로우프를 갖는 고강도의 텅스텐 필라멘트 램프인 것이 바람직하다. 그러한 램프는 눈에 띄는 흡수없이 반응 챔버(12)의 벽을 통해 전달된 전스펙트럼 복사열 에너지를 생성한다. 반도체 공정 장비 기술에 알려진 바와 같이, 여러 램프(13, 14, 15)의 전력은 온도 감지기에 대응하여 독립적으로 또는 집단 구역(grouped zones)으로 제어될 수 있다.

바람직하게 실리콘 웨이퍼(16)를 포함하는 기판이 반응 챔버(12) 내에서 기판 또는 웨이퍼 지지 구조체(18) 위에 지지되는 것으로 도시되어 있다. 예시된 실시예의 기판이 매엽식 수정 실리콘 웨이퍼이긴 하지만, 용어 "기판"은 층이 증착될 구조체는 무엇이든 넓게 지칭하는 것으로 이해될 것이다. 본 명세서에서 개시된 증착 방법은 기판이 층이 증착될 표면의 구조에 스텝을 포함하는 경우에 특히 유용한데, 후술하는 설명으로 분명해진다.

예시된 지지 구조체(18)는 웨이퍼(16)가 위에 올려지는 서셉터 또는 웨이퍼 홀더(20) 및 지지 스파이더(22)를 포함한다. 스파이더(22)는 샤프트(24)에 장착되어 챔버(12)의 하벽에 매달린 튜브(26)를 통해 하향 연장된다. 바람직하게, 튜브(26)는 공정 중에 유동할 수 있는 퍼지가스의 소스와 연통하여 공정 가스가 웨이퍼(16)의 배면으로 빠져나가는 것을 막는다. 바람직한 샤프트(24)는 회전 운동을 샤프트(24), 스파이더(22), 웨이퍼 홀더(20) 그리고 궁극적으로 웨이퍼(16)로 전달하기 위해 반응 챔버(12)(도1) 밑의 모터(미도시)에 기계적으로 연결된다.

복수의 온도 감지기는 웨이퍼(16)와 인접하여 위치한다. 온도 감지기는 광학 파이로미터 또는 열전쌍 등 다양한 형태를 취할 수 있다. 온도 감지기의 수와 위치는 온도를 균일하게 올리기 위해 선택되는데, 바람직한 온도 제어기와 관련하여 후술하는 설명으로부터 이해될 것이다. 그러나 온도 감지기는 직접이든 간접이든 웨이퍼와 근접한 위치의 온도를 감지하는 것이 바람직하다.

예시된 실시예에서, 온도 감지기는 적절한 방식으로 웨이퍼 홀더(20) 아래에 현가 지지된 제1 또는 중앙 열전쌍(28)을 포함한다. 예시된 중앙 열전쌍(28)은 웨이퍼 홀더(20) 가까이 있는 스파이더(22)를 통과한다. 리액터(10)는 역시 웨이퍼(16) 근처에 있으면서, 선단 또는 전방 열전쌍(29), 후단 또는 후방 열전쌍(30)과 측방 열전쌍(31)(미도시)을 포함하는 복수의 제2 또는 주변 열전쌍을 더 포함한다. 주변 열전쌍은 각각 웨이퍼 홀더(20)와 웨이퍼(16)를 에워싸는 링(32) 내에 수용된다. 중앙 및 주변 열전쌍은 각각 열전쌍의 독출값에 대응하여 다양한 가열 엘리먼트(14)의 전력을 설정하는 온도 제어기에 연결된다.

주변 열전쌍을 수용하는 외에도, 링(32)은 고온 공정 중에 복사열을 흡수 및 방출하여, 웨이퍼 에지에서의 더 큰 열 손실 또는 흡수 경향에 대하여 보상하는데, 그러한 경향은 그들 에지 근처의 영역에서의 체적에 대한 표면적의 비가 더 커지기 때문에 발생하는 것으로 알려진 현상이다. 따라서 링(32)은 공정 중에 웨이퍼(16) 전체에 걸쳐 온도 균일성을 증진시킨다. 링(32)은 적당한 수단에 의해 현가 지지될 수 있다. 예를 들면, 예시된 링(32)은 상류 또는 전방 챔버 디바이더(36)와 하류 또는 후방 챔버 디바이더(38)로부터 매달려 있는 엘보(34) 위에 얹혀있다. 바람직하게 디바이더(36,38)는 석영으로 형성된다. 예시된 챔버(12)에서 이들 디바이더(36, 38)는 챔버의 상부 공정 부분을 한정할 뿐만 아니라, 챔버가 감압으로 작동된다면 구조물 지지체를 제공할 수 있는데, 도2 내지 도4를 참조하여 더 상세히 설명된다.

예시된 반응 챔버(12)는 반응가스 및 운반가스의 주입을 위한 유입 포트(40)를 포함하며, 웨이퍼(16)는 유입 포트를 통해 수용될 수 있다. 유출 포트(42)는 챔버(12)의 반대쪽에 있으며, 유입 포트(40)와 유출 포트(42) 사이에 웨이퍼 지지 구조체가 위치한다.

유입 컴포넌트(44)는 반응 챔버에 끼워 맞춰지고 유입 포트(40)를 둘러싸도록 조절되며, 웨이퍼(16)가 통과할 수 있는 세장형 수평 슬롯(45)을 포함한다. 전체가 수직인 유입구(46)는 원격소스로부터 가스를 수용하며, 그 가스를 슬롯(45)과 유입 포트(40)에 연통시킨다. 유입구(46)는 호킨스 등(Hawkins, et al.)의 미국특허 제5,221,556호에 개시된 가스 인젝터(미도시)를 포함할 수 있는데, 본 명세서에서는 이 특허의 개시 내용을 참고한다. 그러한 인젝터는 균일 증착을 이룰 때까지 매엽식 웨이퍼 리액터에 대한 가스 유동을 제어하도록 조절 가능한 니들 밸브를 포함한다.

리액터는 또 가스 패널에서 조정되는 유량 제어기(MFC)는 물론 부속 안전 제어밸브가 있는 가스 라인을 경유해 유입구(46)와 연통하는 공정 가스의 원격 소스를 포함하며, 당해 기술의 숙련자는 이를 이해할 것이다. 가스 소스는 실리콘 함유 가스를 포함하며, 바람직하게는 모노실란(SiH_4), 디실란(Si_2H_6), 디클로로실란(DCS 또는 SiH_2Cl_2), 트리클로로실란(TCS 또는 SiHCl_3) 또는 다른 실란 같은 실란이나 할로실란 실리콘 소스가 바람직하다. 실리콘 함유 가스 분자를 기체 형태로 반응 챔버에 보다 효율적으로 전달하기 위해 실리콘 소스는 TCS 같은 액체 용액을 통하여 H_2 를 버블링하기 위한 버블러 및 가스 라인을 포함할 수 있다. 예시된 리액터(10)는 또 포스핀(PH_3), 아르신(AsH_3) 및/또는 디보란(B_2H_6)을 포함하는 첨가가스; 리액터 벽을 세척하기 위한 식각제(예를 들면, HCl); SiGe 필름의 도핑 또는 형성을 위한 게르마늄 소스; 암모니아(NH_3) 같은 다른 소스 가스를 포함한다.

유출 컴포넌트(48)는 공정 챔버(12)에 결합 장착하여, 배기구(49)가 유출 포트(42)와 정렬하며 배기 도관(50)으로 이어진다. 계속하여 도관(50)은 챔버(12)를 통해 공정 가스를 인출하기 위하여 적당한 진공 수단(미도시)과 연통한다. 일 실시예에서, 공정 가스는 펌프의 도움 없이도 반응 챔버와 하류의 스크러버를 통해 인출된다. 그러한 리액터에는 진공 챔버가 있는 구성을 갖지는 않으며, 그 용어는 화학증착 기술에서 이해되는 용어이다. 그러나 예시된 강화 챔버(12)는 챔버(12)를 통해 가스를 인출하는 것을 도와주고 원한다면 압력을 줄이기 위해 펌프나 팬(미도시)이 첨가될 수 있다.

도2와 도3은 전체적으로 예시적인 반응 챔버(12)의 3차원 구성을 도시한다. 도면으로 알 수 있는 바와 같이, 챔버(12)는 전체적으로 세장의 평평한 구성을 갖는데, 횡단면으로 보면 전체적으로 반대쪽에 양볼록면이 있는 렌즈 형태이다. 예시된 챔버(12)는 한쪽 방향으로 원형 곡률을 가지고 직교 방향으로는 곡률이 없는 것으로 도시되어 있다. 챔버(12)는 외부의 볼록면과 내부의 오목면이 있는 상벽(52)과 외부의 볼록면과 내부의 오목면이 있는 하벽(54)을 갖는다. 벽(52, 54)은 수직의 짧은 측방 레일(55, 56)에 의해 연결된다. 이들 벽과 측방 레일은 나아가 상류 유입단 플랜지(57)와 하류 유출단 플랜지(58)에 의해 결합된다.

상류부와 및 하류부는 공정 가스의 유동 방향과 관련된 것으로 본 설명의 목적을 위해서 길이 방향을 뜻하는 것으로 한다. 물론 가스 유로는 챔버의 유입 포트(40)와 유출 포트(42) 사이에서 길이 방향으로 연장된다. 그러므로 측면 방향은 짧은 측방 레일(55, 56) 사이에서 연장된다. 챔버(12)의 높이는 길이 방향 및 측 방향의 축 각각에 대해 수직인, 수직 치수로 정의된다.

도3을 참조하여 가장 잘 알 수 있는 바와 같이, 상벽(52)과 하벽(54) 각각은 측 방향으로 일정한 정상 곡률을 갖는 얇은 곡선 엘리먼트를 포함하며 원통면과 비슷한 형상을 가진 것으로 도시되어 있다. 예시된 실시예에서 상벽(52)과 하벽(54)은 각각 약 24인치의 곡률 반지름과 약 4mm와 6mm 사이의 두께를 갖는데, 보다 바람직하게는 약 5mm이다. 석영이 바람직하지만 하지만 비슷한 바람직한 특성을 갖는 다른 재료로 대체할 수 있다. 그러한 특성으로는 높은 용융점, 크고 급격한 온도 변화에 견딜 수 있는 능력, 화학적 불활성 및 복사 에너지 또는 빛에 대한 높은 투명도 등이다.

측방 레일(55, 56) 각각은 측방 레일(55, 56)의 길이를 길이 방향으로 연장시키는 내부의 상부 홈(59a)과 하부 홈(59b)이 있는 강화 본체를 포함한다. 이들 홈(59a, 59b)은 상부, 중앙 및 하부의 돌출벽 세그먼트(60a, 60b, 60c)를 각각 한정한다. 상부 및 하부의 돌출벽 세그먼트(60a, 60c)는 길이 방향의 결합점(61)에서 상벽(52)과 하벽(54)의 측방 에지로 연장되어 측방 에지와 결합한다. 예시된 실시예에서, 측방 레일(55, 56)의 본체는 약 20mm의 두께 또는 폭 및 약 21mm의 높이를 갖는다.

중앙 돌출벽 세그먼트(60b)는 내측으로 연장하여 전방 챔버 디바이더(36)와 후방 챔버 디바이더(38)(도1)와 결합한다. 도3의 횡단면도에서는 전방 챔버 디바이더(36)만 보인다. 예시된 실시예에서, 중앙 돌출벽 세그먼트(60b)는 길이 방향의 조인트(62)에서 용접된다. 바람직하게 중앙 돌출벽 세그먼트(60b)와 디바이더(36, 38)는 챔버(12)를 분할한다. 링(32)과 웨이퍼 홀더(20)와 함께, 이것은 유리하게 공정 가스를 챔버의 상부 영역으로 국한시킨다. 더욱이, 분할판 위의 상벽(52)과 분할판 아래의 하벽(54)의 대칭은 유리하게 측방 레일(55, 56)의 용접 구성과 더불어 벽(52, 54) 위의 내측 및 외측 압력을 분할판(36, 38)의 평면 안의 측방 스트레스로 전이시킨다. 그러므로 대칭은 분할판(36, 38) 상의 휨 응력 또는 전단 응력을 피하고, 따라서 챔버(12)는 증감하는 내부 압력으로부터의 스트레스를 견딜 수 있다.

예시되지는 않았지만, 말단 플랜지(57, 58) 각각은 분할판(36, 38)과 결합하는 중앙의 내측 연장부는 물론, 상벽(52) 및 하벽(54)과 결합하는 내측 연장부를 포함한다. 이들 피스의 결합면도 함께 용접될 수 있다. 전술한 것처럼 유출 플랜지(58)는 공정 챔버(12)의 유출 포트(52)를 한정하는 반면에 유입 플랜지(57)는 챔버(12)의 유입 포트(40)를 한정한다.

이제 도4를 참조하면, 측방 레일(55, 56)의 중앙 돌출벽 세그먼트(60b)와 더불어 전방 분할판(36)과 후방 분할판(38)은 링(32)과 웨이퍼 홀더(20)를 수용하도록 구성된 개구부를 한정한다. 바람직하게 웨이퍼 홀더(20)는 정지 링(32) 내에서 회전하도록 조정되므로 약 0.5mm 내지 1.0mm의 작은 환상의 갭을 두고 이격해 있는 것이 바람직하다. 도4에서는 둥근 에지가 있는 전체적으로 사각형으로 예시되었지만, 다른 구성에서 링(32)은 원형으로도 만들어질 수 있고, 이 경우에 분할판(36, 38)에 의해 한정된 개구부도 원형이어야 한다는 것이 이해될 것이다. 예시된 실시예에서 웨이퍼 홀더(20)의 하류부에 있는 링(32) 부분은 웨이퍼 홀더(20)의 상류부보다 더 큰 표면적을 갖는다. 링(32)과 웨이퍼 홀더(20)는 그라파이트 처럼 열 사이클링에 견딜 수 있는 고열 흡수능을 가진 물질을 포함하는 것이 바람직하며, 실리콘 카바이드가 더 바람직하다. 다른 기능 중에서도 링(32)은 웨이퍼 홀더(20)의 리딩 에지 및 계속하여 웨이퍼(16)의 리딩 에지에 닿기 전에 공정 가스를 미리 가열시키는 경향이 있다. 바람직하게 링(32)은 분할판(36, 38)의 에지와 거의 일치하고, 상면 및 하면은 서로 나란하다. 따라서 링(32)은 가스 층류에 대해 장애를 주지 않으며, 챔버(12)의 상부 및 하부는 실질적으로 서로 밀봉되어 있다.

챔버(12)에 대한 예시된 구조는 유리하게 약 5mm의 두께를 갖는 상벽(52) 및 하벽(54)과 함께 감압 상태에서도 구조적 지지를 허용하는데, 분할판은 약 10mm 두께를 필요로 한다. 다른 챔버 크기로는 약 325mm의 측방 폭, 약 600mm의 말단 플랜지(57, 58) 사이의 길이 및 약 115mm의 말단 플랜지의 높이를 포함한다. 이들 치수는 직경 200mm의 웨이퍼를 공정 처리하도록 설계되어 있다. 당해기술의 숙련자는 이들 치수가 300mm 또는 그이상의 더 큰 크기의 웨이퍼를 수용하기 위해 변경될 수 있다는 것을 쉽게 이해할 수 있다. 일반적으로 모든 치수를 비례 변경함으로써 예시된 실시예의 구조상 이점을 유지한다. 그러나 이는 단지 일반화일 뿐 대안적 실시예에서는 예시된 치수 및 비율에서 약간 벗어날 수 있다는 것이 이해된다.

예를 들면 200mm 웨이퍼를 공정 처리하도록 설계된 매엽식 웨이퍼 공정 챔버의 전체 체적 용량은 바람직하게는 약 30리터 미만이고, 보다 바람직하게는 약 20리터 미만이고, 예시된 챔버(12)에 대해서는 약 10리터이다. 그러나, 챔버가 디바이더(36, 38), 웨이퍼 홀더(20), 링(32)에 의해 분할되고 퍼지가스가 튜브(26)로부터 흐르기 때문에, 공정 가스가 유동하는 효과적인 체적은 전체 체적의 거의 절반이다(즉, 예시된 챔버(12)에 대해서는 약 5.5리터). 물론 매엽식 웨이퍼 공정 챔버

(12)의 체적은 처리해야 할 웨이퍼의 크기에 따라 달라지는 것이 이해될 것이다. 예를 들면 예시된 형태의 300mm 매엽식 웨이퍼 공정 챔버는 일반적으로 약 100리터 미만의 용량을 가지며, 약 60리터 미만인 것이 바람직하고, 약 30리터 미만인 것이 더 바람직하다. 300mm 웨이퍼를 처리하도록 설계된 볼록 렌즈형 챔버에서 그 체적은 약 27리터이다.

예시된 기관

도5는 바람직한 실시예에 따라서 실리콘층이 증착되는 예시된 기관의 단면을 도시한다. 기관은 급경사의 스텝을 포함하므로 증착된 재료로 일치하게 커버하는 것을 어렵게 한다. 전술한 "배경기술"에서 언급한 것처럼 그러한 스텝은 제조되는 공정 중에 집적회로에 존재할 수 있다. 개시된 증착 공정은 반도체 웨이퍼 내의 트렌치 구조와 같은 홈 또는 높은 종횡비를 갖는 구조물 내로 증착할 때 특히 유용하다.

그러나 예시된 실시예에서 기관은 공정 진행 중의 집적회로의 구조 내에서 채워져야 할 비아홀 또는 트렌치를 포함하는 실리콘 웨이퍼(16)를 포함한다. 도5 내지 도7에서 집적 트랜지스터는 단결정 실리콘 내에 그리고 단결정 실리콘 위에 형성된다. 한편, 도7a 및 도7b는 메모리 회로의 트렌치 커패시터를 도시한다.

도5 내지 도7의 트랜지스터는 트랜지스터의 소스 및 드레인 영역을 나타내는 두 개의 활성 영역(84) 사이에 형성된 게이트 구조(82)를 포함한다. 게이트 구조(82)는 게이트 유전체(86), 바람직하게는 폴리실리콘을 포함하는 게이트 전극(88), 절연 측벽 스페이서(90) 및 보호 캡층(92)을 포함한다. 다른 유전체 재료도 본 기술에 이용될 수 있지만, 게이트 유전체(86)는 일반적으로 열적 실리콘 산화층을 포함한다. 게이트 전극(88)은 바람직하게 폴리실리콘을 포함하며, 소스 및 드레인 영역(84)의 자가 정렬 형성이 가능한 것이 바람직한데, 당해기술의 숙련자는 이를 이해할 것이다. 절연 스페이서(90) 및 보호 캡층(92)은 일반적으로 유전체 재료로 형성되며, 예시된 실시예에서는 질화규소이다.

전술한 바와 같이, 소스 및 드레인 영역은 게이트 스택(82)이 형성된 이후에 이온 주입(implantation) 또는 확산을 통해 자가 정렬식으로 형성될 수 있다. 예시된 실시예에서, 웨이퍼(16)는 저레벨의 백그라운드 p-형 첨가원소가 있는 것으로 도시되어 있는데, 활성 영역(84)은 n-형 첨가원소를 가지고 두껍게 도핑함으로써 형성된다. 그러나 도전 타입은 역전될 수 있으며, 대안적 구성에서는 PMOS 또는 NMOS 장치가 동일 웨이퍼의 다른 영역에 형성될 수 있다는 것이 이해된다. 어떤 경우든 두껍게 도핑된 활성 영역(84) 사이에는 트랜지스터 게이트 전극(88) 아래에서 트랜지스터 채널 영역이 한정된다.

필드 산화막층 영역(94)도 도5에 도시되어 있다. 당해기술에 알려진 바와 같이, 필드 산화막층은 열 산화, 트렌치 충전 또는 이들 기술의 조합에 의해 형성될 수 있다. 필드 산화막층(94)은 디바이스를 서로 절연시키는데 이용된다.

도5의 기관에는 또 웨이퍼(16)와 트랜지스터 구조를 덮는, 비교적 두꺼운(예를 들면, 0.5 μ m 내지 2.0 μ m, 예시된 실시예에서는 1.6 μ m) 절연층(96)이 있는 것으로 도시되어 있다. 절연층(96)은 일반적으로 보로포소실리케이트 유리(BPSG) 같은 실리콘 산화막을 포함한다.

접촉 개구부 또는 비아홀(98)은 절연층(96)에서 개방되어 활성 영역(84)의 하나를 노출시킨다. 집적회로 제조 기술에서 알려진 바와 같이, 그러한 접촉 개구부, 홈 또는 비아홀(98)은 사진 식각 및 식각 공정에 의해 개방될 수 있다. 예시된 콘택 비아홀(98)은 전체적으로 수직인 측벽(99)에 의해 한정되는데, 이들 측벽은 개구부(98)를 한정하는데 이용되는 마스크의 형태에 따라 원형이거나 또는 사각형이 되기도 한다. 대안적 구성에서 측벽이 기울어질 수도 있다는 것, 즉 수직일 필요는 없다는 것도 이해된다.

오늘날 집적회로 기술이 지시하는 바에 따라 예시된 비아홀(98)은 높은 종횡비를 갖는다. 바람직하게 비아홀(98)의 개구부는 약 1.0 μ m 미만의 직경을 가지며, 예시된 실시예에서는 약 0.7 μ m 내지 0.8 μ m 사이에 있다. 그러나 후술하는 공정 처리된 증착은 심지어 개구부가 약 0.5 μ m 미만이고 특히 약 0.25 μ m 미만인 0.5 μ m 미만의 더 작은 폭의 구멍들을 채우는데 특히 유용하다. (구멍들 폭을 한정하는) 마스크 오프닝을 사용하는 회로 설계는 당해 기술에서 "하프 마이크론" 또는 "서브 하프 마이크론(sub-half-micron)" 기술을 채용하는 것으로 알려져 있고, "쿼터 마이크론" 기술은 마찬가지로 0.25 μ m 및 그 이하의 마스크 오프닝을 채용하는 디자인을 가리킨다. 쿼터 마이크론 기술에서, 일반적인 게이트 간격은 약 0.25 μ m 인 반면에, 콘택 비아홀은 직경이 약 0.40 μ m이다. 비아홀(98)의 종횡비(깊이 대 폭)는 그러므로 1:1이상인 것이 바람직하고, 예시된 실시예에서는 약 2:1이상이며, 차세대 회로 설계에 대해서는 3:1, 심지어는 5:1 이상이 될 것이다.

도7a와 도7b를 참조하면 DRAM 커패시터용 트렌치는 일반적으로 0.25 μ m 이하의 폭을 갖는다. DRAM 회로 설계는 현재 약 0.18 μ m의 트렌치 개구부를 반영하지만, 미래의 회로는 0.15 μ m, 0.13 μ m, 0.10 μ m 등의 특징을 반영할 것이다. 약 5 μ m, 바람직하게는 약 7 μ m, 가장 바람직하게는 약 10 μ m이상의 트렌치 깊이와 결합된 커패시터 트렌치의 종횡비는 콘택 비아홀보

다 상당히 클 수 있다. 바람직하게 DRAM 커패시터 트렌치는 약 10:1이상, 보다 바람직하게는 약 20:1이상의 종횡비를 가지며, 현재 기술로는 40:1 만큼 높다. 후술하는 것처럼, 본 발명은 공정 중 도핑으로 뛰어난 스텝 커버리지를 가지고 그러한 높은 종횡비의 트렌치를 채우는 것으로 입증되었다.

바람직한 증착 공정

전술한 "배경기술"에서 설명한 것처럼, 실리콘 증착 공정의 상업적 성공은 한편으로는 최종적으로 형성된 층의 품질과 스텝 커버리지에 의해, 다른 한편으로는 공정의 증착율에 의해 측정될 수 있다. 증착이 바람직한 공정 챔버(12)(도1) 같은 매엽식 웨이퍼 챔버에서 일어난다면, 복엽식 프로세서에서의 증착율보다 웨이퍼 처리량에 대한 영향이 더 크므로 증착율이 특히 중요하다. 매엽식 웨이퍼 리액터에서 실리콘 증착율을 개선하는 것이 중요하긴 하지만, 그러한 공정의 상업적 생존 능력은 현재 및 미래 세대의 특징적인 치수에 대해 인정되는 스텝 커버리지를 유지하느냐에 달려있다.

비에퍼택설(다결정 또는 비정질) 실리콘 증착에 대한 종래의 이해는 공정 중에 저압으로 하이 스텝 커버리지를 달성할 수 있다는 것이었다. 그러므로, 실리콘 증착을 위한 "고압" 공정 조차도 비결정 압력 수준 이하에서 진행된다. 예를 들면, 미국 특허 제5,607,724호, 제5,614,257호 및 제5,700,520호는 그러한 "고압" 증착을 도시한다. 증착율은 공정 온도를 올림으로써 증가되었지만, 스텝 커버리지의 악화를 동반하게 된다. 더욱이, 첨가가스를 공정에 혼합하는 것은 전통적으로 커버리지를 훨씬 더 악화시켰다.

그러나 전통적으로 저압에서 관찰되었던 스텝 커버리지의 일반적 악화없이, 고온과 고압에서 높은 증착율을 얻을 수 있는 것이 밝혀졌다.

바람직한 실시예에 따라서, 도5에 도시된대로 깊은 콘택홀(98)을 포함하는 웨이퍼(16)는 바람직한 반응 공정 챔버(12)로 로딩된다. 웨이퍼는 바람직하게, 주위 환경에서 떨어진 핸들링 챔버(미도시)로부터 핸들링 챔버에 위치한 픽업장치에 의해 슬롯(45)을 통과한다. 포크나 패들이 핸들링 장치로 쓰일 수 있지만 바람직한 픽업장치는 개시 내용을 본 명세서에서 참고하는 미국특허 제4,846,102호에 개시된대로 고속의 가스 스트림을 사선으로 쏘는 완드를 포함한다. 웨이퍼 상면 가까이 갈 때 가스 스트림은 웨이퍼 위에 저압 구역을 생성하여, 웨이퍼가 들어올려지게 한다. 핸들링 챔버와 공정 챔버(12)는 개시 내용을 본 명세서에서 참고하는 미국특허 제4,828,224호에 개시된 유형의 게이트 밸브(미도시)에 의해 바람직하게 격리된다.

게이트 밸브가 폐쇄된 후에 퍼지가스는 주위 오염원을 제거하기 위해 챔버를 통해 유동하는 것이 바람직하다. 바람직하게, 산소가스는 유입 포트(40)로부터 유출포트(42)로 유동하며, 물론 매달린 튜브(26)를 통해 웨이퍼 홀더(20)(도1 참조)의 하면으로 유동한다. 예시적인 퍼지 수소 유량은 웨이퍼(16) 위의 공정 영역에서 약 45slm 인 반면에 약 1slm과 10slm 사이의 유량이 웨이퍼(16) 밑으로 수평 유동한다. 동시에 퍼지가스의 약 0.5slm과 5slm 사이의 유량이 튜브(26)를 통해 유동할 수 있다.

퍼징하는 동안에 웨이퍼의 온도(16)는 램프(13, 14, 15)에 대한 전력을 늘림으로써 원하는 공정 온도로 상승될 수 있다. 비정질 또는 다결정 실리콘 증착은 약 550°C와 850°C 사이에서 진행된다.

특히 비정질 실리콘층이 바람직하다면 온도는 바람직하게는 약 550°C와 650°C 사이, 보다 바람직하게는 약 625°C로 상승한다. 본 명세서에서 개시된 비교적 고압에서 폴리실리콘층을 급속히 증착하기 위해서, 온도는 약 650°C이상인 것이 바람직하고, 약 700°C이상인 것이 더 바람직하다. 도핑되지 않거나 약간 도핑된 실리콘에 대하여, 본 명세서에 기재된 공정은 약 650°C에서 100nm/min로 증착을 얻을 수 있는 반면에, 두껍게 도핑된 실리콘은 약 680°C에서 동일한 증착율을 얻을 수 있다. 바람직하게 온도는 에피택셜 증착을 피하기 위해 어느 경우든 약 850°C 미만이다. 원하는 전기적 특성에 따라 비정질 및 다결정 실리콘의 혼합물을 증착시키기 위한 조건이 선택될 수 있다는 것이 당해기술의 숙련자에 의해 이해될 것이다.

동시에, 챔버(12)는 원하는 압력 수준으로 낮아질 수 있다. 챔버(12)는 100Torr(13.3kPa)이상에서, 바람직하게는 약 500Torr(66.7kPa)이상에서, 보다 바람직하게는 약 700Torr(93.3kPa)이상에서 유지되며, 약 대기압(760Torr 또는 101.3kPa)에서 가장 바람직하게 유지된다. 진공 펌프없이 작동될 수 있는 예시된 리액터(10)(도1)에서, 실리콘 증착은 대기압 가까이에서(전형적으로 700Torr 내지 800Torr 또는 93.3kPa 내지 106.7kPa) 진행된다. 가스 유동으로 인한 약간의 압력 변동은 무시할 만한 영향이다.

웨이퍼(16)가 원하는 반응 온도에 이르고, 챔버가 원하는 압력 수준으로 설정된 후에, 공정 가스는 중앙 컨트롤러에 프로그램된 방향에 따라 유입구(46)와 연통하고 인젝터를 통해 공정챔버(12)로 분배된다. 이들 공정 가스는 그 후 공정 챔버(12)의 상부, 즉 웨이퍼(16), 링(32)과 디바이더(36, 38) 위를 통해서 유동하고 유출 포트(45)를 향하여 인출된다. 미반응 공정 가스, 운반 또는 희석가스 및 기체 반응 부산물도 따라서 배기구(49)와 배기 도관(50)을 통해 배출된다.

공정 챔버 내에서 공정 가스의 잔류 시간은 비교적 짧다. 본 명세서에서 말하는 잔류 시간은 관련 온도에서 공정 부피에 의해 나누어진 부피로 측정된 공정 가스 유량으로 정의된다. 바람직하게 반응 챔버(12)에서 공정 가스의 잔류 시간은 약 100초 미만이지만, 약 60초 미만이 더 바람직하고, 약 20초 미만인 것이 가장 바람직하다.

잔류 시간을 줄이는 것은 바람직한 리액터(10)의 설계에 의해 용이해지는데, 웨이퍼(16) 위에서의 실질적으로 단일한 균일 기류층 패턴을 보여준다. 단일 통과 가스 층류는, 예를 들면 공정 가스의 의도적 재순환을 활용하거나 가스 유로를 따라 보이는 것처럼 실질적으로 균일하지 않은 부력 효과 또는 챔버 횡단면의 결과로 재순환을 보여주는 리액터와는 구별되어야 한다. 챔버의 구조적 디자인인 가스 유동시의 돌출에 의해 또는 다른 공정 영역에 있는 가스에 대한 열 효과의 차이에 의해 난류가 생길 수 있다. 단일 통과 가스 층류는 측면 곡률에 상관없이 도1에 도시된 단면과 닮은 길이 방향의 단면을 갖는 공정 챔버에 의해 달성될 수 있다는 것이 이해된다. 특히, 비순환 가스 유로는 전체적으로 웨이퍼(16) 표면에 평행하게 설정된다. 바람직하게, 챔버(12)는 분할되어 공정 가스가 웨이퍼(16) 밑으로 유동할 수 없다. 후술하는 공정 챔버로부터 이해되는 것처럼 충분한 운반가스 유동에 의해 달성되는 높은 가스 유량에 의해 짧은 잔류 시간이 용이해진다.

도1a를 참조하면, 대체 챔버(12A)가 도3과 비슷한 측단면도로 개략적으로 도시되어 있는데, 웨이퍼(16)를 지나가고 챔버(12A) 내에 위치한 유로 가이드(52A)가 있는 것이 예외이다. 챔버가 도1 내지 도4의 챔버와 동일하기 때문에 같은 번호는 같은 부분을 나타내기 위해 사용되었다. 유로 가이드(52A)가 유리하게 채용되어 공정 가스가 유동하는 체적을 제약함으로써 공정 가스의 잔류 시간을 더 줄일 수 있는 것으로 밝혀졌다. 동시에, 그러한 구조는 가스 유량을 제어함으로써 증착층의 균일성을 향상시킬 수 있다. 예시된 유로 가이드(52A)는 석영으로 형성된 플레이트를 포함한다. 유로 가이드(52A)의 길이 및 챔버 내에서의 위치는 주 챔버(12A)의 단면을 변경하지 않고도 원하는 필름 특성에 조화시키기 위해 선택될 수 있다.

운반가스는 잘 알려진 다수의 불활성 가스들, 즉 N_2 , Ar 등을 포함할 수 있다. 그러나 보다 바람직하게는 H_2 가 바람직한 공정에서 운반가스로 사용된다. 폴리실리콘 증착에 대하여, 안전의 문제 및 N_2 를 사용하는 공정에 비하여 낮은 증착율 때문에 수소를 운반가스로 사용하는 것은 전통적으로 피해왔었다. 그러나 수소가 챔버(2) 내로 그리고 웨이퍼(16) 상에 더 적은 오염원을 도입시키고, 나아가 보다 나은 온도 조절 및 내부 챔버 벽면 상의 증착의 감소를 용이하게 한다는 점에서 유리한 것으로 밝혀졌다. 더욱이, 이론상 제한받지 않으면서, 너무 빨리 증착되어 트렌치의 개구부나 구멍들이 채워지기 이전에 막곤 했던 더 높은 실란(예를 들면, SiH_2 , Si_2H_6 등)의 형성을 막아주는 것으로 믿어진다.

특히, (200mm 웨이퍼에 대하여) 횡단면에 있어서 대략 $2''(5.1cm) \times 10''(25.4cm)$ 의 가스 유로가 있는 챔버는 바람직하게는 약 5slm 이상으로 작동되고, 바람직하게는 약 10slm 이상의 운반 가스로 그리고 특히 약 20slm 내지 60slm으로 작동된다.

공정 가스는 적어도 하나의 실리кон 소스 가스를 포함한다. 전술한 것처럼 바람직한 실리кон 소스 가스는 상기한 실란 또는 클로로실란 가스 중 어느 것이라도 포함한다. 수소 운반가스와 모노실란과의 예시된 결합 사용은 높은 중형비의 틸새를 우수한 스텝 커버리지와 높은 증착율로 채울 수 있다는 점에서 특히 장점이 있다. 실리кон 소스 가스의 유량은 공정 압력에 따라 달라지지만 약 100sccm과 2000sccm 사이가 바람직하고, 약 300sccm과 700sccm 사이인 것이 보다 바람직하다.

가장 바람직하게 공정 플로우는 공정중에서 도핑된 전도성 실리кон 층의 증착을 초래하는 첨가가스를 포함한다. n형 층에 대하여, 예시된 n형 활성 영역(84)(도5)에 접촉하기 위하여 아르신(AsH_3)이나 포스핀(PH_3) 중 하나가 공정 플로우에 첨가된다. p형 층을 원한다면 디보란이 플로우에 첨가될 수 있다. 당해기술의 숙련자에 의해 이해되는 것처럼 첨가원소는 바람직하게 미반응성 가스, 즉 첨가원소 가스와 반응하지 않는 가스와 혼합하여 도입된다. 예시된 실시예에서, 첨가원소는 H_2 와 1% 혼합물로 도입되며, 이 혼합물은 다른 공정 변수, 원하는 비저항(resistivity) 및 원하는 성장률에 따라 1sccm과 200sccm 사이에서 유동할 수 있다. 일반적으로 (실리кон 소스 가스 유량에 상대적으로) 첨가원소의 유량이 높다는 것은 낮은 비저항 및 (포인트에 대하여) 낮은 성장률의 의미를 내포하며, 부가적으로 스텝 커버리지를 감소시킨다. LPCVD가 전통적으로 증착에 첨가원소를 도입할 때 크기의 차수(order)만큼 증착율을 악화시키는 것을 보여주었지만, 본 명세서에서 기술된 분위기, 수소/실란 증착 공정은 비소 도핑을 위해 단지 2.5의 계수만큼 증착율의 감소만을, 그리고 인 도핑에 대해서는 심지어 더 높은 증착율을 보여준다.

도6은 실리콘이 바람직한 공정에 의해 증착되어 실리콘층(100)이 된 후의 예시적인 웨이퍼(16)를 개략적으로 도시한다. 콘택홀 충전을 위한 예시적인 공정은 약 350sccm의 SiH_4 , 14slm의 H_2 및 20sccm의 1% PH_3 혼합물의 유량을 포함하며 기판은 약 650℃로 가열된다. 예시된 콘택홀(98)의 작은 개구부 및 비교적 큰 깊이에도 불구하고 결과적인 실리콘층(100)은 구멍들(98)에 대해 우수한 스텝 커버리지 또는 일치함을 보여준다. 특히, 실리콘층(100)은 86%의 스텝 커버리지를 보여준 반면에 "스텝 커버리지"는 수직 구멍들 측벽(99)에 대한 실리콘(100)의 두께 대 절연층(96)의 상면에 대한 두께의 비로 측정된다.

도7은 접착 구멍들(98)에 계속되는 증착의 결과를 예시한다. 예시된대로 바람직한 증착 과정은 콘택홀(98)을 완전히 채우는 결과가 되어, 실리콘 콘택 플러그(102)와 실리콘(104)의 중첩층을 생성한다. 더욱이, 바람직한 공정에 따라서 실리콘 플러그(102)와 중첩층(104) 양자는 공정중에서 도핑되어, 이들 구조물이 도전성을 갖게 하는데, 형성 후 도핑 단계를 필요로 하지 않는다. 공정 중의 도핑은 또 첨가원소 농도가 구멍들에서 실질적으로 균일하여 고온 확산 단계를 피할 수 있다는 이점이 있다. 중첩층(104)은 그러므로 상호 연결 배선층의 일부로 이용될 수 있다.

전술한 것처럼 바람직한 증착방법은 특히 도7a와 도7b에 예시된 것처럼 트렌치 커패시터를 채우는데 유리하다. 도시된 것처럼 그러한 트렌치는 유전층과 코팅되고 나서 바람직한 방법에 의해 전도성 폴리실리콘으로 채워질 수 있다. 그러한 트렌치의 개구부는 0.25 μm 이하이며 예시된 실시예에서는 약 0.18 μm 이하이다. 당해기술의 숙련자가 이해하는 것처럼, 그렇게 좁고 깊은 트렌치는 보이드 형성없이 전도성 폴리실리콘으로 채우는 것은 어려울 수 있다. 그러나 본 발명의 공정은 비교적 고속의 증착율로 그리고 양호한 스텝 커버리지로 그러한 채우기를 달성하여 보이드 형성을 피하고 수율을 개선시킬 수 있다.

도7b는 본 발명의 예시적인 공정에 따라서 반도체 기판(102)에 형성되고 도핑된 폴리실리콘(102)으로 채워진 커패시터 트렌치(100)에 대한 실제 종횡비를 예시한다. 트렌치(100)의 깊이는 약 7.5 μm 에서 8 μm 로 달라졌다. 트렌치의 폭은 바닥면 근처에서 약 150nm으로 테이퍼지기 전에 약간 넓어서 기판(102)의 표면 가까이에서 약 330nm였다. 트렌치는 채워지기 전에 얇은 커패시터 유전체(104)로 증착된다. 아래의 표1은 도7b의 트렌치를 완전히 채우는데 실제로 이용되는 공정 방법을 제시한다.

[표 1]

공정 단계	시간 (s)	온도 (°C)	H_2 (slm)	N_2 (slm)	SiH_4 (sccm)	H_2 에서의1% AsH_3 (sccm)	압력 (Torr)
(1) 안정화	40	650	14	--	--	1% .. H_2	760
(2) 도핑된 폴리	126	650	14	--	480	20 H_3	760
(3) 도핑안된 폴리	20	650	14	--	480	--	760
(4) 퍼지가스 H_2	60	650	30	--	--	--	760
(5) 퍼지가스 N_2	웨이퍼 언로딩 내내	650	--	50	--	--	760

삭제

상기 변수 외에도, 약 1slm의 퍼지가스가 웨이퍼(16) 아래로 수평으로 유동하였으며, 약 1slm의 퍼지가스는 공정 내내 튜브(26)(도1 참조)를 통해 유동하였다. 웨이퍼 홀더(20)는 또한 약 30rpm의 속도로 회전하였다.

도핑된 폴리 증착 단계는 처음에 약 50nm의 두께로 도핑된 폴리실리콘을 생성했다. 연속되는 비도핑 폴리 증착 단계는 증착을 완료하여 전체 증착이 약 300nm으로 되게 하였다. 전술한 것처럼, 비도핑 폴리실리콘은 공정 중의 도핑 폴리실리콘보다 더 빨리 증착될 수 있어서, 전체 공정의 속도를 빠르게 한다. 연속되는 어닐링 단계(미도시)는 면 저항(R_s)을 안정시키고 또 폴리실리콘 충전 내내 초기 폴리로부터 고농도의 첨가원소 분포층을 확산시키는데 사용되었다. 예를 들면 증착층은 O_2 분위기에서 약 40초 동안 약 1050℃에서 어닐링될 수 있다. 모니터 웨이퍼 상의 유사한 증착 조건은 약 201 Ω/\square 의 면 저항(R_s)을 보여주었다.

예시적인 공정 및 대기, 수소/실란 폴리실리콘 증착 공정의 이론적 분석은 T. Hori 등에 의해 편집된 PROC OF THE 6TH INTERN. CONF. ON ADV. THERM. PROC. OF SEMICON. - RTP98(1998)의 C. Pomarede 등의 "트렌치 및 대기압 RTCVD 공정을 이용한 공정 중 도핑 폴리실리콘과의 접촉 충전"에 제공되어 있다. 이 개시 내용은 본 명세서에서 참고한다.

일반적으로, 바람직한 실시예의 고압, 고온 공정은 뛰어난 하이스텟 커버리지를 생성하는 반면에 동시에 상업적으로 인정되는 증착율을 달성한다. 더욱이 빠르고 고품질의 증착은 전도성을 위해 공정 중 도핑에서도 유지될 수 있어서 증착 후 도핑에 대한 필요성을 없애주며 일반적으로 더 나은 첨가원소 분포를 가능하게 한다. 특히, 도핑율은 바람직하게 약 50nm/min 보다 더 크게 유지되고, 바람직하게는 약 60nm/min보다 더 높게 유지되고, 약 100nm/min이상의 증착율을 보이는 것으로 입증되었다. 바람직한 공정에 의한 스텟 커버리지는 바람직하게는 약 70%이상이고, 보다 바람직하게는 약 80%이상이고, 가장 바람직하게는 약 85%이상이다. 아래의 표II에 나타난 것처럼 심지어 90%이상의 스텟 커버리지가 50nm/min이상의 증착율을 유지하면서 개시된 공정에 의해 달성될 수 있다.

표II는 반도체 웨이퍼에서 다양한 변수 변화 및 트렌치 구조에 대한 증착 결과를 예시한다. 특히 DRAM에서 커패시터를 형성하는데 공통으로 사용되는 그러한 트렌치는 개시된 공정에 의해 200nm 내지 300nm의 실리콘으로 코팅되었다. 트렌치는 깊이가 약 10 μ m이었고, 폭은 0.3 μ m 내지 1.8 μ m 범위였다. 많은 증착 변수 세트에 대하여, 증착율과 저항도는 주어진 변수 세트를 갖는 하나의 웨이퍼로부터 구해졌고, 스텟 커버리지는 동일한 변수 세트를 갖는 (홀이 있는) 다른 웨이퍼 상에서 결정되었다. 그러한 데이터 포인트는 편의상 표II에 결합되어 있다. 따라서 실제의 스텟 커버리지는 물론 증착율 및/또는 비저항을 보여주는 표II의 행은 이들 두 개의 별도의 웨이퍼로부터 구한 데이터를 표시한다.

[표 2]

온도 (C)	압력 (Torr)	H ₂ (slm)	SiH ₄ (sccm)	H ₂ 에서의 1% AsH ₃ (sccm)	증착율 (nm/min)	비저항 ($\mu\Omega\cdot\text{cm}$)	구멍 폭 (nm)	스텟 커버리지
580	760	5	450	1	24.2	16,888		
580	760	5	450	2.96			1160	92%
580	760	5	450	2.96			820	89%
580	760	5	450	2.96			1040	90%
580	760	5	450	10	22.4	2045		
600	760	5	450	2.96	40.4	3868	760	72%
620	760	5	450	2.96			1010	96%
620	760	5	450	2.96			540	76%
650	760	5	225	1.48			450	90%
650	760	5	450	6.42	134.9	9296	430	74%

삭제

[표 2]-계속

온도 (℃)	압력 (Torr)	H ₂ (slm)	SiH ₄ (sccm)	H ₂ 에서의 1% AsH ₃ (sccm)	증착율 (nm/min)	비저항 (μΩ2.cm)	구멍폭 (nm)	스텝 커버리지
650	760	5	450	6.42			640	90%
650	760	5	450	6.42			890	72%
650	760	7	175	0.5	53.3	40189		
650	760	7	175	1.15			540	81%
650	760	7	175	1.15			560	78%
650	760	7	175	1.15			780	76%
650	760	10	450	2.96	108.1	11451	900	77%
650	760	14	350		86.1		560	79%
650	760	14	350		86.1		770	84%
650	760	14	350		86.1		630	86%
650	760	14	350		86.1		700	83%
650	760	14	350	2.3	70.1	7796	460	79%
650	760	14	350	2.3	70.1	7796	550	83%
650	760	14	350	5	62.5	3285	770	91%
650	760	14	350	5	62.5	3285	810	92%
650	760	14	350	20	35.8	1382	760	68%
650	760	14	350	20	35.8	1382	520	67%
650	760	14	350	20	35.8	1382	910	67%
650	760	14	350	5	74.6	18815	490	71%
650	760	14	350	0			590	76%
650	760	14	350	0			440	65%
650	760	14	350	0			760	71%
650	760	14	450	6.42	81.2	3258	740	82%
650	760	14	450	6.42	81.2	3258	850	89%
650	760	14	450	6.42	81.2	3258	550	90%
650	760	28	350	1	47.7	15729		
650	760	28	350	2.3			730	87%
700	760	14	350	5	218.8	33484	790	72%
700	760	14	350	5	218.8	33484	920	86%
700	760	28	350	5	138.0	31893	820	86%

삭제

[표 2]-계속

온도 (℃)	압력 (Torr)	H ₂ (slm)	SiH ₄ (sccm)	H ₂ 에서의 1% AsH ₃ (sccm)	증착율 (nm/min)	비저항 (μΩ.cm)	구멍폭 (nm)	스텝 커버리지
700	760	28	350	5	138.0	31893	820	96%
700	760	28	350	5	138.0	31893	470	83%
700	760	42	350	2.3	104.4	103792	820	78%
700	760	42	350	2.3	104.4	103792	1720	91%
700	760	42	350	10	57.6	10791	700	92%
700	760	42	350	0	122.3		920	94%
700	760	42	350	10	102.6	322776		
650	40	4	450	6.42	36.3	3784	470	47%
650	40	4	450	6.42	36.3	3784	770	53%
650	40	4	450	6.42	36.3	3784	780	73%
650	40	4	450	6.42	36.3	3784	480	58%
650	40	5	350	1	42.8	14564		
650	40	5	350	2.3			530	74%
650	40	5	350	2.3			860	77%
650	40	5	350	5	24.1	5789		

삭제

상기 표로부터 당해 기술의 숙련자는 다른 매개변수를 상수로 유지하면 다음과 같은 일반화된 결론을 쉽게 이해할 것이다. (1) 압력이 줄면 증착율과 스텝 커버리지를 악화시킨다, (2) 아르신 유량을 늘리면 증착율과 스텝 커버리지를 줄인다, (3) 고 유량은 스텝 커버리지를 악화시키지 않으면서 증착율을 향상시킨다, (4) 양호한 스텝 커버리지 및 높은 증착율은 고온 (예를 들면 700℃) 및 고 유량에서 얻을 수 있다. 당해 기술의 숙련자는 본 명세서에 개시된 내용에 비추어 주어진 세트의 필요에 대한 유리한 증착 매개변수에 도달하기 위해 이들 교시 내용을 즉시 적용할 수 있다. 예를 들면 숙련된 기술자는 최소의 인정 가능한 스텝 커버리지 요구 및 필요한 저항도의 정도를 설정하고, 최고 증착율에서 이들 요구를 달성할 온도, 압력 및 유량을 결정할 수 있다.

본 발명은 특정의 바람직한 실시예에 비추어 기술되었지만, 당해 기술의 숙련자에게는 본 명세서에 개시된 내용에 비추어 다른 실시예도 이해할 수 있을 것이다. 따라서 본 발명은 바람직한 실시예를 언급한 것으로 한정할 의도는 없으며 첨부하는 청구범위에 의해서만 한정될 것이다.

도면의 간단한 설명

당해 기술의 숙련자에게는 다음 설명과 첨부 도면에 의해서 본 발명의 기술한 측면과 다른 측면이 확실해질 것이다.

도1은 본 발명의 제1 실시예에 사용되는, 몇몇 리액터 관련 컴퍼넌트를 포함하는, 예시된 매엽식 기관 반응 챔버의 개략단면도,

도1a는 가스의 층류를 촉진하기 위한 유동 가이드가 있는, 또 다른 매엽식 웨이퍼 반응 챔버의 개략단면도,

도2는 도1의 예시적인 반응 챔버의 사시도,

도3은 도2의 3-3선에 대한 챔버의 횡단면도,

도4는 회전 가능한 웨이퍼 홀더를 에워싼 링을 도시하는 챔버 내부의 부분 평면도,

도5는 제조 중에 있는 집적회로에서 높은 종횡비를 갖는 비아홀의 개략단면도,

도6은 바람직한 실시예에 따라서 실리콘 박막층의 증착 후의 도5의 비아홀에 대한 도면,

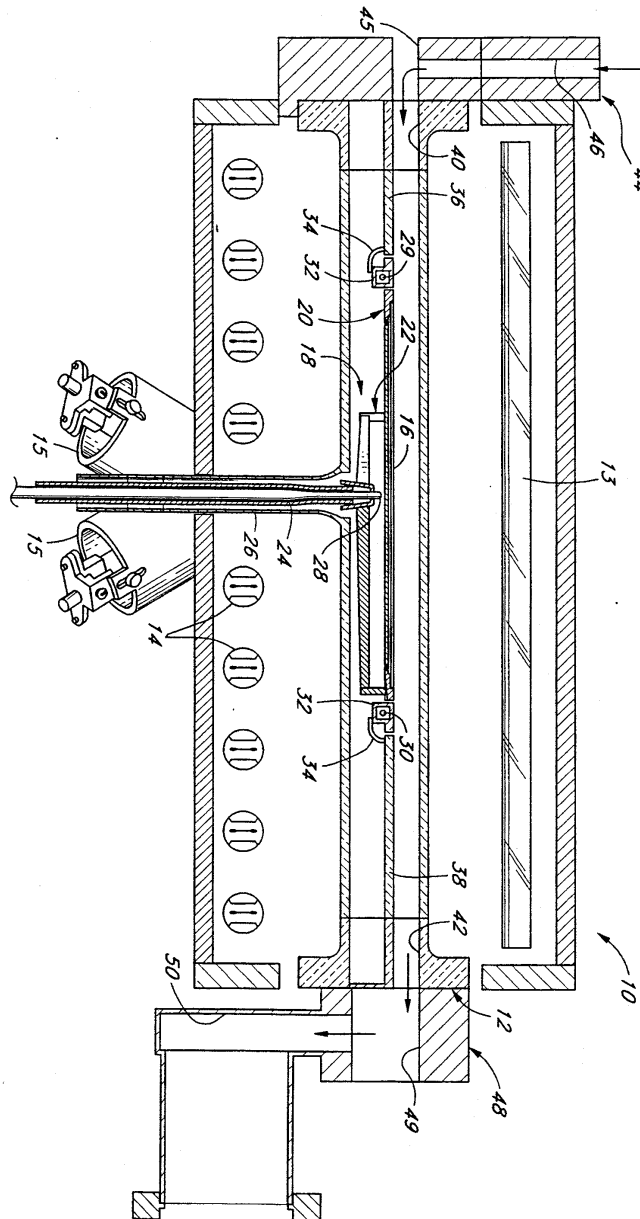
도7은 바람직한 실시예에 따라서 비아홀을 채우기 위한 연속 증착 후에 도6의 제조 중인 집적회로에 대한 도면,

도7a는 바람직한 방법에 의해 폴리실리콘으로 채워진 트렌치 커패시터의 개략도, 및

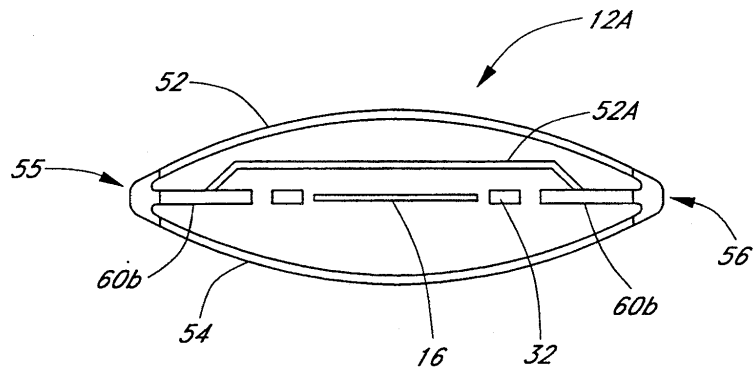
도7b는 바람직한 방법에 따라서 폴리실리콘으로 채워진 실제 트렌치 커패시터의 마이크로그래프에 대응하는 도면이다.

도면

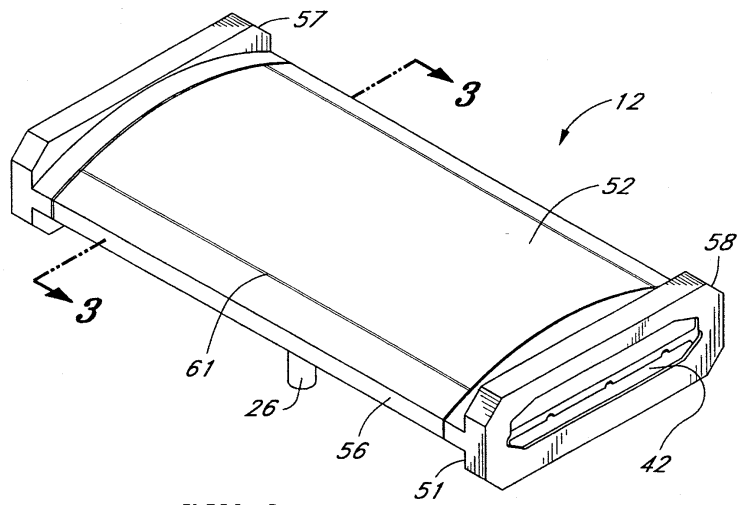
도면1



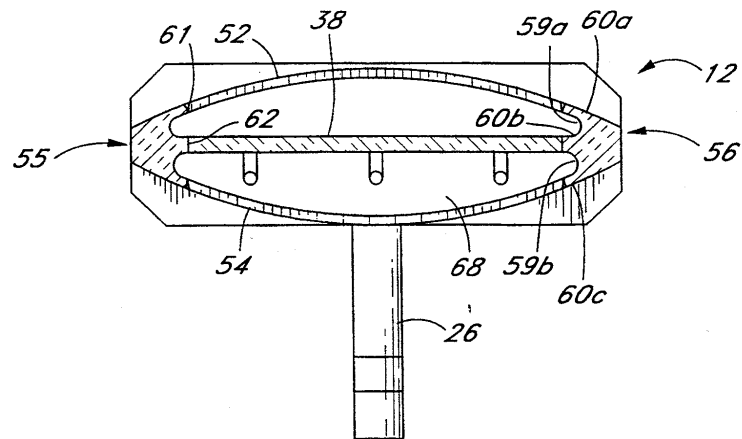
도면1a



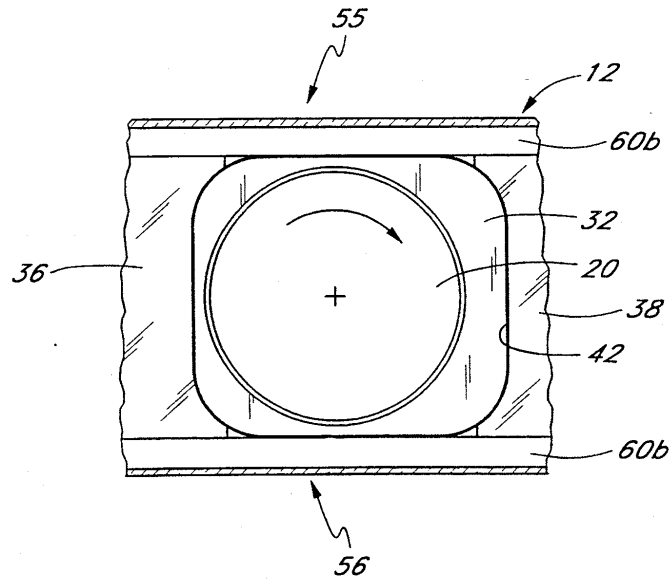
도면2



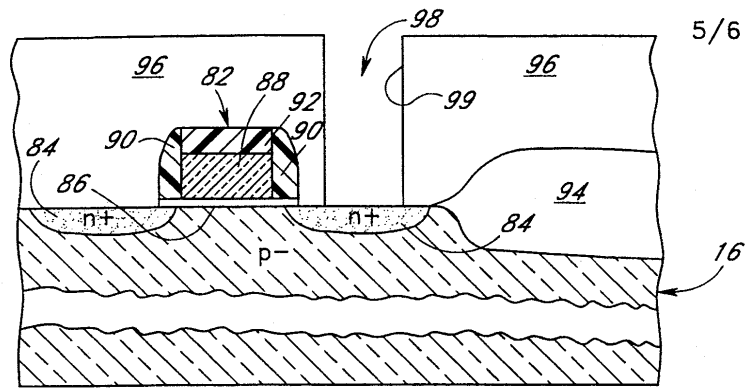
도면3



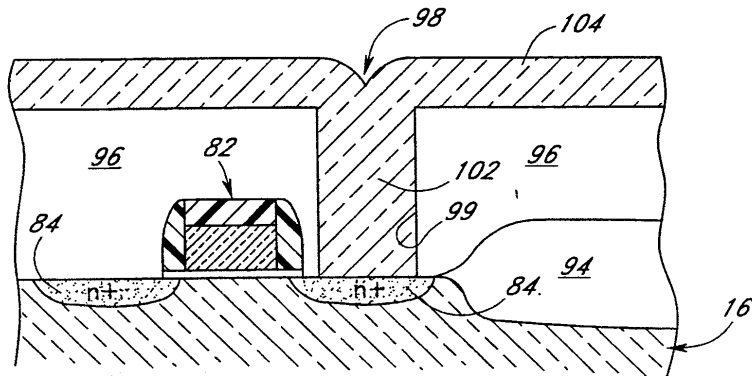
도면4



도면5



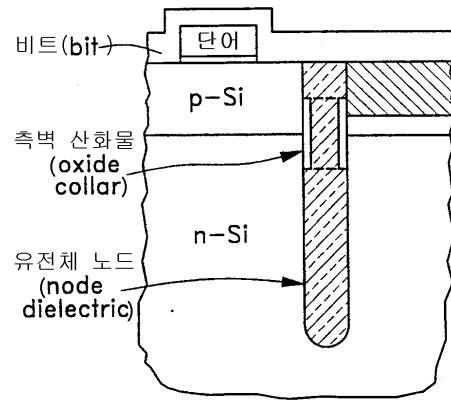
도면6



도면7

삭제

도면7a



도면7b

