

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3840361号
(P3840361)

(45) 発行日 平成18年11月1日(2006.11.1)

(24) 登録日 平成18年8月11日(2006.8.11)

(51) Int.C1.

F 1

HO4L 27/04

(2006.01)

HO4L 27/04

Z

請求項の数 8 (全 12 頁)

(21) 出願番号 特願2000-126006 (P2000-126006)
 (22) 出願日 平成12年4月26日 (2000.4.26)
 (65) 公開番号 特開2001-308941 (P2001-308941A)
 (43) 公開日 平成13年11月2日 (2001.11.2)
 審査請求日 平成17年12月16日 (2005.12.16)

(73) 特許権者 000221199
 東芝マイクロエレクトロニクス株式会社
 神奈川県川崎市川崎区駅前本町25番地1
 (73) 特許権者 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100064285
 弁理士 佐藤 一雄
 (74) 代理人 100088889
 弁理士 橋谷 英俊
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100103263
 弁理士 川崎 康

最終頁に続く

(54) 【発明の名称】半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、

前記FETのソース端子と接地端子との間に介挿されるインダクタ素子と、

前記FETのゲート端子とソース端子との間に介挿される第1のキャパシタ素子とを備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、

前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1のキャパシタ素子のキャパシタ値が設定されていることを特徴とする半導体集積回路。

【請求項2】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、

前記FETのソース端子と接地端子との間に介挿されるインダクタ素子と、

前記FETのドレイン端子とソース端子との間に介挿される第1のキャパシタ素子とを備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピ

10

20

ーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、

前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1のキャパシタ素子のキャパシタ値が設定されていることを特徴とする半導体集積回路。

【請求項3】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、

前記FETのソース端子と接地端子との間に介挿されるインダクタ素子と、

前記FETのゲート端子とソース端子との間に介挿される第1のキャパシタ素子と、

前記FETのドレイン端子とソース端子との間に介挿される第2のキャパシタ素子と、を備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、

前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1および第2のキャパシタ素子のキャパシタ値が設定されていることを特徴とする半導体集積回路。

【請求項4】

前記FETのソース端子と接地端子との間に介挿される第2のキャパシタ素子をさらに備えることを特徴とする請求項1または2に記載の半導体集積回路。

【請求項5】

前記FETのドレイン端子に接続され、前記FETのドレイン電圧とソース電圧との大小関係を切り替え制御する制御信号入力回路を備えることを特徴とする請求項1乃至4のいずれかに記載の半導体集積回路。

【請求項6】

前記制御信号入力回路は、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETのゲート・ドレイン間容量 C_{g_d} 、ゲート・ソース間容量 C_{g_s} 、ドレイン・ソース間抵抗 R_{d_s} 、および負荷抵抗 R_L の関数である $C_{g_d} / (C_{g_d} + C_{g_s}) \cdot R_{d_s} / (R_{d_s} + R_L)$ が最小となるように、ドレイン・ソース間電圧が設定されていることを特徴とする請求項1乃至5のいずれかに記載の半導体集積回路。

【請求項7】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、

前記FETのソース端子と接地端子との間に介挿されるインダクタ素子および第1のキャパシタと、

前記FETのドレイン端子に接続され、前記FETのドレイン電圧とソース電圧との大小関係を切り替え制御する制御信号入力回路と、を備え、

前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、

前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1のキャパシタ素子のキャパシタ値が設定され、

前記制御信号入力回路は、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETのゲート・ドレイン間容量 C_{g_d} 、ゲート・ソース間容量 C_{g_s} 、ドレイン・ソース間抵抗 R_{d_s} 、および負荷抵抗 R_L の関数である $C_{g_d} / (C_{g_d} + C_{g_s}) \cdot R_{d_s} / (R_{d_s} + R_L)$ が最小となるように、ドレイン・ソース間電圧が設定されていることを特徴とする半導体集積回路。

10

20

30

40

50

【請求項 8】

前記 FET のゲート端子、ドレン端子およびソース端子の少なくともいずれか一つに直流バイアス電圧を供給するバイアス供給回路を備えることを特徴とする請求項 1 乃至 7 のいずれかに記載の半導体集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、ASK (Amplitude Shift Keying)変調用のICやスイッチなどに用いられるFETを有する半導体集積回路に関する。

【0002】

10

【従来の技術】

FET (電界効果トランジスタ)をスイッチとして用いる場合、オン状態のときは信号伝達量が多い方が望ましく、また、オフ状態のときはなるべく信号伝達量が少ない方が望ましい。

【0003】

FETがオフ状態のときに、FETのドレン - ソース間電圧 V_{ds} がゼロになるようにして信号伝達量を下げる回路が従来から提案されている。この種の回路では、FETのもつ寄生容量の影響で、FETの一段当たり、(-10dB)以上に伝達量を抑えるのは困難である。

【0004】

20

【発明が解決しようとする課題】

図 10 は FET の等価回路図である。この等価回路を用いて、FET がオフ状態のときに信号伝達量を十分に低くできない理由を説明する。

【0005】

図 10において、FET がオフ状態のときは、以下の(1)~(4)式の関係が成り立つ。

【0006】

$$R_i, R_g, R_d, R_s \quad R_{ds} \quad | \quad 1 / (\cdot C_{ds}) | \quad \dots (1)$$

$$g_m = \text{約 } 0 \quad \dots (2)$$

$$C_{gd} = \text{約 } C_{gs} \quad \dots (3)$$

$$R_d \quad R_{ds} \quad R_L \quad \dots (4)$$

30

これら(1)~(4)式の関係より、ゲート端子に入力された信号は、 $C_{gd} / (C_{gd} + C_{gs})$ と $R_{ds} / (R_{ds} + R_L)$ との積に依存する量で、負荷抵抗 R_L に伝達する。

【0007】

C_{gd} 、 C_{gs} 、および R_{ds} 等のパラメータは、FET のドレン - ソース間電圧 V_{ds} の関数であり、 $V_{ds} = 0$ のときには上記の積はゼロにはならない。

【0008】

一方、 V_{ds} がゼロでないとした場合は、 V_c と g_m との積がゼロにならず、 V_c と g_m との積で生じる電流により、信号の伝達量が増加するという問題がある。

【0009】

40

また、上記の(1)および(4)式の関係を満たし、かつ、 $C_{gd} / (C_{gd} + C_{gs})$ と $R_{ds} / (R_{ds} + R_L)$ との積が最小となる V_{ds} を選択した場合でも、 g_m と V_c はいずれもゼロにならず、やはり V_c と g_m との積に依存する電流により、信号の伝達量が増加するという問題がある。

【0010】

本発明は、このような点に鑑みてなされたものであり、その目的は、FET がオフ時の信号伝達量をできるだけ小さくし、かつ信号伝達量の可変比を向上できる半導体集積回路を提供することにある。

【0011】

【課題を解決するための手段】

50

上述した課題を解決するために、本発明の一態様によれば、FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、前記FETのソース端子と接地端子との間に介挿されるインダクタ素子と、前記FETのゲート端子とソース端子との間に介挿される第1のキャパシタ素子とを備え、前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1のキャパシタ素子のキャパシタ値が設定されていることを特徴とする半導体集積回路を提供するものである。

10

【0012】

また、本発明の一態様によれば、FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、前記FETのソース端子と接地端子との間に介挿されるインダクタ素子と、前記FETのドレイン端子とソース端子との間に介挿される第1のキャパシタ素子とを備え、前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1のキャパシタ素子のキャパシタ値が設定されていることを特徴とする半導体集積回路を提供するものである。

20

【0013】

また、本発明の一態様によれば、FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、前記FETのソース端子と接地端子との間に介挿されるインダクタ素子と、前記FETのゲート端子とソース端子との間に介挿される第1のキャパシタ素子と、前記FETのドレイン端子とソース端子との間に介挿される第2のキャパシタ素子と、を備え、前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1および第2のキャパシタ素子のキャパシタ値が設定されていることを特徴とする半導体集積回路を提供するものである。

30

【0014】

FETのゲート端子に被制御信号を入力し、前記FETのドレイン端子から前記被制御信号に対応する信号を出力する半導体集積回路において、前記FETのソース端子と接地端子との間に介挿されるインダクタ素子および第1のキャパシタと、前記FETのドレイン端子に接続され、前記FETのドレイン電圧とソース電圧との大小関係を切り替え制御する制御信号入力回路と、を備え、前記FETのドレイン電圧がソース電圧よりも低い場合に、ゲート ソース間のインピーダンスのリアクタンス成分に対して前記インダクタ素子が前記被制御信号により直列共振するように、前記インダクタ素子のインダクタンス値が設定され、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETの寄生レジスタンス成分がみかけ上小さくなるように前記第1のキャパシタ素子のキャパシタ値が設定され、前記制御信号入力回路は、前記FETのドレイン電圧がソース電圧よりも低い場合に、前記FETのゲート・ドレイン間容量 C_{g_d} 、ゲート・ソース間容量 C_{g_s} 、ドレイン・ソース間抵抗 R_{d_s} 、および負荷抵抗 R_L の関数である $C_{g_d} / (C_{g_d} + C_{g_s}) \cdot R_{d_s} / (R_{d_s} + R_L)$ が最小となるように、ドレイン・ソース間電圧が設定されていることを特徴とする半導体集積回路を提供するものである。

40

【0019】

【発明の実施の形態】

50

以下、本発明に係る半導体集積回路について、図面を参照しながら具体的に説明する。

【0020】

(第1の実施形態)

図1は本発明に係る半導体集積回路の第1の実施形態の回路図である。図1の半導体集積回路は、化合物半導体(例えば、GaAs)を材料とするMES型のFETを用いたASK(Amplitude Shift Keying)変調用のICの主要部を示している。

【0021】

従来のASK変調用ICと比較して、図1の回路は、FET10のソース端子と接地端子との間にインダクタ素子(コイル)1を介挿した点に特徴がある。

【0022】

FET10のゲート端子と入力端子INとの間にはLo入力整合回路2が介挿され、FET10のゲート端子にはバイアス供給回路3が接続されている。また、FET10のドレイン端子と出力端子OUTとの間にはRF出力整合回路4が介挿され、FET10のドレイン端子には制御信号入回路5が接続され、FET10のソース端子にはバイアス供給回路6が接続されている。

【0023】

制御信号入回路5からの制御信号により、FET10のドレイン電圧とソース電圧との大小関係を任意に切替制御することができる。また、バイアス回路からのバイアス信号により、FET10を最適なバイアス条件に設定することができる。

【0024】

図1において、FET10のソース端子と接地端子との間に介挿されたインダクタ素子1は、FET10がオフ状態のときに、FET10のゲート-ソース間インピーダンスのリアクタンス成分との間で直列共振するように、インダクタ素子1のインダクタンス値が設定されている。このような直列共振が起きると、FET10の出力側に信号が伝達されなくなり、信号伝達量を低減できる。

【0025】

ここで、FET10のゲート-ソース間インピーダンスのリアクタンス成分Xcは(5)式で表される。

【0026】

$$Xc = \{-\omega \cdot (Cgd + Cgs) - \omega^3 \cdot Cgd^2 \cdot Cgs \cdot Rds^2\}$$

$$\quad / [(\omega^2 \cdot Cgd \cdot Cgs \cdot Rds)^2 + \{\omega \cdot (Cgs + Cgd)\}^2] \quad \cdots (5)$$

ここで、 $\omega = 2\pi f$ であり、fは共振周波数または所望の周波数である。

【0027】

(5)式にて求められたXcを以下の(6)式に代入することにより、インダクタ素子1のインダクタンス値を求めることができる。

【0028】

$$|Xc| / \omega = L \quad \cdots (6)$$

また、FET10がオフ状態のときのレジスタンス成分Rは(7)式で近似することができる。

【0029】

$$R = \{\omega^2 \cdot Cgd \cdot Rds \cdot (Cgs + Cgd) - \omega^2 \cdot Cgd \cdot Cgs \cdot Rds\}$$

$$\quad / [(\omega^2 \cdot Cgd \cdot Cgs \cdot Rds)^2 + \{\omega \cdot (Cgs + Cgd)\}^2] \quad \cdots (7)$$

信号の選択度を示すQは、(6)および(7)式を用いて(8)式のように表すことができる。

【0030】

$$Q = L / R \quad \cdots (8)$$

図2は図1のFET10の伝達特性(S21)を示す図であり、図中の曲線aはオン特性、曲線bはオフ特性を示している。なお、図2の横軸は周波数(GHz)、縦軸は信号強度(dB)

10

20

30

40

50

である。

【0031】

図2は使用帯域が5～6GHzを想定して図1のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5～6GHzの周波数帯域で(-15dB)以下にまで信号伝達量が減少することがわかる。

【0032】

なお、制御信号入力回路5は、FET10をオフ状態にする際には、 $C_{gd}/(C_{gd} + C_{gs}) \cdot R_{ds}/(R_{ds} + R_L)$ が最小となるように、FET10のドレイン・ソース間電圧を設定する。

【0033】

このように、第1の実施形態では、FET10のソース端子と接地端子との間にインダクタ素子1を介挿し、FET10がオフ状態のときに、このインダクタ素子1をFET10のゲート-ソース間インピーダンスとの間で直列共振させるようにしたため、FET10がオフ状態のときの信号伝達量を十分に小さくすることができる。

【0034】

(第2の実施形態)

第2の実施形態は、上記のインダクタ素子1に加えて、FET10のゲート端子とソース端子との間にキャパシタ素子を追加したものである。

【0035】

図3は本発明に係る半導体集積回路の第2の実施形態の回路図である。図3では図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0036】

図3の半導体集積回路は、図1の構成に加えて、FET10のゲート端子とソース端子との間に介挿されたキャパシタ素子(第2のキャパシタ素子)C1を有する。このキャパシタ素子C1を設けることにより、FET10の寄生レジスタンス成分がみかけ上小さくなり、Qが大きくなる。

【0037】

このキャパシタ素子を設けた場合のFET10のリアクタンス成分は(9)式で表される。

【0038】

$$X_C = \{-\omega \cdot (C_{gd} + C_{gs} + C_i) - \omega^3 \cdot C_{gd}^2 \cdot (C_{gs} + C_i) \cdot R_{ds}^2\} / [\{\omega^2 \cdot C_{gd} \cdot (C_{gs} + C_i) \cdot R_{ds}\}^2 + \{\omega \cdot (C_{gs} + C_i + C_{gd})\}^2] \quad \dots (9)$$

(9)式を上記の(6)式に代入することにより、インダクタ素子1のインダクタンス値が求められる。

【0039】

また、この場合のレジスタンス成分Rは(10)式で近似される。

【0040】

$$R = \{\omega^2 \cdot C_{gd} \cdot R_{ds} \cdot (C_{gs} + C_i + C_{gd}) - \omega^2 \cdot C_{gd} \cdot (C_{gs} + C_i) \cdot R_{ds}\} / [\{\omega^2 \cdot C_{gd} \cdot (C_{gs} + C_i) \cdot R_{ds}\}^2 + \{\omega \cdot (C_{gs} + C_i + C_{gd})\}^2] \quad \dots (10)$$

この場合のQはL/Rで表される。

【0041】

図4は図3のFET10の伝達特性(S21)を示す図であり、図中の曲線cはオン特性、曲線dはオフ特性を示している。

10

20

30

40

50

【0042】

図4は使用帯域が5～6GHzを想定して図3のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5～6GHzの周波数帯域で(-20dB)以下にまで信号伝達量が減少することがわかる。

【0043】

このように、第2の実施形態では、FET10のゲート端子とソース端子との間にキャパシタ素子C1を介挿するため、FET10の寄生レジスタンス成分をみかけ上小さくでき、第1の実施形態よりもオフ時の信号減衰量を小さくできる。

【0044】

(第3の実施形態)

第3の実施形態は、上記のインダクタ素子1に加えて、FET10のドレイン端子とソース端子との間にキャパシタ素子を追加するものである。

【0045】

図5は本発明に係る半導体集積回路の第3の実施形態の回路図である。図5では図1と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0046】

図5の半導体集積回路は、図1の構成に加えて、FET10のドレイン端子とソース端子との間に介挿されたキャパシタ素子(第3のキャパシタ素子)C2を有する。このキャパシタ素子C2を設けることにより、FET10の寄生レジスタンス成分がみかけ上小さくなり、Qが大きくなる。

【0047】

このキャパシタ素子を設けた場合のFET10のリアクタンス成分は(11)式で表される。

【0048】

$$\begin{aligned}
 X_C = & -[(\omega^2 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_0^2 \cdot R_{ds}^2 + 1) \\
 & \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_0^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + C_{gs} \cdot (\omega^3 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_0^2 \cdot R_{ds} + \omega)\} \\
 & - (\omega^3 \cdot C_{gd}^2 \cdot R_{ds} \cdot C_{gs})] \quad \cdots (11)
 \end{aligned}$$

(11)式を上記の(6)式に代入することにより、インダクタ素子1のインダクタンス値が求められる。

【0049】

また、この場合のレジスタンス成分Rは(12)式で近似される。

【0050】

$$\begin{aligned}
 R = & [(\omega \cdot C_{gd} \cdot R_{ds}) \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_0^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + C_{gs} \cdot (\omega^3 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_0^2 \cdot R_{ds} + \omega)\} \\
 & + (\omega^2 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_0 \cdot R_{ds} + 1) \\
 & \cdot (\omega^2 \cdot C_{gd} \cdot C_{gs})] \quad \cdots (12)
 \end{aligned}$$

この場合のQはL/Rで表される。

【0051】

図6は図5のFET10の伝達特性(S21)を示す図であり、図中の曲線eはオン特性、曲線fはオフ特性を示している。

【0052】

図6は使用帯域が5～6GHzを想定して図5のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5～6GHzの周波数帯域で(-25dB)以下にまで信号伝達量が減少していることがわかる。

【0053】

10

20

30

40

50

このように、第3の実施形態では、FET10のドレイン端子とソース端子との間にキャパシタ素子を介挿するため、FET10の寄生レジスタンス成分をみかけ上小さくでき、第1の実施形態よりもオフ時の信号減衰量を小さくできる。

【0054】

(第4の実施形態)

第4の実施形態は、第1～第3の実施形態を組み合わせたものである。

【0055】

図7は本発明に係る半導体集積回路の第4の実施形態の回路図である。図7では図3および図5と共に構成部分には同一符号を付しておらず、以下では相違点を中心に説明する。

10

【0056】

図7の半導体集積回路は、図1の構成に加えて、FET10のゲート端子とソース端子との間に介挿されたキャパシタ素子C1と、FET10のドレイン端子とソース端子との間に介挿されたキャパシタ素子C2とを有する。

【0057】

これらキャパシタ素子C1、C2はいずれも、FET10の寄生レジスタンス成分をみかけ上小さくするためのものである。

【0058】

図7のFET10のリアクタンス成分Xcは(13)式で表される。

【0059】

$$\begin{aligned}
 Xc = & -[(\omega^2 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_0^2 \cdot R_{ds}^2 + 1) \\
 & \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_0^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + (C_i + C_{gs}) \cdot (\omega^3 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_0^2 \cdot R_{ds}^2 + \omega)\} \\
 & - \{\omega^3 \cdot C_{gd}^2 \cdot R_{ds} \cdot (C_i + C_{gs})\}] \\
 & / \{[(\omega \cdot C_{gd} + \omega^3 \cdot C_0^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + (C_i + C_{gs}) \cdot (\omega^3 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_0^2 \cdot R_{ds}^2 + \omega)]^2 \\
 & + (\omega^2 \cdot C_{gd} \cdot (C_i + C_{gs}))^2\} \quad \cdots (13)
 \end{aligned}$$

20

30

(11)式を上記の(6)式に代入することにより、インダクタ素子1のインダクタンス値が求められる。

【0060】

また、この場合のレジスタンス成分Rは(14)式で近似される。

【0061】

$$\begin{aligned}
 R = & [(\omega \cdot C_{gd} \cdot R_{ds}) \cdot \{(\omega \cdot C_{gd} + \omega^3 \cdot C_0^2 \cdot C_{gd} \cdot R_{ds}^2) \\
 & + (C_i + C_{gs}) \cdot (\omega^3 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^3 \cdot C_0^2 \cdot R_{ds}^2 + \omega)\} \\
 & + (\omega^2 \cdot C_0 \cdot C_{gd} \cdot R_{ds}^2 + \omega^2 \cdot C_0^2 \cdot R_{ds}^2 + 1) \\
 & \cdot \{\omega^2 \cdot C_{gd} \cdot (C_i + C_{gs})\}] \quad \cdots (14)
 \end{aligned}$$

40

この場合のQはL/Rで表される。

【0062】

図8は図7のFET10の伝達特性(S21)を示す図であり、図中の曲線gはオン特性、曲線hはオフ特性を示している。

【0063】

図8は使用帯域が5～6GHzを想定して図7のFET10を形成した場合の例を示している。図示のように、FET10がオフ状態のときは、5～6GHzの周波数帯域で(-30dB)以下にまで信号伝達量が減少していることがわかる。

50

【0064】

このように、第4の実施形態では、FET10のゲート端子およびソース端子と、ドレイン端子およびソース端子間にそれぞれにキャパシタ素子C1, C2を介挿するため、FET10の寄生レジスタンス成分をより小さくでき、第1～第3の実施形態よりもオフ時の信号減衰量を小さくできる。

【0065】

(第5の実施形態)

第1～第4の実施形態では、FET10のソース端子と接地端子との間にインダクタ素子1を介挿しているため、ソース端子に接続されたバイアス供給回路6からインダクタ素子1を通って接地端子に常時電流が流れ、消費電力が増えるという問題がある。そこで、第5の実施形態は、この電流を遮断するようにしたものである。 10

【0066】

図9は本発明に係る半導体集積回路の第5の実施形態の回路図である。図9では図7と共通する構成部分には同一符号を付しており、以下では相違点を中心に説明する。

【0067】

図9の半導体集積回路は、FET10のソース端子と接地端子との間にインダクタ素子1とキャパシタ素子(第1のキャパシタ素子)C3を直列接続した点に特徴がある。具体的には、図7の構成にキャパシタ素子C3を追加したものである。

【0068】

このキャパシタ素子C3により、FET10のソース端子に接続されたバイアス供給回路6からの電流がインダクタ素子1に流れるのを阻止できる。 20

【0069】

なお、図9では、図7の回路にキャパシタ素子C3を追加した例を説明したが、図1、図3および図5においても、キャパシタ素子C3を追加することにより、消費電力の低減が図れる。

【0070】

上述した各実施形態では、本発明に係る半導体集積回路をASK変調用のICに適用した例について説明したが、本発明は、ASK変調以外の目的にも利用でき、例えば、FETで構成したスイッチにも適用可能である。

【0071】

上述した各実施形態では、FET10の各端子に制御信号入力回路5やバイアス供給回路3, 6を接続しているが、FET10の一部の端子のみに制御信号入力回路5やバイアス供給回路3, 6を接続してもよい。 30

【0072】

【発明の効果】

以上詳細に説明したように、本発明によれば、FETのソース端子および接地端子間にインダクタ素子を介挿し、ドレイン電圧がソース電圧よりも低い場合に、ゲート-ソース間のインピーダンスのリアクタンス成分に対してインダクタ素子を直列共振させるため、FETがオフ時の信号伝達量を低減でき、信号伝達量の可変比を向上できる。

【0073】

また、FETのソース端子および接地端子間に、インダクタ素子とキャパシタ素子を直列接続することにより、インダクタ素子に本来流れるべき直流成分をキャパシタ素子で遮断でき、消費電力の低減が図れる。 40

【図面の簡単な説明】

【図1】本発明に係る半導体集積回路の第1の実施形態の回路図。

【図2】図1のFETの伝達特性(S21)を示す図。

【図3】本発明に係る半導体集積回路の第2の実施形態の回路図。

【図4】図3のFETの伝達特性(S21)を示す図。

【図5】本発明に係る半導体集積回路の第3の実施形態の回路図。

【図6】図5のFETの伝達特性(S21)を示す図。 50

【図7】本発明に係る半導体集積回路の第4の実施形態の回路図。

【図8】図7のFETの伝達特性(S21)を示す図。

【図9】本発明に係る半導体集積回路の第5の実施形態の回路図。

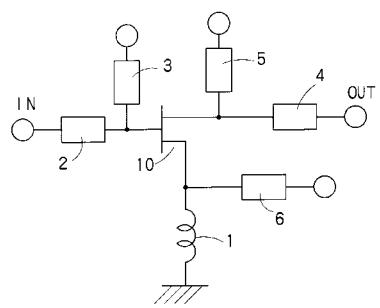
【図10】FETの等価回路図。

【符号の説明】

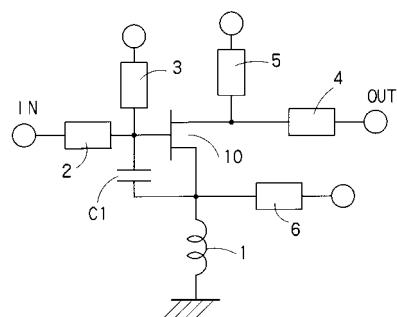
- 1 FET
- 2 Lo入力整合回路
- 3, 6 バイアス供給回路
- 4 RF出力整合回路
- 5 制御信号入力回路
- 10 FET

10

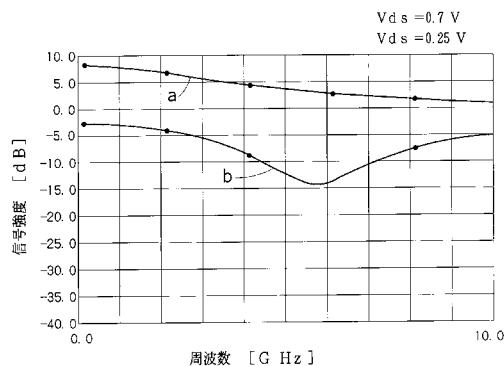
【図1】



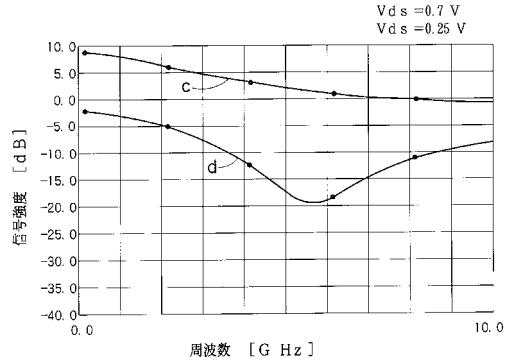
【図3】



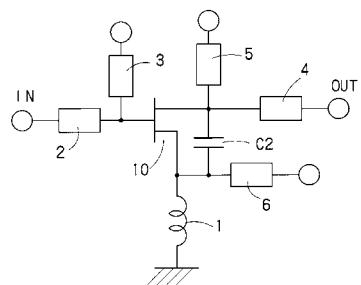
【図2】



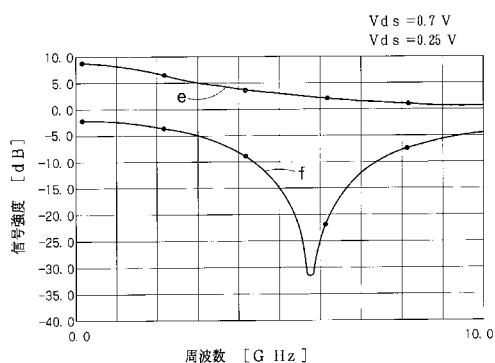
【図4】



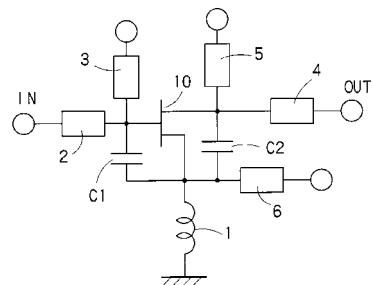
【図5】



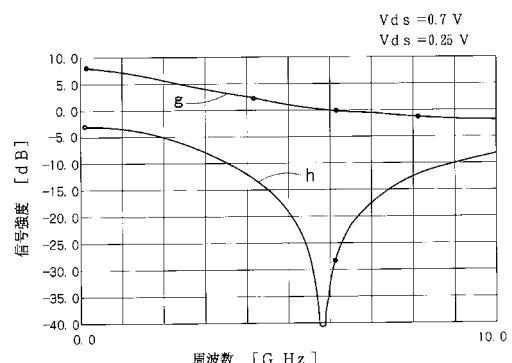
【図6】



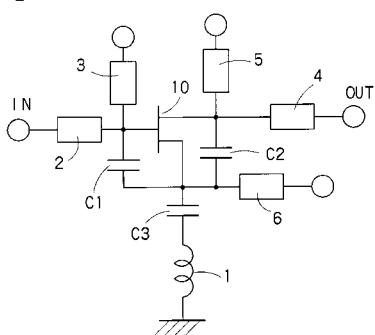
【図7】



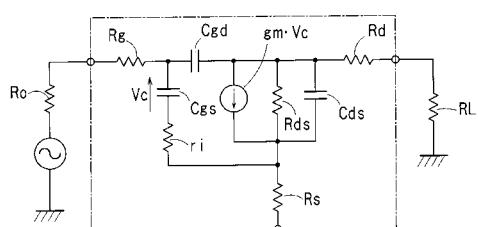
【図8】



【図9】



【図10】



フロントページの続き

(72)発明者 本 池 弘 一

神奈川県川崎市川崎区駅前本町25番地1 東芝マイクロエレクトロニクス株式会社内

審査官 藤井 浩

(56)参考文献 特開平11-177344 (JP, A)

特開平08-191218 (JP, A)

特開平10-336000 (JP, A)

特開平10-013204 (JP, A)

特開2000-114950 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H04L 27/00 - 27/38