

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 11 月 22 日(22.11.2012)



(10) 国際公開番号

WO 2012/157480 A1

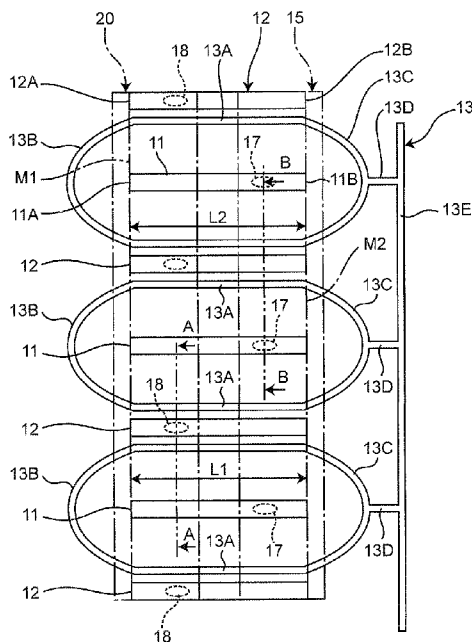
- (51) 国際特許分類:
H01L 21/338 (2006.01) H01L 29/778 (2006.01)
H01L 29/41 (2006.01) H01L 29/812 (2006.01)
H01L 29/417 (2006.01)
- (21) 国際出願番号: PCT/JP2012/061840
- (22) 国際出願日: 2012 年 5 月 9 日(09.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-108463 2011 年 5 月 13 日(13.05.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 吐田 真一
(HANDA, Shinichi) [JP/—]. 永久 哲三(NAGAHISA,
Tetsuzo) [JP/—]. 里 真一(SATO, Shinichi) [JP/—].
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.);
〒5400001 大阪府大阪市中央区城見 1 丁目 3 番
7 号 I M P ビル青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーロパ (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI

[続葉有]

(54) Title: FIELD-EFFECT TRANSISTOR

(54) 発明の名称: 電界効果トランジスタ

[図1]



(57) Abstract: In this heterojunction field-effect transistor, the lengthwise length (L2) of each source electrode (12) is the same as the lengthwise length (L1) of each drain electrode (11). Also, the lengthwise positions of the lengthwise ends (12A and 12B) of the source electrodes (12) coincide with the lengthwise positions of the lengthwise ends (11A and 11B) of the drain electrodes (11). The lengthwise ends (12A and 12B) of the source electrodes (12) do not protrude further outwards in the lengthwise direction than the lengthwise ends (11A and 11B) of the drain electrodes (11), preventing the flow of electrons from becoming concentrated along paths from the ends (12A and 12B) of the source electrodes (12) to the ends (11A and 11B) of the drain electrodes (11).

(57) 要約: このヘテロ接合電界効果トランジスタでは、各ソース電極(12)の長手方向の長さL2と各ドレイン電極(11)の長手方向の長さL1とが同じ長さである。また、ソース電極(12)の長手方向の端(12A, 12B)の長手方向の位置は、ドレイン電極(11)の長手方向の端(11A, 11B)の長手方向の位置と一致している。ソース電極(12)の長手方向の両端(12A, 12B)がドレイン電極(11)の長手方向の両端(11A, 11B)よりも長手方向外方へ突出していない構成により、ソース電極(12)の端(12A, 12B)からドレイン電極(11)の端(11A, 11B)へ向かって電子流が集中することを回避できる。

WO 2012/157480 A1

(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG). 添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：電界効果トランジスタ

技術分野

[0001] この発明は、GaN系のHFEET(ヘテロ接合電界効果トランジスタ)に関する。

背景技術

[0002] 従来、GaN系のHFEETとしては、図13に示すように、ソース電極301とドレイン電極302を、それぞれ、くし型フィンガー構造としてもものが特許文献1(特開2010-186925号公報)に開示されている。上記ソース電極301は、複数のソース電極フィンガー303と、この複数のソース電極フィンガー303の一端が接続されたソース接続部305とで構成されている。また、上記ドレイン電極302は、複数のドレイン電極フィンガー306と、この複数のドレイン電極フィンガー306の一端が接続されたドレイン接続部307とで構成されている。なお、図13では、上記ドレイン電極フィンガー306とソース電極フィンガー303との間に配置されるゲート電極は省略している。このGaN系のHFEETは、ソース電極フィンガー303とドレイン電極フィンガー306を複数備え、くし形フィンガー構造としたことで、大電流動作が可能なパワーデバイスを実現している。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-186925号公報

発明の概要

発明が解決しようとする課題

[0004] ところで、近年、GaN系HFEETにおいて、オフ時の静的な耐圧(オフ耐圧)として、600V以上の高耐圧のものが得られている。この静的なオフ耐圧は、ノーマリオンのGaN系HFEETにおいて、ゲート電極に-10Vを印加し続けているオフ状態において、ソース電極に0Vを印加すると共にド

レイン電極に印加する電圧が何ボルトのときに絶縁破壊に至るのかを表す。この静的なオフ耐圧における絶縁破壊は、図13に示すソース電極フィンガー303とドレイン電極フィンガー306とが対向する領域で発生している。

[0005] ところが、本発明者らは、GaN系FETを検討して行くうちに、短絡耐量と関連するスイッチング動作時の動的な耐圧がオフ時の静的な耐圧の3分の1乃至4分の1である問題に直面した。

[0006] 具体的には、ノーマリオンのGaN系HFETにおいて、ソース電極に印加する電圧を0(V)とし、ドレイン電極に印加する電圧を電圧X(V)として、ゲート電極に-10(V)を加えているオフ状態から、パルス幅5 μ 秒で0Vのパルス波を1パルスだけゲート電極に印加して、オンさせ、素子が破壊するか否かを観察する実験を行なった。上記ドレイン電極に印加する電圧X(V)は、例えば、100V, 110V, 120V, …等のように、10Vずつ増加させ、それぞれのドレイン印加電圧X(V)において、上記実験を行ない、絶縁破壊に至る電圧X(V)を測定した。なお、この明細書では、上記パルス波印加による実験で求めた絶縁破壊電圧X(V)をダイナミック耐圧と言う。

[0007] このダイナミック耐圧実験の結果、静的なオフ時の耐圧が600Vであるにもかかわらず、動的な耐圧である上記ダイナミック耐圧が、静的なオフ時の耐圧の4分の1(150V)に低下しているという予想外の現象が生じていることが判明した。この実験後のサンプルを解析したところ、ドレイン電極の端部で絶縁破壊が起こっていることが観察された。図13に例示するように、ドレイン電極フィンガー306の端部306Aとソース接続部305との間隔は、ドレイン電極フィンガー306とソース電極フィンガー303とが対向する間隔よりも長い(例えば1.5倍)ことから、上記ドレイン電極の端部で絶縁破壊が発生するのは予想外であった。

[0008] そこで、本発明者らは、上記静的なオフ耐圧に対する動的な耐圧である上記ダイナミック耐圧の低下について様々な検討を行なった結果、次のように、推定した。すなわち、ゲート電極にパルス波を印加したときのスイッチン

グ動作による電界の時間的变化の影響によって、図13に矢印Yで例示するように、局所的に電流が集中し、ドレイン電極の端部での絶縁破壊が起きていると考えられた。つまり、上記ダイナミック耐圧の低下は、スイッチング時の電流集中が影響していると考えられた。

[0009] そこで、この発明の課題は、動的な耐圧であるダイナミック耐圧の低下を抑制できるGaN系のHFE Tを提供することにある。

課題を解決するための手段

[0010] 本発明者らは、上記ダイナミック耐圧の低下の問題に対して様々な検討を行なった結果、上述のようにドレイン電極の端部に電子流が集中していることが、低下の要因ではないかと推察し、ドレイン電極端部への電子流の集中を抑制する構造を発明し、この発明の構造によって、ダイナミック耐圧の低下抑制に有効な結果が得られた。

[0011] すなわち、この発明の電界効果トランジスタは、ヘテロ接合を有するGaN系積層体と、

上記GaN系積層体上に形成されているフィンガー状のドレイン電極と、

上記GaN系積層体上に、上記ドレイン電極に対して、上記ドレイン電極がフィンガー状に延在している方向である長手方向と交差する方向に隣り合うように形成されていると共に上記長手方向に延在しているフィンガー状のソース電極と、

平面視において、上記ドレイン電極とソース電極との間に形成されたゲート電極と

を備え、

上記ソース電極の長手方向の長さが上記ドレイン電極の長手方向の長さと同じ長さであるか、もしくは、上記ソース電極の長手方向の長さが上記ドレイン電極の長手方向の長さよりも短く、かつ、

上記ソース電極の長手方向の一端から上記長手方向と直交する短手方向に伸ばした仮想線が、上記ドレイン電極と接しているか、もしくは上記ドレイン電極と交差しており、

上記ソース電極の長手方向の他端から上記長手方向と直交する短手方向に伸ばした仮想線が、上記ドレイン電極と接しているか、もしくは上記ドレイン電極と交差していることを特徴としている。

[0012] この発明によれば、上記ソース電極の長手方向の長さが上記ドレイン電極の長手方向の長さと同じか、もしくは、上記ソース電極の長手方向の長さが上記ドレイン電極の長手方向の長さ未満で、かつ、上記ソース電極の長手方向の一端と他端から上記長手方向と直交する短手方向に伸ばした仮想線が上記ドレイン電極と接しているか、もしくは上記ドレイン電極と交差している。

[0013] このような本発明の構成によれば、理論的な確かな根拠は不明であるが、具体的な事実として、上記ダイナミック耐圧の低下を抑制できることが判明した。本発明のように、上記ソース電極の長手方向の両端が上記ドレイン電極の長手方向の両端よりも長手方向外方へ突出していない構成によれば、スイッチング時の動的な電界変動によって上記ソース電極の端部から上記ドレイン電極の端部へ向かって電子流が集中しにくくなるからであると想像される。

[0014] これに対し、ソース電極の長手方向の長さがドレイン電極の長手方向の長さよりも長い場合のように、ソース電極の長手方向の両端もしくは一端がドレイン電極の長手方向の両端よりも長手方向外方へ突出している場合には、本発明の構成に比べて、上記ダイナミック耐圧が著しく低下していることが判明した。

[0015] また、一実施形態では、上記GaN系積層体上に形成された絶縁層と、
上記絶縁層上に形成されたソース配線と
を備え、
上記ソース電極は、
上記絶縁層に形成されたスルーホールを経由して上記ソース配線に電氣的に接続されている。

[0016] この実施形態によれば、上記ソース電極上に上記スルーホールを介して電

氣的に接続されたソース配線を配置している立体的構造によって、チップ面積の縮小を図れる。

[0017] また、一実施形態では、上記フィンガー状のドレイン電極および上記フィンガー状のソース電極をそれぞれ複数備え、

上記複数のフィンガー状のドレイン電極と上記複数のフィンガー状のソース電極とが上記長手方向と交差する方向に交互に配置されており、

さらに、上記絶縁層上に形成されたドレイン配線を備え、

上記ドレイン電極は、

上記絶縁層に形成されたスルーホールを経由して上記ドレイン配線に電氣的に接続されている。

[0018] この実施形態によれば、上記ドレイン電極、ソース電極上にスルーホールを介して電氣的に接続されたドレイン配線、ソース配線を配置している立体的構造によって、チップ面積の縮小を図れると共に、上記フィンガー状のドレイン電極および上記フィンガー状のソース電極をそれぞれ複数備えることで、大電流動作が可能となる。

[0019] しかも、上記フィンガー状のドレイン電極およびソース電極を複数備える場合に、上述の上記ソース電極の長手方向の両端が上記ドレイン電極の長手方向の両端よりも長手方向外方へ突出していない構成により、スイッチング時の動的な電界変動によって、両側のソース電極の端部から中央のドレイン電極の端部への電子流の集中が起こりにくくなるから、著しく、ダイナミック耐圧を向上できる。

[0020] また、一実施形態では、上記ゲート電極は、平面視において、

上記フィンガー状のドレイン電極と上記フィンガー状のソース電極との間で長手方向に延在していると共に上記ドレイン電極の長手方向の端部を囲むように延在している。

[0021] この実施形態によれば、上記ゲート電極は上記ドレイン電極の長手方向の端部を囲むように延在しているので、上記オフ耐圧試験時にドレイン電極の端部への電界の集中を抑制でき、静的なオフ耐圧の向上を図れる。

[0022] また、一実施形態では、上記フィンガー状のソース電極の長手方向の端に長手方向外側に隣接する領域の下 GaN 系積層体に、2次元電子ガスが存在していない2次元電子ガス除去領域が形成されている。

[0023] この実施形態によれば、上記ソース電極の長手方向の端に隣接して上記2次元電子ガス除去領域が形成されているので、上記ダイナミック耐圧試験時に上記ソース電極の端部から上記ドレイン電極の端部へ向かって電子流が集中しにくくなって、動的な耐圧の向上を図れる。

[0024] なお、本明細書において、上記フィンガー状のソース電極の長手方向の端に長手方向外側に隣接する領域とは、上記フィンガー状のソース電極の長手方向の端に長手方向外側に間隙を挟むことなく接している領域、または、上記フィンガー状のソース電極の長手方向の端に長手方向外側に僅かな間隙を隔てて隣り合う領域を意味している。この僅かな間隙は、例えば、 $20\mu\text{m}$ 以下であり、例えば、上記2次元電子ガス除去領域は上記GaN系積層体にリセスを形成し、あるいは、不純物を注入して製造することが可能である。

発明の効果

[0025] この発明の電界効果トランジスタでは、ソース電極の長手方向の長さがドレイン電極の長手方向の長さと同じであるか短く、ソース電極の長手方向の両端がドレイン電極の長手方向の両端よりも長手方向外方へ突出していないという構成により、動的な耐圧であるダイナミック耐圧を向上することができる。

図面の簡単な説明

[0026] [図1]この発明の第1実施形態であるGaN H F E Tの平面模式図である。

[図2]図1のB-B線断面を示す図である。

[図3]図1のA-A線断面を示す図である。

[図4]この発明の第2実施形態であるGaN H F E Tの平面模式図である。

[図5]図4のC-C線断面の一部を示す図である。

[図6]図4のD-D線断面の一部を示す図である。

[図7]この発明の第2実施形態であるGaN H F E Tの平面模式図である。

[図8]図7のE-E線断面を示す図である。

[図9]図7のF-F線断面を示す図である。

[図10]上記第2実施形態の変形例を示す平面模式図である。

[図11]上記第1実施形態の比較例を示す平面模式図である。

[図12]上記第1実施形態と上記比較例の耐压特性を示す図である。

[図13]従来例の電極構造を模式的に示す平面図である。

発明を実施するための形態

[0027] 以下、この発明を図示の実施の形態により詳細に説明する。

[0028] (第1の実施の形態)

図1は、この発明の第1実施形態であるGaN H F E Tの平面模式図である。また、図2は、図1のB-B線断面を示す図である。また、図3は、図1のA-A線断面を示す図である。

[0029] 図2,図3に示すように、この第1実施形態は、Si基板1上に、アンドープGaN層2, アンドープAlGaN層3を形成している。アンドープGaN層2とアンドープAlGaN層3がヘテロ接合を有するGaN系積層体5を構成している。上記アンドープGaN層2とアンドープAlGaN層3との界面に2DEG(2次元電子ガス)6が発生する。また、上記GaN系積層体5上には、保護膜7、層間絶縁膜8が順次形成されている。上記保護膜7の材料としては、例えば、ここでは、SiNを用いたが、SiO₂、Al₂O₃などを用いてもよい。また、上記層間絶縁膜8の材料としては、例えば、ここでは、ポリイミドを用いたが、SOG(Spin On Glass)やBP SG(Boron Phosphorous Silicate Glass)などの絶縁材料を用いてもよい。また、上記SiN保護膜7の膜厚は、ここでは、一例として、150nmとしたが、20nm~250nmの範囲で設定してもよい。

[0030] また、上記GaN系積層体5には、アンドープGaN層2に達するリセスが形成され、このリセスにドレイン電極11とソース電極12がオーミック電極として形成されている。このドレイン電極11とソース電極12は、一例として、Ti層, Al層, TiN層が順に積層されたTi/Al/TiN電極

とした。また、上記保護膜 7 には開口が形成され、この開口にゲート電極 13 が形成されている。このゲート電極 13 は、例えば、TiN で作製され、アンドープ AlGaIn 層 3 とショットキー接合するショットキー電極として形成されている。

[0031] また、図 2 に示すように、上記層間絶縁膜 8 上にドレイン配線 15 が形成されている。上記層間絶縁膜 8 には、スルーホール 17 が形成され、このスルーホール 17 を通して、上記ドレイン配線 15 がドレイン電極 11 に電氣的に接続されている。また、図 3 に示すように、上記層間絶縁膜 8 上にソース配線 20 が形成されている。上記層間絶縁膜 8 には、スルーホール 18 が形成され、このスルーホール 18 を通して、上記ソース配線 20 がソース電極 12 に電氣的に接続されている。上記ドレイン配線 15、ソース配線 20 としては、Ti/Au または Ti/Al などを用いている。

[0032] 図 1 に示すように、この実施形態は、3 本のフィンガー状のドレイン電極 11 と 4 本のフィンガー状のソース電極 12 を備えている。上記ドレイン電極 11 と上記ソース電極 12 は、上記ドレイン電極 11、ソース電極 12 がフィンガー状に長手方向に延在している方向と直交する短手方向に予め定められた間隔を隔てて交互に配置されている。また、上記ドレイン電極 11 と上記ソース電極 12 は、互いに略平行に延在している。

[0033] また、この実施形態では、各ソース電極 12 の長手方向の長さ L2 と各ドレイン電極 11 の長手方向の長さ L1 とが同じ長さである。また、上記ソース電極 12 の長手方向の両端 12A、12B から上記長手方向と直交する短手方向に伸ばした仮想線 M1、M2 が上記ドレイン電極 11 の端 11A、11B と接している。つまり、上記ソース電極 12 の長手方向の端 12A、12B の長手方向の位置は、上記ドレイン電極 11 の長手方向の端 11A、11B の長手方向の位置と一致している。

[0034] また、上記ゲート電極 13 は、平面視において、上記フィンガー状のドレイン電極 11 と上記フィンガー状のソース電極 12 との間で長手方向に延在している長手方向延在部 13A と湾曲部 13B、13C とを有している。この

湾曲部 13 B は、平面視において、ドレイン電極 11 の端 11 A を囲むように延在しており、ドレイン電極 11 を挟んで隣り合う 2 つの長手方向延在部 13 A の一端に連なっている。また、上記湾曲部 13 C は、平面視において、ドレイン電極 11 の端 11 B を囲むように延在しており、ドレイン電極 11 を挟んで隣り合う 2 つの長手方向延在部 13 A の他端に連なっている。また、上記 2 つの長手方向延在部 13 A と湾曲部 13 B と湾曲部 13 C とが構成する環状部は、上記長手方向に延在する枝部 13 D に連なり、この枝部 13 D は上記長手方向と直交する方向に延在している接続部 13 E に連なっている。図 1 に示すように、上記ゲート電極 13 の各長手方向延在部 13 A は、ソース電極 12 との間の短手方向の距離がドレイン電極 11 との間の短手方向の距離よりも短い。

[0035] 上記構成の GaN H F E T は、ノーマリオンタイプであり、上記ゲート電極 13 に負電圧を印加することで、オフされる。

[0036] 次に、図 12 に、本実施形態の GaN H F E T と比較例の GaN H F E T との耐压実験結果を示す。

[0037] この比較例は、図 11 に示すように、ソース電極 12 に替えてソース電極 212 を備える点だけが、本実施形態と異なる。すなわち、この比較例では、ソース電極 212 は、ソース電極 12 に相当する長手方向延在部 212 A と、この長手方向延在部 212 A の長手方向の一端から上記ゲート電極 13 の湾曲部 13 B を囲むように延在している湾曲部 212 B と上記長手方向延在部 212 A の長手方向の他端から上記ゲート電極 13 の湾曲部 13 C を囲むように延在している湾曲部 212 C とを有している。

[0038] この比較例において、ドレイン電極 11 とソース電極 212 の長手方向延在部 212 A との間の短手方向の距離 D1 とドレイン電極 11 の端 11 A と上記ソース電極 12 の湾曲部 212 B との間の長手方向の距離 D2 との比は、1 : 1.5 であり、ドレイン電極 11 の端 11 A と上記ソース電極 212 の湾曲部 212 B との間の長手方向の距離 D2 は、ドレイン電極 11 とソース電極 212 の長手方向延在部 212 A との間の短手方向の距離 D1 の 1.5

倍もある。

[0039] この比較例のGaN H F E Tの静的なオフ耐圧は、図12に示すように、600Vであった。なお、この静的なオフ耐圧は、ゲート電極13に-10Vを印加し続けているオフ状態において、ソース電極212に0Vを印加すると共にドレイン電極11に何ボルトの電圧を印加したときに短絡(絶縁破壊)に至るのかを表す。この静的なオフ耐圧では、ソース電極212の長手方向延在部212Aとドレイン電極11との間で短絡が発生していた。一方、この比較例のダイナミック耐圧は、150Vであり、静的なオフ耐圧600Vの4分の1まで低下していた。

[0040] 上記ダイナミック耐圧は、前述した通り、ソース電極に印加する電圧を0(V)とし、ドレイン電極に印加する電圧を電圧X(V)として、ゲート電極に-10(V)を加えているオン状態から、パルス幅5 μ 秒で0Vのパルス波を1パルスだけゲート電極に印加して、オンさせ、素子が破壊するか否かを観察する実験を行なうことで求める。上記ドレイン電極に印加する電圧X(V)は、例えば、100V, 110V, 120V, …等のように、10Vずつ増加させ、それぞれのドレイン印加電圧X(V)において、上記実験を行ない、短絡(絶縁破壊)に至る電圧X(V)を測定した。

[0041] 上記比較例においては、上記実験の結果、静的なオフ時の耐圧が600Vであるにもかかわらず、動的な耐圧である上記ダイナミック耐圧が、静的なオフ時の耐圧の4分の1(150V)に低下しているという予想外の現象が生じていることが判明した。この実験後のサンプルを解析したところ、ドレイン電極11の端11A, 11Bの部分で絶縁破壊が起こっていることが観察された。上記比較例における上記静的なオフ耐圧に対する上記ダイナミック耐圧の低下については、次のように、推定される。すなわち、ゲート電極13にパルス波を印加したときのスイッチング動作による電界の時間的变化によって、局所的に電流が集中し、ドレイン電極11の端11A, 11Bの部分での絶縁破壊が起こっていると考えられる。つまり、この耐圧低下は、スイッチング時の動的な電界変動が影響していると想像される。

- [0042] これに対して、この実施形態のGaN H F E Tのダイナミック耐圧は、250Vであり、上記比較例のダイナミック耐圧150Vに比べて、60%以上向上していた。また、この実施形態の静的なオフ耐圧は、600Vであり、上記比較例と同じであった。
- [0043] したがって、この第1実施形態によれば、上記ダイナミック耐圧の低下を抑制できることが判明した。その理由は、本実施形態によれば、上記ソース電極12の長手方向の両端12A, 12Bが上記ドレイン電極11の長手方向の両端11A, 11Bよりも長手方向外方へ突出していない構成により、上記ソース電極12から上記ドレイン電極11の端11A, 11Bへ向かって電子流が集中することを回避できるからであると想像される。
- [0044] また、この実施形態によれば、上記ゲート電極13は、湾曲部13B, 13Cにより、上記ドレイン電極11の長手方向の端11A, 11Bを囲むように延在しているので、オフ耐圧試験時にドレイン電極11の端部11A, 11Bへの電界の集中を抑制できて、静的なオフ耐圧の向上を図れる。
- [0045] 特に、この実施形態では、フィンガー状のドレイン電極11およびソース電極12を複数備えるので、上述の上記ソース電極12の長手方向の両端12A, 12Bが上記ドレイン電極11の長手方向の両端11A, 11Bよりも長手方向外方へ突出していない構成により、スイッチング時の動的な電界変動によって、両側のソース電極12から中央のドレイン電極11の端部への電子流の集中が起こりにくくなるから、著しく、ダイナミック耐圧を向上できる。
- [0046] 尚、上記第1実施形態では、各ソース電極12の長手方向の長さL2を各ドレイン電極11の長手方向の長さL1と同じ長さにすると共に各ソース電極12の長手方向の端12A, 12Bの長手方向の位置を上記ドレイン電極11の長手方向の端11A, 11Bの長手方向の位置と一致させたが、上記ソース電極12の長手方向の長さを上記ドレイン電極11の長手方向の長さよりも短くしてもよい。この場合、上記ソース電極12の長手方向の両端12A, 12Bから上記長手方向と直交する短手方向に伸ばした仮想線が上記ドレイ

ン電極 1 1 と交差するようにソース電極とドレイン電極を配置する。また、上記ソース電極 1 2 の長手方向の長さを上記ドレイン電極 1 1 の長手方向の長さよりも短くした場合に、上記ソース電極 1 2 の長手方向の両端 1 2 A, 1 2 B のうちの一方から上記短手方向に伸ばした仮想線がドレイン電極 1 1 の長手方向の端に接していて、両端 1 2 A, 1 2 B のうちの方から上記短手方向に伸ばした仮想線がドレイン電極 1 1 に交差していてもよい。

[0047] (第 2 の実施の形態)

図 4 は、この発明の第 2 実施形態である GaN H F E T の平面模式図である。また、図 5 は、図 4 の C - C 線断面を示す図である。また、図 6 は、図 4 の D - D 線断面を示す図である。

[0048] 図 5, 図 6 に示すように、この第 2 実施形態は、Si 基板 5 1 上に、アンドープ GaN 層 5 2, アンドープ Al GaN 層 5 3 を形成している。アンドープ GaN 層 5 2 と アンドープ Al GaN 層 5 3 がヘテロ接合を有する GaN 系積層体 5 5 を構成している。上記アンドープ GaN 層 5 2 と アンドープ Al GaN 層 5 3 との界面に 2 D E G (2 次元電子ガス) 5 6 が発生する。また、上記 GaN 系積層体 5 5 上には、保護膜 5 7、層間絶縁膜 5 8 が順次形成されている。上記保護膜 5 7 の材料としては、ここでは、例えば、SiN としたが、SiO₂、Al₂O₃ などを用いてもよい。また、上記層間絶縁膜 5 8 の材料としては、ここでは、例えば、ポリイミドを用いたが、SOG や BPSG などの絶縁材料を用いてもよい。また、上記 SiN 保護膜 5 7 の膜厚は、一例として、150 nm としたが、20 nm ~ 250 nm の範囲で設定してもよい。

[0049] また、上記 GaN 系積層体 5 5 には、アンドープ GaN 層 5 2 に達するリセスが形成され、このリセスにドレイン電極 6 1 とソース電極 6 2 がオーミック電極として形成されている。このドレイン電極 6 1 とソース電極 6 2 は、一例として、Ti 層, Al 層, TiN 層が順に積層された Ti / Al / TiN 電極とした。また、上記保護膜 5 7 には開口が形成され、この開口にゲート電極 6 3 が形成されている。このゲート電極 6 3 は、例えば、TiN で作製

され、アンドープAlGaIn層53とショットキー接合するショットキー電極として形成されている。

[0050] また、図5に示すように、上記層間絶縁膜58上にドレイン配線65が形成されている。上記層間絶縁膜58には、スルーホール67が形成され、このスルーホール67を通して、上記ドレイン配線65がドレイン電極61に電氣的に接続されている。また、上記保護膜57上には、もう1つのドレイン配線72が形成され、このドレイン配線72は層間絶縁膜58に形成されたスルーホール71を通して上記ドレイン配線65に電氣的に接続されている。

[0051] また、図6に示すように、上記層間絶縁膜58上にソース配線73が形成されている。上記層間絶縁膜58には、スルーホール68が形成され、このスルーホール68を通して、上記ソース配線73がソース電極62に電氣的に接続されている。また、上記保護膜57上には、もう1つのソース配線75が形成され、このソース配線75は層間絶縁膜58に形成されたスルーホール76を通して上記ソース配線73に電氣的に接続されている。上記ドレイン配線65, 72, ソース配線73, 75としては、Ti/AuまたはTi/Alなどを用いている。

[0052] 図4に示すように、この実施形態は、3本のフィンガー状のドレイン電極61と4本のフィンガー状のソース電極62を備えている。上記ドレイン電極61と上記ソース電極62は、上記ドレイン電極61, ソース電極62がフィンガー状に長手方向に延在している方向と直交する短手方向に予め定められた間隔を隔てて交互に配置されている。また、上記ドレイン電極61と上記ソース電極62は、互いに略平行に延在している。

[0053] また、この実施形態では、各ソース電極62の長手方向の長さL52が各ドレイン電極61の長手方向の長さL51よりも短い。そして、上記ソース電極62の長手方向の端62A, 62Bから上記長手方向と直交する短手方向に伸ばした仮想線M21, M22が上記ドレイン電極61と交差している。つまり、上記ドレイン電極61の長手方向の両端61A, 61Bは、上記ソース

電極 6 2 の長手方向の端 6 2 A, 6 2 B の長手方向の位置よりも長手方向外方へ突出している。

[0054] また、上記ゲート電極 6 3 は、平面視において、上記フィンガー状のドレイン電極 6 1 と上記フィンガー状のソース電極 6 2 との間で長手方向に延在している長手方向延在部 6 3 A と湾曲部 6 3 B および短手方向延在部 6 3 C を有している。この湾曲部 6 3 B は、ドレイン電極 6 1 の端 6 1 A を囲むように延在しており、ドレイン電極 6 1 を挟んで隣り合う 2 つの長手方向延在部 6 3 A の一端に連なっている。また、上記短手方向延在部 6 3 C は、各ドレイン電極 6 1 の端 6 1 B と所定間隔を隔てて短手方向に延在しており、各長手方向延在部 6 3 A の他端に接続されている。図 4 に示すように、上記ゲート電極 6 3 の各長手方向延在部 6 3 A は、ソース電極 6 2 との間の短手方向の距離がドレイン電極 6 1 との間の短手方向の距離よりも短い。

[0055] 上記構成の G a N H F E T は、ノーマリオンタイプであり、上記ゲート電極 1 3 に負電圧を印加することで、オフされる。

[0056] この第 2 実施形態の G a N H F E T の耐压実験結果は、前述の第 1 実施形態の G a N H F E T よりも向上し、静的なオフ耐压が 6 0 0 V で、ダイナミック耐压が 2 6 0 V であり、図 1 1 に示す上記比較例のダイナミック耐压 1 5 0 V に比べて、7 0 % 以上向上していた。

[0057] したがって、本実施形態によれば、上記ダイナミック耐压の低下を抑制できることが判明した。その理由は、この第 2 実施形態の構成によれば、上記ソース電極 6 2 の長手方向の両端 6 2 A, 6 2 B が上記ドレイン電極 6 1 の長手方向の両端 6 1 A, 6 1 B よりも長手方向内方へ引っ込んでいる構成により、上記ソース電極 6 2 から上記ドレイン電極 6 1 の端 6 1 A, 6 1 B へ向かって電子流が集中することを回避できるからであると想像される。

[0058] また、この実施形態によれば、上記ゲート電極 6 3 は、湾曲部 6 3 B, 短手方向延在部 6 3 C により、上記ドレイン電極 6 1 の長手方向の端 6 1 A, 6 1 B を囲むように延在しているので、オフ耐压試験時にドレイン電極 6 1 の端 6 1 A, 6 1 B への電界の集中を抑制できて、静的なオフ耐压の向上を図れる

と考えられる。

[0059] 特に、この実施形態では、フィンガー状のドレイン電極 6 1 およびソース電極 6 2 を複数備えるので、上述の上記ソース電極 6 2 の長手方向の両端 6 2 A, 6 2 B が上記ドレイン電極 6 1 の長手方向の両端 6 1 A, 6 1 B よりも長手方向外方へ突出していない構成により、スイッチング時の動的な電界変動によって、両側のソース電極 6 2 から中央のドレイン電極 6 1 の端部への電子流の集中が起こりにくくなるから、著しく、ダイナミック耐圧を向上できる。

[0060] 尚、上記第 2 実施形態では、上記ソース電極 6 2 の長手方向の端 6 2 A, 6 2 B から短手方向に伸ばした仮想線 M 2 1, M 2 2 の両方が上記ドレイン電極 6 1 と交差するように、ソース電極 6 2 を配置したが、上記ソース電極 6 2 の両端 6 2 A, 6 2 B のうち的一方から短手方向に伸ばした仮想線がドレイン電極 6 1 と交差する一方、両端 6 2 A, 6 2 B のうち他方から短手方向に伸ばした仮想線がドレイン電極 6 1 の長手方向の端 6 1 A または端 6 1 B に接するように、ソース電極 6 2 を配置してもよい。上記第 2 実施形態において、各ソース電極 6 2 の長手方向の長さ L 5 2 を各ドレイン電極 6 1 の長手方向の長さ L 5 1 と同じ長さにすると共に各ソース電極 6 2 の長手方向の端 6 2 A, 6 2 B の長手方向の位置を上記ドレイン電極 6 1 の長手方向の端 6 1 A, 6 1 B の長手方向の位置と一致させてもよい。

[0061] (第 3 の実施の形態)

図 7 は、この発明の第 3 実施形態である GaN H F E T の平面模式図である。また、図 8 は、図 7 の E - E 線断面を示す図である。また、図 9 は、図 7 の F - F 線断面を示す図である。

[0062] 図 8, 図 9 に示すように、この第 3 実施形態は、Si 基板 8 1 上に、アンドープ GaN 層 8 2, アンドープ AlGaIn 層 8 3 を形成している。アンドープ GaN 層 8 2 と アンドープ AlGaIn 層 8 3 がヘテロ接合を有する GaN 系積層体 8 5 を構成している。上記アンドープ GaN 層 8 2 と アンドープ AlGaIn 層 8 3 との界面に 2 D E G (2 次元電子ガス) 8 6 が発生する。また、上

記GaN系積層体85上には、保護膜87、層間絶縁膜88が順次形成されている。上記保護膜87の材料としては、ここでは、例えば、SiNとしたが、SiO₂、Al₂O₃などを用いてもよい。また、上記層間絶縁膜88の材料としては、例えば、ここでは、ポリイミドを用いたが、SOGやBPSGなどの絶縁材料を用いてもよい。また、上記SiN保護膜87の膜厚は、ここでは、一例として、150nmとしたが、20nm~250nmの範囲で設定してもよい。

[0063] また、上記GaN系積層体85には、アンドープGaN層82に達するリセスが形成され、このリセスにドレイン電極91とソース電極92がオーミック電極として形成されている。このドレイン電極91とソース電極92は、一例として、Ti層、Al層、TiN層が順に積層されたTi/Al/TiN電極とした。また、上記保護膜87には開口が形成され、この開口にゲート電極93が形成されている。このゲート電極93は、例えば、TiNで作製され、アンドープAlGaN層83とショットキー接合するショットキー電極として形成されている。

[0064] また、図8に示すように、上記層間絶縁膜88上にドレイン配線95が形成されている。上記層間絶縁膜88には、スルーホール97が形成され、このスルーホール97を通して、上記ドレイン配線95がドレイン電極91に電氣的に接続されている。また、図9に示すように、上記層間絶縁膜88上にソース配線103が形成されている。上記層間絶縁膜88には、スルーホール98が形成され、このスルーホール98を通して、上記ソース配線103がソース電極92に電氣的に接続されている。上記ドレイン配線95、ソース配線103としては、Ti/AuまたはTi/Alなどを用いている。

[0065] また、図7に示すように、この第3実施形態は、3本のフィンガー状のドレイン電極91と4本のフィンガー状のソース電極92を備えている。上記ドレイン電極91と上記ソース電極92は、上記ドレイン電極91、ソース電極92がフィンガー状に長手方向に延在している方向と直交する短手方向に予め定められた間隔を隔てて交互に配置されている。また、上記ドレイン電

極 9 1 と上記ソース電極 9 2 は、互いに略平行に延在している。

[0066] また、図 7 に示すように、この実施形態では、各ソース電極 9 2 の長手方向の長さ L_{92} と各ドレイン電極 9 1 の長手方向の長さ L_{91} とが同じ長さである。また、上記ソース電極 9 2 の長手方向の両端 9 2 A, 9 2 B から上記長手方向と直交する短手方向に伸ばした仮想線 M_{31} , M_{32} が上記ドレイン電極 9 1 の両端 9 1 A, 9 1 B と接している。つまり、上記ソース電極 9 2 の長手方向の端 9 2 A, 9 2 B の長手方向の位置は、上記ドレイン電極 9 1 の長手方向の端 9 1 A, 9 1 B の長手方向の位置と一致している。また、各ドレイン電極 9 1 の両端 9 1 A, 9 1 B は、長手方向外方へ凸の湾曲形状である。

[0067] また、上記ゲート電極 9 3 は、上記フィンガー状のドレイン電極 9 1 と上記フィンガー状のソース電極 9 2 との間で長手方向に延在している長手方向延在部 9 3 A と湾曲部 9 3 B, 9 3 C とを有している。この湾曲部 9 3 B は、ドレイン電極 9 1 の端 9 1 A を囲むように延在しており、ドレイン電極 9 1 を挟んで隣り合う 2 つの長手方向延在部 9 3 A の一端に連なっている。また、上記湾曲部 9 3 C は、ドレイン電極 9 1 の端 9 1 B を囲むように延在しており、ドレイン電極 9 1 を挟んで隣り合う 2 つの長手方向延在部 9 3 A の他端に連なっている。また、上記 2 つの長手方向延在部 9 3 A と湾曲部 9 3 B と湾曲部 9 3 C とが構成する環状部は、上記長手方向に延在する枝部 9 3 D に連なり、この枝部 9 3 D は上記長手方向と直交する方向に延在している接続部 9 3 E に連なっている。図 7 に示すように、上記ゲート電極 9 3 の各長手方向延在部 9 3 A は、ソース電極 9 2 との間の短手方向の距離がドレイン電極 9 1 との間の短手方向の距離よりも短い。

[0068] さらに、この実施形態では、図 7 に示すように、上記ゲート電極 9 3 の湾曲部 9 3 B, 9 3 C に対して外周側へ僅かな間隙を隔てていると共に上記ソース電極 9 2 の両端 9 2 A, 9 2 B に対して長手方向外方へ僅かな間隙を隔てて 2 次元電子ガス除去領域 1 1 1, 1 1 1 A が形成されている。この僅かな間隙は、例えば、 $20\mu\text{m}$ 以下である。上記 2 次元電子ガス除去領域 1 1 1, 1 1 1 A は、上記 GaN 系積層体 8 5 に後述するリセスを形成することによって

形成している。

[0069] 上記２次元電子ガス除去領域１１１は、上記ソース電極９２の端９２Ａ近傍から長手方向外方へ向かって末広がり広がっていると共にゲート電極９３の湾曲部９３Ｂに沿って延在している。また、上記２次元電子ガス除去領域１１１Ａは、上記ソース電極９２の端９２Ｂ近傍から長手方向外方へ向かって末広がり広がっていると共にゲート電極９３の湾曲部９３Ｃに沿って延在している。

[0070] この２次元電子ガス除去領域１１１では、図８に示すように、ゲート電極９３の湾曲部９３Ｂに対して外周側へ隣接していると共にアンドープＧａＮ層８２に達するリセス１０８を形成することにより、２次元電子ガス８６が除去されている。このリセス１０８は、図９に示すように、上記ソース電極９２の端９２Ａに対して長手方向外方へ隣接している。また、上記ソース電極９２の端９２Ｂに対して長手方向外方へ隣接していると共にアンドープＧａＮ層８２に達するリセス１０９を形成することにより、２次元電子ガス８６が除去されて上記２次元電子ガス除去領域１１１Ａが形成されている。

[0071] 上記構成のＧａＮ ＨＦＥＴは、ノーマリオンタイプであり、上記ゲート電極１３に負電圧を印加することで、オフされる。

[0072] この第３実施形態のＧａＮ ＨＦＥＴの耐压実験結果は、静的なオフ耐压が６００Ｖで、ダイナミック耐压が３００Ｖであり、図１１に示す上記比較例のダイナミック耐压１５０Ｖに比べて、１００％以上向上していた。このように、この第３実施形態によれば、前述の第１実施形態よりもダイナミック耐压が５０Ｖ向上していた。その理由は、上記２次元電子ガス除去領域１１１を形成すると共に上記ドレイン電極９１の両端９１Ａ、９１Ｂを湾曲形状としたことにより、ダイナミック耐压試験時にドレイン電極９１の端９１Ａ、９１Ｂへの電子流の集中をより抑制できたためと考えられる。

[0073] 特に、この実施形態では、フィンガー状のドレイン電極９１およびソース電極９２を複数備えるので、上述の上記ソース電極９２の長手方向の両端９２Ａ、９２Ｂが上記ドレイン電極９１の長手方向の両端９１Ａ、９１Ｂよりも

長手方向外方へ突出していない構成により、スイッチング時の動的な電界変動によって、両側のソース電極 9 2 の端部から中央のドレイン電極 9 1 の端部への電子流の集中が起こりにくくなるから、著しく、ダイナミック耐圧を向上できる。

[0074] なお、上記第 3 実施形態において、ソース電極 9 2 の長手方向の長さをドレイン電極 9 1 の長手方向の長さよりも短くしてもよい。この場合、ソース電極 9 2 の長手方向の両端 9 2 A, 9 2 B から上記長手方向と直交する短手方向に伸ばした仮想線がドレイン電極 9 1 と交差するようにソース電極 9 2 とドレイン電極 9 1 を配置する。また、上記ソース電極 9 2 の長手方向の長さを上記ドレイン電極 9 1 の長手方向の長さよりも短くした場合に、上記ソース電極 9 2 の長手方向の両端 9 2 A, 9 2 B のうち的一方から上記短手方向に伸ばした仮想線がドレイン電極 9 1 の長手方向の端に接していて、両端 9 2 A, 9 2 B のうち他方から上記短手方向に伸ばした仮想線がドレイン電極 9 1 に交差していてもよい。

[0075] また、上記第 3 実施形態では、図 7 に示すように、上記ゲート電極 9 3 の湾曲部 9 3 B, 9 3 C に対して外周側へ僅かな間隙を隔てていると共に上記ソース電極 9 2 の両端 9 2 A, 9 2 B に対して長手方向外方へ僅かな間隙(例えば、 $20\mu\text{m}$ 以下)を隔てて 2 次元電子ガス除去領域 1 1 1 を形成したが、図 1 0 に示すように、上記ソース電極 9 2 の両端 9 2 A, 9 2 B に対して長手方向外方へ僅かな間隙(例えば、 $20\mu\text{m}$ 以下)を隔てて 2 次元電子ガス除去領域 1 5 1, 1 5 2 を形成してもよい。この 2 次元電子ガス除去領域 1 5 1, 1 5 2 は、上記ソース電極 9 2 の短手方向の寸法とほぼ同様の短手方向寸法を有し、ほぼ四角形状である。このような四角形状の 2 次元電子ガス除去領域 1 5 1, 1 5 2 を有する場合にも、上記ソース電極 9 2 の両端 9 2 A, 9 2 B から上記ドレイン電極 9 1 の両端 9 1 A, 9 1 B への電流パスが形成されることが抑制され则认为られ、ダイナミック耐圧の向上を図れる。なお、上記ソース電極 9 2 の両端 9 2 A, 9 2 B の長手方向に隣接する領域下の 2 次元電子ガス除去領域 1 5 1, 1 5 2 だけでなく、ドレイン電極 9 1 の両端 9 1 A,

9 1 Bに隣接する領域下にも2次元電子ガス除去領域(図示せず)を形成してもよい。また、上記ソース電極9 2またはドレイン電極9 1の長手方向の片方の端だけに長手方向に隣接する領域下に2次元電子ガス除去領域を形成してもよい。

[0076] また、上記第3実施形態では、アンドープGa N層8 2に達するリセス1 0 8, 1 0 9を形成することで上記2次元電子ガス除去領域1 1 1, 1 1 1 Aを形成したが、上記リセス1 0 8, 1 0 9を形成する替わりに上記領域のGa N系積層体8 5に、ホウ素(B)または鉄(Fe)等の不純物を注入することで、上記2次元電子ガス除去領域1 1 1, 1 1 1 Aを形成してもよい。なお、上記ソース電極9 2の両端9 2 A, 9 2 Bの長手方向に隣接する領域下の2次元電子ガス除去領域1 5 1, 1 5 2だけでなく、ドレイン電極9 1の両端9 1 A, 9 1 Bに隣接する領域下にも2次元電子ガス除去領域(図示せず)を形成してもよい。また、上記ソース電極9 2, ドレイン電極9 1の長手方向の片方の端だけに長手方向に隣接する領域下に2次元電子ガス除去領域を形成してもよい。

[0077] また、上記2次元電子ガス除去領域1 1 1は、上記ゲート電極9 3の湾曲部9 3 B, 9 3 Cに対して外周側へ間隙を隔てることなく隣り合っているとしてもよく、上記2次元電子ガス除去領域1 1 1, 1 1 1 Aは、上記ソース電極9 2の両端9 2 A, 9 2 Bに対して長手方向外方へ間隙を隔てることなく隣り合っているとしてもよい。本明細書において、2次元電子ガス除去領域がソース電極やゲート電極に隣接しているとは、間隙を隔てることなく隣り合っている場合と、上記僅かな間隙(例えば、20 μ m以下)を隔てて隣り合っている場合とを含んでいる。

[0078] 尚、上記第1～第3実施形態において、フィンガー状のドレイン電極1 1, 6 1, 9 1を3本備え、フィンガー状のソース電極1 2, 6 2, 9 2を4本備えたが、フィンガー状のドレイン電極を2本備え、フィンガー状のソース電極を3本備えて、ドレイン電極とソース電極を長手方向と交差する短手方向に交互に配置してもよい。また、フィンガー状のドレイン電極を1本備え、フ

インガー状のソース電極 6 2 を 2 本備えてもよく、フィンガー状のドレイン電極を 3 本以上備え、フィンガー状のドレイン電極を 4 本以上備えて、ドレイン電極とソース電極を上記短手方向に交互に配置してもよい。また、上記第 1 ～第 3 実施形態では、ゲート電極 1 3, 6 3, 9 3 が各フィンガー状ドレイン電極 1 1, 6 1, 9 7 を環状に取り囲む構造としたが、湾曲部 1 3 B, 6 3 B, 9 3 B は必ずしも有していなくてもよい。もっとも、ゲート電極 1 3, 6 3, 9 3 が湾曲部 1 3 B, 6 3 B, 9 3 B を有することで、ダイナミック耐圧試験時にドレイン電極 1 1, 6 1, 9 1 の端 1 1 A, 6 1 A, 9 1 A への電子流の集中を抑制できて、動的な耐圧の向上を図れる。

[0079] また、上記第 1 ～第 3 実施形態において、基板 1, 5 1, 8 1 を S i 基板としたが、S i 基板に限らず、サファイヤ基板や S i C 基板を用いてもよく、サファイヤ基板や S i C 基板上に窒化物半導体層を成長させてもよいし、G a N 基板に A l G a N 層を成長させる等のように、G a 系半導体からなる基板上に G a 系半導体層を成長させてもよい。また、適宜、バッファ層を基板と各層間に形成してもよい。また、アンドープ G a N 層 2, 5 2, 8 2 とアンドープ A l G a N 層 3, 5 3, 8 3 との間に、A l N で作製したヘテロ改善層を形成してもよい。また、上記アンドープ A l G a N 層 3, 5 3, 8 3 上に G a N キャップ層を形成してもよい。また、上記第 1 ～第 3 実施形態では、アンドープ G a N 層に達するリセスを形成し、このリセスにドレイン電極とソース電極をオーミック電極として形成したが、上記リセスを形成せずに上記アンドープ G a N 層上のアンドープ A l G a N 層上にドレイン電極とソース電極を形成し、アンドープ A l G a N 層の層厚を薄くすることでドレイン電極とソース電極がオーミック電極になるようにしてもよい。

[0080] また、上記第 1 ～第 3 実施形態では、ゲート電極 1 3, 6 3, 9 3 を T i N で作製したが、W N で作製してもよい。また、ゲート電極を T i / A u や N i / A u で作製してもよい。また、上記第 1 ～第 3 実施形態では、このドレイン電極 1 1, 6 1, 9 1 とソース電極 1 2, 6 2, 9 2 は、一例として、T i / A l / T i N 電極としたが、T i / A l 電極としてもよく、H f / A l 電極としても

よく、 $Ti/AlCu/TiN$ 電極としてもよい。また、上記ドレイン電極、ソース電極としては、 Ti/Al または Hf/Al 上に Ni/Au を積層したものとしてもよく、 Ti/Al または Hf/Al 上に Pt/Au を積層したものとしてもよく、 Ti/Al または Hf/Al 上に Au を積層したものとしてもよい。

[0081] また、上記第1～第3実施形態では、保護膜7, 57, 87を SiN で作製したが、 SiO_2 、 Al_2O_3 などで作製してもよく、 SiN 膜上に SiO_2 膜を積層した積層膜としてもよい。

[0082] また、この発明の電界効果トランジスタにおける GaN 系積層体は、 $Al_xIn_yGa_{1-x-y}N$ ($x \geq 0$ 、 $y \geq 0$ 、 $0 \leq x+y < 1$)で表される GaN 系半導体層を含むものでもよい。すなわち、 GaN 系積層体は、 $AlGaN$ 、 GaN 、 $InGaN$ 等を含むものでもよい。

[0083] また、ノーマリオンタイプのHFETについて説明したがノーマリオフタイプでも同様の効果が得られる。またショットキーゲートで説明したが絶縁ゲート構造でも構わない。

[0084] この発明の具体的な実施の形態について説明したが、この発明は上記実施形態に限定されるものではなく、この発明の範囲内で種々変更して実施することができる。

符号の説明

- [0085] 1, 51, 81 Si 基板
2, 52, 82 アンドープ GaN 層
3, 53, 83 アンドープ $AlGaN$ 層
5, 55, 85 GaN 系積層体
6, 56, 86 2DEG(2次元電子ガス)
7, 57, 87 SiN 保護膜
8, 58, 88 層間絶縁膜
11, 61, 91 ドレイン電極
11A, 11B, 61A, 61B, 91A, 91B 端

1 2, 6 2, 9 2 ソース電極

1 2 A, 1 2 B, 6 2 A, 6 2 B, 9 2 A, 9 2 B 端

1 3, 6 3, 9 3 ゲート電極

1 3 A, 6 3 A, 9 3 A 長手方向延在部

1 3 B, 1 3 C, 6 3 B, 9 3 B, 9 3 C 湾曲部

1 5, 6 5, 9 5 ドレイン配線

1 7, 1 8, 6 7, 6 8, 7 1, 7 6, 9 7, 9 8 スルーホール

2 0, 7 3, 1 0 3 ソース配線

1 0 8, 1 0 9 リセス

1 1 1, 1 1 1 A 2次元電子ガス除去領域

請求の範囲

[請求項1]

ヘテロ接合を有するGaN系積層体(5, 5 5, 8 5)と、
上記GaN系積層体(5, 5 5, 8 5)上に形成されているフィンガー状のドレイン電極(1 1, 6 1, 9 1)と、
上記GaN系積層体(5, 5 5, 8 5)上に、上記ドレイン電極(1 1, 6 1, 9 1)に対して、上記ドレイン電極(1 1, 6 1, 9 1)がフィンガー状に延在している方向である長手方向と交差する方向に隣り合うように形成されていると共に上記長手方向に延在しているフィンガー状のソース電極(1 2, 6 2, 9 2)と、
平面視において、上記ドレイン電極(1 1, 6 1, 9 1)とソース電極(1 2, 6 2, 9 2)との間に形成されたゲート電極(1 3, 6 3, 9 3)とを備え、
上記ソース電極(1 2, 9 2)の長手方向の長さが上記ドレイン電極(1 1, 9 1)の長手方向の長さと同じ長さであるか、もしくは、上記ソース電極(6 2)の長手方向の長さが上記ドレイン電極(6 1)の長手方向の長さよりも短く、かつ、
上記ソース電極(1 2, 6 2, 9 2)の長手方向の一端(1 2 A, 1 2 B, 6 2 A, 6 2 B, 9 2 A, 9 2 B)から上記長手方向と直交する短手方向に伸ばした仮想線が、上記ドレイン電極(1 1, 9 1)と接しているか、もしくは上記ドレイン電極(6 1)と交差しており、
上記ソース電極(1 2, 6 2, 9 2)の長手方向の他端(1 2 B, 6 2 B, 9 2 B)から上記長手方向と直交する短手方向に伸ばした仮想線が、上記ドレイン電極(1 1, 9 1)と接しているか、もしくは上記ドレイン電極(6 1)と交差していることを特徴とするヘテロ接合電界効果トランジスタ。

[請求項2]

請求項1に記載のヘテロ接合電界効果トランジスタにおいて、
上記GaN系積層体(5, 5 5, 8 5)上に形成された絶縁層(8, 5 8, 8 8)と、

上記絶縁層(8, 5 8, 8 8)上に形成されたソース配線(2 0, 7 3, 1 0 3)と

を備え、

上記ソース電極(1 2, 6 2, 9 2)は、

上記絶縁層(8, 5 8, 8 8)に形成されたスルーホール(1 8, 6 8, 9 8)を経由して上記ソース配線(2 0, 7 3, 1 0 3)に電氣的に接続されていることを特徴とするヘテロ接合電界効果トランジスタ。

[請求項3]

請求項2に記載のヘテロ接合電界効果トランジスタにおいて、

上記フィンガー状のドレイン電極(1 1, 6 1, 9 1)および上記フィンガー状のソース電極(1 2, 6 2, 9 2)をそれぞれ複数備え、

上記複数のフィンガー状のドレイン電極(1 1, 6 1, 9 1)と上記複数のフィンガー状のソース電極(1 2, 6 2, 9 2)とが上記長手方向と交差する方向に交互に配置されており、

さらに、上記絶縁層(8, 5 8, 8 8)上に形成されたドレイン配線(1 5, 6 5, 9 5)を備え、

上記ドレイン電極(1 1, 6 1, 9 1)は、

上記絶縁層(8, 5 8, 8 8)に形成されたスルーホール(1 7, 6 7, 9 7)を経由して上記ドレイン配線(1 5, 6 5, 9 5)に電氣的に接続されていることを特徴とするヘテロ接合電界効果トランジスタ。

[請求項4]

請求項1から3のいずれか1つに記載のヘテロ接合電界効果トランジスタにおいて、

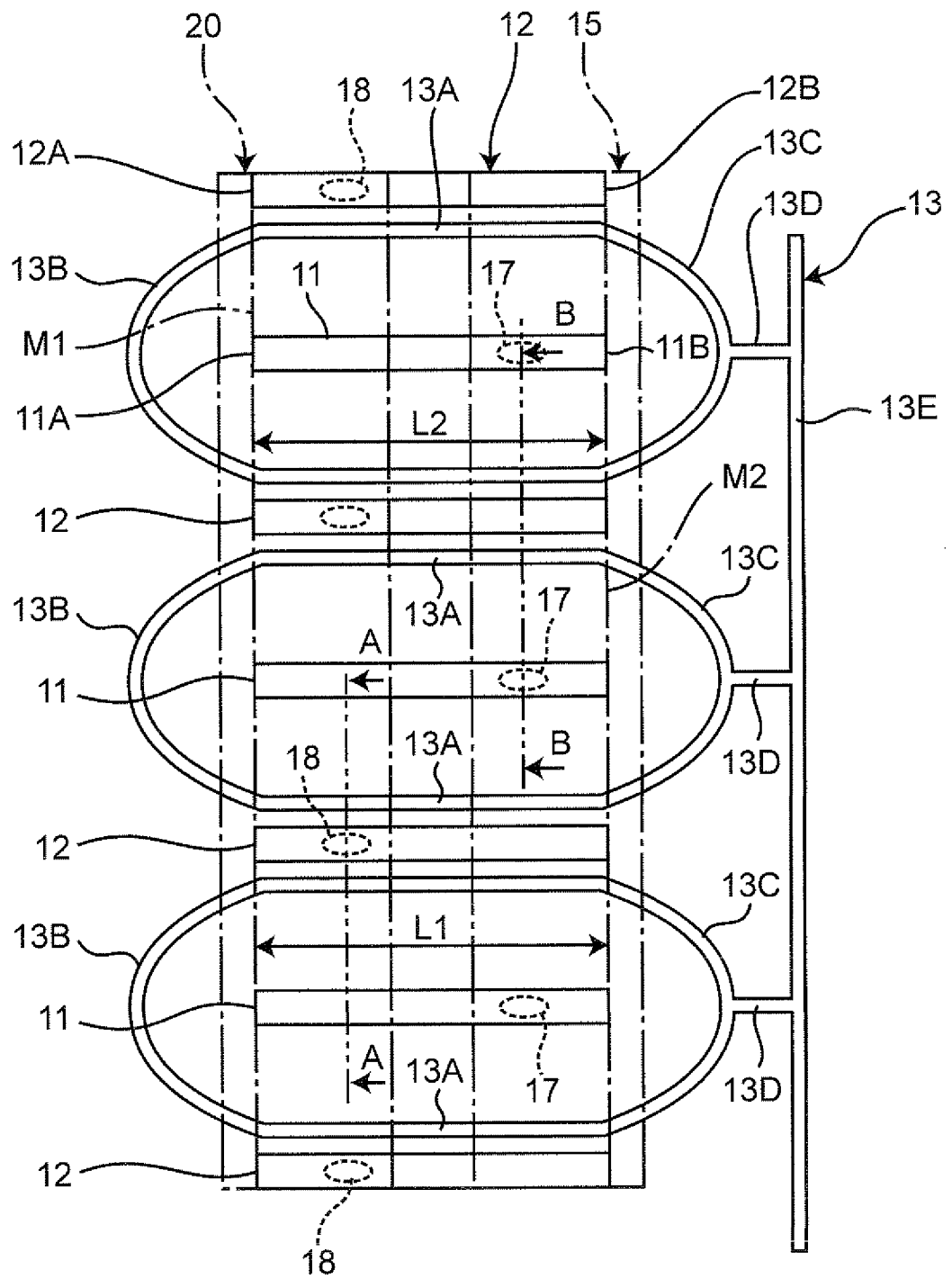
上記ゲート電極(1 3, 6 3, 9 3)は、

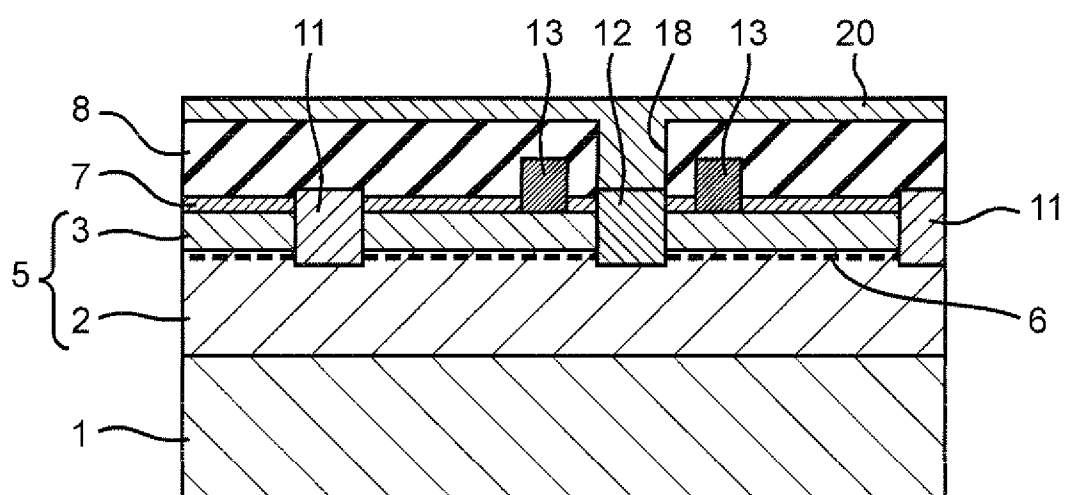
平面視において、上記フィンガー状のドレイン電極(1 1, 6 1, 9 1)と上記フィンガー状のソース電極(1 2, 6 2, 9 2)との間で長手方向に延在していると共に上記ドレイン電極(1 1, 6 1, 9 1)の長手方向の端部(1 1 A, 1 1 B, 6 1 A, 6 1 B, 9 1 A, 9 1 B)を囲むように延在していることを特徴とするヘテロ接合電界効果トランジスタ。

[請求項5] 請求項1 から4 のいずれか1 つに記載のヘテロ接合電界効果トランジスタにおいて、

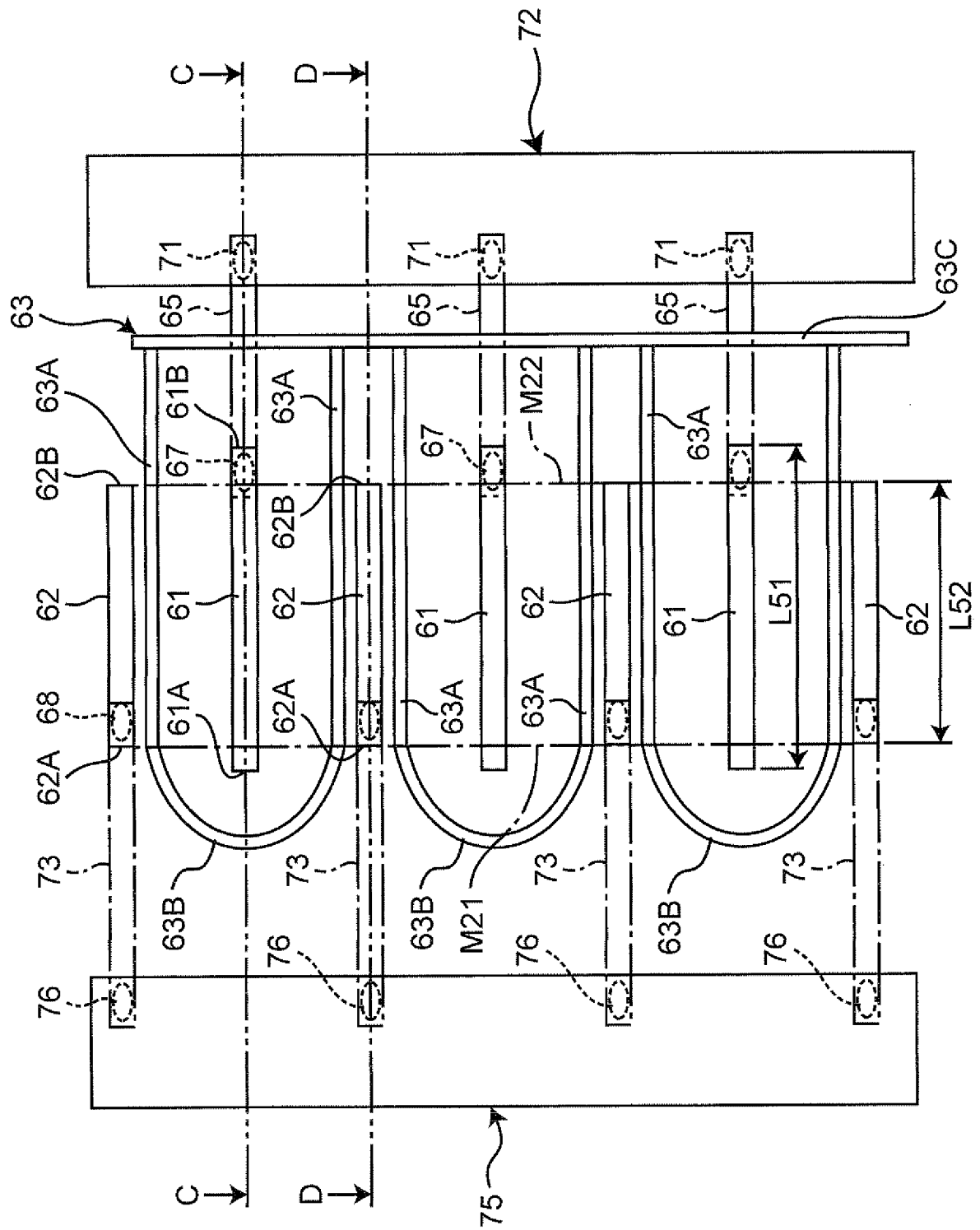
 上記フィンガー状のソース電極(92)の長手方向の端(92A, 92B)に長手方向外側に隣接する領域の下Ga_{0.5}N系積層体(85)に、2次元電子ガスが存在していない2次元電子ガス除去領域(111, 111A, 152)が形成されていることを特徴とするヘテロ接合電界効果トランジスタ。

[図1]

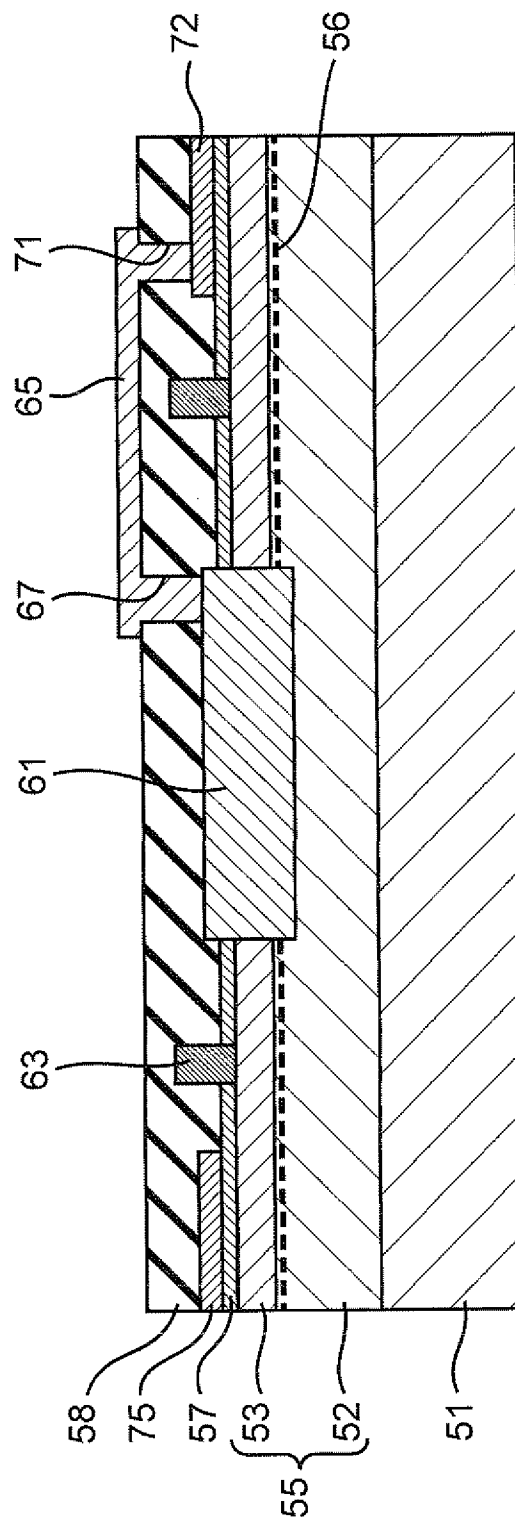




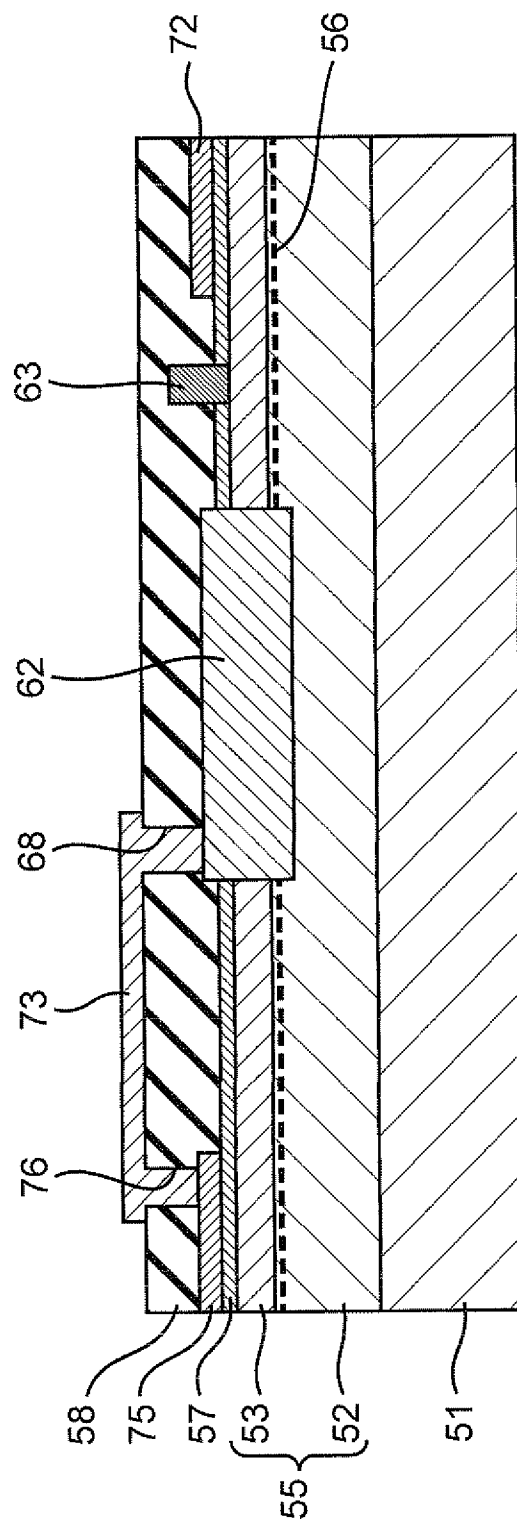
[図4]



[図5]

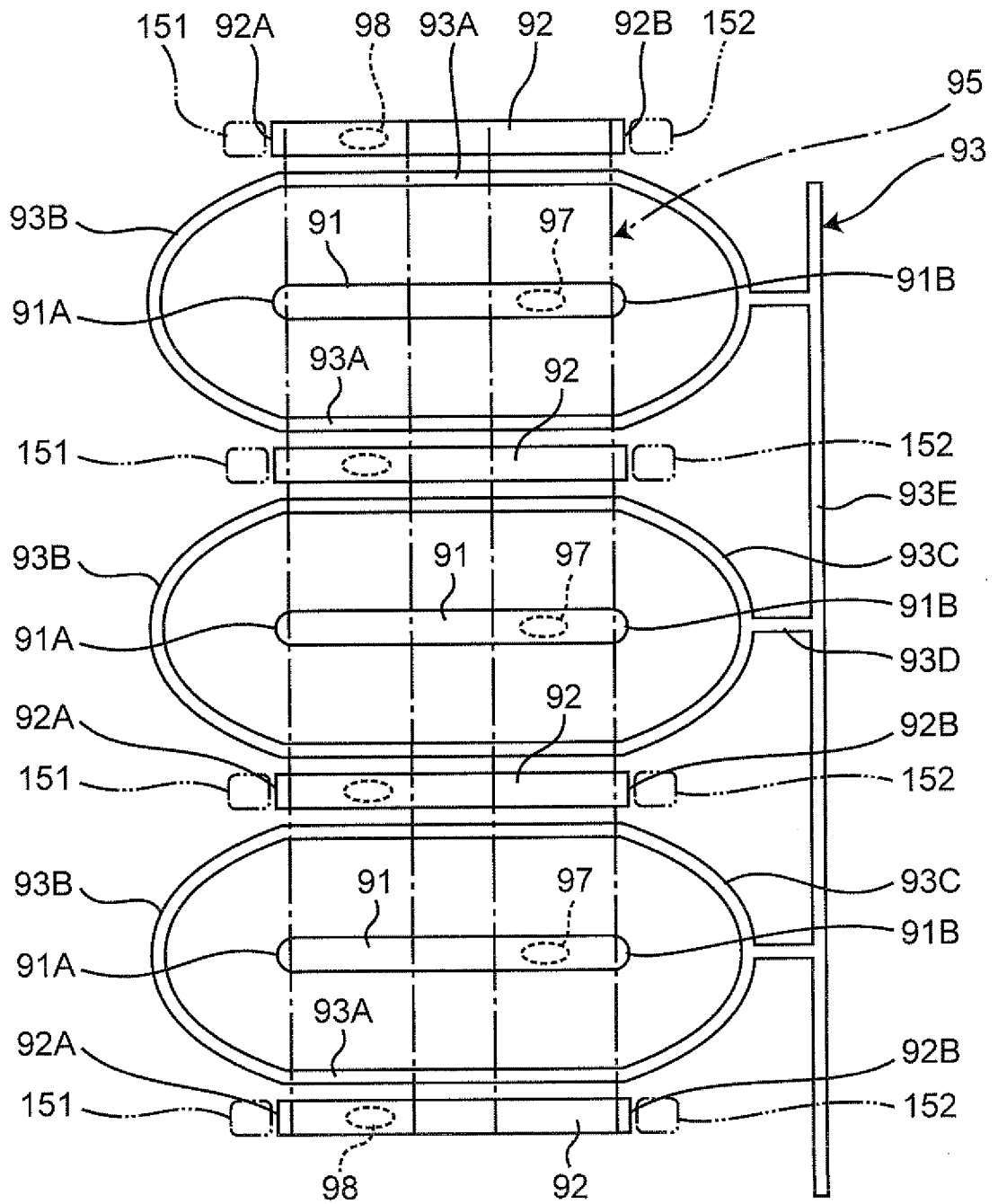


[図6]

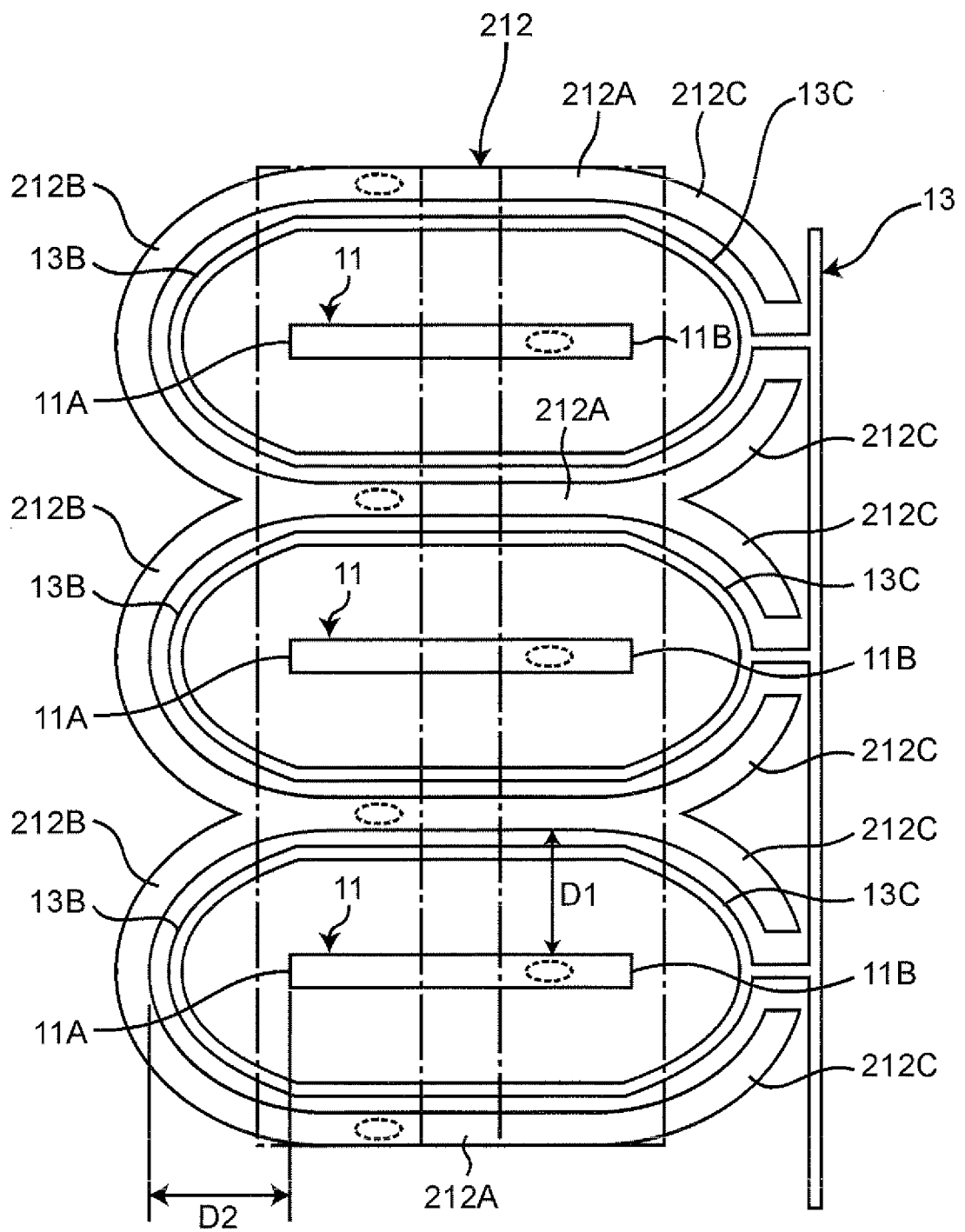


[illegible][illegible]

[図10]



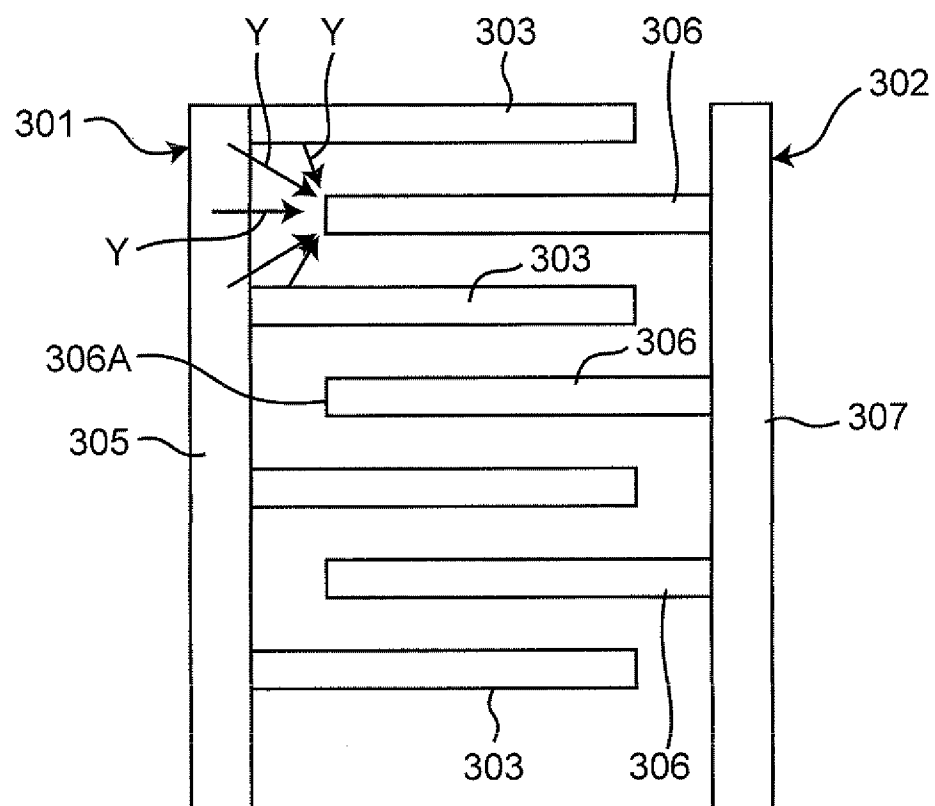
[図11]



[図12]

	比較例	実施形態
オフ耐圧	600V	600V
ダイナミック耐圧	150V	250V

[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061840

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/338(2006.01) i, H01L29/41(2006.01) i, H01L29/417(2006.01) i,
H01L29/778(2006.01) i, H01L29/812(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/338, H01L29/41, H01L29/417, H01L29/778, H01L29/812

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	WO 2010/070824 A1 (Advantest Corp.), 24 June 2010 (24.06.2010), entire text; all drawings & TW 201029153 A	1-4 5
X Y	JP 2010-147349 A (Advantest Corp.), 01 July 2010 (01.07.2010), entire text; all drawings (Family: none)	1-4 5
Y	JP 2010-245351 A (Toshiba Corp.), 28 October 2010 (28.10.2010), fig. 2 (Family: none)	5



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

26 July, 2012 (26.07.12)

Date of mailing of the international search report

07 August, 2012 (07.08.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/061840

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-103158 A (Panasonic Corp.), 06 May 2010 (06.05.2010), entire text; all drawings & US 2010/0213503 A1 & WO 2010/047016 A1	1-5
A	JP 2000-049169 A (Mitsubishi Electric Corp.), 18 February 2000 (18.02.2000), entire text; all drawings (Family: none)	1-5
A	JP 2001-284367 A (NEC Kansai, Ltd.), 12 October 2001 (12.10.2001), entire text; all drawings & US 2001/0025966 A1	1-5

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L21/338(2006.01)i, H01L29/41(2006.01)i, H01L29/417(2006.01)i, H01L29/778(2006.01)i, H01L29/812(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L21/338, H01L29/41, H01L29/417, H01L29/778, H01L29/812			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1 9 2 2 - 1 9 9 6 年 日本国公開実用新案公報 1 9 7 1 - 2 0 1 2 年 日本国実用新案登録公報 1 9 9 6 - 2 0 1 2 年 日本国登録実用新案公報 1 9 9 4 - 2 0 1 2 年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	WO 2010/070824 A1（株式会社アドバンテスト） 2010.06.24, 全文、全図 & TW 201029153 A	1-4 5	
X Y	JP 2010-147349 A（株式会社アドバンテスト） 2010.07.01, 全文、全図（ファミリーなし）	1-4 5	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願		の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献	
国際調査を完了した日 2 6 . 0 7 . 2 0 1 2		国際調査報告の発送日 0 7 . 0 8 . 2 0 1 2	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0 - 8 9 1 5 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 奎 哲次 電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6	5 F 3 9 5 2

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2010-245351 A (株式会社東芝) 2010.10.28, 図2 (ファミリーなし)	5
A	JP 2010-103158 A (パナソニック株式会社) 2010.05.06, 全文、全図 & US 2010/0213503 A1 & WO 2010/047016 A1	1-5
A	JP 2000-049169 A (三菱電機株式会社) 2000.02.18, 全文、全図 (ファミリーなし)	1-5
A	JP 2001-284367 A (関西日本電気株式会社) 2001.10.12, 全文、全図 & US 2001/0025966 A1	1-5