

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
H01L 27/10

(45) 공고일자 1990년03월09일
(11) 공고번호 90-001395

(21) 출원번호	특1984-0006294	(65) 공개번호	특1985-0005139
(22) 출원일자	1984년10월11일	(43) 공개일자	1985년08월21일
(30) 우선권 주장	58-242631 1983년12월20일 일본(JP)		
(71) 출원인	미쯔비시 덴끼 가부시끼 가이사 가따야마 진하찌토 일본국 도오쿄도 지요다꾸 마루노우찌 2조메 2반 3고		
(72) 발명자	오까모토 다쓰오 일본국 효고켄 이따미시 미즈하라4조메 1반지 미쯔비시덴끼 사부시끼 가 이샤 기다이따 미세이사꾸쇼나이 하라다 히토시 일본국 효고켄 이따미시 미즈하라4조메 1반지 미쯔비시덴끼 가부시끼 가 이샤 기다이따 미세이사꾸쇼나이		
(74) 대리인	이병호		

심사관 : 조성욱 (책자공보 제1789호)

(54) 반도체장치의 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체장치의 제조방법

[도면의 간단한 설명]

제1도는 종래의 DRAM을 도시하는 단면도.

제2도 내지 제4도는 제1도에 도시한 DRAM을 공정순으로 도시하는 단면도.

제5도 내지 제11도는 본 발명의 일 실시예를 공정순으로 도시하는 단면도.

* 도면의 주요부분에 대한 부호의 설명

12 : 반도체 기체

14, 14a : 티타늄 실리사이드로된 고용점 금속규화물

19, 19a : 티타늄 산화물(TiOx)과 실리콘 산화물(SiOx)의 혼합물 산화막

23 : DRAM에 있어서의 MOS 트랜지스터의 소스영역을 겸하는 비트 타인영역

[발명의 상세한 설명]

본 발명은 반도체 기체상에 도전성의 박막 및 절연성의 박막의 2종류의 박막을 형성하는 반도체장치의 제조방법에 관한 것이다.

이 종류, 도전성의 박막 및 절연성의 박막의 2종류의 박막이 반도체 기체상에 형성된 반도체 장치에 있어서는, 도전성의 박막이 배선층 혹은 저저항화를 위한 재료등에 사용되고 있는 것이 일반적이다.

그리고, 절연성의 박막을 유전체 재료로서 사용할 경우에는, 2산화 실리콘(SiO₂)막이 널리 사용되고 있고, 도전성의 박막을 배선층으로서 사용할 때에는 알루미늄층 혹은 다결정실리콘층이 널리 사용되고 있는 것이다.

또, 도전성의 박막 및 절연성의 박막의 2종류의 박막이 반도체 기체상에 형성된 반도체장치로서, 예를 들면 1개의 MOS형 전계효과 트랜지스터와 1개의 콘덴서로 이루는 메모리셀이 복수동일 기체상에 형성된 반도체 메모리장치(다이내믹 램덤 액세스 메모리, 이하 DRAM이라 칭함)가 있고, 이 DRAM에

있어서는, 콘덴서의 유전체 재료에 절연성의 박막이 사용되고, 배선층에 도전성의 박막이 사용되고 있는 것이다.

근년, 이와같은 DRAM에 있어서는 고집적도화, 즉 미세화가 진전하고 콘덴서가 형성되는 영역도 작게 되어 있고, 오동작을 방지하기 위하여 한정된 면적중에서, 콘덴서에 있어서의 축적전하량을 증가하여야 할, 콘덴서의 유전체 재료로서 2산화 실리콘의 비유전율에 비하여 2배 이상의 비유전율을 가지는 탄타늄[Ta]등의 고용점 금속산화물과 2산화 실리콘과의 혼합물 산화물을 사용한 DRAM이 일본국 특허공개소 57-24541호에 도시되는 바와같이 제안되고 있다.

제1도는 이 특허공개소 57-24541호에 도시된 DRAM의 단면도이고, P형 실리콘 기판(1)의 한 주면에 형성된 드레인부(8), 소스부(9) 및 2산화 실리콘 막(6)상에 형성된 다결정 실리콘 막으로 이루는 게이트전극(7a)에서 전계효과 트랜지스터가 구성되고, P형 실리콘 기판(1), 탄타늄과 실리콘의 혼합물 산화막(5) 및 다결정 실리콘 막 (7b)에서 콘덴서가 구성되고, 알루미늄 박막(11a)(11b)이 배선층을 구성하고 있는 것이다.

이와같이 구성된 DRAM에 있어서 그 제조방법은, 우선, 제2도에 도시하는 바 같

다음에 제3도에 도시하는 것과 같이, 사진 식각법 등에 의하여, 2산화 실리콘박막(3) 및 탄타늄 박막(4)을 소요의 형상으로 선택제거한 후, 열처리하여 잔존된 부분의 2산화 실리콘 박막(3) 및 탄타늄 박막(4)을 탄타늄과 실리콘의 혼합물 산화막(5)에 변환시킴과 동시에 노출된 실리콘 기판(1)상에 2산화 실리콘박막(6)을 부착형성 시킨다.

다음에 제4도에 도시하는 바와같이, 다결정 실리콘 박막을 선택형성하여 MOS형 전계효과트랜지스터의 게이트 전극(7a) 및 콘덴서의 한쪽의 전극(7b)을 형성한 후, 드레인부(8) 및 소스부(9)을 형성한다.

그러한 후, 상면전면에 2산화실리콘 박막(10)을 형성하고, 드레인부(8) 및 소스부(9)상의 2산화실리콘 박막에 콘택트홀을 형성하고, 소스부(9)와 접속되는 알루미늄 박막의 배선층(11a) 및 드레인부(8)에 접속되는 알루미늄 박막의 배선층(11b)을 형성하고 제1도에 도시하는 구조의 것을 얻고 있는 것이다.

그런데, 이와같이 구성된 DRAM에 있어서는 콘덴서의 축적용량이 증가하는 반면, 콘덴서의 유전체 재료만을 형성하는 공정, 즉 탄타늄 박막(4)을 형성하는 공정, 2산화실리콘 박막(3)을 형성하는 공정, 마스크 맞추는 공정들을 필요로 하여 공정수가 증대한다는 문제를 가지는 것이었다.

한편, MOS형 전계효과 트랜지스터에 있어서, 게이트 전극, 및 소스부에 접속되는 배선층으로서 다결정 실리콘 막상에 고용점금속의 산화물로 이루는 막을 적층한 것을 사용한 것이 일본국 특허공개소 54-88783호에 도시되어 있는 바와같이 제안되고 있다.

그런데, 이 특허공개소 54-88783호에서 제안된 다결정 실리콘 막상에 고용점금속의 규화물로 이루는 막을 적층한 것을, 상기한 특허공개소 57-24541호에 기술되어 있기는 하나 소스부(9)와 접속되는 배선층(11a) 및 드레인부(8)에 접속되는 배선층(11b)에 적용한 경우에는 배선층(11a)이 MOS형 트랜지스터 및 콘덴서를 형성한 후에 형성된 것이며, 더우기 공정수가 증대한다고 하는 문제가 생겨버리는 것이다.

본 발명은 상기한 점에 비추어서 행하여진 것이며, 도전성의 박막 및 절연성의 박막의 2종류의 박막이 반도체 기체상에 형성된 반도체장치의 제조방법에 있어서, 반도체 기체상에 도전성의 고용점 금속규화물로 이루는 박막을 형성한 후, 이 박막을 선택적으로 산화하도록 하여, 도전성의 박막 및 절연성의 박막을 얻도록 한 공정수가 적은 반도체장치의 제조방법을 제안하는 것이다.

이하에 이 발명의 실시예를 DRAM에 적용한 경우에 대하여, 제5도 내지 제11도에 근거하여 그 제조방법을 설명한다. 그리고, 반도체 기체상에 형성되는 도전성의 박막으로서는, DRAM에 있어서의 MOS형 트랜지스터의 소스영역을 겸하는 비트라인 영역의 저저항화를 도모하기 위한 박막에 상당하고, 절연성의 박막으로서는, DRAM에 있어서의 콘덴서의 유전체 재료층에 상당하는 것이다.

우선, 제5도에 도시하는 바같이, P형 실리콘 기판으로 이루는 반도체 기체(12)의 한 주면상에 두꺼운 필드산화막(13)을 소요의 형상으로 형성한다. 그리고, 제6도에 도시하는 바같이 반도체 기체(12)의 한주면 상전면에 약 400 내지 500 Å 정도의 고용점 금속인 티타늄(Ti)박막을 스파터, 전자빔, 증착(EB)법등에 의하여 형성한 후, 이것을 600 내지 700℃ 정도의 비산화 분위기중에서 가열한다. 이때 반도체 기체(12)의 노출면에 형성된 티타늄은 반도체 기체(12)의 실리콘과 화합하여 티타늄 실리사이드(TiSix)(14) 즉 도

다음에, 제7도에 도시하는 바같이, DRAM에 있어서의 MOS형 트랜지스터의 소스영역의 형성부분 및 이 소스영역에 연속하여 형성되는 영역으로 이루는 비트라인 영역의 형성부분에 있어서의 티타늄 실리사이드(14)의 상면에 실리콘 질화막으로 이루는 내 산화성마스크(18)를 형성하고, 이것을 600 내지 1000℃ 정도의 산화분위기중에서 가열한다. 이때 내산화성마스크(18)에 덮힌 티타늄 실리사이드(14)는 산화분위기에 접촉하지 않기 때문에, 산화반응은 하지 않고 그대로 티타늄 실리사이드(14a)로서 남고, 내산화성마스크(18)에 덮이지 않은 티타늄 실리사이드(14)는 산화분위기에 접촉되기 때문에, 산화반응 되어서 티타늄 산화막(TiOx)과 실리콘 산화막(SiOx)과의 혼합물 산화막(19)으로 변환된다.

그리고, 상기한 티타늄 실리사이드(14)를 혼합물산화막(19)으로 변환하는 구체적 방법은, 다음과 같이 행하여지는 것이다. 티타늄 실리사이드(14)가 700℃이하의 경우²²

다음에 제8도에 도시하는 바같이 감압기상성장(LPCVD)법에 의하여 다결정 실리콘막을 형성하고, 저저항화를 위해 인등의 불소물을 다결정 실리콘막중에 열확산법으로 도입한 후, 사진제판과 에칭에 의하여, DRAM에 있어서의 콘덴서의 한쪽의 전극으로 되는 제1게이트 전극(20)을 형성한다. 그리고, 이 제1게이트전극(20)과, 내 산화성 마스크(18)를 마스크로서 노출하고 있는 혼합물 산화막(19)을

자기 정합적으로 에칭 제거한다. 이때, 제1게이트 전극(20)직하에 남겨진 혼합물 산화막이 DRAM에 있어서의 콘덴서의 유전체 재료(19a)로 되는 것이다. 다음에 제9도에 도시하는 바같이 내산화성 마스크(18)를 제거하고, 900 내지 1000℃정도의 산화분위기에서 이것을 가열하고 반도체 기체(12)의 한주면상 전면에 실리콘산화막(21)을 형성한다. 이때, 티타늄 실리사이드층(14a)표면에도 실리콘산화막(21)이 형성되기는 하나, 그 직하에는 티타늄실리사이드 층(14a)이 남아 있는 것이다.

다음에 제10도에 도시하는 바같이, LPCVD법등에 의하여, 실리콘 산화막(21)상면에 다결정실리콘막을 형성하고, 저저항화를 위하여 인등의 불순물을 열확산법등에 의하여 이 다결정 실리콘 막중에 도입 후, 사진제판가 에칭에 의하여, DRAM에 있어서의 MOS형 트랜지스터의 게이트 전극으로 되는 제2의 게이트 전극(22)을 형성한다. 그리고

그후 제2게이트 전극(22)의 표면에 50 내지 100Å 정도의 얇은 실리콘 산화막(24)을 열산화법등에 의하여 형성한다. 이때 티타늄 실리사이드 층(14a)상면의 실리콘 산화막(21)의 막두께도 증가한다. 그 후 인등을 포함한 두꺼운 실리콘 산화막(25)을 CVD법 등에 의하여 형성하고, 최후에 콘택트, 알루미늄배선, 패시베이션 공정을 거쳐서 DRAM을 완성한다.

이와같이 구성된 DRAM에 있어서는, 통상의 DRAM과 동일하게 동작하는 것이며, 예를들면 "H"의 서입에 있어서는, 선택된 메모리셀의 MOS 트랜지스터가 도통하고, 저저항화된 티타늄실리사이드 층(14a)과 비트라인 영역(23)으로 이루는 비트라인 및 도통된 MOS 트랜지스터를 통하여 제1게이트 전극(20), 혼합물 산화막(19a), 제1게이트 전극(20)직하의 반도체 기체(12)표면으로 이루는 콘덴서부 및 PN 접합(17)에 있어서의 콘덴서부에 전하가 축적됨으로써 "H"가 서입되고 이것을 독출할 때는 콘덴서에 축적된 전하가 도통된 MOS 트랜지스터 및 비트라인을 통하여 독출되는 것이다. 또 "L"의 서입 및 독출에 대하여도 동일한 동작을 행하는 것이다.

그리고, 이와같이 구성된 DRAM에 있어서는 다음과 같은 이점을 가지는 것이다.

첫째, DRAM에 있어서의 콘덴서의 유전체 재료로서, 티타늄 산화물과 실리콘 산화막과의 혼합물 산화막(19a)을 사용하고 있기 때문에, 티타늄 산화막이 2산화 2TiO_2 " " "

둘째, DRAM에 있어서의 MOS 트랜지스터의 소스영역 및 이 소스영역에 연속하여 형성되는 영역으로 이루는 비트라인 영역을 포함하는 비트라인으로서 반도체 기판의 한주면에 형성된 불순물 영역과 이 불순물 영역과 오믹 접촉하는 티타늄 실리사이드 층(14)과 구성한 것으로서 하였기 때문에, 비트라인의 저항이 매우 낮은 저항치로 되기 때문에, 비트라인에 있어서의 손실이 매우 적게할 수가 있음과 동시에 독출 및 서입의 고속동작이 가능케 되는 것이다.

셋째, DRAM에 있어서의 콘덴서의 유전체재료와 MOS 트랜지스터의 소스영역 및 이 소스영역에 연결하여 형성되는 비트라인의 저저항화를 위한 티타늄실리사이드 층(14a)이 똑같은 출발재료, 즉 티타늄 실리사이드로부터 형성되어 있기 때문에, 공정수의 삭감을 도모할 수 있는 것이다.

그리고, 상기 실시예에서는, 고용점금속으로서, 티타늄(Ta)을 사용하였지만 탄탈륨(Ti)등의 기타의 고용점금속을 사용하여도 동일한 효과를 가지게 되는 것이다.

또, 상기 실시예에서는, 티타늄 규화물 박막(14)을 형성할 때, 티타늄 박막을 산화성분위기에서 열처리하여 실리사이드화 하였지만, 티타늄 규화물 박막을

또, 상기 실시예에서는, 반도체 기체에 규소반도체 기판을 상요하였지만, 게르마늄, 갈륨비소 등의 반도체 기체를 사용하여도 좋고, 이 경우에는, 이 반도체 기체상에 규소막을 형성한 후에 티타늄 규화물을 형성하면 된다.

또, 상기 실시예에서는 혼합물 산화물을 형성할 때 열 산화법을 사용하였지만 양극산화법, 프라즈마 산화법등을 사용하여도 좋다.

또, 상기 실시예에서는, P형의 반도체 기판을 사용하였지만, N형의 반도체 기판이라도 좋고, 그때, 불순물 영역은 P형과 N형을 상기 실시예와 역으로 하면 된다.

그리고 상기 실시예에 있어서는 도전성과 절연성을 가지는 2종류의 고용점금속 화합물을 DRAM에 있어서의 콘덴서의 유전체 재료와 비트라인의 저저항화를 위한 재료에 사용하였지만, 이에 한정되는 것이 아니고, DRAM에 있어서의 콘덴서의 유전체 재료와 DRAM에 있어서의 MOS 트랜지스터의 소스영역에 접속되는 배선층에 사용하여도 좋고, 또, DRAM에 있어서의 콘덴서의 유전체 재료와 다층에 형성된 배선층에 있어서의 중간의 배선층에 형성된 배선층에 사용하여도 좋고, 요는 반도체 기체상에 절연층과 도전층이 형성되는 것에 있어서, 이들 절연층과 도전층과 적용할 수 있는 것이다.

그리고 또 상기 실시예에 있어서는 DRAM에 대하여 설명하였지만, DRAM에 한정되는 것이 아니고, 예를 들면, 반도체 기체상에 빗살형 혹은 반상형등 복잡한 형상으로 형성되는 전극층을 가진 반도체장치에 있어서도 적용할 수 있는 것이며, 이 경우에는 이 전극 층을 고용점금속규화물로 하고, 전극층에 들어가서 형성되는 절연층을 규소와 고용점금속의 각각을 성분으로 하는 혼합물 산화물로 하도록 하면 되는 것이다.

본 발명은 이상 기술한 바와같이 반도체 기체상에 도전성의 고용점 금속규화물로 이루는 박막을 형성한 후, 이 박막을 선택적으로 산화함으로써, 도전성의 고용점금속규화물의 박막과, 절연성의 규소와 고용점 금속의 각각을 성분으로 하는 혼합물 산화물로 이루는 박막을 형성하였기 때문에, 도전성의 박막, 및 절연성의 박막 각각의 성질이 우수한 특성을 나타내는 박막을 연속적으로 또한, 용이하게 형성할 수가 있다는 효과를 가지는 것이다.

(57) 청구의 범위

청구항 1

반도체 기체상에, 도전성의 고용점금속규화물로 이루는 박막을 형성하는 공정, 상기 박막상면에 내산화성의 마스크를 형성한 후, 산화처리에 의하여 상기 마스크에 덮힌 부분을 도전성인 채로 하고, 노출된 부분을, 규소와 고용점금속의 각각을 성분으로 하는 혼합물 산화물로 이루는 절연막으로 하고, 상기 박막을 도전성과 절연성을 가지는 2종류의 고용점금속화합물로 하는 공정을 포함하는 반도체 장치의 제조방법.

청구항 2

상기 제1항에 있어서, 반도체 기체를 규소반도체 기판으로 하고, 반도체 기체상에 도전성의 고용점 금속규화물로 이루는 박막을 형성하는 공정은, 상기 반도체 기체상면에 고용점금속으로 이루는 박막을 형성한 후, 이 고용점금속으로 이루는 박막을 반도체 기체와 화합시켜, 반도체 기체상에 도전성의 고용점금속 규화물로 이루는 박막을 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 3

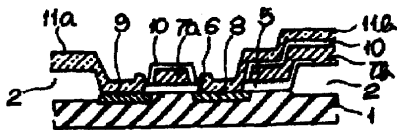
상기 제1항에 있어서, 반도체 기체를 게르마늄, 갈륨비소등의 반도체기판으로 하고, 반도체 기체상에 도전성의 고용점금속규화물로 이루는 박막을 형성하는 공정은, 상기 반도체 기체상에 규소막을 형성하고, 다시 상기 규소막상면에 고용점금속으로 이루는 박막을 형성한 후, 이 고용점금속으로 이루는 박막을 규소막과 화합시키고, 반도체 기체상에 도전성의 고용점 금속규화물로 이루는 박막을 형성하는 공정인 것을 특징으로 하는 반도체 장치의 제조방법.

청구항 4

제1항 또는 제2항에 있어서, 반도체 장치를 MOS형 전계효과 트랜지스터와 콘덴서부로 이루는 셀을 복수로 가진 반도체 메모리 장치로하고, 상기 MOS형 전계효과 트랜지스터를 구성하는 소스영역에 있어서의 저저항재료가 2종류의 고용점금속화합물중의 도전성의 박막으로 구성됨과 동시에, 상기 콘덴서부의 유전체 재료가 2종류의 고용점금속 금속화합물중의 절연막으로 구성되는 것을 특징으로 하는 반도체 장치의 제조방법.

도면

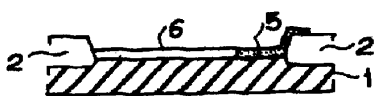
도면1



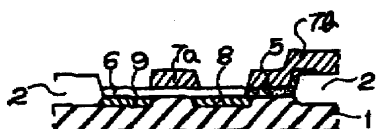
도면2



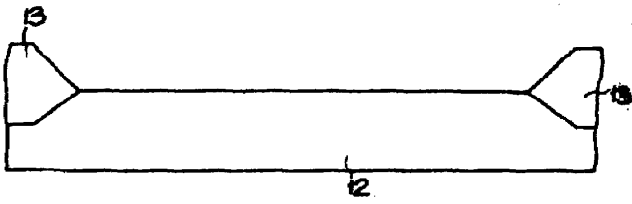
도면3



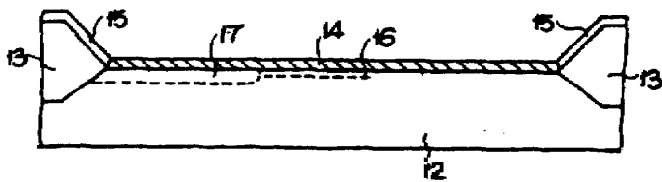
도면4



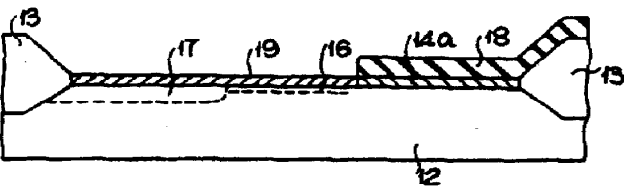
도면5



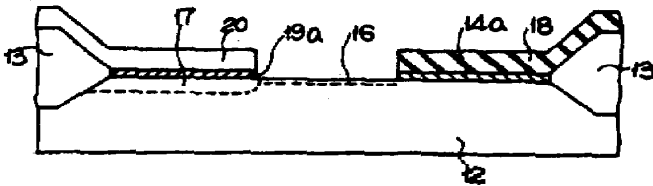
도면6



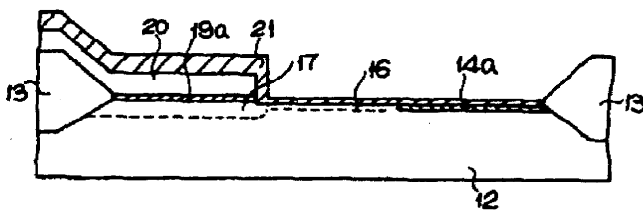
도면7



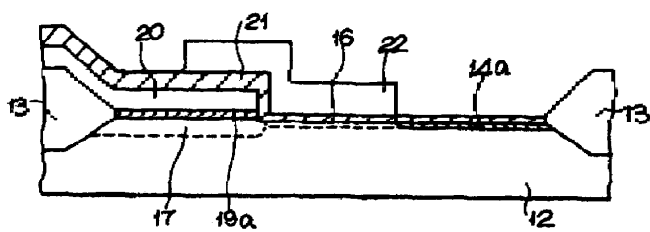
도면8



도면9



도면10



도면11

