

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-303784

(P2004-303784A)

(43) 公開日 平成16年10月28日(2004.10.28)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
HO 1 L 21/66	HO 1 L 21/66	4M106
HO 1 L 21/301	HO 1 L 27/04	5F038
HO 1 L 21/822	HO 1 L 27/04	
HO 1 L 27/04	HO 1 L 21/78	

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願2003-91849 (P2003-91849)  
 (22) 出願日 平成15年3月28日 (2003.3.28)

(71) 出願人 000005049  
 シャープ株式会社  
 大阪府大阪市阿倍野区長池町2番2号  
 (74) 代理人 100114476  
 弁理士 政木 良文  
 (74) 代理人 100107478  
 弁理士 橋本 薫  
 (72) 発明者 和田 隆  
 大阪府大阪市阿倍野区長池町2番2号  
 シャープ株式会社内  
 Fターム(参考) 4M106 AA07 AB15 AD02  
 5F038 CA10 CA13 CD12 DT04 DT12  
 DT13 EZ14 EZ15 EZ19 EZ20

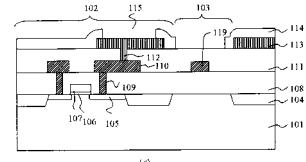
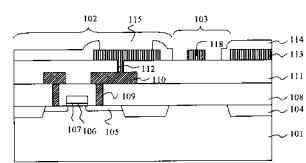
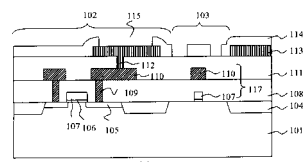
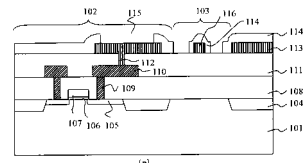
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 TEG素子の特性に影響がなく、且つ、ダイシング時のダイヤモンドブレード等にかかる負担を低減できるスクライプ領域の形成可能な半導体装置の製造方法を提供する。

【解決手段】 ダイシング前の状態において、半導体基板上101の半導体デバイス領域102の周囲に設けられたスクライプ領域103上に堆積させたパッシベーション膜114を、スクライプ領域103に設けられたTEG素子117の電極パッド以外のTEG本体部のみを被覆するように、TEG本体部以外のスクライプ領域103から除去する。TEG本体部は、電極パッド以外の最上層の金属配線116を含む。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

ダイシング前の状態において、半導体基板上の半導体デバイス領域の周囲に設けられたスクライブ領域上に堆積させたパッシベーション膜を、前記スクライブ領域に設けられた T E G 素子の電極パッド以外の T E G 本体部のみを被覆するように、前記 T E G 本体部以外の前記スクライブ領域から除去することを特徴とする半導体装置の製造方法。

**【請求項 2】**

前記 T E G 本体部は、前記電極パッド以外の最上層の金属配線を含むことを特徴とする請求項 1 に記載の半導体装置の製造方法。

**【請求項 3】**

前記半導体基板の上に形成される層間絶縁膜がシリコン酸化膜であり、前記パッシベーション膜がシリコン窒化膜であることを特徴とする請求項 1 または 2 に記載の半導体装置の製造方法。

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

本発明は、半導体装置の製造方法に関し、より詳しくは、スクライブ領域内に複数の T E G 素子が配置されているスクライブ領域の形成方法に関する。

**【0002】****【従来の技術】**

従来、シリコン基板や化合物半導体基板を用いた半導体装置の製造工程において、基板の上に多数形成された半導体素子を有する半導体ウエハは、ダイシングの際ダイヤモンドブレード等を用いて、上記多数の半導体素子で構成される半導体デバイス領域の周囲に設けられたスクライブ領域をダイシング（スクライピングとも言う）して、チップ状の半導体デバイスに分割される。従来、このスクライブ領域は基板面が露出する構造をしていたが、製造工程途中でのスクライブ領域と半導体デバイス領域との高低差によるエッチング残り、レジスト膜厚バラツキ等の問題、またスクライブ領域に層間絶縁膜を有した構造の場合に、製造時に必要となるマスクアライメント用のマーク等が複数配置された領域においては当該マークのパターン部直下の層間絶縁膜のサイドエッチによる剥がれの問題が発生していた。

**【0003】**

そこで、上記問題点を解決するために、スクライブ領域に層間絶縁膜及びパッシベーション膜をスクライブ領域全面に残す構造（従来技術 1）と、層間絶縁膜やパッシベーション膜をスクライブ領域の大部分に残す構造ではあるが、スクライブ領域上のパッシベーション膜のうち半導体デバイス領域周囲の端縁部に沿ってスリット溝を設けてこのスリット溝部分のパッシベーション膜を除去する方法（従来技術 2）と、マスクアライメント用のマーク等のパターンがある領域は半導体デバイス領域周囲の端縁部に沿ってスリット溝を設けてこのスリット溝部分のパッシベーション膜を除去すると共にパターンの無い領域のスクライブ領域上のパッシベーション膜の大部分を除去する構造（従来技術 3）が、下記の特許文献 1 に開示されている。以下、図 3 乃至図 5 に従って、特許文献 1 に開示されている従来技術 1～3 のスクライブ領域について説明する。

**【0004】**

図 3（a）は、上記従来技術 1 のスクライブ領域の断面図であり、図 3（b）はそのダイシング終了状態の断面図である。図 3（a）に示すように、半導体基板 201 内に形成された、半導体デバイス領域 202 の周辺に設けられたスクライブ領域 203 に第 1 層間絶縁膜 208、第 2 層間絶縁膜 211 を残すことにより、段差をほぼ無くす配慮がされている。

**【0005】**

図 4（a）及び図 4（b）は、上記従来技術 2 のスクライブ領域の断面図及び平面図である。図 4（a）に示すように、半導体デバイス領域 202 の周辺に設けられたスクライブ

10

20

30

40

50

領域 203 に第 1 層間絶縁膜 208、第 2 層間絶縁膜 211 を残すことにより、段差をほぼ無くすのは従来技術 1 と同様であるが、半導体デバイス領域周囲の端縁部に沿ってスリット溝 218 を設けて、このスリット溝 218 部分のパッシベーション膜 214 を除去している。これにより、従来技術 1 においてダイシング時にパッシベーション膜 214 に発生していたクラック 217 (図 3 (b) 参照) がスリット溝 218 により素子内部のパッシベーション膜 214 に到達しないよう配慮がされている。

【0006】

図 5 は、上記従来技術 3 のスクライブ領域の断面図である。図 5 のように半導体デバイス領域 202 の周辺に設けられたスクライブ領域 203 に第 1 層間絶縁膜 208、第 2 層間絶縁膜 211 を残すことにより、段差をほぼ無くすのは従来技術 1 と同様であるが、スクライブ領域上のパッシベーション膜 214 を除去している。これにより、ダイシング時にダイヤモンドブレード等にかかる負担を軽減する配慮がされている。

10

【0007】

【特許文献 1】

特開平 3 72653 号公報

【0008】

【発明が解決しようとする課題】

上記特許文献 1 に開示された従来技術 1 ~ 3 を用いたスクライブ領域形成方法では、スクライブ領域に TEG 素子 (Test Element Group、特性評価用素子) のパターンが多くなると、スクライブ領域上に残存するパッシベーション膜の面積も多くなる。スクライブ領域上に残存するパッシベーション膜の面積の増加は、ダイシングの際ダイヤモンドブレード等にかかる負担を大きくする。また、スクライブ領域内の TEG 素子のパターン上のパッシベーション膜を除去すると、最上層金属配線層の配線がパッシベーション膜の除去の際のエッチングの影響を受け、配線抵抗のバラツキが発生する。また、パッシベーション膜が無いことにより、TEG 素子の特性が変化する問題が発生するため、TEG 素子のパターン上のパッシベーション膜は必要である。

20

【0009】

本発明は、上記の従来技術における問題点に鑑みてなされたものであり、その目的は、上記問題点を解消し、TEG 素子の特性に影響がなく、且つ、ダイシング時のダイヤモンドブレード等にかかる負担を低減できるスクライブ領域の形成可能な半導体装置の製造方法を提供することにある。

30

【0010】

【課題を解決するための手段】

この目的を達成するための本発明に係る半導体装置の製造方法は、ダイシング前の状態において、半導体基板上の半導体デバイス領域の周囲に設けられたスクライブ領域上に堆積させたパッシベーション膜を、前記スクライブ領域に設けられた TEG 素子の電極パッド以外の TEG 本体部のみを被覆するように、前記 TEG 本体部以外の前記スクライブ領域から除去することを特徴とする。更に、本発明に係る半導体装置の製造方法は、前記 TEG 本体部が、前記電極パッド以外の最上層の金属配線を含むことを特徴とする。

【0011】

上記特徴の半導体装置の製造方法によれば、スクライブ領域上の TEG 素子の特性を変化させることなく、且つ、ダイシング時のダイヤモンドブレード等にかかる負担を低減することが可能なスクライブ領域を形成することができる。

40

【0012】

【発明の実施の形態】

本発明に係る半導体装置の製造方法 (以下、適宜「本発明方法」という。) の一実施の形態につき、図面に基づいて説明する。

【0013】

図 1 (a) ~ (d) は、本発明方法で製造される半導体装置の断面図である。図 1 (a) は、半導体基板 101 上の半導体デバイス領域 102 の周囲に設けられたスクライブ領域

50

103上の当該断面箇所、TEG素子の電極パッド以外のTEG本体部の一部を構成する最上層金属配線層116が存在し、その他のTEG本体部が存在しない場合を例示している。

【0014】

半導体デバイス領域102は、公知の製法により、半導体基板101上に形成されたソース・ドレイン105、ゲート絶縁膜106、ゲート電極107、第1層間絶縁膜108、ソース・ドレイン105と接触をとるためのコンタクトホール109、第1金属配線層110、第2層間絶縁膜111、第1金属配線層110と第2金属配線層113間の接触をとるビアホール112、第2金属配線層113によって形成されている。

【0015】

スクライブ領域103もパッシベーション膜114を形成するまでは、従来の製法により形成する。すなわち、スクライブ領域103内で不必要なゲート電極107と第1金属配線層110は、各々のパターンニング時に同時にエッチングを行うことにより除去し、第1層間絶縁膜108と第2層間絶縁膜111を全面に残す。パッシベーション膜114を堆積した後、ボンディングパッド115を形成する際、最上層金属配線116上のパッシベーション膜114については、レジストパターンによりエッチング時にエッチングされないように保護し、パッシベーション膜114を、最上層金属配線116上を被覆するように残す。このようにして、パッシベーション膜114をエッチングする際のエッチングの影響による、最上層金属配線116の抵抗バラツキを抑えることができる。ある実験では、配線パターンの全てを覆った時は、パターンの一部の上のパッシベーション膜を除去しただけでもバラツキの標準偏差は1桁下がる場合があり、前述の抵抗バラツキの抑制効果は十分に期待される。

10

20

【0016】

図1(b)は、スクライブ領域103上の当該断面箇所、TEG素子117の電極パッド以外のTEG本体部の一部を構成するゲート電極107と第1金属配線層110が存在する場合を例示している。図1(b)に示すように、TEG本体部を被覆するようにパッシベーション膜114が残され、それ以外のパッシベーション膜114がエッチング除去されている。

【0017】

図1(c)は、スクライブ領域103上の当該断面箇所、最上層金属配線層(第2金属配線層113)によるアライメントマーク118が存在する場合を例示している。また、図1(d)は、スクライブ領域103上の当該断面箇所、第1金属配線層110によるアライメントマーク119が存在する場合を例示している。

30

【0018】

図1(d)では、第1金属配線層110について図示しているが、ゲート電極層107によるアライメントマークでも同様である。図1(b)~(d)において、図1(a)と同一部分及び同一箇所には同一の符号を付しており、図1(a)と重複する部分についてはその説明を省略する。

【0019】

尚、図1(c)において、最上層金属配線層によるアライメントマーク118上のパッシベーション膜114を除去しているが、アライメントマークは通常約4~70 $\mu$ mのパターンで形成されており、それに対しパッシベーション膜は、通常約1 $\mu$ m弱の膜厚の為、パッシベーション膜のエッチング条件を調整することによりアライメントマーク下の層間絶縁膜層のサイドエッチによる剥がれを防ぐことは可能である。

40

【0020】

図2は、本発明により形成した半導体装置のスクライブ領域の平面図である。図2において、図1と同一部分及び同一箇所には同一の符号を付している。図2に示すように、TEG素子117の電極パッド121以外のTEG本体部を被覆するようにパッシベーション膜114が存在していることが分かる。

【0021】

50

尚、図2中、左側のTEG本体部と電極パッド121を連絡する金属配線は最上層金属配線層116を用いているのに対し、右側のTEG本体部と電極パッド121を連絡する金属配線120は第1金属配線層110を用いている。右側のTEG本体部は、電極パッド121を連絡する金属配線120が最上層金属配線層116ではないので、パッシベーション膜114が完全に第1金属配線層110を被覆していないが、これにより、パッシベーション膜114のエッチング時に第1金属配線層110がエッチングされるおそれがないので、配線抵抗に影響を与えることはない。

【0022】

以上、図2より明らかのように、スクライプ領域103内のパッシベーション膜114の面積が必要最小限に小さくでき、ダイシング時のダイヤモンドブレード等にかかる負担を低減することができる。

10

【0023】

上記実施形態において、第1及び第2層間絶縁膜108、111はシリコン酸化膜、パッシベーション膜114は耐湿性のあるシリコン窒化膜で、夫々形成されている。硬度としては、シリコン窒化膜がシリコン酸化膜より大きい為に、スクライプ領域103上のパッシベーション膜114の面積を最大限削減することで、ダイヤモンドブレード等にかかる負担を低減することができる。

【0024】

また、上記実施形態において例示したTEG素子の構造、パターン、及び、半導体装置の製造に使用する製造プロセスは一例であり、これらに限定されるものではない。

20

【0025】

【発明の効果】

以上より、本発明に係る半導体装置の製造方法では、スクライプ領域に複数配置されたTEG素子上にのみパッシベーション膜を残存させている為、下記のような効果が得られる。

【0026】

先ず、スクライプ領域に複数配置されたTEG素子においては、TEG素子上にパッシベーション膜が残存しているため、パッシベーション膜のエッチングによる影響を受けることなく、最上層金属配線の抵抗バラツキを防止し、TEG素子の特性の劣化または変化を防止できる。

30

【0027】

次に、スクライプ領域のダイシングにおいて、TEG素子上の必要な領域のみパッシベーション膜がスクライプ領域内に残存する為、スクライプ領域内のパッシベーション膜の面積が小さくなり、ダイヤモンドブレード等にかかる負担を低減することができる。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の製造方法で製造される半導体装置の一実施の形態を示す断面図であり、(a)はスクライプ領域に最上層金属層配線がある場合、(b)はスクライプ領域にTEG素子がある場合、(c)はスクライプ領域に最上層金属配線層のアライメントマークがある場合、(d)はスクライプ領域に第1層金属層のアライメントマークがある場合を夫々示す。

40

【図2】本発明に係る半導体装置の製造方法で製造される半導体装置の一実施の形態を示す平面図である。

【図3】従来の半導体装置の製造方法(従来技術1)で製造される半導体装置のスクライプ領域の一例を示す断面図であり、(a)はダイシング前の状態、(b)はダイシング後の状態を示す。

【図4】従来の半導体装置の製造方法(従来技術2)で製造される半導体装置のスクライプ領域の一例を示す断面図と平面図である。

【図5】従来の半導体装置の製造方法(従来技術3)で製造される半導体装置のスクライプ領域の一例を示す断面図である。

【符号の説明】

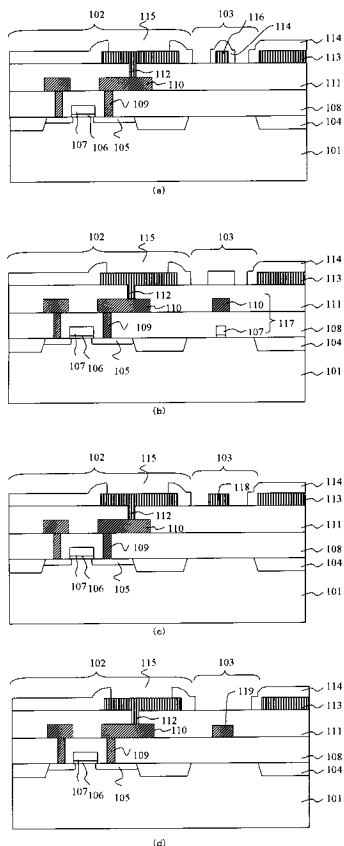
50

- 101、201：半導体基板
- 102、202：半導体デバイス領域
- 103、203：スクライプ領域
- 104、204：素子分離領域
- 105、205：ソース・ドレイン領域
- 106、206：ゲート絶縁膜
- 107、207：ゲート電極
- 108、208：第1層間絶縁膜
- 109、209：ソース・ドレイン領域と接触をとるためのコンタクトホール
- 110、210：第1金属配線層
- 111、211：第2層間絶縁膜
- 112、212：第1金属配線と第2金属配線間の接触をとるためのビアホール
- 113、213：第2金属配線層（最上層金属配線層）
- 114、214：パッシベーション膜
- 115、215：ボンディングパッド
- 116、222：最上層金属配線（層）
- 117、220：TEG素子
- 118、219：最上層金属配線層のアライメントマーク
- 119：第1金属配線層のアライメントマーク
- 120、221：第1金属配線層による配線
- 121、223：TEG素子の電極パッド
- 216：ダイシングにより形成された間隙
- 217：クラック
- 218：スリット溝

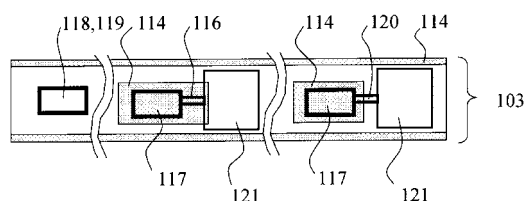
10

20

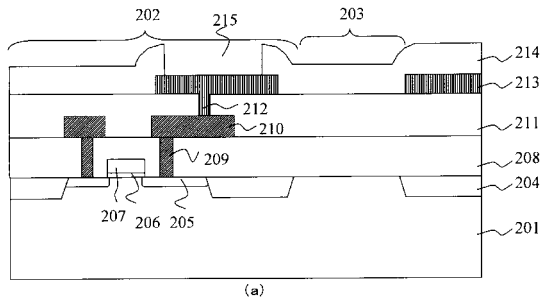
【図1】



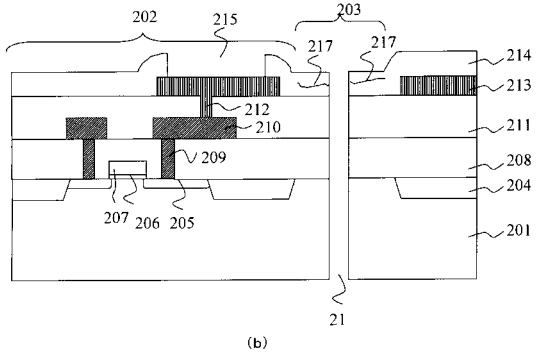
【図2】



【 図 3 】

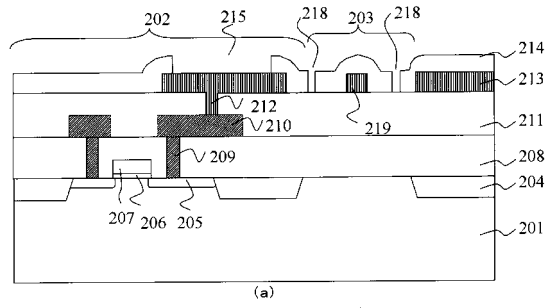


(a)

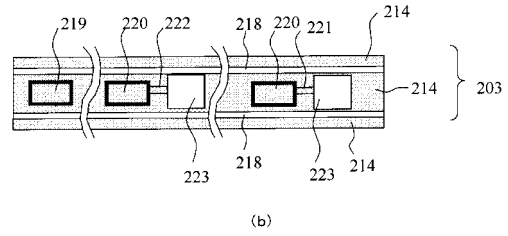


(b)

【 図 4 】



(a)



(b)

【 図 5 】

