

(43) 国際公開日
2007 年 9 月 13 日 (13.09.2007)

PCT

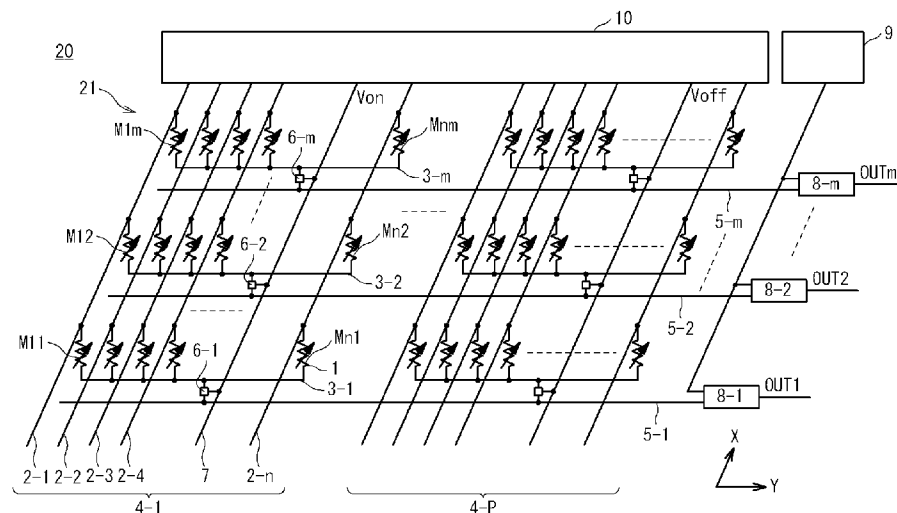
(10) 国際公開番号
WO 2007/102456 A1

- (51) 国際特許分類:
G11C 11/15 (2006.01) H01L 27/105 (2006.01)
H01L 21/8246 (2006.01) H01L 43/08 (2006.01)
- (21) 国際出願番号: PCT/JP2007/054160
- (22) 国際出願日: 2007 年 3 月 5 日 (05.03.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2006-059478 2006 年 3 月 6 日 (06.03.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤 有光 (KATO, Yuukou) [JP/JP]; 〒1088001 東京都港区芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).
- (74) 代理人: 工藤 実 (KUDOH, Minoru); 〒1400013 東京都品川区南大井六丁目 2 4 番 1 0 号 カドヤビル 6 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: SEMICONDUCTOR STORAGE DEVICE AND METHOD FOR OPERATING SAME

(54) 発明の名称: 半導体記憶装置とその動作方法



(57) Abstract: A semiconductor storage device including read blocks (4), third wirings (5), read switches (6), a control circuit (10) and evaluation circuits (8) is used. The read blocks (4) are provided with first wirings (2) arranged in a second direction and extending in a first direction, second wirings (3) extending in the second direction, and resistive storage elements (1) at intersecting points of the first wirings (2) and the second wirings (3). The third wiring (5) extends in the second direction and corresponds to the second wiring (3). The read switch (6) is arranged between the third wiring (5) and the second wiring (3). The control circuit (10) controls the read switch (6) and supplies the first wiring (2) with a current and the like. The evaluation circuit (8) is connected to the third wiring and evaluates a current and the like. In data reading, the control circuit (10) selects a selective read block (4) and a selective first wiring (2) and supply them with a current and the like, and the evaluation circuit (8) evaluates a current and the like in the third wiring.

(57) 要約: 読出しブロック 4、第 3 配線 5、読出しスイッチ 6、制御回路 10、評価回路 8 を含む半導体記憶装置を用いる。読出しブロック 4 は、第 2 方向に並び、第 1 方向へ伸びる第 1 配線 2、第 2 方向に伸びる第 2 配線 3、第 1 配線 2 と第 2 配線 3 との交点にある抵抗記憶素子 1 を備える。第 3 配線 5 は第 2 方向へ伸び第 2 配線 3 に対応して

[続葉有]



WO 2007/102456 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

いる。読出しスイッチ6は、第3配線5と第2配線3との間にある。制御回路10は、読出しスイッチ6を制御し、第1配線2へ電流等を供給する。評価回路8は、第3配線に接続され、電流等の評価を行う。データの読出しは、制御回路10が選択読出しブロック4及び選択第1配線2を選択して電流等を供給し、評価回路8が第3配線における電流等の評価を行う。

明 細 書

半導体記憶装置とその動作方法

技術分野

[0001] 本発明は半導体記憶装置とその動作方法に関し、特に抵抗記憶素子をメモリセルに用いる半導体記憶装置とその動作方法に関する。

背景技術

[0002] 状態によって抵抗が変化する抵抗記憶素子をメモリセルに用いる半導体記憶装置(メモリ)が知られている。抵抗記憶素子としては、AMR (Anisotropic MagnetoResistance) 効果、GMR (Giant MagnetoResistance) 効果、及びTMR (Tunnel MagnetoResistance) 効果のような磁気抵抗効果を示す磁気抵抗素子や、冷却速度による結晶性の相違を利用した相変化抵抗素子が知られている。

[0003] まず、磁気抵抗素子の一例として、TMR素子について説明する。TMR素子は、トンネル絶縁膜を2つの磁性体で挟んだ構造を有する。図1は、2000 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS (p. 128)に開示されたTMR素子の一例を示す断面図である。TMR素子(磁気抵抗素子)205は、反強磁性体層201、ピン層202、トンネル絶縁層203、及びフリー層204がこの順に積層された構造を有する。反強磁性体層201は、例えばFeMn(10nm)で形成されている。ピン層202は、例えば強磁性体のCoFe(2.4nm)で形成されている。トンネル絶縁層203は、例えばAl₂O₃(2nm)で形成されている。フリー層204は、例えば強磁性体のNiFe(5nm)で形成されている。反強磁性体層201及びフリー層204には、電圧が印加できるよう、導体配線が接続されている。ピン層202の磁化方向は反強磁性体層201により、ある方向に固定されている。フリー層204はある方向に磁化しやすいように形成され、その磁化方向は外部から磁場を印加することにより変化させることができる。フリー層204の水平方向のうち、磁化しやすい方向を容易軸、容易軸に垂直で磁化しにくい方向を困難軸と呼ぶ。フリー層204とピン層202との間に電圧を印加するとトンネル絶縁膜203を通して電流が流れる。そのとき、フリー層204の磁化の向きとピン層202の磁化に向きとの関係によ

り抵抗値が変化する。すなわち磁化の向きが同じ場合には抵抗が低く、磁化の向きが反対の場合には抵抗が高くなる。

[0004] 次に、TMR素子を半導体記憶装置の記憶素子として用いた一例について説明する。図2は、2000 IEEE International Solid-State Circuits Conference DIGEST OF TECHNICAL PAPERS (p. 130)に開示された半導体記憶装置の一例を示す斜視図である。この不揮発性メモリ215は、TMR素子を記憶素子として用いている。不揮発性メモリ215では、アレイ状に配置されたTMR素子205の上下に、交差する1対の配線(ビット線206及び書込みワード線209)が設けられている。ビット線206は、TMR素子205のフリー層204と接続されている。書込みワード配線209は、TMR素子205の反強磁性体層201の下部に離れて設けられている。TMR素子205の反強磁性体層201は第3配線207を介して下層に形成されたトランジスタ208のドレインに接続されている。トランジスタ208は読出しワード線210でオン／オフされる。

[0005] このTMR素子205へは、以下のようにしてデータが書き込まれる。ビット線206と書込みワード配線209とに電流が流れることで交点近傍に合成磁場が発生する。その合成磁場により、当該交点にあるTMR素子205のフリー層204の磁化の向きを変更する。磁化の向きは、当該電流の方向により設定する。これによりTMR素子205の抵抗値を変化させることができる。このTMR素子205からは、以下のようにしてデータが読み出される。読み出すTMR素子205に接続されたトランジスタ208を読出しワード線210によりオン状態にする。そして、ビット線206よりTMR素子205に電圧を印加して、TMR素子205を流れる電流でTMR素子205の抵抗値を評価する。

[0006] また、米国特許US6259644号公報には、抵抗記憶素子を用いたクロスポイント型メモリアレイのデータ読み出し方法が開示されている。図3は、米国特許US6259644号公報に開示されたイクイポテンシャル読み出し法(以下「EP法」と記す)を説明する概略ブロック図である。クロスポイント型メモリアレイ235は、交差するビット線220とワード線221との間にメモリセル222(TMR素子)を接続している。EP法では、読み出すメモリセル222に接続されたワード線221に電圧 V_s を電圧源223により印加し、その他のワード線は接地する。さらに、読み出すメモリセル222に接続されたビット線2

20に電位設定回路224を接続し、その他のビット線は接地する。

電位設定回路224は、差動増幅器225と帰還抵抗226とで構成されている。差動増幅器225の一方の入力を接地し、他方の入力にビット線220を接続し、さらに差動増幅器225の出力を帰還抵抗226を介して接続したビット線220の電位をゼロ電位になるようにする。このように設定すると、読み出しを行わないビット線220及びワード線221はゼロ電位となるため、読み出しを行うビット線上の読み出さないメモリセル222からの漏れ電流はなくなる。このため、電位設定回路224の出力電位は読み出しを行うメモリセル222の抵抗に従うことになる。この電位をセンスアンプ227に入力し、参照電位 V_{ref} と比較することでデータを判別することができる。

[0007] このように、半導体記憶装置の代表的なメモリアレイとしては、 $1Tr+1R$ 型(Tr :トランジスタ、 R :抵抗記憶素子)とクロスポイント型とがある。ただし、 $1Tr+1R$ 型は、記憶素子(TMR素子205)ごとに選択トランジスタトランジスタ208)を接続し、交差するビット線(206)とワード線(209、210)で書込み／読出しを制御する。クロスポイント型は、ビット線(220)とワード線(221)との交点で記憶素子(222)を接続する。 $1Tr+1R$ 型では、読出しのとき、記憶素子ごとの抵抗評価が可能なため、抵抗変化量が小さい領域まで読み出しが可能である。しかし、選択トランジスタの面積や、その接続のための面積が必要なため、微細化による大容量化が困難である。これに対し、クロスポイント型では、メモリセル面積を小さくすることができる。しかし、すべての記憶素子が並列につながっているため、一つの記憶素子の抵抗を正確に評価するのが難しい。それに対処するために、効果的な読出し方法としてEP法が提案されており、この方法によれば前述のように理想的には各記憶素子の抵抗評価が可能となる。

[0008] しかし、実際には、EP法において、配線抵抗によって出力がシフトするという問題がある。図3を参照すると、一辺が $200\mu m$ のメモリアレイ235では配線の抵抗は一例として 40Ω 程度になる。読み出し電圧 V_s を $0.5V$ とし、メモリセル222の抵抗値が $10k\Omega$ (仮にデータが「0」とする)と $15k\Omega$ (仮にデータが「1」とする)の2値をとるとした場合、流れ込む電流は $50\mu A$ (「0」)と $33\mu A$ (「1」)となる。ビット線220に接続した電位設定回路224に最も近いワード線221のメモリセル222を読み出す場合、読み出し電流は $50\mu A$ (「0」)と $33\mu A$ (「1」)となり、その差は 17

μ Aある。しかし、電位設定回路224から遠いワード線221のメモリセル222では、ビット線220の配線抵抗のため電圧が2mV持ち上がっている。読出しを行わないメモリセル220の配線は接地されている。ワード線221が128本横切っているとすると、これらの横切っている配線に漏れ出る電流は総計するとデータにより 13μ A(「0」)と 9μ A(「1」)となる。このため、読出し電流はデータにより 37μ A(「0」)と 24μ A(「1」)に減少する。そのため、読出し電流は、電位設定回路224に最も近いワード線221近傍のメモリセル222におけるデータ「1」での 33μ Aと、最も遠いワード線221近傍のメモリセル222におけるデータ「0」での 37μ Aとの差が、僅か 4μ Aしかない。半導体記憶装置の大容量化のためには、さらにメモリアレイ235を大きくする必要があるが、配線長が長くなるため、より読み出し電流差が小さくなってしまい、読み出しが困難になってしまう。

[0009] 特開2002-170377号公報(対応する米国特許US6778430B2)に薄膜磁性体記憶装置が開示されている。この薄膜磁性体記憶装置は、行列状に配置された複数の磁性体メモリセルを有するメモリアレイを備える。ただし、前記複数の磁性体メモリセルの各々は、第1および第2のデータ書込電流によって印可されるデータ書込磁界が所定磁界よりも大きい場合に書込まれる記憶データのレベルに応じて抵抗値が変化する記憶部を含む。前記磁性体メモリセルの行に対応してそれぞれ設けられ、第1の抵抗率を有する配線で形成される複数の書込ワード線を更に備える。ただし、前記複数の書込ワード線の各々は、データ書込時およびデータ読出時の両方において、行選択結果に応じて選択的に活性化される。前記複数の書込ワード線のうちの活性化された少なくとも1つに対して、前記データ書込時および前記データ読出時のそれぞれにおいて、前記第1のデータ書込電流の電流経路をそれぞれ形成および遮断するためのワード線電流制御回路と、前記磁性体メモリセルの列に対応してそれぞれ設けられる複数のデータ線と、前記データ書込時およびデータ読出時のそれぞれにおいて、前記第2のデータ書込電流およびデータ読出電流のそれぞれを、前記複数のデータ線のうちの選択された前記列に対応する1本に流すための読出書込制御回路と、前記磁性体メモリセルの行に対応してそれぞれ設けられ、前記第1の抵抗率よりも高い第2の抵抗率を有する配線で形成される複数の読出ワード線とを更

に備える。ただし、各前記読出ワード線は、前記データ読出時において、前記行選択結果に応じて対応する前記書込ワード線とともに選択的に活性化される。

[0010] 特開2002-269968号公報(対応する米国特許US6614682B2)に強磁性体メモリの情報再生方法が開示されている。この強磁性体メモリの情報再生方法は、強磁性体からなり磁化の向きにより情報を記憶するハード層、非磁性層、前記ハード層より保磁力が小さな強磁性体からなるソフト層からなる可変抵抗器を備え、前記可変抵抗器がマトリックス状に配置され、互いに平行で複数のビット線を備え、前記ビット線に接続された複数のセンスアンプを備えた、複数のユニットを有する強磁性体メモリの情報再生方法である。複数の情報を同時にパラレル出力するために、前記ユニット内の前記複数のセンスアンプを同時に起動し、クロックパルスに同期して前記複数のユニットを順次切り替えて、前記複数のユニット内の前記センスアンプを起動し、前記クロックパルスに同期して、前記複数のユニット内の前記複数のセンスアンプから前記情報をパラレル出力することにより、前記情報を連続して再生する。

[0011] 特開2003-7982号公報(対応する米国特許US6683802B2)に磁気記憶装置及び磁気記憶装置の設計方法が開示されている。この磁気記憶装置は、第1の方向に延在する複数の第1の配線と、前記第1の方向と異なる第2の方向に延在する複数の第2の配線と、前記第1の配線層及び前記第2の配線の交点に配設され、少なくとも、磁化方向が可変する強磁性膜を備えた磁性体素子とを含み、選択された前記第1の配線及び前記第2の配線に流れる電流により発生する合成磁場によって、該配線の交点の配置される所定の磁性体素子の磁化状態を変化させて情報の書き込みを行う磁気記憶装置である。情報の書き込みを行う前記交点における前記所定の磁性体素子と前記第1の配線との距離を d 、前記所定の磁性体素子に対して前記第2の方向に相隣り合う磁性体素子における前記合成磁場の該第2の方向成分の強度比率を γ 、前記所定の磁性体素子と前記相隣り合う磁性体素子との間隔を p とする組み合わせ、又は、前記交点における前記所定の磁性体素子と前記第2の配線との距離を d 、前記所定の磁性体素子に対して前記第1の方向に相隣り合う磁性体素子における前記合成磁場の前記第1の方向成分の強度比率を γ 、前記所定の磁性体素子と前記相隣り合う磁性体素子との間隔を p とする組み合わせの、少なくとも一方

の組み合わせにおいて、前記 d が、 $d \leq p \times (\gamma / (1 - \gamma))^{1/2}$ (但し、 $0 < \gamma < 1$) の関係を満たすように設定されている。

[0012] 特開2003-318370号公報(対応する米国特許US6912152B2)に磁気ランダムアクセスメモリが開示されている。この磁気ランダムアクセスメモリは、磁気抵抗効果を利用する複数のメモリセルを有するメモリセルアレイと、前記メモリセルアレイ内において第1方向に延び、前記複数のメモリセルの一端に共通に接続される第1機能線と、前記複数のメモリセルに対応して設けられ、前記メモリセルアレイ内において前記第1方向に交差する第2方向に延びる複数の第2機能線と、前記複数のメモリセルから離れ、前記複数のメモリセルに共有される第3機能線とを具備する。前記複数のメモリセルの各々は、その他端が前記複数の第2機能線のうちの1つに独立に接続される。

[0013] 特開2004-206796号公報(対応する米国特許US6961261B2)に磁気ランダムアクセスメモリ及びその磁気ランダムアクセスメモリのデータ読み出し方法が開示されている。この磁気ランダムアクセスメモリは、磁気抵抗効果を利用してデータを記憶する複数の磁気抵抗効果素子で1ブロックが構成され、このブロックがロウ方向及びカラム方向に複数個配置されたメモリセルアレイを有する。第1のブロック内に設けられた複数の第1の磁気抵抗効果素子と、前記複数の第1の磁気抵抗効果素子の一端にそれぞれ独立して接続され、前記ロウ方向に延在された複数の第1のワード線と、前記複数の第1の磁気抵抗効果素子の他端に共通して接続された第1の読み出し副ビット線と、前記第1の読み出し副ビット線に電流経路の一端が接続された第1のブロック選択スイッチと、前記第1のブロック選択スイッチの前記電流経路の他端に接続され、前記カラム方向に延在された第1の読み出し主ビット線とを具備する。

[0014] 特開2004-213771号公報(対応する米国特許US6862210B2)に磁気ランダムアクセスメモリが開示されている。この磁気ランダムアクセスメモリは、磁気により電気抵抗値が変化する磁気抵抗素子から構成されたメモリセルと、前記メモリセルの一端に接続された副ビット線と、前記副ビット線に第1の選択回路を介して接続された主ビット線と、前記主ビット線に第2の選択回路を介して接続されたセンスアンプと、前記メモリセルの他端に接続され第1の方向に配設された配線と、前記配線の一端

に第3の選択回路を介して接続された第1の動作回路と、前記配線他端に接続された第2の動作回路と、前記メモリセルと前記配線とが接続された交点上を通り前記第1の方向と直交する第2の方向に配置されたワード線とを具備する。前記メモリセルからデータを読み出す読み出し動作時には、前記第1の動作回路はワード線ドライバとして働いて前記配線は読み出し用のワード線となる。前記メモリセルへデータを書き込む書き込み動作時には、前記第1及び第2の動作回路はビット線ドライバ及びビット線シンカー回路のいずれかとして働いて前記配線は書き込み用のビット線となる。

[0015] 特開2005-101535号公報(対応する米国出願US2005045919A1)に半導体装置が開示されている。この半導体装置は、互いに層の異なる第1及び第2の配線層と、前記第1の配線層の配線と前記第2の配線層の配線を接続するビアであって導電率の可変な部材を含むビアを有する。前記ビアは、前記ビアと前記第1の配線との接触部を第1の端子、前記ビアと前記第2の配線との接触部を第2の端子とする、導電率可変型のスイッチ素子をなす。前記スイッチ素子は、前記第1の端子と前記第2の端子間の接続状態が、短絡、開放、又は、前記短絡と前記開放の中間状態に、可変に設定自在とされてなる。

[0016] 特開2005-182986号公報(対応する米国特許US6980465B2)にクロスポイント抵抗素子を含むクロスポイントメモリアレイ用のアドレス指定回路が開示されている。このアドレス指定回路は、第1の組のアドレスラインおよび第2の組のアドレスラインを有するクロスポイントメモリアレイをアドレス指定する。前記第1の組のアドレスライン(116)に接続された第1の組のクロスポイント抵抗素子(114)と、前記第2の組のアドレスライン(126)に接続された第2の組のクロスポイント抵抗素子(114)と、前記第1の組のアドレスライン(116)に接続されたプルアップクロスポイント抵抗素子(112)と前記第2の組のアドレスライン(126)に接続されたプルダウncロスポイント抵抗素子(122)との少なくとも1つを備える。

[0017] 特表2005-522045号公報(国際公開WO03085675A2)に相変化メモリ装置が開示されている。この相変化メモリ装置は、基板と、前記基板上に形成された互いに平行な複数の第1の配線と、前記基板上に第1の配線と絶縁されて交差するように

形成された互いに平行な複数の第2の配線と、前記第1の配線と第2の配線の各交叉部に配置されて、一端が第1の配線に他端が第2の配線に接続されたメモリセルとを備える。前記メモリセルは、結晶状態と非晶質状態の間の相変化により決まる抵抗値を情報として記憶する可変抵抗素子と、この可変抵抗素子に直列接続されたショットキーダイオードとを有する。

発明の開示

- [0018] 本発明の目的は、複数の記憶素子でスイッチ素子を共用して高集積化を図りながら、各抵抗記憶素子の識別性を確保することが可能な半導体記憶装置及びその動作方法を提供することにある。
- [0019] また、本発明の他の目的は、複数の記憶素子でスイッチ素子を共用して高集積化を図りながら、高速読み出しと微細化、大容量化を実現可能な半導体記憶装置及びその動作方法を提供することにある。
- [0020] この発明のこれらの目的とそれ以外の目的と利益とは以下の説明と添付図面とによって容易に確認することができる。
- [0021] 本発明の半導体記憶装置は、複数の読み出しブロックと、複数の第3配線と、複数の第1読み出しスイッチと、第1制御回路と、複数の評価回路とを具備する。複数の読み出しブロックは、第2方向に並んで設けられている。ここで、複数の読み出しブロックの各々は、第2方向とは異なる第1方向へ延在する複数の第1配線と、第2方向に延在する複数の第2配線と、複数の第1配線と複数の第2配線とが交差する点のそれぞれに設けられ抵抗の変化によりデータを記憶する複数の抵抗記憶素子とを備える。複数の抵抗記憶素子の各々は、一端を複数の第1配線のうちの対応するものに、他端を複数の第2配線の対応するものにそれぞれ接続されている。複数の第3配線は、第2方向に延在し、複数の第2配線に対応して設けられている。複数の第1読み出しスイッチは、複数の第3配線の各々と、複数の読み出しブロックの各々における複数の第2配線のうちの対応するものとの間に設けられている。第1制御回路は、複数の第1読み出しスイッチのオン・オフを制御し、複数の第1配線へ所定の電流又は電圧を供給する。複数の評価回路は、複数の第3配線に接続され、電流又は電圧の評価を行う。複数の抵抗記憶素子の各々のデータの読み出しは、第1制御回路が、複数の第1読み

出しスイッチにより、複数の読出しブロックのうちから選択読出しブロックを選択し、選択読出しブロックにおける複数の第1配線から選択第1配線を選択して所定の電流又は電圧を供給し、複数の評価回路が、複数の第3配線における電流又は電圧の評価を行う。

[0022] 上記の半導体記憶装置において、複数の読み出しブロックは、第1方向及び第2方向に並んで設けられている。第1方向に延在し複数の1配線に対応して設けられた複数の第4配線と、複数の第4配線の各々と複数の読出しブロックの各々における複数の第1配線のうちの対応するものとの間に設けられた複数の第2読出しスイッチと、複数の第2読み出しスイッチのオン・オフを制御する第2制御回路とを更に具備する。複数の抵抗記憶素子の各々のデータの読出し動作時に、第2制御回路が複数の第2読み出しスイッチを制御し、第1制御回路が複数の第1読み出しスイッチを制御することにより、複数の読出しブロックのうちから選択読出しブロックを選択する。第1制御回路が、選択読出しブロックにおける複数の第4配線から選択第4配線を選択することにより、選択第1配線を選択して、所定の電流又は電圧を選択第1配線へ向けて供給する。複数の評価回路が、複数の第3配線における電流又は電圧の評価を行う。

[0023] 上記の半導体記憶装置において、制御回路は、データの読出し動作時に、選択読出しブロックにおける選択第1配線以外の複数の第1配線にあらかじめ設定された電流又は電圧を印加する。

[0024] 上記の半導体記憶装置において、抵抗記憶素子が内蔵又は接続された非線形抵抗素子を含む。

[0025] 上記の半導体記憶装置において、データの読出し動作における選択読出しブロックにおいて、複数の抵抗記憶素子のうち読出し対象の複数の抵抗記憶素子のうち一つの抵抗値を R_{ja} 、複数の抵抗記憶素子のうち同じ第2配線に接続されたものの抵抗値を R_{jb} 、読出し対象の複数の抵抗記憶素子のうち抵抗値が R_{ja} 以外のものの抵抗値を R_{jc} 、複数の抵抗記憶素子のうちの残りのものの抵抗を R_{jd} 、第1読み出しスイッチのオン抵抗値を R_{tr} 、読出しを行わない第1配線に与える電位を V_{s1} 、読出しを行わない第1配線の抵抗値と V_{s1} との間の抵抗値との和を R_{in} 、読出しを行う第1配線の電位を V_r 、読出し動作時の第3配線の電位を V_{s2} 、とそれぞれしたとき、 R_{jb} 、 R

jc及びRjdがそれぞれが同じ抵抗値をとっている場合を仮定した等価回路において、Rjb、Rjc及びRjdが取り得る最大の抵抗値をそれぞれRjbmax、Rjcmax及びRjdmaxとし、取り得る最小の抵抗値をそれぞれRjbmin、Rjcmin及びRjdminとすると、等価回路より導出される読出し電流Ibitを計算する関数 $f = Ibit(Rjb, Rjc, Rjd) = f(Rja, m, n, Rin, Rtr, Vs1, Vs2, Rjb, Rjc, Rjd)$ を用い、読出し対象の抵抗記憶素子の抵抗値がRjaのときのIbitの最大値は、

$Ibitmax(Rja) = MAX(Ibit(Rjbmax, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmax, Rjdmin), Ibit(Rjbmax, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmin, Rjdmin), Ibit(Rjbmin, Rjcmax, Rjdmin), Ibit(Rjbmin, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmin, Rjdmin))$ で表現され、最小値は、

$Ibitmin(Rja) = MIN(Ibit(Rjbmax, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmax, Rjdmin), Ibit(Rjbmax, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmin, Rjdmin), Ibit(Rjbmin, Rjcmax, Rjdmin), Ibit(Rjbmin, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmin, Rjdmin))$ で表現され、ここで、 $MAX(a, b, c)$ はa, b, cのなかの最大値を、 $MIN(a, b, c)$ はa, b, cのなかの最小値を示す関数であり、RjaがRja1～Rjapのp個の値をとるとし、隣接する2抵抗値RjagとRjahのうちRjagのほうが小さい値であるとき、 $Ibitmin(Rjag) - Ibitmax(Rjah) > 0$ がRja1～Rjapのすべての組み合わせで成り立つ。

[0026] 上記の半導体記憶装置において、関数fが下式のように表現される。

$$f(Rja, m, n, Rin, Rtr, Vs1, Vs2, Rjb, Rjc, Rjd) \\ = (-B/Rjd + Rjd \cdot (m-1) \cdot D / Rtr - Vs2 \cdot (m-1) / Rtr - Vr / Rjc + Rjd \cdot D / Rjc + D) / (A / Rjd - Rjd \cdot (m-1) \cdot C / Rtr - Rjd \cdot C / Rc - C);$$

ここで、 $A = Rjb + Rtr + Rjb \cdot Rtr / Rja$; $B = Vs2 - Rjb(Vr - Vs2) / Rja$; $C = A \cdot (n-1) / Rin - Rtr / Rjb + A / Rjb$; $D = B \cdot (n-1) / Rin - Vs1 \cdot (n-1) / Rin - Vs2 / Rjb + B / Rjb + B / Rjd$ である。

[0027] 上記の半導体記憶装置において、複数の抵抗記憶素子は、磁気抵抗素子である。

[0028] 本発明は半導体記憶装置の読出し方法である。ここで、半導体記憶装置は、複数

の読み出しブロックと、複数の第3配線と、複数の第1読み出しスイッチと、第1制御回路と、複数の評価回路とを備える。複数の読み出しブロックは、第2方向に並んで設けられている。ここで、複数の読み出しブロックの各々は、第2方向とは異なる第1方向へ延在する複数の第1配線と、第2方向に延在する複数の第2配線と、複数の第1配線と複数の第2配線とが交差する点のそれぞれに設けられ抵抗の変化によりデータを記憶する複数の抵抗記憶素子とを備える。複数の抵抗記憶素子の各々は、一端を複数の第1配線のうちの対応するものに、他端を複数の第2配線の対応するものにそれぞれ接続されている。複数の第3配線は、第2方向に延在し、複数の第2配線に対応して設けられている。複数の第1読み出しスイッチは、複数の第3配線の各々と、複数の読み出しブロックの各々における複数の第2配線のうちの対応するものとの間に設けられている。第1制御回路は、複数の第1読み出しスイッチのオン・オフを制御し、複数の第1配線へ所定の電流又は電圧を供給する。複数の評価回路は、複数の第3配線に接続され、電流又は電圧の評価を行う。

半導体記憶装置の読み出し方法は、(a) 第1制御回路が、複数の第1読み出しスイッチのオンにより、複数の読み出しブロックのうちから選択読み出しブロックを選択するステップと; (b) 第1制御回路が、選択読み出しブロックにおける複数の第1配線から選択第1配線を選択して、所定の電流又は電圧を供給するステップと; (c) 複数の評価回路が、複数の第3配線における電流又は電圧の評価を概ね同時に行うステップとを具備する。

[0029] 上記の半導体記憶装置の読み出し方法において、半導体記憶装置は、複数の読み出しブロックが、第1方向及び第2方向に並んで設けられている。第1方向に延在し複数の第1配線に対応して設けられた複数の第4配線と、複数の第4配線の各々と複数の読み出しブロックの各々における複数の第1配線のうちの対応するものとの間に設けられた複数の第2読み出しスイッチと、複数の第2読み出しスイッチのオン・オフを制御する第2制御回路とを更に備える。半導体記憶装置の読み出し方法は、(a) ステップが、第2制御回路が複数の第2読み出しスイッチをオンするステップと; 第1制御回路が複数の第1読み出しスイッチをオンすることにより、複数の読み出しブロックのうちから選択読み出しブロックを選択するステップとを備える。(b) ステップが、第1制御回路が、選

択読出しブロックにおける複数の第4配線から選択第4配線を選択することにより、選択第1配線を選択して、所定の電流又は電圧を選択第1配線へ向けて供給するステップを備える。

[0030] 上記の半導体記憶装置の読出し方法において、(b)ステップは、制御回路が、選択読出しブロックにおける選択第1配線以外の複数の第1配線にあらかじめ設定された電流又は電圧を印加するステップを備える。

[0031] 上記の半導体記憶装置の読出し方法において、選択読出しブロックにおいて、複数の抵抗記憶素子のうち読出し対象の複数の抵抗記憶素子のうち一つの抵抗値を R_{ja} 、複数の抵抗記憶素子のうち同じ第2配線に接続されたものの抵抗値を R_{jb} 、読出し対象の複数の抵抗記憶素子のうち抵抗値が R_{ja} 以外のものの抵抗値を R_{jc} 、複数の抵抗記憶素子のうちの残りのものの抵抗値を R_{jd} 、第1読み出しスイッチのオン抵抗値を R_{tr} 、読出しを行わない第1配線に与える電位を V_{s1} 、読出しを行わない第1配線の抵抗値と V_{s1} との間の抵抗値との和を R_{in} 、読出しを行う第1配線の電位を V_r 、読出し動作時の第3配線の電位を V_{s2} 、とそれぞれしたとき、 R_{jb} 、 R_{jc} 及び R_{jd} がそれぞれが同じ抵抗値をとっている場合を仮定した等価回路において、 R_{jb} 、 R_{jc} 及び R_{jd} が取り得る最大の抵抗値をそれぞれ R_{jbmax} 、 R_{jcmax} 及び R_{jdmax} とし、取り得る最小の抵抗値をそれぞれ R_{jbmin} 、 R_{jcmin} 及び R_{jdmin} とすると、等価回路より導出される読出し電流 I_{bit} を計算する関数 $f = I_{bit}(R_{jb}, R_{jc}, R_{jd}) = f(R_{ja}, m, n, R_{in}, R_{tr}, V_{s1}, V_{s2}, R_{jb}, R_{jc}, R_{jd})$ を用い、読出し対象の抵抗記憶素子の抵抗値が R_{ja} のときの I_{bit} の最大値は、

$$I_{bitmax}(R_{ja}) = \text{MAX}(I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmin}))$$
 で表現され、最小値は、

$$I_{bitmin}(R_{ja}) = \text{MIN}(I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmin}))$$

(Rjbmin, Rjemin, Rjdmax), Ibit (Rjbmin, Rjemin, Rjdmin)) で表現され、ここで、MAX(a, b, c) は a, b, c のなかの最大値を、MIN(a, b, c) は a, b, c のなかの最小値を示す関数であり、Rja が Rja1 ~ Rjap の p 個の値をとるとし、隣接する 2 抵抗値 Rjag と Rjah のうち Rjag のほうが小さい値であるとき、 $I_{bitmin}(Rjag) - I_{bitmax}(Rjah) > 0$ が Rja1 ~ Rjap のすべての組み合わせで成り立つ。

[0032] 上記の半導体記憶装置の読出し方法において、関数 f が下式のように表現される。

$$f(Rja, m, n, R_{in}, R_{tr}, V_{s1}, V_{s2}, R_{jb}, R_{jc}, R_{jd}) \\ = (-B/R_{jd} + R_{jd} \cdot (m-1) \cdot D / R_{tr} - V_{s2} \cdot (m-1) / R_{tr} - V_r / R_{jc} + R_{jd} \cdot D / R_{jc} + D) / (A/R_{jd} - R_{jd} \cdot (m-1) \cdot C / R_{tr} - R_{jd} \cdot C / R_c - C);$$

ここで、 $A = R_{jb} + R_{tr} + R_{jb} \cdot R_{tr} / R_{ja}$; $B = V_{s2} - R_{jb} (V_r - V_{s2}) / R_{ja}$; $C = A \cdot (n-1) / R_{in} - R_{tr} / R_{jb} + A / R_{jb}$; $D = B \cdot (n-1) / R_{in} - V_{s1} \cdot (n-1) / R_{in} - V_{s2} / R_{jb} + B / R_{jb} + B / R_{jd}$ である。

図面の簡単な説明

[図1] 図1は、従来のTMR素子の一例を示す断面図である。

[図2] 図2は、従来の半導体記憶装置の一例を示す斜視図である。

[図3] 図3は、従来のイクイポテンシャル読出し法を説明する概略ブロック図である。

[図4] 図4は、本発明の半導体記憶装置の第1の実施の形態の構成を示すブロック図である。

[図5] 図5は、図4の抵抗記憶素子アレイ21の構成を簡略化して示す概略図である。

[図6] 図6は、抵抗記憶素子アレイ21における読出し動作時の等価回路を示す回路図である。

[図7] 図7に、本発明の半導体装置の第1実施例を示す概略構成図である。

[図8] 図8は、図7におけるTMR素子の主要断面図である。

[図9] 図9は、Ibitの最小差と(n-1)と(Rtr/Rj)との関係を示す表である。

[図10] 図10は、Ibitの最小差とn-1とRtr/Rjとの関係を示す表である。

[図11] 図11は、図7におけるTMR素子の主要断面図である。

[図12] 図12は、Ibitの最小差とn-1とRtr/Rjとの関係を示す表である。

[図13] 図13は、本発明の半導体記憶装置の第2の実施の形態の構成を示すブロッ

ク図である。

[図14]図14に、本発明の半導体装置の第3実施例を示す概略構成図である。

[図15]図15は、Ibitの最小差と $(n-1)$ と (R_{tr}/R_j) との関係を示す表である。

[図16]図16は、Ibitの最小差と $(n-1)$ と (R_{tr}/R_j) との関係を示す表である。

発明を実施するための最良の形態

[0034] 以下、本発明の半導体記憶装置及びその動作方法の実施の形態に関して、添付図面を参照して説明する。

[0035] (第1の実施の形態)

本発明の半導体記憶装置の第1の実施の形態について、添付図面を参照して説明する。

図4は、本発明の半導体記憶装置の第1の実施の形態の構成を示すブロック図である。半導体記憶装置20は、抵抗記憶素子アレイ21と複数の評価回路8-1～8-m(m は自然数、以下同じ)と評価制御回路9と読出し制御回路10とを具備する。

[0036] 抵抗記憶素子アレイ21は、複数の単位ブロック4-1～4-p(p は自然数、以下同じ)を備える。複数の単位ブロック4-1～4-pの各々は、複数のメモリセルM11～Mnm(n は自然数、以下同じ)と、複数のワード線2-1～2-nと、複数のビット線5-1～5-mと、複数の補助ビット線3-1～3-mと、複数のスイッチ素子6-1～6-mと、スイッチ素子制御線7を備える。

[0037] 複数のメモリセルM11～Mnmは、行列状に配列されている。複数のメモリセルM11～Mnmの各々は、抵抗状態によりデータを記憶し少なくとも2つの端子を有する抵抗記憶素子1を含む。メモリセルMij($1 \leq i \leq n, 1 \leq j \leq m$)の抵抗記憶素子1は、一端をワード線2-iに、他端を補助ビット線3-jにそれぞれ接続されている。抵抗記憶素子1は、磁気抵抗素子や相変化抵抗素子に例示される。

[0038] 複数のワード線2-1～2-nは、一端を読出し制御回路10に接続され、X方向へ延伸している。ワード線2-iは、メモリセルMi1～Mimの抵抗記憶素子1の一端に接続されている。複数の補助ビット線線3-1～3-mは、X方向と実質的に垂直なY方向へ延伸している。補助ビット線線3-jは、メモリセルM1j～Mmjの抵抗記憶素子1の他端に接続されている。スイッチ素子6-jは、一端を補助ビット線線3-jに、他端

をビット線5-jに、スイッチ動作を制御する端子をスイッチ素子制御線7にそれぞれ接続されている。スイッチ素子制御線7は、一端を読出し制御回路10に接続され、X方向へ延伸している。スイッチ素子制御線7は、スイッチ素子6-1~6-mの各々のスイッチ動作を制御する端子に接続している。スイッチ素子6-1~6-mの各々はスイッチ素子制御線7の電位によりオン、オフされ、単位ブロック4-k ($1 \leq k \leq p$) 毎に操作される。スイッチ素子制御線7の電位でスイッチ素子6-1~6-mをオンにすることで、そのスイッチ素子6-1~6-mの属する単位ブロック4-kが選択される。複数のビット線5-1~5-mは、X方向と実質的に垂直なY方向へ延伸している。ビット線5-jは、一端を評価回路8-jに接続されている。また、ビット線5-jは、複数の単位ブロック4-1~4-pの各々のスイッチ素子6-jの他端と、それぞれ接続されている。

[0039] 評価回路8-jは、ビット線5-j及び評価制御回路9に接続されている。評価制御回路9からの制御信号に基づいて、ビット線5-jの電位又はビット線5-jに流れる電流を評価する。評価制御回路9は、読出し対象の単位ブロック4-kにおけるワード線2-iに沿った全メモリセルMi1~Mimのデータを読み出すとき、当該メモリセルMi1~Mimに接続された全ビット線5-1~5-mの電位又は電流を評価させるために、評価回路8-1~8-mをほぼ同時に動作させる。読出し制御回路10は、複数のワード線2-1~2-nのうちから読出し対象のメモリセルMi1~Mimに対応するワード線2-iを選択する。そして、電位設定機能又は電流印加機能を有し、ワード線2-iを介してMi1~Mimの抵抗記憶素子1に電位を印加する。また、読出し対象の単位ブロック4-kのスイッチ素子制御線7の電位によりスイッチ素子6-1~6-mをオン状態に設定する。更に、読出し制御回路10は、読出しを行わないワード線2に所定の電位を与える機能、又はフローティングにする機能を有する。このとき、スイッチ素子6の抵抗と、抵抗記憶素子1の抵抗と、読出し制御回路10内部のスイッチ抵抗を含むワード線2の抵抗とは後述する関係を有する。

[0040] 次に、本発明の半導体記憶装置の実施の形態における動作について説明する。まず、読出し動作について説明する。ここでは、例として、図4の単位ブロック4-1におけるメモリセルM31~M3mの抵抗記憶素子1を読み出す場合について説明する。

まず、読出し制御回路10により、読出し対象の単位ブロック4-1のスイッチ素子6-1~6-mをオン状態に設定し、読出し対象でない単位ブロック4-kx ($kx \neq 1$)のスイッチ素子6-1~6-mをオフ状態にする。次に、読出し制御回路10により、単位ブロック4-1における読出し対象のワード線2-3とビット線5-1~5-mとの間に電位差を生じさせる。例えば、ワード線2-3に電位を与えるか、又は電流を流すことによる。単位ブロック4-1の読出し対象でないワード線2-ix ($ix \neq 3$)は、読出し制御回路10により所定の電位に設定されるか、又はオープン状態にされる。単位ブロック4-kxのワード線2-1~2-nは、読出し制御回路10により所定の電位に設定されるか、又はオープン状態にされる。次に、単位ブロック4-1に接続された全てのビット線5-1~5-mに接続された評価回路8-1~8-mを評価制御回路9によりほぼ同時に動作させる。これにより、評価回路8-1~8-mは、ビット線5-1~5-mの電位又は電流を評価することで、メモリセルM31~M3mの抵抗記憶素子1の抵抗を評価し、データを判定する。評価回路8-1~8-mは、判定されたデータを読出しデータOUT1~OUTmとして出力する。

[0041] データの書き込み処理については、書き込むメモリセルMijに対応するワード線2-iとビット線5-jとにそれぞれ書き込み電流を流すことで行うことができる。これらは、例えば、別途設けられた各抵抗記憶素子の抵抗状態を変化させる手段で行う。

[0042] 図5は、図4の抵抗記憶素子アレイ21の構成を簡略化して示す概略図である。ここで、読出し対象のメモリセル(例示:M31~M3m)のうち、一つのメモリセル(例示:M32)の抵抗記憶素子1の抵抗をRja、これと同じ単位ブロック(例示:4-1)にあり、同じ補助ビット線(例示:3-2)に接続されたメモリセル(例示:M12~Mn2、ただし $\neq$ M32)の抵抗記憶素子1の抵抗をRjb、読出し対象の残りのメモリセル(例示:M31~M3m $\neq$ M32)の抵抗記憶素子1の抵抗をRjc、同じ単位ブロック(例示:4-1)内の他の抵抗記憶素子1の抵抗をRjdとする。

[0043] 図6は、抵抗記憶素子アレイ21における読出し動作時の等価回路を示す回路図である。抵抗Rja、抵抗Rjb、抵抗Rjc及び抵抗Rjdは、図5で説明したとおりである。また、スイッチ素子(例示:6-2)のオン抵抗をRtr、読出し対象でないワード線(例示2-ix)の抵抗と読出し制御回路10内でのVs1との間の抵抗との和をRin、読出し対

象のワード線(例示:2-3)の電位を V_r 、ビット線5-1~5-mの電位を V_{s2} とする。抵抗記憶素子1はデータによって複数の抵抗値(例示:MTJ素子の場合は高抵抗と低抵抗の2値)をとる。 R_{jb} , R_{jc} , R_{jd} は複数の抵抗記憶素子を含むが、ここではそれぞれが同じ抵抗値の場合を仮定する。この場合の等価回路は本図のようになる。ただし、「 $\diagup(m-1)$ 」は $(m-1)$ 個分であることを示し、「 $\diagdown(n-1)$ 」は $(n-1)$ 個分であることを示し、「 $\diagdown(n-1)\diagup(m-1)$ 」は $(n-1) \times (m-1)$ 個分であることを示す。読出し動作時に読出し対象でないワード線(例示2-ix)をフローティングに設定する場合は V_{s1} の端子はオープン状態となるが、 R_{in} がととても大きい値ととらえても同様の結果が得られる。

[0044] R_{jb} , R_{jc} 及び R_{jd} が、それぞれ取り得る最大値及び最小値のいずれかを取るとすると、 R_{ja} が取り得る一組の抵抗値(例示:最大値と最小値)に対して、それぞれ8通り考えられる。すなわち、 R_{ja} (最大値)に対して、 R_{jb} , R_{jc} 及び R_{jd} の組み合わせが8通り有る。また、 R_{ja} (最小値)に対して、 R_{jb} , R_{jc} 及び R_{jd} の組み合わせが8通り有る。対応して、ビット線(例示:2-3)に流れる電流 I_{bit} は、 R_{ja} (最大値)に対して8通りの電流値(第1 I_{bit} 群)を取り、 R_{ja} (最小値)に対して8通りの電流値(第2 I_{bit} 群)を取り得る。このとき、 R_{ja} が異なる第1 I_{bit} 群と第2 I_{bit} 群とが重ならないことが、正常にデータを判別するための必要条件となる。抵抗記憶素子1のデータにより取り得る抵抗値 R_{ja} , R_{jb} , R_{jc} , R_{jd} , m , n , R_{in} , R_{tr} , V_{s1} , V_{s2} の値はこの条件を満たす組み合わせとする。これを条件1と呼ぶ。

[0045] R_{jb} , R_{jc} 及び R_{jd} がとりうる最大の抵抗値を R_{jbmax} , R_{jcmax} 及び R_{jdmax} とし、 R_{jb} , R_{jc} 及び R_{jd} がとりうる最小の抵抗値を R_{jbmin} , R_{jcmin} 及び R_{jdmin} とする。図6より、 $I_{bit}(R_{jb}, R_{jc}, R_{jd}) = f(R_{ja}, m, n, R_{in}, R_{tr}, V_{s1}, V_{s2}, R_{jb}, R_{jc}, R_{jd})$ となる I_{bit} を計算する関数 f を下式(1)で導出できる。

$$f(R_{ja}, R_{jb}, R_{jc}, R_{jd}) = (-B/R_{jd} + R_{jd} \cdot (m-1) \cdot D/R_{tr} - V_{s2} \cdot (m-1) / R_{tr} - V_r/R_{jc} + R_{jd} \cdot D/R_{jc} + D) / (A/R_{jd} - R_{jd} \cdot (m-1) \cdot C/R_{tr} - R_{jd} \cdot C/R_{jc} - C) \quad \dots(1)$$

$$A = R_{jb} + R_{tr} + R_{jb} \cdot R_{tr} / R_{ja}$$

$$B = V_{s2} - R_{jb} \cdot (V_r - V_{s2}) / R_{ja}$$

$$C = A \cdot (n-1) / R_{in} - R_{tr} / R_{jb} + A / R_{jb}$$

$$D = B \cdot (n-1) / R_{in} - V_{s1} \cdot (n-1) / R_{in} - V_{s2} / R_{jb} \\ + B / R_{jb} + B / R_{jd}$$

[0046] 読み出す抵抗記憶素子がある抵抗値 R_{ja} のとき、Ibitの最大値 $Ibit_{max}(R_{ja})$ 及び最小値 $Ibit_{min}(R_{ja})$ は、以下のように表される。

$$Ibit_{max}(R_{ja}) = \text{MAX}(Ibit(R_{jbmax}, R_{jcmax}, R_{jdmax}), Ibit(R_{jbmax}, R_{jcmax}, R_{jdmin}), Ibit(R_{jbmax}, R_{jcmin}, R_{jdmax}), Ibit(R_{jbmin}, R_{jcmax}, R_{jdmax}), Ibit(R_{jbmax}, R_{jcmin}, R_{jdmin}), Ibit(R_{jbmin}, R_{jcmax}, R_{jdmin}), Ibit(R_{jbmin}, R_{jcmin}, R_{jdmax}), Ibit(R_{jbmin}, R_{jcmin}, R_{jdmin}))$$

$$Ibit_{min}(R_{ja}) = \text{MIN}(Ibit(R_{jbmax}, R_{jcmax}, R_{jdmax}), Ibit(R_{jbmax}, R_{jcmax}, R_{jdmin}), Ibit(R_{jbmax}, R_{jcmin}, R_{jdmax}), Ibit(R_{jbmin}, R_{jcmax}, R_{jdmax}), Ibit(R_{jbmax}, R_{jcmin}, R_{jdmin}), Ibit(R_{jbmin}, R_{jcmax}, R_{jdmin}), Ibit(R_{jbmin}, R_{jcmin}, R_{jdmax}), Ibit(R_{jbmin}, R_{jcmin}, R_{jdmin}))$$

ここで $\text{MAX}(a, b, c)$ は a, b 及び c のなかの最大値を、 $\text{MIN}(a, b, c)$ は a, b 及び c のなかの最小値を示す関数とする。

[0047] R_{ja} が、 $R_{ja1} \sim R_{jaq}$ (q は自然数、以下同じ)の q 個の値を取るとし、隣接する2抵抗値 R_{jag} と R_{jah} ($1 \leq g, g+1=h \leq q$)のうち R_{jag} のほうが小さい値であるとき、 $Ibit_{min}(R_{jag}) - Ibit_{max}(R_{jah}) > 0$ が $R_{ja1} \sim R_{jaq}$ のすべての組み合わせで成り立つように本実施の形態では設計する。すなわち、Ibitの最小差が0より大きくなるように設計する。実際には抵抗記憶素子の抵抗値はばらつきをもつため、これを考慮しデータによる電流差が得られる必要がある。抵抗記憶素子が非線形抵抗と直列接続されている場合、その特性を考慮して計算を行う。

[0048] 本発明の半導体記憶装置に依れば、複数のデータを同時に読み出せるため高速動作が可能となるとともに、複数の記憶素子でスイッチ素子を共用できるため高集積化、大容量化を図ることが可能となる。

[0049] (第1実施例)

次に、具体的な実施例を用いて本発明の実施の形態を説明する。図7に、本発明の半導体装置の第1実施例を示す概略構成図である。図8は、図7におけるTMR素

子52の主要断面図である。半導体記憶装置40は、抵抗記憶素子アレイ41と複数のセンス回路64-1~64-mと評価制御回路69とワード線制御回路57とワード線終端回路58とビット線終端回路60と複数の電位設定回路59とを具備する。

- [0050] 抵抗記憶素子アレイ41、単位ブロック53-1~53-p、メモリセルM11~Mnm、TMR素子52、複数のワード線50-1~50-n、複数のビット線55-1~55-m、複数の補助ビット線51-1~51-m、複数の読み出しトランジスタ54-1~54-m、ブロック選択線56、センス回路64-1~64-mは、それぞれ図7の抵抗記憶素子アレイ21、単位ブロック4-1~4-p、メモリセルM11~Mnm、抵抗記憶素子1、複数のワード線2-1~2-n、複数のビット線5-1~5-m、複数の補助ビット線3-1~3-m、複数のスイッチ素子6-1~6-m、スイッチ素子制御線7、評価回路8-1~8-mに対応し、同様の動作を行う。
- [0051] 電位設定回路59-jは、入力側をビット線5-j及び設定電位印下線61に、出力側をセンス回路64-jにそれぞれ接続されている。設定電位印下線61からの電位Vs2の入力に応答して、ビット線5-jの電位をVs2に設定する。そして、ビット線5-jを流れる電流をセンス回路64-jへ出力する。電位設定回路59-jは、差動増幅器62と帰還抵抗63とで構成されている。差動増幅器62の一方の入力を設定電位印下線61の電位Vs2とし、他方の入力にビット線5-jを接続し、さらに差動増幅器62の出力を帰還抵抗63を介して接続したビット線5-jの電位が電位Vs2になるようにする。
- [0052] ワード線制御回路57は、読出し制御回路10に対応し、同様の動作を行う。読出し対象のワード線50-iを読出し電圧Vrとし、読出し対象でないワード線50-ixを電位Vs1とする。トランジスタ66、67と差動増幅器68とで構成されている。読出し対象でないワード線50-ixについては、差動増幅器68の一方の入力を電位Vs1とし、他方の入力にワード線50-ixを接続し、さらに差動増幅器62の出力をトランジスタ67をオンにしてワード線50-ixに接続する。一方、読出し対象のワード線50-iについては、トランジスタ66をオンにして読出し電圧Vrをワード線50-iへ印加している。また、読出し対象の単位ブロック53-kについて、読出しブロック選択線56を高電位にしてトランジスタ6-1~6-mをオンにする。
- [0053] 評価制御回路69は、評価制御回路9に対応し、同様の動作を行う。判定を行いデ

ータを出力する処理を起動する制御信号を読み出し起動線65へ供給して、センス回路64-jを動作させる。加えて、設定電位印下線61を電位Vs2にする。

- [0054] ワード線終端回路58は、複数のワード線50-1~50-nの他端及び読み出しブロック選択線56の他端を終端する。ビット線終端回路60は、複数のビット線55-1~55-mの他端を終端する。
- [0055] 各単位ブロック53において、ワード線50は64本($n=64$)、補助ビット線51は128本($m=128$)で構成されている。そして、32個($p=32$)の単位ブロック53が共通の主ビット線55(55-1~55-128)により接続され、256kビットのメモリアレイ41を構成する。このメモリアレイ41を16個レイアウトすれば4Mビットのメモリが構成できる。
- [0056] TMR素子(磁気抵抗素子)52は、下部配線層70(Ta:10nm)、反強磁性体層71(PtMn/NiFe:10nm)、ピン層72(CoFe:2.4nm)、トンネル絶縁層73(Al_2O_3 :2nm)、フリー層74(NiFe:5nm)、及び上部配線層75(Ta:10nm)がこの順に積層された構造を有する。
- [0057] 次に、半導体記憶装置40の動作方法について、単位ブロック53-1を書込み/読み出し対象とする場合を例として説明する。
- [0058] メモリアレイ41の書き込み動作について、メモリセルM31に書き込みを行う場合を例として説明する。まず、ワード線制御回路57が、単位ブロック53-1~53-pにおいて、ブロック選択線56-1~56-pにより、全ての読み出しトランジスタ54-1~54-mをオフ状態にする。次に、ワード線制御回路57が単位ブロック53-1の書き込むメモリセルM31のワード線50-3に電位を与え、ワード線終端回路58が反対側端部を接地する。これにより、両者の間にワード線書き込み電流IWL、たとえば3mAが流れる。また、ビット線終端回路60がビット線55-1に0.2V程度の電位を与え、評価制御回路69がこれとは異なる電位Vs2を電位設定回路59-1の設定電位に設定する。これにより、ビット線55-1に両極性のビット線書き込み電流IBL、たとえば ± 4 mAが流れる。これらの書き込み電流による合成磁場により、TMR素子52のフリー層の磁化の向きを設定することができる。それにより、TMR抵抗を変化させ、書き込みを行うことができる。
- [0059] 次に、読み出し動作について、メモリセルM31~M3mに読み出しを行う場合を例

として説明する。ワード線制御回路57が、メモリアレイ41内の一つのブロック選択線56-1を活性化し、単位ブロック53-1内の補助ビット線51-1~51-mに接続された全ての読み出しトランジスタ54-1~54-mをオン状態にする。これにより、補助ビット線51と対応するビット線55とが接続される。次に、ワード線制御回路57が、読み出しを行うワード線50-3と読み出し電圧 V_r が印加された配線とを接続するトランジスタ66をオン状態にする。その他のワード線50-ixについては、ワード線50-ixの電位と電位 V_{s1} とが入力された差動増幅器68の出力と接続するトランジスタ67をオン状態にして、 V_{s1} に設定する。評価制御回路69が電位設定回路59-1~59-mの入力電圧 V_{s2} をゼロ電位とすると、読み出すワード線50-3に接続されたTMR素子52を通過して、同一補助ビット線51-jに接続された他のTMR素子52とビット線55-jとに読み出し電流が流れる。例えば、メモリセルM31に関しては、ワード線50-3-メモリセルM31のTMR素子52-補助ビット線51-1-ビット線55-1-センス回路64-1のように読出し電流が流れる。加えて、ワード線50-3-メモリセルM31のTMR素子52-補助ビット線51-1-メモリセルM11~Mn1(メモリセルM31を除く)のTMR素子52-ワード線50-1~50-n(50-3を除く)のようにも読出し電流が流れる。その後、所望の時間、たとえば10ns経過後、評価制御回路69が、センス回路64-1~64-mを読み出し起動線65の制御信号により起動させて、判定処理を行わせる。センス回路64は、読み出すワード線50-3上の全ビット(TMR素子52)のデータOUTb1~OUTbmを出力する。

- [0060] 図9は、 I_{bit} の最小差と $(n-1)$ と (R_{tr}/R_j) との関係を示す表である。この表は、各TMR素子52のTMR抵抗 R_j がデータにより $1k\Omega$ と $1.5k\Omega$ をとり、読み出しトランジスタ54のオン抵抗が 100Ω 、読み出すメモリセルにかかる電圧が1Vになるように V_r が与えられ、 V_{s1} が0V、 V_{s2} が0Vの場合について、TMR抵抗による I_{bit} の最小差と $(n-1)$ と (R_{tr}/R_j) との関係を計算した結果を示している。この最小差が正であることが正常に読み出しを行う必要条件である。なお、この最小差は、 m には依存していない。本実施例では、読出し対象でないワード線50-ixにおいてはフィードバック回路により定電圧 V_{s1} が供給されるため、ワード線制御回路57内のトランジスタ抵抗は無視できる。図9では、 I_{bit} 最小差が負になることはないが、 $(n-1)$ が小さいほど、

また特に (R_{tr}/R_j) が小さいほど I_{bit} 最小差が広がり、データ判別が容易になることがわかる。本実施例の場合 $((n-1)=63, (R_{tr}/R_j)=0.1)$ 、図から $9\mu A$ の I_{bit} 差が得られる。

[0061] 図10は、 I_{bit} の最小差と $n-1$ と R_{tr}/R_j との関係を示す表である。ただし、図9と比較して、 V_{s1} として $0.07V$ を印加した点が異なる。この場合、最小差が負となりデータ判別不可能となる条件が見られる。しかし、 (R_{tr}/R_j) が 0.1 の条件での I_{bit} 最小差が改善されている。本実施例の場合 $((n-1)=63, (R_{tr}/R_j)=0.1)$ 、図から $45\mu A$ の I_{bit} 差が得られる。最適な V_{s1} は他の条件に従う。

[0062] 本実施例においては、TMR素子52を同一平面上に描いているが、電氣的接続が同等であればTMR素子52を別の層に重ねた配置で形成しても良い。TMR素子52がトグル型の場合は、ビット線電流とワード線電流の印加、および終了順序を制御することで書き込みを行う。

[0063] 本実施例では、ひとつの読み出しトランジスタに対し複数の記憶素子を接続できるため、読み出しトランジスタ面積に制限されずに大容量化を図ることができる。

[0064] (第2実施例)

図7に、本発明の半導体装置の第2実施例を示す概略構成図である。図11は、図7におけるTMR素子52の主要断面図である。第2実施例の半導体装置は、図7の第1実施例と回路構成はほぼ同じであるが、記憶素子52の構成とワード線制御回路57の動作、書き込み方法が異なる。

[0065] 記憶素子52は、下部配線層81(Ta:10nm)、反強磁性体層82(PtMn/NiFe:10nm)、ピン層83(CoFe:2.4nm)、第1トンネル絶縁層84(Al_2O_3 :2nm)、及びフリー層85(CoFe:2.4nm)、第2トンネル絶縁層86(Al_2O_3 :2nm)、書き込み磁性層87(NiFe:5nm)、及び上部配線層88(Ta:10nm)が下層からこの順に積層されている。

[0066] 次に、半導体記憶装置40の動作方法について、単位ブロック53-1を書込み/読み出し対象とする場合を例として説明する。

[0067] メモリアレイ41の書き込み動作について、メモリセルM31に書き込みを行う場合を例として説明する。まず、ワード線制御回路57が、単位ブロック53-1～53-pにお

いて、ブロック選択線56-1~56-pにより、全ての読み出しトランジスタ54-1~54-mをオフ状態にする。次に、ワード線制御回路57及びワード線終端回路58が、単位ブロック53-1の書き込みを行うワード線50-3の電位を2Vに設定する。また、ワード線制御回路57が、単位ブロック53-1のその他のワード線50-ixと0Vの電位Vs1が印加された配線とを接続するトランジスタ67をオン状態にする。これにより、書き込むメモリセルM31の記憶素子52には書き込み電流が流れる。その書き込み電流は、ワード線50-3-メモリセル31の記憶素子52を流れた後、更に同一補助ビット線51-1の他の記憶素子52に、ほぼ等分に分割されて流れ、その後他のワード線50-ixへ流れる。本実施例のように64個の記憶素子52が接続されている場合はほぼ1/63になる。また、ビット線終端回路60がビット線55-1に0.2V程度の電位を与え、評価制御回路69がこれとは異なる電位Vs2を電位設定回路59-1の設定電位に設定する。これにより、ビット線55-1に両極性のビット線書き込み電流IBL、たとえば±1mAが流れる。このビット線書き込み電流IBLによる磁場により、記憶素子52のフリー層85近傍に形成した書き込み磁性層87の磁化の方向を設定する。書き込み磁性層87は磁気異方性を小さく設定してあるため、その磁化の向きはビット線55-1による磁場に容易に従い、電流値を小さく抑えられる。これにより書き込み磁性層87のスピ電子がフリー層85に流れ込み、フリー層85の磁化方向を設定することができる。同一補助ビット線51-1上の他の記憶素子52では書き込み電流が小さいため、書き込みは行われない。この手順により1つのメモリセルM31の書き込みを行うことができる。

[0068] 次に、読み出し動作について、メモリセルM31~M3mに読み出しを行う場合を例として説明する。ワード線制御回路57が、メモリアレイ41内の一つのブロック選択線56-1を活性化し、単位ブロック53-1内の補助ビット線51-1~51-mに接続された全ての読み出しトランジスタ54-1~54-mをオン状態にする。次に、ワード線制御回路57が、読み出しを行うワード線50-3と読み出し電圧Vrが印加された配線とを接続するトランジスタ66をオン状態にする。その他のワード線50-ixは、フローティング状態に設定する。評価制御回路69が、電位設定回路59-1~59-mの入力電圧Vs2をゼロ電位とすると、読み出すワード線50-3に接続された記憶素子52を通

って、同一補助ビット線51-jに接続された他の記憶素子52とビット線55-jとに読み出し電流が流れる。例えば、メモリセルM31に関しては、ワード線50-3-メモリセルM31の記憶素子52-補助ビット線51-1-ビット線55-1-センス回路64-1のように読み出し電流が流れる。加えて、ワード線50-3-メモリセルM31の記憶素子52-補助ビット線51-1-メモリセルM11~Mn1(メモリセルM31を除く)の記憶素子52-ワード線50-1~50-n(50-3を除く)のようにも読み出し電流が流れる。第1トンネル絶縁層84が第2トンネル絶縁層86に対して抵抗が十分低くなるように設定すれば、記憶素子52の抵抗値はフリー層85とピン層83の磁化の向きの関係でほぼ決まる。その後、所望の時間、たとえば10ns経過後、評価制御回路69が、センス回路64-1~64-mを読み出し起動線65の制御信号により起動させて、判定処理を行わせる。センス回路64は、読み出すワード線50-3上の全ビット(TMR素子52)のデータOUTb1~OUTbmを出力する。

[0069] 図12は、Ibitの最小差と $n-1$ と R_{tr}/R_j との関係を示す表である。この表は、各記憶素子52のTMR抵抗 R_j がデータにより $1k\Omega$ と $1.5k\Omega$ をとり、読み出しトランジスタ54のオン抵抗が 100Ω 、読み出すメモリセルにかかる電圧が1Vになるように V_r が与えられ、 V_{s2} が0Vの場合について、TMR抵抗によるIbitの最小差と $(n-1)$ と (R_{tr}/R_j) との関係を計算した結果を示している。 m に対しては、大きいほどIbit最小差が小さくなった。本実施例では V_{s1} は接続されない。図12では、 $(n-1)$ が小さいほど、また特に (R_{tr}/R_j) が小さいほどIbit最小差が広がり、データ判別が容易になることがわかる。図7の構成($(n-1)=63$ 、 $(R_{tr}/R_j)=0.1$)ではIbit差が負となってしまうため、 n を8程度($(n-1)=0.01$ 、 $R_{tr}/R_j=0.1$)にする、又は R_{tr} を 10Ω 程度($(n-1)=63$ 、 $(R_{tr}/R_j)=0.01$)まで下げるという条件変更方針が得られ、それぞれIbit差は $67\mu A$ 、 $78\mu A$ となる。

[0070] 本実施例では、書き込み磁性層を用いたスピン電子注入法の採用により書き込み電流を小さくでき、省電力化を図ることができる。

[0071] (第2の実施の形態)

本発明の半導体記憶装置の第2の実施の形態について、添付図面を参照して説明する。

図13は、本発明の半導体記憶装置の第2の実施の形態の構成を示すブロック図である。半導体記憶装置20aは、抵抗記憶素子アレイ21aと複数の評価回路8-11～8-1m、…、8-q1～8-qm(m、qは自然数、以下同じ)と評価制御回路9と第1読出し制御回路10と第2読出し制御回路24を具備する。第2の実施の形態では、抵抗記憶素子アレイ21の単位ブロック4を二次元的に拡張している点で第1の実施の形態と異なる。

[0072] 抵抗記憶素子アレイ21aは、p行q列の行列状に設けられた複数の単位ブロック4-11～4-pq(pは自然数、以下同じ)を備える。複数の単位ブロック4-11～4-pqの各々(単位ブロック4-rs($1 \leq r \leq p$, $1 \leq s \leq q$, 以下同じ))は、複数のメモリセルM11～Mnm(nは自然数、以下同じ)と、複数のワード線31-r1～31-rnと、複数の補助ワード線30-1～30-nと、複数のビット線5-s1～5-smと、複数の補助ビット線3-1～3-mと、複数の第1スイッチ素子6-s1～6-smと、スイッチ素子制御線7-rと、複数の第2スイッチ素子32-s1～32-snと、ブロック選択線23-sを備える。

[0073] 複数のメモリセルM11～Mnmは、行列状に配列されている。複数のメモリセルM11～Mnmの各々は、抵抗状態によりデータを記憶し少なくとも2つの端子を有する抵抗記憶素子1を含む。メモリセルMij($1 \leq i \leq n$, $1 \leq j \leq m$, 以下同じ)の抵抗記憶素子1は、一端を補助ワード線30-iに、他端を補助ビット線3-jにそれぞれ接続されている。抵抗記憶素子1は、磁気抵抗素子や相変化抵抗素子に例示される。

[0074] 複数のワード線31-r1～31-rnは、一端を読出し制御回路10に接続され、X方向へ延伸している。ワード線31-riは、第2スイッチ素子32-1i～32-qiの一端に接続されている。複数の補助ワード線30-1～30-nは、それぞれ複数のワード線31-r1～31-rnに対応して設けられ、X方向へ延伸している。補助ワード線30-iは、第2スイッチ素子32-siの他端及びメモリセルMi1～Mimの抵抗記憶素子1の一端にそれぞれ接続されている。第2スイッチ素子32-siは、一端を補助ワード線30-iに、他端をワード線31-riに、スイッチ動作を制御する端子をブロック選択線23-sにそれぞれ接続されている。ブロック選択線23-sは、一端を第2読出し制御回路24に接続され、Y方向へ延伸している。ブロック選択線23-sは、第2スイッチ素子

32-s1~32-snの各々のスイッチ動作を制御する端子に接続している。第2スイッチ素子32-s1~32-snの各々はブロック選択線23-s電位によりオン、オフされ、単位ブロック4-1s~4-ps(列)毎に操作される。

[0075] 複数の補助ビット線線3-1~3-mは、X方向と実質的に垂直なY方向へ延伸している。補助ビット線線3-jは、メモリセルM1j~Mmjの抵抗記憶素子1の他端に接続されている。第1スイッチ素子6-sjは、一端を補助ビット線線3-jに、他端をビット線5-sjに、スイッチ動作を制御する端子をスイッチ素子制御線7-rにそれぞれ接続されている。スイッチ素子制御線7-rは、一端を読出し制御回路10に接続され、X方向へ延伸している。スイッチ素子制御線7-rは、第1スイッチ素子6-s1~6-smの各々のスイッチ動作を制御する端子に接続している。第1スイッチ素子6-s1~6-smの各々はスイッチ素子制御線7-r電位によりオン、オフされ、単位ブロック4-r1~4-rq(行)毎に操作される。複数のビット線5-s1~5-smは、X方向と実質的に垂直なY方向へ延伸している。ビット線5-sjは、一端を評価回路8-sjに接続されている。また、ビット線5-sjは、複数の単位ブロック4-1s~4-psの各々のスイッチ素子6-sjの他端と、それぞれ接続されている。

[0076] 評価回路8-sjは、ビット線5-sj及び評価制御回路9に接続されている。評価制御回路9からの制御信号に基づいて、ビット線5-sjの電位又はビット線5-sjに流れる電流を評価する。評価制御回路9は、読出し対象の単位ブロック4-rsにおける補助ワード線30-iに沿った全メモリセルMi1~Mimのデータを読み出すとき、当該メモリセルMi1~Mimに接続された全ビット線5-s1~5-smの電位又は電流を評価させるために、評価回路8-s1~8-smをほぼ同時に動作させる。第1読出し制御回路10は、複数のワード線31-r1~31-rnのうちから読出し対象の単位ブロック4-rsのメモリセルMi1~Mimに対応するワード線31-riを選択する。そして、電位設定機能又は電流印加機能を有する。また、読出し対象の単位ブロック4-rsのスイッチ素子制御線7-rの電位によりスイッチ素子6-s1~6-smをオン状態に設定する。更に、読出し制御回路10は、読出しを行わないワード線31に所定の電位を与える機能、又はフローティングにする機能を有する。

[0077] 第2読出し制御回路24は、複数のブロック選択線23-1~23-qのうちから読出し

対象の単位ブロック4-rsに対応するブロック選択線23-sを選択する。それにより、ブロック選択線23-s電位によりブロック選択線23-sに接続された第2スイッチ素子32-s1~32-snをオン状態に設定する。それにより、ワード線31-riは、第2スイッチ素子32-siを介して補助ワード線30-iに接続される。その結果、読出し制御回路10は、ワード線31-ri、第2スイッチ素子32-si及び補助ワード線30-iを介して、Mi1~Mimの抵抗記憶素子1に電位を印加する。

[0078] 第2読出し制御回路24によるブロック選択線23-sの選択、及び、読出し制御回路10によるスイッチ素子制御線7-rの選択により、読出し対象となる単位ブロック4-rsが選択される。

[0079] 次に、本発明の半導体記憶装置の実施の形態における動作について説明する。まず、読出し動作について説明する。ここでは、例として、図13の単位ブロック4-1qにおけるメモリセルM31~M3mの抵抗記憶素子1を読み出す場合について説明する。まず、第1読出し制御回路10により、読出し対象の単位ブロック4-1qの第1スイッチ素子6-q1~6-qmをオン状態に設定し、読出し対象でない単位ブロック4-rxsx($(1 \leq rx (rx \neq 1) \leq p, 1 \leq sx \leq q, \text{以下同じ})$)の第1スイッチ素子6-q1~6-qmをオフ状態にする。同時に、第2読出し制御回路20により、読出し対象の単位ブロック4-1qの第2スイッチ素子32-q1~32-qnをオン状態に設定し、読出し対象でない単位ブロック4-rysy($(1 \leq ry \leq p, 1 \leq sy (sy \neq q) \leq q, \text{以下同じ})$)の第2スイッチ素子32-q1~32-qnをオフ状態にする。

[0080] 次に、読出し制御回路10により、単位ブロック4-1qにおける読出し対象の補助ワード線30-3とビット線5-q1~5-qmとの間に電位差を生じさせる。例えば、ワード線31-13及び第2スイッチング素子32-q3を介して30-3に電位を与えるか、又は電流を流すことによる。単位ブロック4-1qの読出し対象でない補助ワード線30-ix($ix \neq 3$)は、読出し対象でないワード線31-1ix($ix \neq 3$)及び第2スイッチング素子32-qixを介して読出し制御回路10により所定の電位に設定されるか、又はオープン状態にされる。読出し対象でない単位ブロック4-rxsxのワード線31-sx1~31-sxnは、読出し制御回路10により所定の電位に設定されるか、又はオープン状態にされる。

[0081] 次に、単位ブロック4-1qに接続された全てのビット線5-q1～5-qmに接続された評価回路8-q1～8-qmを評価制御回路9によりほぼ同時に動作させる。これにより、評価回路8-1～8-mは、ビット線5-1～5-mの電位又は電流を評価することで、メモリセルM31～M3mの抵抗記憶素子1の抵抗を評価し、データを判定する。評価回路8-1～8-mは、判定されたデータを読み出しデータOUTq1～OUTqmとして出力する。

[0082] 図13では、評価回路8をビット線5-11～5-qmの各々ごとに設けているが、読み出す単位ブロック4のビット線5を選択する回路を設けて共用することで評価回路8の数を減らすことができる。

[0083] データの書き込み処理については、書き込むメモリセルMijに対応するワード線31-riとビット線5-sjとにそれぞれ書き込み電流を流すことで行うことができる。これらは、例えば、別途設けられた各抵抗記憶素子の抵抗状態を変化させる手段で行う。

[0084] 本実施の形態においても、抵抗記憶素子1のデータによりとる抵抗値、m、n、Rin、Rtr、Vs1、Vs2の値は第1の実施の形態に示した条件1を満たす組み合わせとする。

[0085] 本発明の半導体記憶装置に依れば、単位ブロックをアレイ状に配置して、周辺回路を共用できるため、より高集積化、大容量化を図ることが可能となる。

[0086] (第3実施例)

次に、具体的な実施例を用いて本発明の実施の形態を説明する。図14に、本発明の半導体装置の第3実施例を示す概略構成図である。半導体記憶装置40aは、抵抗記憶素子アレイ41aと複数のセンス回路64-11～64-1m、…、64-q1～64-qmと評価制御回路69とワード線制御回路57とワード線終端回路58とビット線終端回路60と複数の電位設定回路59-11～59-1m、…、59-q1～59-qmと読み出しワードブロック選択回路94を具備する。

[0087] 抵抗記憶素子アレイ41a、センス回路64-11～64-qm、単位ブロック53-11～53-pq、各単位ブロック53-rsにおけるメモリセルM11～Mnm、TMR素子52、複数のワード線91-r1～91-rn、複数の補助ワード線90-1～90-n、複数のビット線55-s1～55-sm、複数の補助ビット線51-1～51-m、複数の読み出しラン

ジスタ54-s1~54-sm、ブロック選択線56-r、複数の補助ワード線選択トランジスタ92-r1~92-rn、ブロック選択線93-s、読出しワードブロック選択回路94は、それぞれ図13の抵抗記憶素子アレイ21a、評価回路64-11~64-qm、単位ブロック4-11~4-pq、各単位ブロック4-rsにおけるメモリセルM11~Mnm、抵抗記憶素子1、複数のワード線31-r1~31-rn、複数の補助ワード線30-1~30-n、複数のビット線5-s1~5-sm、複数の補助ビット線3-1~3-m、複数の第1スイッチ素子6-s1~6-sm、スイッチ素子制御線7-r、複数の第2スイッチ素子32-s1~32-sn、ブロック選択線23-s、第2読出し制御回路24に対応し、同様の動作を行う。

[0088] 電位設定回路59-sjは、入力側をビット線5-sj及び設定電位印下線61に、出力側をセンス回路64-sjにそれぞれ接続されている。設定電位印下線61からの電位Vs2の入力に応答して、ビット線5-sjの電位をVs2に設定する。そして、ビット線5-sjを流れる電流をセンス回路64-sjへ出力する。電位設定回路59-sjは、差動増幅器62と帰還抵抗63とで構成されている。差動増幅器62の一方の入力を設定電位印下線61の電位Vs2とし、他方の入力にビット線5-sjを接続し、さらに差動増幅器62の出力を帰還抵抗63を介して接続したビット線5-sjの電位が電位Vs2になるようにする。

[0089] ワード線制御回路57は、読出し制御回路10に対応し、同様の動作を行う。読出し対象のワード線91-riを読出し電圧Vrとし、読出し対象でないワード線91-rixを電位Vs1とする。トランジスタ66、67で構成されている。読出し対象でないワード線91-rixについては、トランジスタ67の入力を電位Vs1とし、トランジスタ67をオンにしてワード線91-rixに接続する。一方、読出し対象のワード線91-riについては、トランジスタ66をオンにして読出し電圧Vrをワード線91-riへ印加している。また、読出し対象の単位ブロック53-rsについて、読出しブロック選択線56-rを高電位にしてトランジスタ6-s1~6-smをオンにする。

[0090] 評価制御回路69は、評価制御回路9に対応し、同様の動作を行う。判定を行いデータを出力する処理を起動する制御信号を読出し起動線65へ供給して、センス回路64-sjを動作させる。加えて、設定電位印下線61を電位Vs2にする。

- [0091] ワード線終端回路58は、複数のワード線91-11~91-pnの他端及びブロック選択線56-1~56-pの他端を終端する。ビット線終端回路60は、複数のビット線55-11~55-qmの他端及びブロック選択線93-1~93-qの他端を終端する。
- [0092] 各単位ブロック53において、ワード線91及び補助ワード線90は64本($n=64$)、ビット線55及び補助ビット線51は128本($m=128$)で構成されている。そして、32個($p=32$)の単位ブロック53が共通のビット線55により接続され、16個($q=32$)の単位ブロック53が共通のワード線91により接続され、4Mビットのメモリが構成される。
- [0093] TMR素子(磁気抵抗素子)52は、下部配線層70(Ta:10nm)、反強磁性体層71(PtMn/NiFe:10nm)、ピン層72(CoFe:2.4nm)、トンネル絶縁層73(Al_2O_3 :2nm)、フリー層74(NiFe:5nm)、及び上部配線層75(Ta:10nm)がこの順に積層された構造を有する。
- [0094] 次に、半導体記憶装置40aの動作方法について、単位ブロック53-1qを書込み／読出し対象とする場合を例として説明する。
- [0095] メモリアレイ41の書き込み動作について、単位ブロック53-1qのメモリセルM31に書き込みを行う場合を例として説明する。まず、ワード線制御回路57が、単位ブロック53-11~53-pqにおいて、ブロック選択線56-1~56-pにより、全ての読出しトランジスタ54-11~54-qmをオフ状態にする。次に、読出しワードブロック選択回路94が、単位ブロック53-11~53-pqにおいて、ブロック選択線93-1~93-qにより、全ての補助ワード線選択トランジスタ92-11~92-qnをオフ状態にする。次に、ワード線制御回路57が、単位ブロック53-1qの書き込むメモリセルM31のワード線91-13に電位を与え、ワード線終端回路58により反対側端部を接地する。それにより両者の間にワード線書き込み電流IWL、たとえば3mAが流れる。また、ビット線終端回路60が、ビット線55-q3には0.2V程度の電位を与え、評価制御回路69がこれとは異なる電位Vs2を電位設定回路59-q3の設定電位に設定する。それにより、ビット線55-q3に両極性のビット線書き込み電流IBL、たとえば $\pm 4\text{mA}$ が流れる。これらの書き込み電流による合成磁場により、TMR素子52のフリー層の磁化の向きを設定することができる。それにより、TMR抵抗を変化させ、書き込みを行うことができる。

[0096] 次に、読み出し動作について、単位ブロック53-1qのメモリセルM31～M3mに読み出しを行う場合を例として説明する。ワード線制御回路57が、メモリアレイ41a内の一つのブロック選択線56-1を活性化し、単位ブロック53-1q内の補助ビット線51-1～51-mに接続された全ての読み出しトランジスタ54-q1～54-qmをオン状態にする。これにより、補助ビット線51と対応するビット線55とが接続される。次に、読出しワードブロック選択回路94が、メモリアレイ41a内の一つのブロック選択線93-qを活性化し、単位ブロック53-1q内の補助ワード線90-1～90-nに接続された全ての補助ワード線選択トランジスタ92-q1～92-qnをオン状態にする。これにより、補助ワード線選択90と対応するワード線91とが接続される。次に、ワード線制御回路57が、読み出しを行うワード線91-3と読み出し電圧Vrが印加された配線とを接続するトランジスタ66をオン状態にする。その他のワード線91-ixについては、ワード線91-ixの電位と電位Vs1が印加された配線とを接続するトランジスタ67をオン状態にして、Vs1に設定する。評価制御回路69が電位設定回路59-q1～59-qmの入力電圧Vs2をゼロ電位とすると、読み出す補助ワード線90-3に接続されたTMR素子52を通して、同一補助ビット線51-jに接続された他のTMR素子52とビット線55-qjとに読み出し電流が流れる。例えば、メモリセルM31に関しては、ワード線91-13-補助ワード線90-3-メモリセルM31のTMR素子52-補助ビット線51-1-ビット線55-q1-センス回路64-q1のように読出し電流が流れる。加えて、補助ワード線90-3-メモリセルM31のTMR素子52-補助ビット線51-1-メモリセルM11～Mn1(メモリセルM31を除く)のTMR素子52-補助ワード線90-1～90-n(90-3を除く)のようにも読出し電流が流れる。その後、所望の時間、たとえば10ns経過後、評価制御回路69が、センス回路64-q1～64-qmを読み出し起動線65の制御信号により起動させて、判定処理を行わせる。センス回路64-q1～64-qmは、読み出す補助ワード線90-3上の全ビット(TMR素子52)のデータOUTbq1～OUTbqmを出力する。

[0097] 図15は、Ibitの最小差と(n-1)と(Rtr/Rj)との関係を示す表である。この表は、各TMR素子52のTMR抵抗Rjがデータにより1kΩと1.5kΩをとり、読み出しトランジスタ54のオン抵抗が10Ω、補助ワード線選択トランジスタのオン抵抗が5Ω、ワー

ド制御回路57内のトランジスタの抵抗が 5Ω で、読み出すワード線が1Vになるように V_r が与えられ、 V_{s1} が0V、 V_{s2} が0Vの場合について、TMR抵抗によるIbitの最小差と $(n-1)$ と (R_{tr}/R_j) との関係を計算した結果を示している。この最小差が正であることが正常に読み出しを行う必要条件である。なお、 m は256本とした。この場合、 $(n-1)$ が小さいほど、また特に (R_{tr}/R_j) が小さいほどIbit最小差が広がり、データ判別が容易になることがわかる。本実施例($(R_{tr}/R_j) = 0.01$)で $n=64$ の場合、 $81\mu A$ のIbit差が得られる。

[0098] 図16は、Ibitの最小差と $(n-1)$ と (R_{tr}/R_j) との関係を示す表である。ただし、図15と比較して、 V_{s1} として0.01Vを印加した点が異なる。この場合、 (R_{tr}/R_j) が0.01の条件でのIbit最小差が改善され、本実施例では $85\mu A$ が得られる。最適な V_{s1} は他の条件に従う。 R_{tr} の低抵抗化が難しい場合、TMR抵抗 R_j が $10k\Omega$ と $15k\Omega$ をとり、読み出しトランジスタ54のオン抵抗を 100Ω 、補助ワード線選択トランジスタのオン抵抗を 50Ω 、ワード制御回路57内のトランジスタの抵抗を 50Ω と全体の抵抗を10倍にすることで、 $V_{s1}=0.01V$ で図16の表の $1/10$ の $8.5\mu A$ のIbit差が得られる。

[0099] 本実施例では、読み出しサブブロックをビット線方向だけでなく、ワード線方向にもアレイ状に配置できるため、周辺回路を共用して大容量化を図ることができる。

[0100] なお、本発明は上記各実施例に限定されず、本発明の技術思想の範囲内において、各実施例は適宜変更され得ることは明らかである。

[0101] 以上説明したように、本発明によれば、読み出すセルを選択するスイッチ一つに対して複数の記憶セルを接続した構成において、読み出しが可能となるため、セル面積を小さくすることが可能となり、大容量化を実現できる。

[0102] このように、本発明の半導体記憶装置は、複数の記憶素子でスイッチ素子を共用して高集積化を図り、記憶素子間の抵抗識別性を確保しながら、複数の記憶素子を同時に読み出すことができる。従って、高速読み出しができ、高集積化に優れた大容量の半導体記憶装置が実現できる。

請求の範囲

- [1] 第2方向に並んで設けられた複数の読み出しブロックと、
ここで、前記複数の読み出しブロックの各々は、
前記第2方向とは異なる第1方向へ延在する複数の第1配線と、
前記第2方向に延在する複数の第2配線と、
前記複数の第1配線と前記複数の第2配線とが交差する点のそれぞれに設けられ、抵抗の変化によりデータを記憶する複数の抵抗記憶素子と
を備え、
前記複数の抵抗記憶素子の各々は、一端を前記複数の第1配線のうちの対応するものに、他端を前記複数の第2配線の対応するものにそれぞれ接続され、
前記第2方向に延在し、前記複数の第2配線に対応して設けられた複数の第3配線と、
前記複数の第3配線の各々と、前記複数の読み出しブロックの各々における前記複数の第2配線のうちの対応するものとの間に設けられた複数の第1読み出しスイッチと、
前記複数の第1読み出しスイッチのオン・オフを制御し、前記複数の第1配線へ所定の電流又は電圧を供給する第1制御回路と、
前記複数の第3配線に接続され、電流又は電圧の評価を行う複数の評価回路とを具備し、
前記複数の抵抗記憶素子の各々のデータの読み出しは、
前記第1制御回路が、
前記複数の第1読み出しスイッチにより、前記複数の読み出しブロックのうちから選択読み出しブロックを選択し、
前記選択読み出しブロックにおける前記複数の第1配線から選択第1配線を選択して、前記所定の電流又は電圧を供給し、
前記複数の評価回路が、前記複数の第3配線における電流又は電圧の評価を行う
半導体記憶装置。
- [2] 請求の範囲1に記載の半導体記憶装置において、

前記複数の読み出しブロックは、前記第1方向及び前記第2方向に並んで設けられ、

前記第1方向に延在し、前記複数の1配線に対応して設けられた複数の第4配線と、

前記複数の第4配線の各々と、前記複数の読み出しブロックの各々における前記複数の第1配線のうちの対応するものとの間に設けられた複数の第2読み出しスイッチと、前記複数の第2読み出しスイッチのオン・オフを制御する第2制御回路とを更に具備し、

前記複数の抵抗記憶素子の各々のデータの読み出し動作時に、

前記第2制御回路が前記複数の第2読み出しスイッチを制御し、前記第1制御回路が前記複数の第1読み出しスイッチを制御することにより、前記複数の読み出しブロックのうちから前記選択読み出しブロックを選択し、

前記第1制御回路が、前記選択読み出しブロックにおける前記複数の第4配線から選択第4配線を選択することにより、前記選択第1配線を選択して、前記所定の電流又は電圧を前記選択第1配線へ向けて供給し、

前記複数の評価回路が、前記複数の第3配線における電流又は電圧の評価を行う

半導体記憶装置。

[3] 請求の範囲1又は2に記載の半導体記憶装置において、

前記制御回路は、前記データの読み出し動作時に、前記選択読み出しブロックにおける前記選択第1配線以外の前記複数の第1配線にあらかじめ設定された電流又は電圧を印加する

半導体記憶装置。

[4] 請求の範囲1乃至3のいずれか一項に記載の半導体記憶装置において、

前記抵抗記憶素子が内蔵又は接続された非線形抵抗素子を含む半導体記憶装置。

[5] 請求の範囲1乃至4のいずれか一項に記載の半導体記憶装置において、

前記データの読み出し動作における前記選択読み出しブロックにおいて、

前記複数の抵抗記憶素子のうち読出し対象の複数の抵抗記憶素子のうち一つの抵抗値を R_{ja} 、前記複数の抵抗記憶素子のうち同じ第2配線に接続されたものの抵抗値を R_{jb} 、前記読出し対象の前記複数の抵抗記憶素子のうち抵抗値が R_{ja} 以外のものの抵抗値を R_{jc} 、前記複数の抵抗記憶素子のうちの残りのものの抵抗を R_{jd} 、前記第1読み出しスイッチのオン抵抗値を R_{tr} 、読出しを行わない前記第1配線に与える電位を V_{s1} 、読出しを行わない前記第1配線の抵抗値と前記 V_{s1} との間の抵抗値との和を R_{in} 、読出しを行う前記第1配線の電位を V_r 、読出し動作時の第3配線の電位を V_{s2} 、とそれぞれしたとき、

前記 R_{jb} 、前記 R_{jc} 及び前記 R_{jd} がそれぞれが同じ抵抗値をとっている場合を仮定した等価回路において、前記 R_{jb} 、前記 R_{jc} 及び前記 R_{jd} が取り得る最大の抵抗値をそれぞれ R_{jbmax} 、 R_{jcmax} 及び R_{jdmax} とし、取り得る最小の抵抗値をそれぞれ R_{jbmin} 、 R_{jcmin} 及び R_{jdmin} とすると、

前記等価回路より導出される読出し電流 I_{bit} を計算する関数 $f = I_{bit}(R_{jb}, R_{jc}, R_{jd}) = f(R_{ja}, m, n, R_{in}, R_{tr}, V_{s1}, V_{s2}, R_{jb}, R_{jc}, R_{jd})$ を用い、読出し対象の抵抗記憶素子の抵抗値が前記 R_{ja} のときの前記 I_{bit} の最大値は、

$I_{bitmax}(R_{ja}) = \text{MAX}(I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmin}))$ で表現され、最小値は、

$I_{bitmin}(R_{ja}) = \text{MIN}(I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmax}), I_{bit}(R_{jbmax}, R_{jcmin}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmax}, R_{jdmin}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmax}), I_{bit}(R_{jbmin}, R_{jcmin}, R_{jdmin}))$ で表現され、

ここで、 $\text{MAX}(a, b, c)$ は a, b, c のなかの最大値を、 $\text{MIN}(a, b, c)$ は a, b, c のなかの最小値を示す関数であり、

R_{ja} が $R_{ja1} \sim R_{jap}$ の p 個の値をとるとし、隣接する2抵抗値 R_{jag} と R_{jah} ($1 \leq g, g+1 = h \leq p$)のうち R_{jag} のほうが小さい値であるとき、 $I_{bitmin}(R_{jag}) - I_{bitmax}(R_{jah})$

) > 0がRja1 ~ Rjapのすべての組み合わせで成り立つ
半導体記憶装置。

- [6] 請求の範囲5に記載の半導体記憶装置において、
前記関数fが下式のように表現され、

$$f(Rja, m, n, Rin, Rtr, Vs1, Vs2, Rjb, Rjc, Rjd) \\ = (-B/Rjd + Rjd \cdot (m-1) \cdot D / Rtr - Vs2 \cdot (m-1) / Rtr - Vr / Rjc + Rj \\ d \cdot D / Rjc + D) / (A / Rjd - Rjd \cdot (m-1) \cdot C / Rtr - Rjd \cdot C / Rc - C);$$

ここで、

$$A = Rjb + Rtr + Rjb \cdot Rtr / Rja$$

$$B = Vs2 - Rjb(Vr - Vs2) / Rja$$

$$C = A \cdot (n-1) / Rin - Rtr / Rjb + A / Rjb$$

$$D = B \cdot (n-1) / Rin - Vs1 \cdot (n-1) / Rin - Vs2 / Rjb + B / Rjb + B / Rjd$$

である

半導体記憶装置。

- [7] 請求の範囲1乃至6のいずれか一項に記載の半導体記憶装置において、
前記複数の抵抗記憶素子は、磁気抵抗素子である
半導体記憶装置。

- [8] 半導体記憶装置の読出し方法であって、

ここで、前記半導体記憶装置は、

第2方向に並んで設けられた複数の読み出しブロックと、

ここで、前記複数の読み出しブロックの各々は、

前記第2方向とは異なる第1方向へ延在する複数の第1配線と、

前記第2方向に延在する複数の第2配線と、

前記複数の第1配線と前記複数の第2配線とが交差する点のそれぞれに設けられ、抵抗の変化によりデータを記憶する複数の抵抗記憶素子と
を備え、

前記複数の抵抗記憶素子の各々は、一端を前記複数の第1配線のうちの対応するものに、他端を前記複数の第2配線の対応するものにそれぞれ接続され、

前記第2方向に延在し、前記複数の第2配線に対応して設けられた複数の第3配線と、

前記複数の第3配線の各々と、前記複数の読出しブロックの各々における前記複数の第2配線のうちの対応するものとの間に設けられた複数の第1読出しスイッチと、

前記複数の第1読出しスイッチのオン・オフを制御し、前記複数の第1配線へ所定の電流又は電圧を供給する第1制御回路と、

前記複数の第3配線に接続され、電流又は電圧の評価を行う複数の評価回路とを備え、

前記半導体記憶装置の読出し方法は、

(a) 前記第1制御回路が、前記複数の第1読出しスイッチのオンにより、前記複数の読出しブロックのうちから選択読出しブロックを選択するステップと、

(b) 前記第1制御回路が、前記選択読出しブロックにおける前記複数の第1配線から選択第1配線を選択して、前記所定の電流又は電圧を供給するステップと、

(c) 前記複数の評価回路が、前記複数の第3配線における電流又は電圧の評価を概ね同時に行うステップと

を具備する

半導体記憶装置の読出し方法。

[9] 請求の範囲8に記載の半導体記憶装置の読出し方法において、

前記半導体記憶装置は、

前記複数の読出しブロックが、前記第1方向及び前記第2方向に並んで設けられ

、

前記第1方向に延在し、前記複数の第1配線に対応して設けられた複数の第4配線と

、

前記複数の第4配線の各々と、前記複数の読出しブロックの各々における前記複数の第1配線のうちの対応するものとの間に設けられた複数の第2読出しスイッチと、

前記複数の第2読出しスイッチのオン・オフを制御する第2制御回路と

を更に備え、

前記半導体記憶装置の読出し方法は、

前記(a)ステップが、

(a1)前記第2制御回路が前記複数の第2読み出しスイッチをオンするステップと、

(a2)前記第1制御回路が前記複数の第1読み出しスイッチをオンすることにより、
前記複数の読出しブロックのうちから前記選択読出しブロックを選択するステップと
を備え、

前記(b)ステップが、

(b1)前記第1制御回路が、前記選択読出しブロックにおける前記複数の第4配線
から選択第4配線を選択することにより、前記選択第1配線を選択して、前記所定の
電流又は電圧を前記選択第1配線へ向けて供給するステップを備える

半導体記憶装置の読出し方法。

[10] 請求の範囲8又は9に記載の半導体記憶装置の読出し方法において、

前記(b)ステップは、

(b2)前記制御回路が、前記選択読出しブロックにおける前記選択第1配線以外の
前記複数の第1配線にあらかじめ設定された電流又は電圧を印加するステップを備
える

半導体記憶装置の読出し方法。

[11] 請求の範囲8乃至10のいずれか一項に記載の半導体記憶装置の読出し方法にお
いて、

前記選択読出しブロックにおいて、

前記複数の抵抗記憶素子のうち読出し対象の複数の抵抗記憶素子のうち一つの
抵抗値を R_{ja} 、前記複数の抵抗記憶素子のうち同じ第2配線に接続されたものの抵
抗値を R_{jb} 、前記読出し対象の前記複数の抵抗記憶素子のうち抵抗値が R_{ja} 以外の
ものの抵抗値を R_{jc} 、前記複数の抵抗記憶素子のうちの残りのものの抵抗を R_{jd} 、前
記第1読み出しスイッチのオン抵抗値を R_{tr} 、読出しを行わない前記第1配線に与え
る電位を V_{s1} 、読出しを行わない前記第1配線の抵抗値と前記 V_{s1} との間の抵抗値
との和を R_{in} 、読出しを行う前記第1配線の電位を V_r 、読出し動作時の第3配線の電
位を V_{s2} 、とそれぞれしたとき、

前記 R_{jb} 、前記 R_{jc} 及び前記 R_{jd} がそれぞれが同じ抵抗値をとっている場合を仮定

した等価回路において、前記Rjb、前記Rjc及び前記Rjdが取り得る最大の抵抗値をそれぞれRjbmax、Rjcmax及びRjdmaxとし、取り得る最小の抵抗値をそれぞれRjbmin、Rjcmin及びRjdminとすると、

前記等価回路より導出される読出し電流Ibitを計算する関数 $f = Ibit(Rjb, Rjc, Rjd) = f(Rja, m, n, Rin, Rtr, Vs1, Vs2, Rjb, Rjc, Rjd)$ を用い、読出し対象の抵抗記憶素子の抵抗値が前記Rjaのときの前記Ibitの最大値は、

$Ibitmax(Rja) = MAX(Ibit(Rjbmax, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmax, Rjdmin), Ibit(Rjbmax, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmin, Rjdmin), Ibit(Rjbmin, Rjcmax, Rjdmin), Ibit(Rjbmin, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmin, Rjdmin))$ で表現され、最小値は、

$Ibitmin(Rja) = MIN(Ibit(Rjbmax, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmax, Rjdmin), Ibit(Rjbmax, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmax, Rjdmax), Ibit(Rjbmax, Rjcmin, Rjdmin), Ibit(Rjbmin, Rjcmax, Rjdmin), Ibit(Rjbmin, Rjcmin, Rjdmax), Ibit(Rjbmin, Rjcmin, Rjdmin))$ で表現され、

ここで、 $MAX(a, b, c)$ はa, b, cのなかの最大値を、 $MIN(a, b, c)$ はa, b, cのなかの最小値を示す関数であり、

RjaがRja1～Rjapのp個の値をとるとし、隣接する2抵抗値RjagとRjah ($1 \leq g, g+1 = h \leq p$) のうちRjagのほうが小さい値であるとき、 $Ibitmin(Rjag) - Ibitmax(Rjah) > 0$ がRja1～Rjapのすべての組み合わせで成り立つ

半導体記憶装置の読出し方法。

- [12] 請求の範囲11に記載の半導体記憶装置の読出し方法において、前記関数fが下式のように表現され、

$$f(Rja, m, n, Rin, Rtr, Vs1, Vs2, Rjb, Rjc, Rjd) \\ = (-B/Rjd + Rjd \cdot (m-1) \cdot D / Rtr - Vs2 \cdot (m-1) / Rtr - Vr / Rjc + Rjd \cdot D / Rjc + D) / (A / Rjd - Rjd \cdot (m-1) \cdot C / Rtr - Rjd \cdot C / Rc - C);$$

ここで、

$$A = Rjb + Rtr + Rjb \cdot Rtr / Rja$$

$$B = V_{s2} - R_{jb}(V_r - V_{s2}) / R_{ja}$$

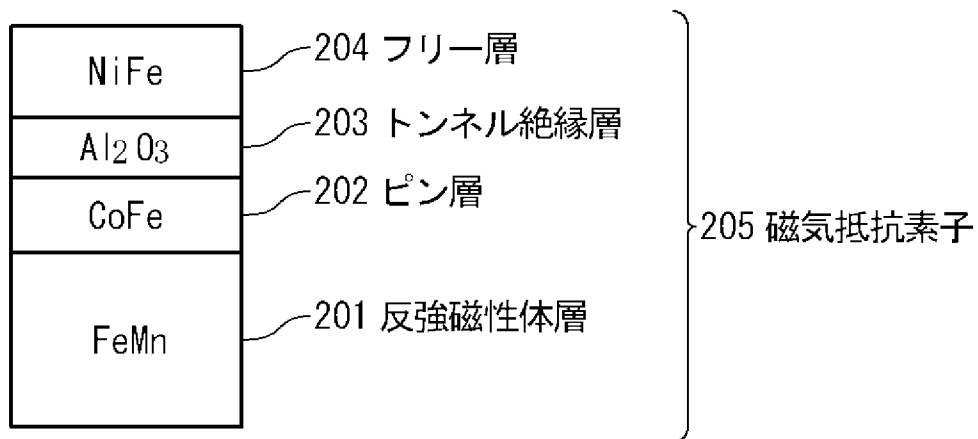
$$C = A \cdot (n - 1) / R_{in} - R_{tr} / R_{jb} + A / R_{jb}$$

$$D = B \cdot (n - 1) / R_{in} - V_{s1} \cdot (n - 1) / R_{in} - V_{s2} / R_{jb} + B / R_{jb} + B / R_{jd}$$

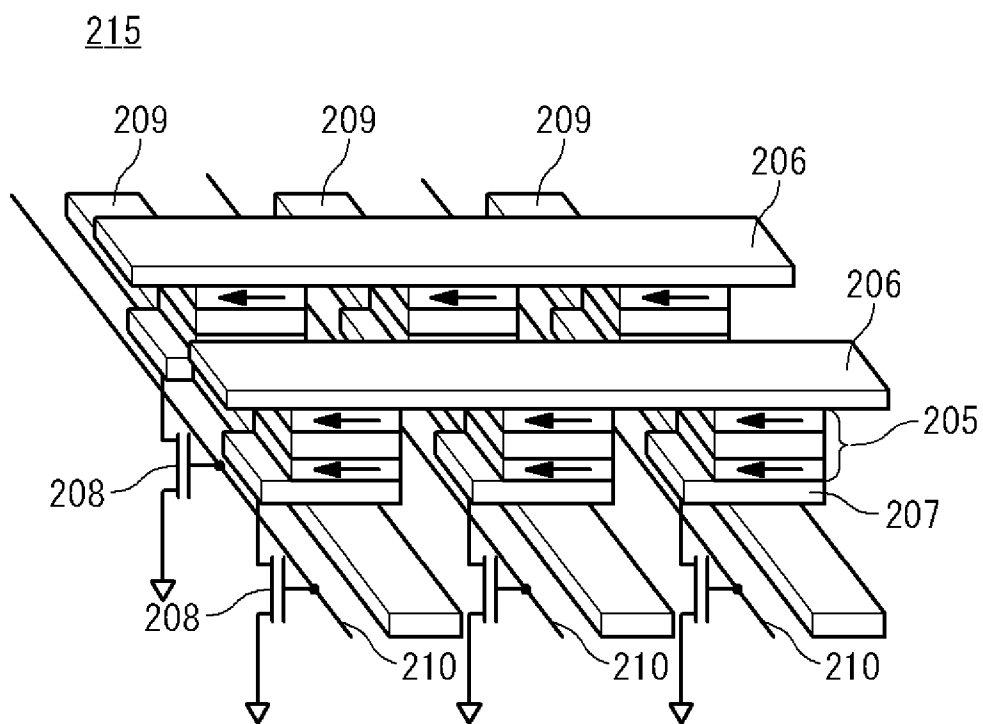
である

半導体記憶装置の読出し方法。

[図1]

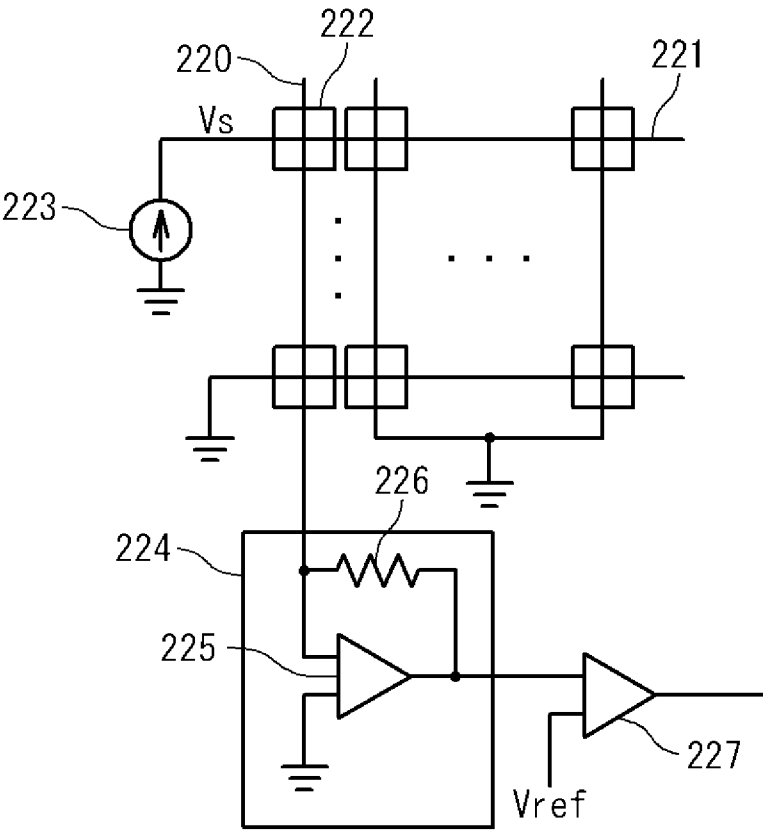


[図2]

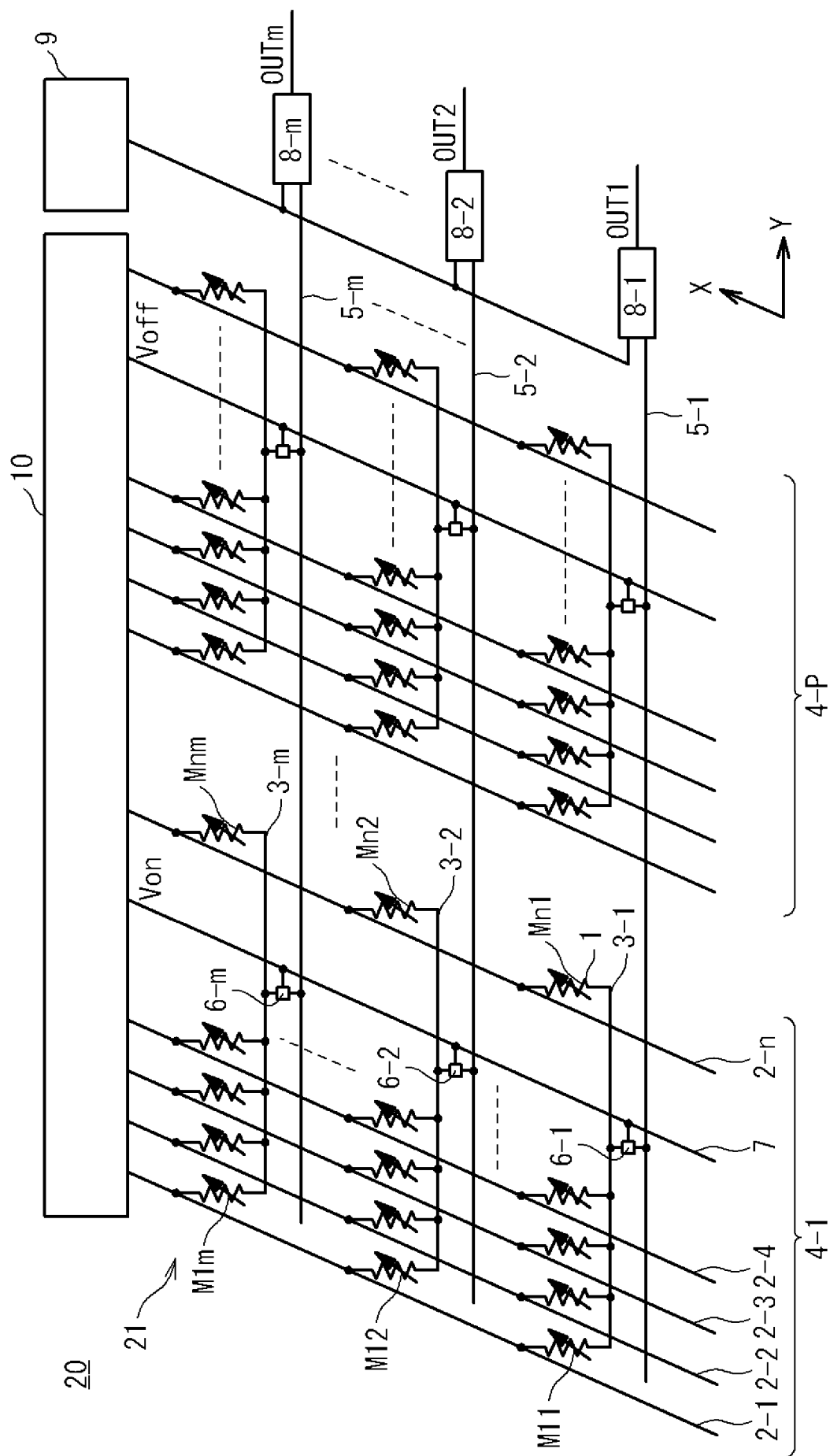


[図3]

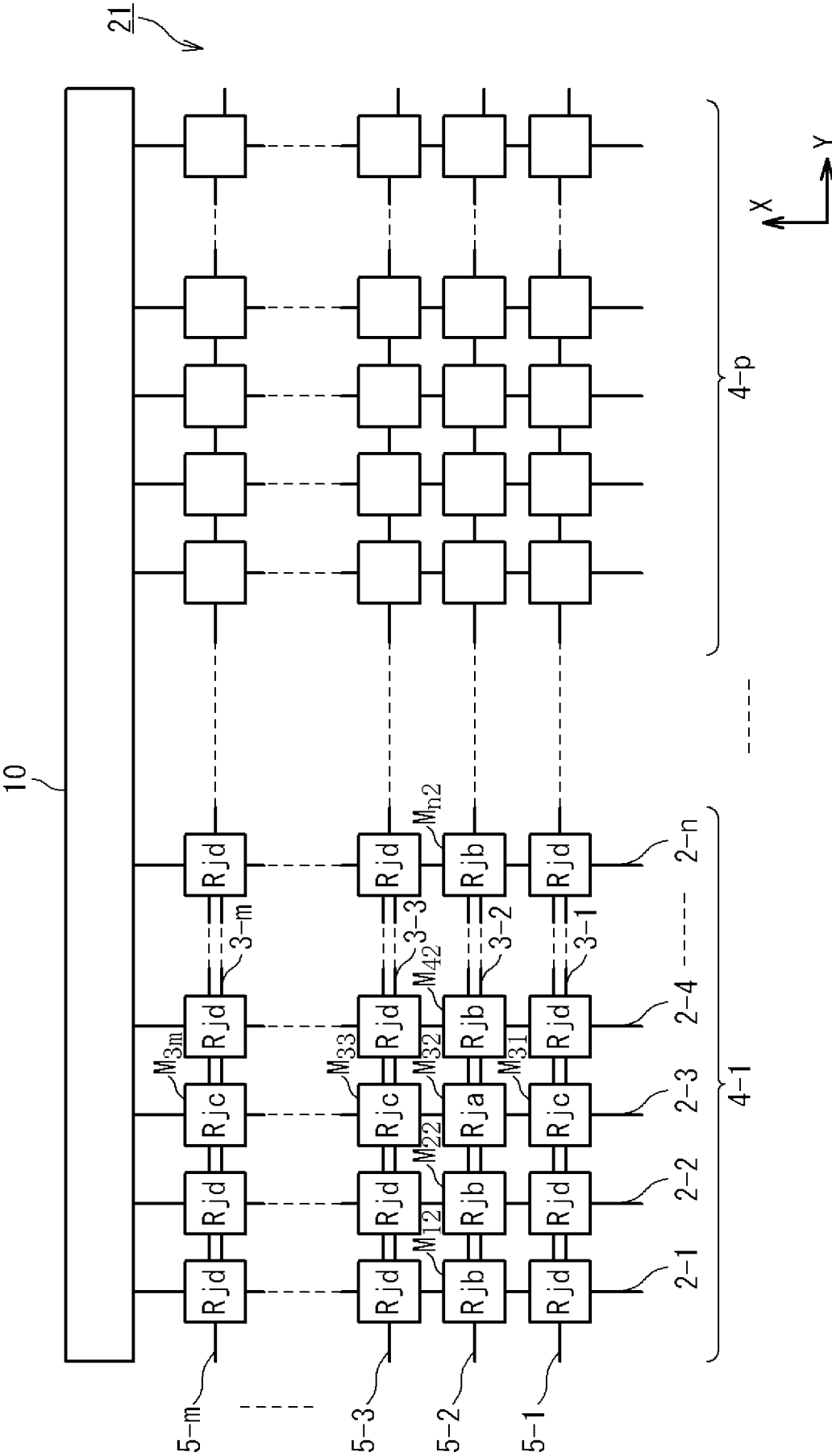
235



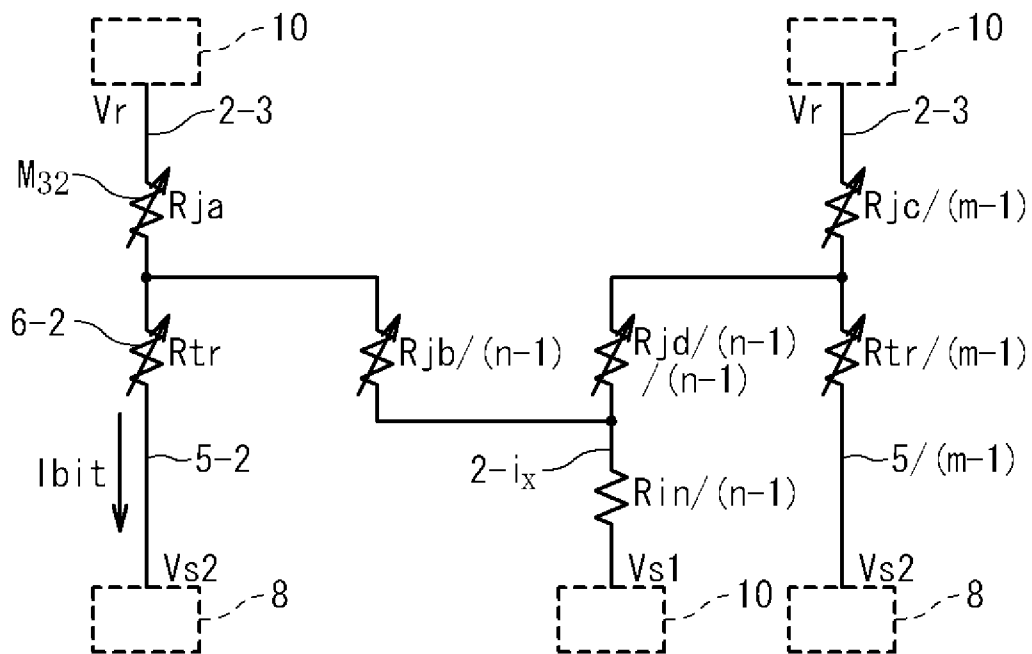
[図4]



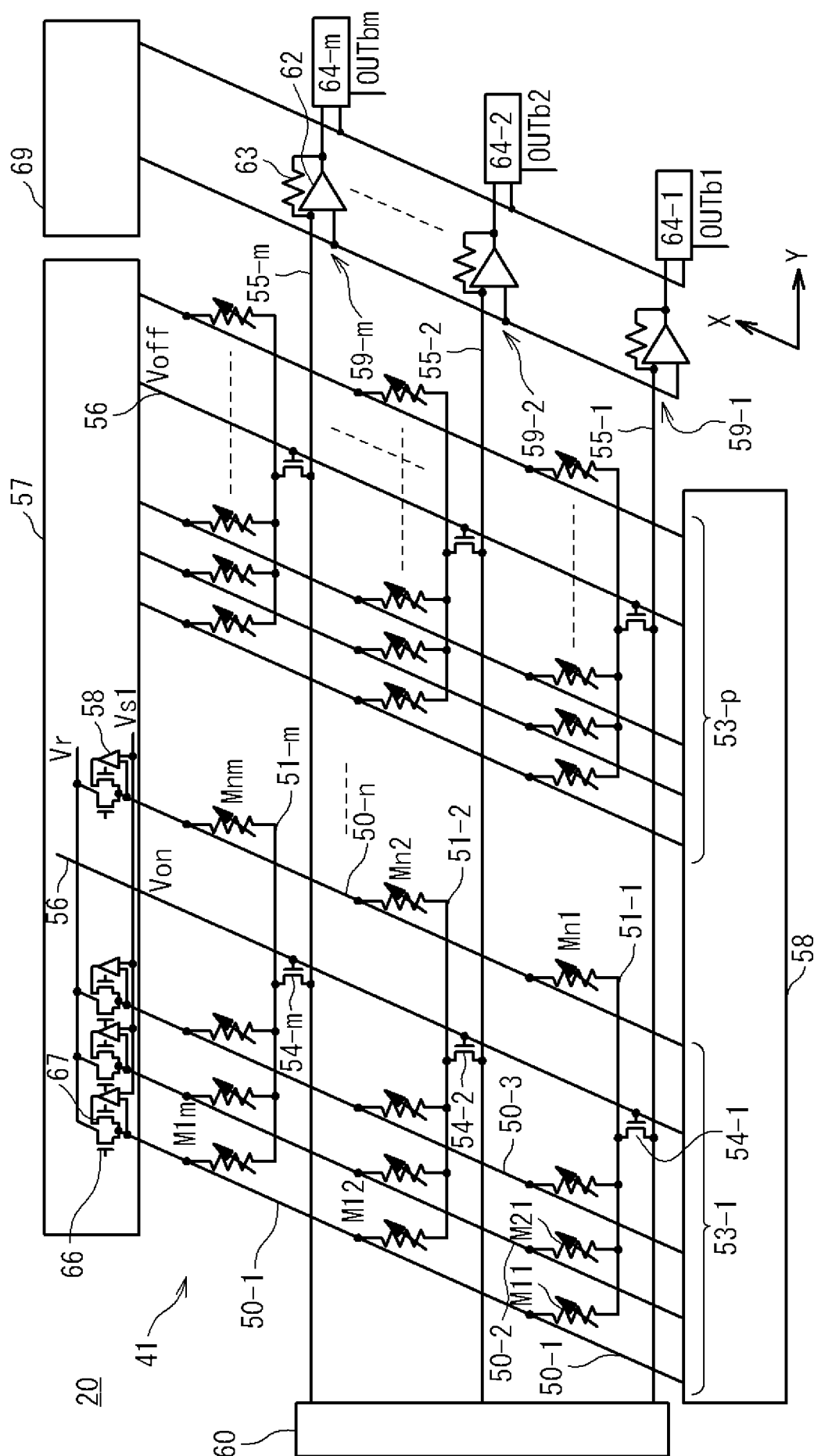
[図5]



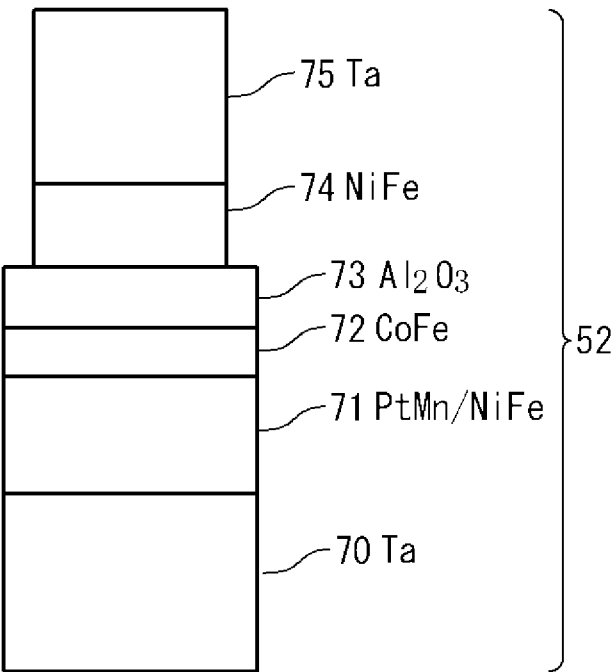
[図6]



[図7]



[図8]



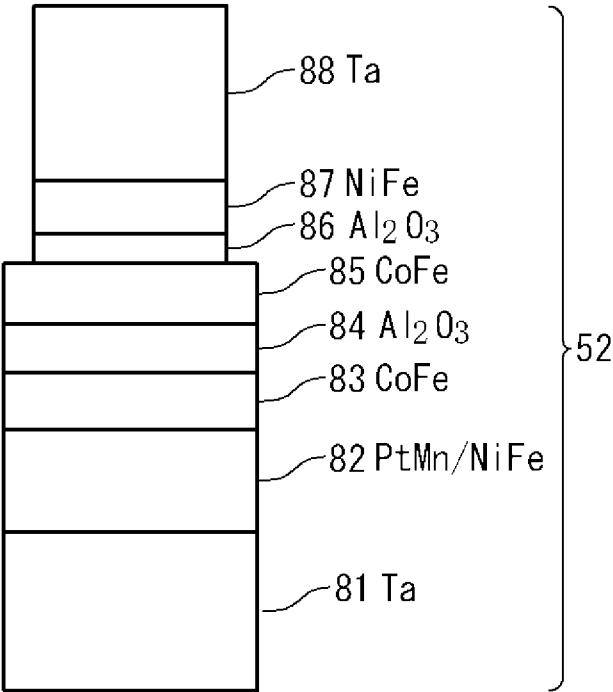
[図9]

Rtr/Rj	n-1						
	3	7	15	31	63	127	255
0.0001	333	333	332	332	330	326	320
0.001	331	329	325	316	301	272	227
0.01	314	295	261	209	143	79	35
0.1	198	126	64	26	9	3	1
1	21	6	2	0	0	0	0

[図10]

Rtr/Rj	n-1						
	3	7	15	31	63	127	255
0.0001	263	170	-16	-386	-1122	-2570	-5379
0.001	263	171	-9	-356	-999	-2107	-3771
0.01	263	183	48	-146	-356	-484	-468
0.1	238	185	128	79	45	24	13
1	27	10	4	2	1	0	0

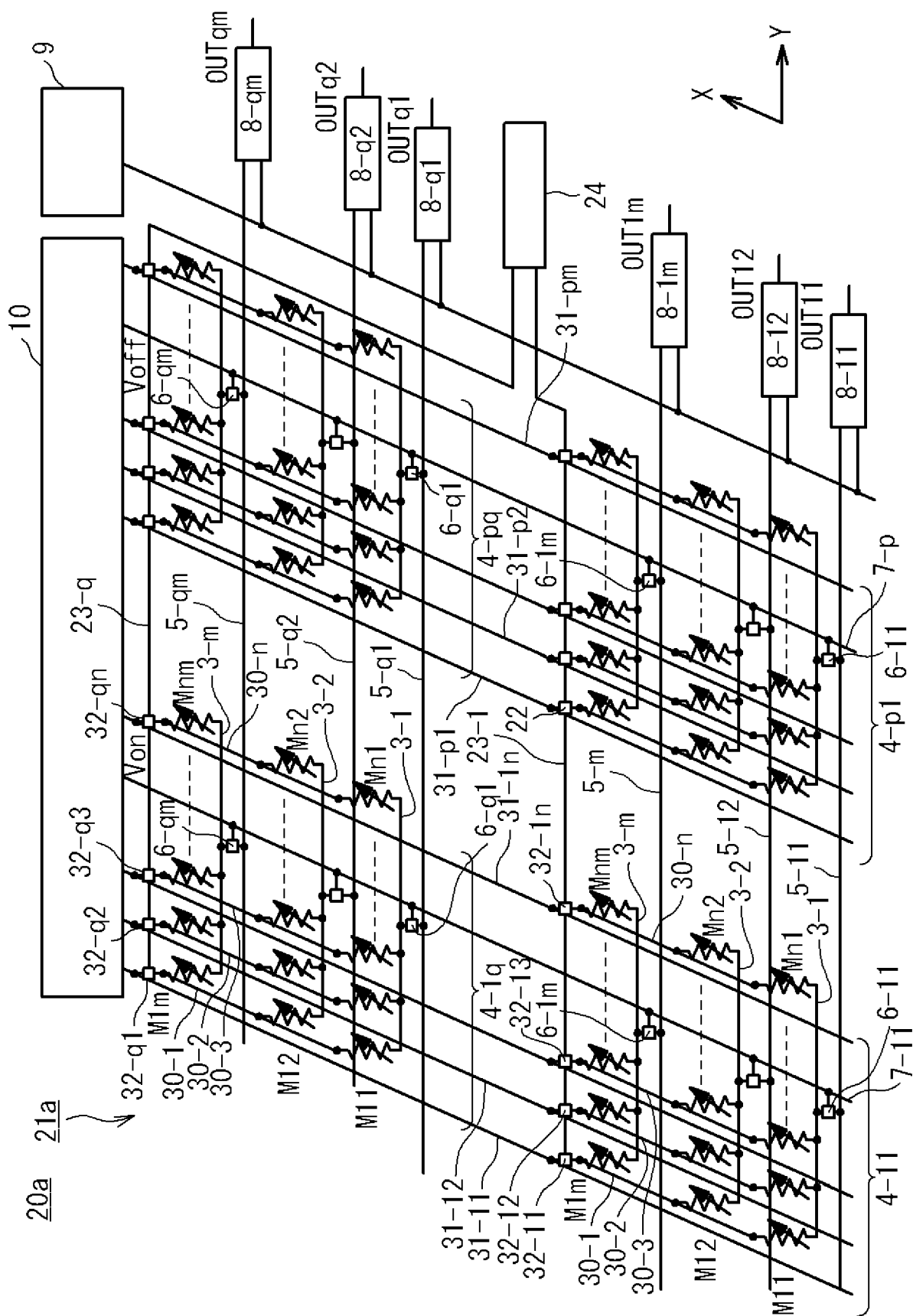
[図11]



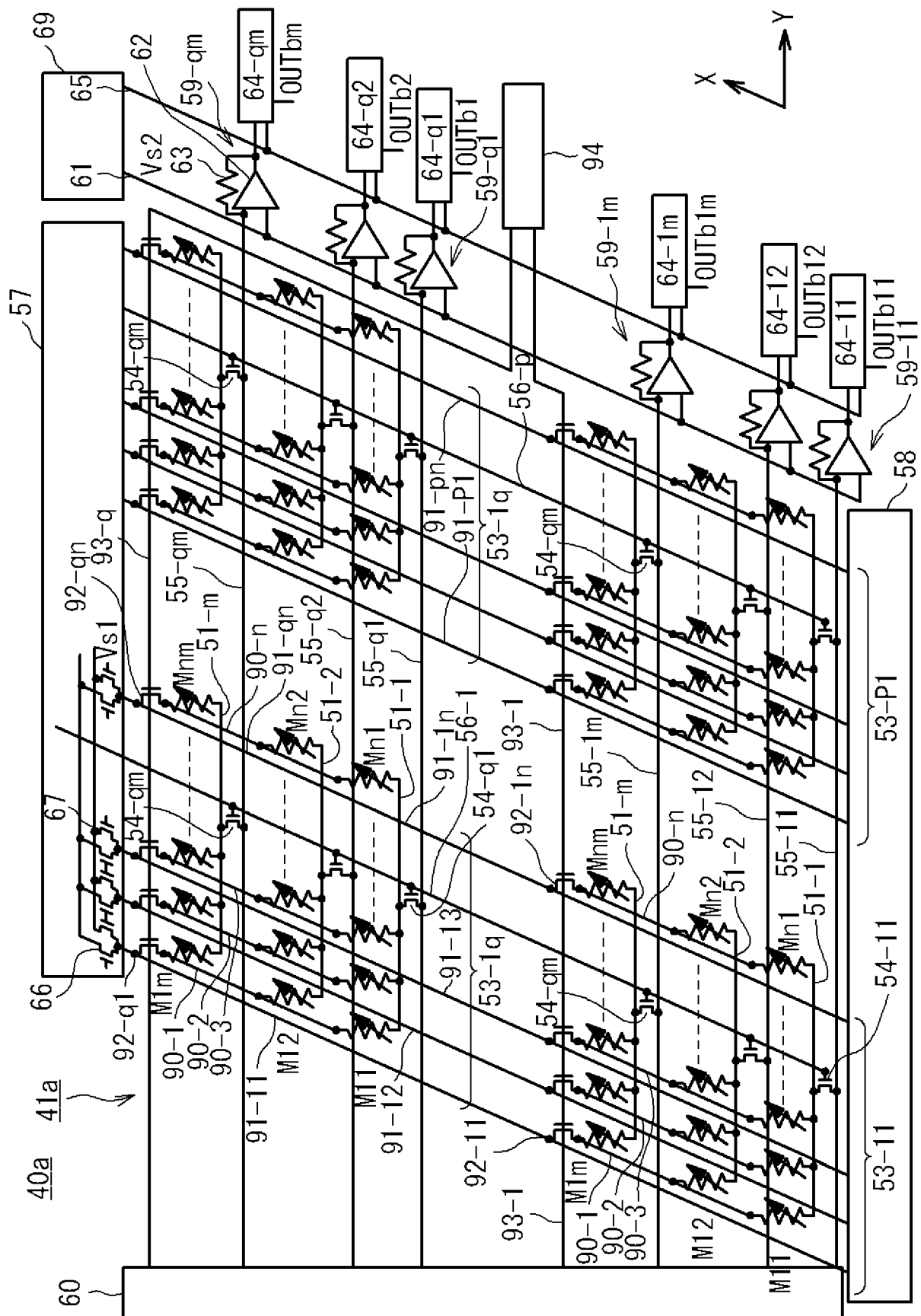
[図12]

Rtr/Rj	n-1						
	3	7	15	31	63	127	255
0.0001	333	333	332	331	329	325	317
0.001	331	328	323	313	294	259	199
0.01	311	288	245	176	78	-35	-139
0.1	173	67	-46	-143	-210	-251	-274
1	-39	-95	-128	-146	-155	-159	-162

[図13]



[図14]



[図15]

Rtr/Rj	n-1						
	3	7	15	31	63	127	255
0.0001	333	333	332	331	329	325	317
0.001	331	328	323	313	294	259	199
0.01	311	287	245	177	81	-28	-120
0.1	173	69	-39	-122	-165	-168	-142
1	-36	-82	-98	-91	-70	-46	-27

[図16]

Rtr/Rj	n-1						
	3	7	15	31	63	127	255
0.0001	333	331	328	322	311	289	245
0.001	331	327	321	308	284	240	164
0.01	311	288	247	179	85	-22	-113
0.1	173	70	-38	-121	-164	-166	-141
1	-36	-82	-98	-91	-70	-46	-27

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/054160

A. CLASSIFICATION OF SUBJECT MATTER

G11C11/15(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i,
H01L43/08(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C11/15

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2006-4479 A (Sharp Corp.), 05 January, 2006 (05.01.06), Figs. 1 to 6, 15 to 24 & US 2005/0276091 A1	1-12
X	JP 2002-170379 A (NEC Corp.), 14 June, 2002 (14.06.02),	1, 2, 4-9, 11, 12
Y	Fig. 4 & US 2002/0034117 A1	3, 10

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 March, 2007 (27.03.07)

Date of mailing of the international search report
03 April, 2007 (03.04.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. G11C11/15(2006.01)i, H01L21/8246(2006.01)i, H01L27/105(2006.01)i, H01L43/08(2006.01)i															
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. G11C11/15															
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1 9 2 2－1 9 9 6年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1 9 7 1－2 0 0 7年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1 9 9 6－2 0 0 7年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1 9 9 4－2 0 0 7年</td> </tr> </table>				日本国実用新案公報	1 9 2 2－1 9 9 6年	日本国公開実用新案公報	1 9 7 1－2 0 0 7年	日本国実用新案登録公報	1 9 9 6－2 0 0 7年	日本国登録実用新案公報	1 9 9 4－2 0 0 7年				
日本国実用新案公報	1 9 2 2－1 9 9 6年														
日本国公開実用新案公報	1 9 7 1－2 0 0 7年														
日本国実用新案登録公報	1 9 9 6－2 0 0 7年														
日本国登録実用新案公報	1 9 9 4－2 0 0 7年														
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）															
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求の範囲の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2 0 0 6－4 4 7 9 A(シャープ株式会社) 2 0 0 6.0 1.0 5, 図 1－6、図 1 5－2 4 US 2005/0276091 A1</td> <td>1－1 2</td> </tr> <tr> <td>X</td> <td>JP 2 0 0 2－1 7 0 3 7 9 A(日本電気株式会社) 2 0 0 2.0 6. 1 4, 図 4 US 2002/0034117 A1</td> <td>1, 2, 4－ 9, 1 1, 1 2</td> </tr> <tr> <td>Y</td> <td></td> <td>3, 1 0</td> </tr> </tbody> </table>				引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	X	JP 2 0 0 6－4 4 7 9 A(シャープ株式会社) 2 0 0 6.0 1.0 5, 図 1－6、図 1 5－2 4 US 2005/0276091 A1	1－1 2	X	JP 2 0 0 2－1 7 0 3 7 9 A(日本電気株式会社) 2 0 0 2.0 6. 1 4, 図 4 US 2002/0034117 A1	1, 2, 4－ 9, 1 1, 1 2	Y		3, 1 0
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号													
X	JP 2 0 0 6－4 4 7 9 A(シャープ株式会社) 2 0 0 6.0 1.0 5, 図 1－6、図 1 5－2 4 US 2005/0276091 A1	1－1 2													
X	JP 2 0 0 2－1 7 0 3 7 9 A(日本電気株式会社) 2 0 0 2.0 6. 1 4, 図 4 US 2002/0034117 A1	1, 2, 4－ 9, 1 1, 1 2													
Y		3, 1 0													
☐ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。															
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献															
国際調査を完了した日 2 7 . 0 3 . 2 0 0 7		国際調査報告の発送日 0 3 . 0 4 . 2 0 0 7													
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号 1 0 0－8 9 1 5 東京都千代田区霞が関三丁目 4 番 3 号		<table border="1"> <tr> <td>特許庁審査官（権限のある職員）</td> <td>5 N</td> <td>9 0 5 7</td> </tr> <tr> <td colspan="3">須原 宏光</td> </tr> <tr> <td>電話番号 0 3－3 5 8 1－1 1 0 1</td> <td>内線</td> <td>3 5 8 6</td> </tr> </table>		特許庁審査官（権限のある職員）	5 N	9 0 5 7	須原 宏光			電話番号 0 3－3 5 8 1－1 1 0 1	内線	3 5 8 6			
特許庁審査官（権限のある職員）	5 N	9 0 5 7													
須原 宏光															
電話番号 0 3－3 5 8 1－1 1 0 1	内線	3 5 8 6													