



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201814718 A

(43)公開日：中華民國 107 (2018) 年 04 月 16 日

(21)申請案號：106132277

(22)申請日：中華民國 106 (2017) 年 09 月 20 日

(51)Int. Cl. : G11C17/16 (2006.01)

G11C29/04 (2006.01)

(30)優先權：2016/09/28 日本

2016-190349

(71)申請人：三美電機股份有限公司 (日本) MITSUMI ELECTRIC CO., LTD. (JP)
日本

(72)發明人：山口剛史 YAMAGUCHI, TAKESHI (JP)

(74)代理人：莊志強

申請實體審查：有 申請專利範圍項數：4 項 圖式數：11 共 39 頁

(54)名稱

半導體積體電路

SEMICONDUCTOR INTEGRATED CIRCUIT

(57)摘要

本發明的課題在於提高晶片面積的使用效率。本發明用以解決課題的手段在於提供一種半導體積體電路，係具備：記憶電路，係具有複數個正反器；儲存部，係由非揮發性記憶元件所構成；信號生成部，係由非揮發性記憶元件所構成，輸出用於設定複數個動作模式的動作模式設定信號；控制電路，係在輸出用於設定第一動作模式的動作模式設定信號之情形時使前述記憶電路動作俾使在前述複數個正反器中保持用於設定第一電路部的特性之值，而在輸出用於設定第二動作模式的動作模式設定信號之情形時使前述記憶電路作為計數器進行動作來測量在第二電路部中使用的時間；以及設定電路，係在前述信號生成部輸出用於設定第二動作模式的動作模式設定信號時，使用儲存在前述儲存部中之與前述記憶電路的計數值相對應的微調資料來修正第一電路部的特性的個體差異偏差。

The present invention provides a semiconductor integrated circuit capable of promoting the usage efficiency of chip area. The semiconductor integrated circuit includes a storage circuit having a plurality of triggers; a storage part formed by a nonvolatile memory element; a signal generation part formed by a nonvolatile memory element and configured to output a motion mode setting signal for setting a plurality of motion modes; a control circuit configured to activate the storage circuit to maintain the characteristic value of setting a first circuit part in the plurality of triggers when the motion mode setting signal of setting a first motion mode is output, and uses the storage circuit as a counter to count the usage time in a second circuit part when the motion setting signal of setting a second motion mode is output; a setting circuit configured to use the fine tuning data corresponding to the count value of the storage circuit stored in the storage part to adjust the deviation of individual differences of the characteristic of the first circuit part when the signal generation part outputs the motion mode signal of setting the second motion mode.

指定代表圖：

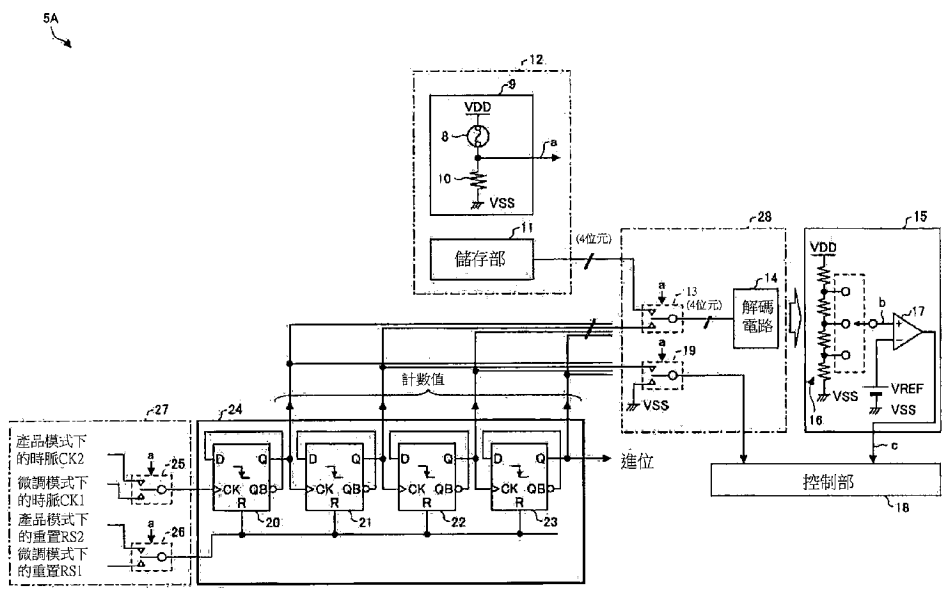


圖3

符號簡單說明：

5A . . . 半導體積體
電路

8 . . . 保險絲

9 . . . 信號生成部

10 . . . 電阻

11 . . . 儲存部

12、24 . . . 記憶電
路

13 . . . 資料切換電
路

14 . . . 解碼電路

15 . . . 檢測電路

16 . . . 檢測電阻

17 . . . 比較器

18 . . . 控制部

19 . . . 切換電路

20 至 23 . . . 正反器

25 . . . 時脈切換電
路

26 . . . 重置切換電
路

27 . . . 控制電路

28 . . . 設定電路

a . . . 動作模式設定
信號

b . . . 分壓電壓

c . . . 比較結果信號

VDD . . . 電源端子

VREF . . . 基準電壓

VSS . . . 接地端子

發明專利說明書

【發明名稱】 半導體積體電路

SEMICONDUCTOR INTEGRATED CIRCUIT

【技術領域】

[0001]

本發明有關於一種半導體積體電路。

【先前技術】

[0002]

以往，已知一種半導體積體電路，係具備在用於修正基準電壓等特性的個體差異的偏差的微調模式中暫時儲存微調(trimming)用資料的暫存器(register)(例如，參照專利文獻 1)。在專利文獻 1 的技術中，直到基準電壓滿足要求值為止，更新儲存在暫存器中的微調用資料。然後，切斷保險絲部的保險絲，俾使在保險絲部中儲存與基準電壓滿足要求值的時間點儲存在暫存器中的微調用資料相同的資料。藉此，在解除了微調模式後，也能夠使用儲存在保險絲部中的資料來獲得修正後的基準電壓。

[先前技術文獻]

[專利文獻]

[0003]

專利文獻 1：日本特開 2008—289290 號公報。

【發明內容】

(發明所欲解決之課題)

[0004]

然而，先前技術的暫存器只能用於微調模式，在解除了微調模式後(例如完成品狀態下)無法使用，因此無法效率佳地使用半導體積體電路的晶片面積。

[0005]

因此，本發明的一個態樣的目的是在於提供一種提高了晶片面積的使用效率的半導體積體電路。

(用以解決課題之手段)

[0006]

為了達成上述目的，本發明提供了一種半導體積體電路，係具備：第一電路部；第二電路部；記憶電路，係具有複數個正反器(flip-flop)；儲存部，係由非揮發性記憶元件(nonvolatile memory device)所構成；信號生成部，係由非揮發性記憶元件所構成，輸出用於設定複數個動作模式的動作模式設定信號；控制電路，係在前述信號生成部輸出用於設定第一動作模式的動作模式設定信號之情形時使前述記憶電路動作俾使將用於設定前述第一電路部的特性之值保存在前述複數個正反器中，而在前述信號生成部輸出用於設定第二動作模式的動作模式設定信號之情形時使前述記憶電路作為計數器進行動作來測量在前述第二電路部中使用的時間；以及設定電路，係在前述信號生成部輸出用於設定第二動作模式的動作模式設定信號之情形時，使用儲存在前述儲存部中之與前述記憶電路的計數值相對應的微調資料來修正前述第一電路部的特性的個體差異偏差。

(發明功效)

[0007]

依據本發明，能夠提高半導體積體電路的晶片面積的使用效率。

【圖式簡單說明】

[0008]

圖 1 係顯示電池組(battery pack)的結構的一個例子。

圖 2 係顯示電池組內的電路結構的一個例子。

圖 3 係顯示半導體積體電路的結構的一個例子。

圖 4 係顯示微調模式下的半導體積體電路的動作的一個例子的
 時序圖。

圖 5 係顯示產品模式下的半導體積體電路的動作的一個例子的
 時序圖。

圖 6 係顯示控制電路的自動校準(auto calibration)功能的一個例
 子。

圖 7 係顯示記憶電路對時脈(clock)進行計數的動作的一個例子
 的時序圖。

圖 8 係顯示用於根據時脈的計數來計算保存在記憶電路中的計
 數值的動作的一個例子的時序圖。

圖 9 係顯示記憶電路以及控制電路的另一結構的一個例子。

圖 10 係顯示圖 9 的電路結構中的時序圖的一個例子。

圖 11 係顯示半導體積體電路的結構的另外一個例子。

【實施方式】

[0009]

以下，根據圖式來說明本發明的實施形態。

[0010]

圖 1 係顯示電池組的結構的一個例子。電池組 1 例如作為攜帶
 電話等攜帶用電子設備的電源來使用。電池組 1 具備電池 2 以及電

池監視模組 3。

[0011]

電池 2 是鋰離子電池等二次電池的一個例子。在電池監視模組 3 中設置了包含印刷配線板的安裝基板 4。

[0012]

在安裝基板 4 的背面設置了與在電池 2 的側面設置的正極 2a 連接的正側電極部以及與在電池 2 的側面設置的負極 2b 連接的負側電極部。在安裝基板 4 的主面的一側(圖上右側)設置了負載連接端子 4a、4b，該負載連接端子 4a、4b 用於連接攜帶電話等攜帶用電子設備或用於對電池 2 進行充電的充電器等。

[0013]

負載連接端子 4a 經由安裝基板 4 的配線連接到正極 2a，負載連接端子 4b 經由安裝基板 4 的配線連接到負極 2b。在安裝基板 4 的主面的中央部安裝了用於監視電池 2 的半導體積體電路 5。

[0014]

半導體積體電路 5 例如是進行電池 2 的過充電、過放電以及過電流等的監視，並基於該監視結果進行保護電池 2 防止過充電等的動作的晶片。在安裝基板 4 中，在半導體積體電路 5 的主面的另一側(圖上左側)安裝了開關部 6、7。

[0015]

圖 2 係顯示電池組內的電路結構的一個例子。

[0016]

在半導體積體電路 5 中設置了電源端子 VDD、接地端子 VSS、放電控制端子 DOUT、充電控制端子 COUT 以及電流檢測端子 VM。

在電池 2 的正極 2a 連接了電源端子 VDD。在電池 2 的負極 2b(基準接地電位)連接了接地端子 VSS。

[0017]

在電池 2 的負極 2b 連接了開關部 6 的一方的連接部，在開關部 6 的另一方的連接部連接了開關部 7 的一方的連接部。

[0018]

在開關部 7 的另一方的連接部連接了電流檢測端子 VM，在電流檢測端子 VM 與電池 2 的正極 2a 之間連接了負載電路 LD(例如攜帶電話等攜帶用電子設備、用於對電池 2 進行充電的充電器等)。

[0019]

在開關部 6 的控制端子連接了放電控制端子 DOUT，在開關部 7 的控制端子連接了充電控制端子 COUT。開關部 6 基於從放電控制端子 DOUT 輸出的放電控制信號進行接通(ON)(導通)或斷開(OFF)(非導通)。開關部 7 基於從充電控制端子 COUT 輸出的充電控制信號進行接通(導通)或斷開(非導通)。

[0020]

半導體積體電路 5 例如為了保護電池 2 防止過充電，具備用於監視電源端子 VDD 與接地端子 VSS 之間的電源電壓 VD 的過充電檢測電路。在藉由過充電檢測電路檢測出電源電壓 VD 為預定的過充電檢測臨限值 Vdet1 以上時，半導體積體電路 5 的控制部 18(參照圖 3)係從充電控制端子 COUT 輸出用於使開關部 7 斷開的充電控制信號(過充電保護動作)。藉由斷開開關部 7 切斷了電池 2 的充電方向的電流，因此能夠防止電池 2 過充電。

[0021]

此外，控制部 18 也可以在藉由過充電檢測電路檢測出電源電壓 VD 成為預定的過充電檢測臨限值 V_{det1} 以上後經過了預定的過充電檢測延遲時間 tV_{det1} 後，輸出用於使開關部 7 斷開的充電控制信號。藉由等待過充電檢測延遲時間 tV_{det1} 的經過，能夠防止由於過充電的誤檢測導致的開關部 7 的斷開。

[0022]

半導體積體電路 5 例如為了保護電池 2 防止過放電，具備用於監視電源端子 VDD 與接地端子 VSS 之間的電源電壓 VD 的過放電檢測電路。在藉由過放電檢測電路檢測出電源電壓 VD 成為預定的過放電檢測臨限值 V_{det2} 以下時，半導體積體電路 5 的控制部 18(參照圖 3)係從放電控制端子 DOUT 輸出用於使開關部 6 斷開的放電控制信號(過放電保護動作)。由於藉由斷開開關部 6 來切斷電池 2 的放電方向的電流，因此能夠防止電池 2 過放電的情況。

[0023]

此外，控制部 18 也可以在藉由過放電檢測電路檢測出電源電壓 VD 成為預定的過放電檢測臨限值 V_{det2} 以下後經過了預定的過放電檢測延遲時間 tV_{det2} 後，輸出用於使開關部 6 斷開的放電控制信號。藉由等待過放電檢測延遲時間 tV_{det2} 的經過，能夠防止由於過放電的誤檢測導致的開關部 6 的斷開。

[0024]

半導體積體電路 5 例如為了保護電池 2 防止放電過電流，具備用於監視電流檢測端子 VM 與接地端子 VSS 之間的電流檢測電壓 VI 的放電過電流檢測電路。在藉由放電過電流檢測電路檢測出電流檢測電壓 VI 為預定的放電過電流檢測臨限值 V_{det3} 以上時，半導體

積體電路 5 的控制部 18(參照圖 3)係從放電控制端子 DOUT 輸出用於使開關部 6 斷開的放電控制信號(放電過電流保護動作)。由於藉由斷開開關部 6 切斷了電池 2 的放電方向的電流，因此能夠防止在使電池 2 放電的方向流過過電流。

[0025]

此外，控制部 18 也可以在藉由放電過電流檢測電路檢測出電流檢測電壓 V_I 成為預定的放電過電流檢測臨限值 V_{det3} 以上後經過了預定的放電過電流檢測延遲時間 t_{Vdet3} 後，輸出用於使開關部 6 斷開的放電控制信號。藉由等待放電過電流檢測延遲時間 t_{Vdet3} 的經過，能夠防止放電過電流的誤檢測導致的開關部 6 的斷開。

[0026]

半導體積體電路 5 例如為了保護電池 2 防止充電過電流，具備用於監視電流檢測端子 VM 與接地端子 VSS 之間的電流檢測電壓 V_I 的充電過電流檢測電路。在藉由充電過電流檢測電路檢測出電流檢測電壓 V_I 為預定的充電過電流檢測臨限值 V_{det4} 以下時，半導體積體電路 5 的控制部 18(參照圖 3)係從充電控制端子 COUT 輸出用於使開關部 7 斷開的充電控制信號(充電過電流保護動作)。由於藉由斷開開關部 7 切斷了電池 2 的充電方向的電流，因此能夠防止在對電池 2 充電的方向流過過電流。

[0027]

此外，控制部 18 也可以在藉由充電過電流檢測電路檢測出電流檢測電壓 V_I 成為預定的充電過電流檢測臨限值 V_{det4} 以下後經過了預定的充電過電流檢測延遲時間 t_{Vdet4} 後，輸出用於使開關部 7 斷開的充電控制信號。藉由等待充電過電流檢測延遲時間 t_{Vdet4} 的經

過，能夠防止由於充電過電流的誤檢測導致的開關部 7 的斷開。

[0028]

圖 3 係顯示半導體積體電路的結構的一個例子。圖 3 所示的半導體積體電路 5A 是上述半導體積體電路 5 的一個例子。半導體積體電路 5A 具備檢測電路 15、控制部 18、記憶電路 24、記憶電路 12、控制電路 27 以及設定電路 28。

[0029]

檢測電路 15 係監視電源端子 VDD 與接地端子 VSS 之間的電源電壓 VD。檢測電路 15 是第一電路部的一個例子。檢測電路 15 例如是上述過充電檢測電路或過放電檢測電路。檢測電路 15 係藉由使用檢測電阻 16 對電源電壓 VD 進行分壓來監視電源電壓 VD。檢測電路 15 具有比較器 17，該比較器 17 係用於將藉由檢測電阻 16 對電源電壓 VD 進行分壓後的電壓(分壓電壓 b)與基準電壓 VREF 進行比較，檢測電路 15 係向控制部 18 輸出比較器 17 的比較結果信號 c。亦即，基準電壓 VREF 是與上述過充電檢測臨限值 Vdet1 相對應的電壓。

[0030]

此外，在檢測電路 15 中，藉由變更為比較器 17 監視電流檢測端子 VM 與接地端子 VSS 之間的電流檢測電壓 VI 的結構，能夠實現上述放電過電流檢測電路或充電過電流檢測電路。

[0031]

控制部 18 係基於比較器 17 的比較結果信號 c 斷開開關部 6 或開關部 7，藉此保護電池 2 防止過充電、過放電、放電過電流、充電過電流中的至少一個。控制部 18 是第二電路部的一個例子。

[0032]

記憶電路 24 是具有複數個正反器的揮發性的記憶電路的一個例子，在圖示中具有四個正反器 20 至 23。記憶電路 24 暫時保存藉由對輸入的時脈 CK1 或時脈 CK2 的脈波(pulse)進行計數所獲得的計數值。將四個正反器 20 至 23 串聯連接。正反器 20 至 23 分別具有時脈端子 CK、資料輸入端子 D、輸出端子 Q、反轉輸出端子 QB 以及重置(reset)端子 R。

[0033]

記憶電路 12 是用於儲存資料的電路。記憶電路 12 例如是具有信號生成部 9 以及儲存部 11 的非揮發性記憶電路。

[0034]

信號生成部 9 是輸出用於設定半導體積體電路 5 的複數個動作模式的動作模式設定信號的信號生成部的一個例子。信號生成部 9 由非揮發性記憶元件所構成。信號生成部 9 例如由具有將保險絲 8 與電阻 10 串聯連接的串聯電路之非揮發性記憶元件所構成。保險絲 8 的一端與電源端子 VDD 連接，電阻 10 的一端與接地端子 VSS 連接。從保險絲 8 的另一端與電阻 10 的另一端之間的連接點輸出動作模式設定信號 a。

[0035]

信號生成部 9 是藉由切斷保險絲 8 可進行一次性編程的非揮發性記憶體。在半導體積體電路 5 的檢查步驟中的微調調整結束後切斷保險絲 8。信號生成部 9 係藉由有無保險絲 8 來輸出特定是微調模式還是產品模式的動作模式設定信號 a。例如，在圖示的結構中，信號生成部 9 係在連接了保險絲 8 時輸出用於表示動作模式是微調

模式的高位準的動作模式設定信號 a。另一方面，信號生成部 9 係在保險絲 8 被切斷時輸出用於表示動作模式是產品模式的低位準的動作模式設定信號 a。

[0036]

微調模式是第一動作模式的一個例子，用於表示微調模式的高位準的動作模式設定信號 a 是用於設定第一動作模式的動作模式設定信號的一個例子。產品模式是第二動作模式的一個例子，用於表示產品模式的低位準的動作模式設定信號 a 是用於設定第二動作模式的動作模式設定信號的一個例子。

[0037]

儲存部 11 儲存微調資料。儲存部 11 由非揮發性記憶元件所構成。在半導體積體電路 5 的檢查步驟中，在儲存部 11 中儲存有微調資料。儲存部 11 例如是藉由切斷保險絲可進行一次性編程的非揮發性記憶體。在這種情況下，儲存部 11 具備複數個與信號生成部 9 結構相同的電路。該電路數量根據應儲存的微調資料的量來決定。

[0038]

控制電路 27 係輸出用於控制記憶電路 24 的時脈以及重置。控制電路 27 具有時脈切換電路 25，該時脈切換電路 25 根據藉由動作模式設定信號 a 特定的動作模式來切換針對記憶電路 24 輸出的時脈。時脈切換電路 25 係在動作模式設定信號 a 表示微調模式時輸出時脈 CK1，在動作模式設定信號 a 表示產品模式時輸出時脈 CK2。另一方面，控制電路 27 具有重置切換電路 26，該重置切換電路 26 根據藉由動作模式設定信號 a 特定的動作模式來切換針對記憶電路 24 輸出的重置。重置切換電路 26 係在動作模式設定信號 a 表示微調

模式時輸出重置 RS1，在動作模式設定信號 a 表示產品模式時輸出重置 RS2。

[0039]

設定電路 28 係使用保存在記憶電路 24 中的計數值或保存在儲存部 11 中的微調資料來進行微調調整，藉此設定檢測電路 15 的檢測特性。設定電路 28 例如具有解碼電路 14，該解碼電路 14 係解碼並輸出保存在記憶電路 24 中的計數值或保存在儲存部 11 中的微調資料。設定電路 28 係根據解碼電路 14 的輸出信號選擇檢測電阻 16 的電阻值來微調調整電源端子 VDD 與接地端子 VSS 之間的電源電壓 VD 的分壓比。藉此，設定檢測電路 15 的過充電等的檢測特性。

[0040]

設定電路 28 具有資料切換電路 13，該資料切換電路 13 係根據藉由動作模式設定信號 a 特定的動作模式來切換在檢測電路 15 的微調調整中使用的數位資料。資料切換電路 13 係在動作模式設定信號 a 表示微調模式時，選擇在微調調整中使用保存在記憶電路 24 中的計數值。另一方面，資料切換電路 13 在動作模式設定信號 a 表示產品模式時，選擇在微調調整中使用儲存在儲存部 11 中的微調資料。

[0041]

設定電路 28 具有使用切換電路 19，該使用切換電路 19 根據藉由動作模式設定信號 a 特定的動作模式，切換是否將保存在記憶電路 24 中的計數值作為在控制部 18 中使用的時間來使用。使用切換電路 19 係在動作模式設定信號 a 表示微調模式時，由於不將保存在記憶電路 24 中的計數值作為在控制部 18 中使用的時間使用，因此向控制部 18 輸入接地電位。另一方面，使用切換電路 19 係在動作

模式設定信號 a 表示產品模式時，由於將保存在記憶電路 24 中的計數值作為在控制部 18 中使用的時間來使用，因此向控制部 18 輸入該計數值。

[0042]

作為在控制部 18 中使用的時間的具體例子，列舉過充電檢測延遲時間 t_{Vdet1} 、過放電檢測延遲時間 t_{Vdet2} 、放電過電流檢測延遲時間 t_{Vdet3} 以及充電過電流檢測延遲時間 t_{Vdet4} 等。

[0043]

圖 4 係顯示微調模式下的半導體積體電路的動作的一個例子的流程圖。圖 4 係顯示半導體積體電路 5 的出貨前的檢查步驟的動作。參照圖 3 對圖 4 的動作進行說明。

[0044]

在檢查步驟中，因為在檢查步驟中檢查晶圓狀態的半導體積體電路 5 的階段沒有切斷保險絲 8，所以從信號生成部 9 輸出用於顯示微調模式的動作模式設定信號 a。在這種情況下，時脈切換電路 25 選擇時脈 CK1 作為輸入到記憶電路 24 的時脈，重置切換電路 26 選擇重置 RS1 作為輸入到記憶電路 24 的重置。另外，在這種情況下，資料切換電路 13 係選擇在微調調整中使用保存在記憶電路 24 中的計數值，且使用切換電路 19 係向控制部 18 輸入接地電位。

[0045]

控制電路 27 係在動作模式設定信號 a 表示微調模式時，使記憶電路 24 動作俾使在複數個正反器 20 至 23 中保存用於設定檢測電路 15 的過充電等的檢測特性的計數值。記憶電路 24 係在輸入了重置 RS1 時將計數值重置，並對時脈 CK1 的脈波的輸入數進行計數。設

定電路 28 係對保存在記憶電路 24 中的計數值進行解碼，設定用於產生與解碼後的計數值相對應的分壓比的檢測電阻 16 的電阻值。

[0046]

用於檢查半導體積體電路 5 的檢查裝置係藉由探針監視保存在記憶電路 24 中的計數值以及從比較器 17 輸出的比較結果信號 c。在圖示的例子中，於保存在記憶電路 24 中的計數值為「2」的時序(timing)，比較結果信號 c 的位準從低位準反轉為高位準。檢查裝置係將與比較結果信號 c 的位準進行了反轉的時序的計數值「2」相對應的微調資料儲存到儲存部 11。儲存部 11 例如是藉由切斷保險絲可進行一次性編程的非揮發性記憶體。在這種情況下，檢查裝置係切斷儲存部 11 內的一個或複數個保險絲，俾使在儲存部 11 中儲存有與比較結果信號 c 的位準進行了反轉的時序的計數值「2」相對應的微調資料。

[0047]

此外，檢查裝置也可以監視充電控制端子 COUT 或放電控制端子 DOUT，並檢測從充電控制端子 COUT 或放電控制端子 DOUT 輸出的控制信號的位準進行了反轉的時序的計數值。

[0048]

檢查裝置在儲存部 11 中儲存了根據計數值特定的微調資料後，切斷保險絲 8。藉此，從信號生成部 9 輸出的動作模式設定信號 a 係從用於表示微調模式的高位準的信號切換為用於表示產品模式的低位準的信號。

[0049]

圖 5 係顯示產品模式下的半導體積體電路的動作的一個例子的

流程圖。圖 5 係顯示半導體積體電路 5 的檢查步驟後的完成品狀態下的工作。參照圖 3 對圖 5 的動作進行說明。

[0050]

在完成品狀態下，如上所述，因為保險絲 8 已經被切斷，所以從信號生成部 9 輸出用於表示產品模式的動作模式設定信號 a。在這種情況下，時脈切換電路 25 係選擇時脈 CK2 來作為輸入給記憶電路 24 的時脈，重置切換電路 26 係選擇重置 RS2 作為輸入到記憶電路 24 的重置。另外，在這種情況下，資料切換電路 13 係選擇在微調調整中使用儲存在儲存部 11 中的微調資料，使用切換電路 19 係向控制部 18 輸入保存在記憶電路 24 中的計數值。

[0051]

設定電路 28 係對儲存在儲存部 11 中的微調資料(在這種情況下是在檢查步驟中根據計數值特定的微調資料)進行解碼，設定用於產生與解碼後的微調資料對應的分壓比的檢測電阻 16 的電阻值。藉此，能夠在產品狀態下設定在檢查步驟中調整後的分壓比。亦即，藉由設定電路 28 修正產品狀態下的檢測電路 15 的檢測特性的個體差異偏差。

[0052]

檢測電路 15 在產品狀態下將分壓電壓 b 與基準電壓 VREF 進行比較，在檢測出分壓電壓 b 超過基準電壓 VREF 時，使比較結果信號 c 的位準反轉。與比較結果信號 c 的位準反轉同步地輸出重置 RS2。

[0053]

控制電路 27 係在動作模式設定信號 a 顯示產品模式時，使記憶電路 24 作為計數器來工作使記憶電路 24 測量在控制部 18 中使用的

時間。記憶電路 24 係在輸入了重置 RS2 時對計數值進行重置，並對時脈 CK2 的脈波的輸入數進行計數。此時，在控制部 18 中使用保存在記憶電路 24 中的計數值來作為電池 2 的保護動作的延遲時間。

[0054]

例如，在檢測電路 15 為過充電檢測電路時，控制部 18 係在經過了保存在記憶電路 24 中的預定的計數值(過充電檢測延遲時間 t_{Vdet1})後，輸出用於使開關部 7 斷開的充電控制信號。例如，在檢測電路 15 為過放電檢測電路時，控制部 18 係在經過保存在記憶電路 24 中的預定的計數值(過放電檢測延遲時間 t_{Vdet2})後，輸出用於使開關部 6 斷開的放電控制信號。

[0055]

因此，依據本實施形態，能夠藉由共通的記憶電路 24 來實現在微調模式下暫時保存微調資料以及在產品狀態下生成控制部 18 所使用的時間。因此，能夠提高半導體積體電路 5 的晶片面積的使用效率。另外，因為不需要在晶片上分別準備在微調模式下暫時保存微調資料的電路以及在產品狀態下生成控制部 18 所使用的時間的電路，所以能夠使半導體積體電路 5 的晶片面積小型化。

[0056]

圖 6 係顯示控制電路的自動校準功能的一個例子。在半導體積體電路 5 出貨前的檢查步驟中，在微調模式下使用該自動校準功能。

[0057]

記憶電路 24 具有用於輸出時脈 CK1 與比較結果信號 c 之間的邏輯和的邏輯和電路 29。藉此，能夠在比較結果信號 c 的位準發生了反轉時，自動地停止時脈 CK1 向記憶電路 24 的輸入。

[0058]

圖 7 係顯示記憶電路 24 對時脈 CK1 進行計數的動作的一個例子的時序圖。在圖 7 中，在記憶電路 24 中，在比較結果信號 c 的位準反轉後，保存計數值「3」。

[0059]

在上述實施形態中，顯示了檢查半導體積體電路 5 的檢查裝置藉由探針監視保存在記憶電路 24 中的計數值以及從比較器 17 輸出的比較結果信號 c。但是，檢查裝置即使不藉由探針與晶片接觸來監視計數值和比較結果信號 c，也能夠藉由監視記憶電路 24 的進位取得在比較結果信號 c 的位準發生了反轉的時序保存在記憶電路 24 中的計數值。

[0060]

記憶電路 24 係在位數上升時輸出進位。檢查裝置係從藉由自動校準功能自動地停止記憶電路 24 的計數的狀態開始重新開始向記憶電路 24 輸入時脈 e。然後，檢查裝置係在檢測出記憶電路 24 的進位之前對輸入給記憶電路 24 的時脈 e 的數量進行計數。

[0061]

在此，將檢測出記憶電路 24 的進位之前向記憶電路 24 輸入的時脈 e 的數量設為 X。另外，將藉由自動校準功能自動地停止記憶電路 24 的計數的狀態下保存在記憶電路 24 中的計數值設為 Y。另外，將記憶電路 24 的正反器的串聯連接數設為 n。在這種情況下，「 $Y = 2^{(n-1)} - X$ 」這樣的關係成立。檢查裝置即使不藉由探針與晶片接觸來監視計數值和比較結果信號 c，也能夠按照關係式「 $Y = 2^{(n-1)} - X$ 」，計算在比較結果信號 c 的位準發生了反轉的時序保存在記憶

電路 24 中的計數值 Y 。

[0062]

圖 8 係顯示用於藉由時脈 e 的計數來計算保存在記憶電路 24 中的計數值的動作的一個例子的時序圖。圖 8 係顯示 $n=4$ 、 $X=5$ 的情況。圖 8 的縱軸所記載的「第一段」至「第四段」分別表示來自正反器 20 至 23 各自的輸出端子 Q 的輸出值。在圖 8 中，檢查裝置能夠計算為 $Y=3$ 。檢查裝置係將與 $Y=3$ 對應的微調資料儲存在儲存部 11 中。

[0063]

圖 9 係顯示記憶電路以及控制電路的其他結構的一個例子。

[0064]

記憶電路 44 是具有複數個正反器的揮發性的記憶電路的一個例子。如圖所示，具有四個正反器 40 至 43。記憶電路 44 係暫時保存每次向正反器 40 至 43 各自的各個設置端子 S 輸入有設置信號時藉由計數得到的計數值。將四個正反器 40 至 43 串聯連接。正反器 40 至 43 各自具有時脈端子 CK 、資料輸入端子 D 、輸出端子 Q 、反轉輸出端子 QB 、重置端子 R 以及設置端子 S 。

[0065]

記憶電路 44 具有四個邏輯和電路 50 至 53。邏輯和電路 50 係輸出 LSB (Least Significant Bit: 最小有效位元)側的正反器 40 的輸出 $FF0$ 與邏輯乘電路 60 的輸出的選擇位元 $bit0$ 之間的邏輯和 $data0$ 。邏輯和電路 51 係輸出正反器 41 的輸出 $FF1$ 與邏輯乘電路 61 的輸出的選擇位元 $bit1$ 之間的邏輯和 $data01$ 。邏輯和電路 52 係輸出正反器 42 的輸出 $FF2$ 與邏輯乘電路 62 的輸出的選擇位元 $bit2$ 之間的邏輯和

data02。邏輯和電路 53 係輸出 MSB(Most Significant Bit：最大有效位元)側的正反器 43 的輸出 FF3 與邏輯乘電路 63 的輸出的選擇位元 bit3 之間的邏輯和 data03。

[0066]

控制電路 80 係輸出用於控制記憶電路 44 的時脈以及重置。控制電路 80 係藉由依次比較使記憶電路 44 的複數個正反器 40 至 43 保存用於設定檢測電路 15 的檢測特性的計數值。控制電路 80 係從 MSB 側開始按順序依次進行比較，俾使基準電壓 VREF 與基於記憶電路 44 的計數值(data0 至 data3)藉由解碼電路 14 調整後的分壓電壓 b 一致。控制電路 80 例如具備選擇電路 67 以及判定電路 76。

[0067]

選擇電路 67 係從 MSB 側開始按順序從複數個正反器 40 至 43 中僅選擇一個保存計數值的正反器。選擇電路 67 具有二進制計數器 66、反相器(inverter)64、65 以及邏輯乘電路 60 至 63。

[0068]

判定電路 76 係在保存有複數個正反器 40 至 43 的計數值(data0 至 data3)的狀態下，在判定時脈 CKB 的時序特定由選擇電路 67 選擇出的僅一個正反器中保存的計數值。判定電路 76 具有反相器 75 以及邏輯乘電路 70 至 73。

[0069]

圖 10 係顯示圖 9 的電路結構的時序圖的一個例子。參照圖 9 對圖 10 進行說明。

[0070]

控制電路 80 的選擇電路 67 係在模式選擇信號 MS 為高位準時，

使記憶電路 44 進行動作，俾使在複數個正反器 40 至 43 中保存用於設定檢測電路 15 的特性的計數值。二進制計數器 66 係在每次輸入有選擇時脈 CKA 時，使 bit3 至 bit0 變化為「1000」、「0100」、「0010」、「0001」。

[0071]

判定電路 76 係在最初的判定時脈 CKB 的相位特定保存在複數個正反器 40 至 43 中的計數值(FF0 至 FF3)中的正反器 43 的輸出 FF3 的資料。判定電路 76 係在第二個判定時脈 CKB 的相位，在特定了輸出 FF3 的資料的狀態下特定保存在複數個正反器 40 至 43 中的計數值(FF0 至 FF3)中的正反器 42 的輸出 FF2 的資料。判定電路 76 係在第三個判定時脈 CKB 的相位，在特定了輸出 FF3、FF2 的資料的狀態下，特定保存在複數個正反器 40 至 43 中的計數值(FF0 至 FF3)中的正反器 41 的輸出 FF1 的資料。判定電路 76 係在第四個判定時脈 CKB 的相位，在特定了輸出 FF3、FF2、FF1 的資料的狀態下，特定保存在複數個正反器 40 至 43 中的計數值(FF0 至 FF3)中的正反器 40 的輸出 FF0 的資料。

[0072]

因此，在該例子中，作為使基準電壓 VREF 與分壓電壓 b 一致的計數值(FF0 至 FF3)，得到 $B_{(HEX)} = 11_{(DEC)}$ 。HEX 表示 16 進制，DEC 表示 10 進制。

[0073]

檢查裝置係在從記憶電路 44 讀出微調資料時，輸入讀出時脈 CKC，並使模式選擇信號 MS 成為低位準。檢查裝置係藉由對最大有效位元的輸出 FF3 側的進位的下降變化之前的時脈數進行計數，

能夠取得保存在記憶電路 44 中的計數值($=B_{(HEX)}=11_{(DEC)}$)。

[0074]

圖 11 係顯示半導體積體電路的結構的另外一個例子。圖 11 所示的半導體積體電路 5B 是上述半導體積體電路 5 的一個例子。對於與半導體積體電路 5A 相同的結構，引用上述說明而省略。

[0075]

儲存部 82 儲存微調資料。在半導體積體電路 5 的檢查步驟中，在儲存部 82 中儲存有微調資料。儲存部 82 是藉由切斷保險絲可進行一次性編程的非揮發性記憶體。儲存部 82 具備複數個切斷電路，該切斷電路係與檢測電阻 16 內的複數個電阻元件中的對應的一個電阻元件並聯連接。該電路數量根據應儲存的微調資料的數量來決定。

[0076]

儲存部 82 具有將開關 83a 與保險絲 83b 串聯連接的切斷電路以及將開關 84a 與保險絲 84b 串聯連接的切斷電路。其他的各個電阻元件也並聯連接了與圖式相同結構的切斷電路。

[0077]

設定電路 28 係藉由使用保存在記憶電路 24 中的計數值或保存在儲存部 82 中的微調資料進行微調調整，來設定檢測電路 15 的檢測特性。設定電路 28 例如具有解碼電路 14，該解碼電路 14 對保存在記憶電路 24 中的計數值或儲存部 82 內中之用於將全部的切斷電路內的開關固定為接通的資料進行解碼後輸出。設定電路 28 基於解碼電路 14 的輸出信號來選擇檢測電阻 16 的電阻值，藉此對電源端子 VDD 與接地端子 VSS 之間的電源電壓 VD 的分壓比進行微調調

整。藉此，設定檢測電路 15 的過充電等的檢測特性。

[0078]

資料切換電路 13 係在動作模式設定信號 a 表示微調模式時，選擇在微調調整中使用保存在記憶電路 24 中的計數值。另一方面，資料切換電路 13 係在動作模式設定信號 a 表示產品模式時，選擇在微調調整中使用儲存部 82 內中之用於將全部的切斷電路內的開關固定為接通的資料。

[0079]

在晶圓狀態的微調模式中，檢查裝置係在儲存部 82 中儲存與比較結果信號 c 的位準發生了反轉的時序的計數值相對應的微調資料。檢查裝置係切斷儲存部 82 內的複數個保險絲(保險絲 83b、84b 等)中的一個或複數個保險絲，俾使在儲存部 82 中儲存與比較結果信號 c 的位準發生了反轉的時序的計數值相對應的微調資料。

[0080]

在完成品狀態的產品模式中，設定電路 28 係對儲存部 82 內之中用於將全部的切斷電路內的開關固定為接通的資料進行解碼，並設定用於產生與解碼後的資料相對應的分壓比的檢測電阻 16 的電阻值。藉此，能夠在產品狀態下設定在檢查步驟中調整後的分壓比。亦即，藉由設定電路 28 來修正產品狀態下的檢測電路 15 的檢測特性的個體差異偏差。

[0081]

由於與開關被固定為接通且保險絲沒有被切斷的切斷電路並聯連接的電阻元件的兩端係藉由該切斷電路而短路，因此能夠將該電阻元件的電阻值視為零。另一方面，由於與開關被固定為接通且保

險絲被切斷的切斷電路並聯連接的電阻元件的兩端係未藉由該切斷電路短路，因此該電阻元件的電阻值一直保留。因此，微調調整檢查電阻 16 的電阻值。

[0082]

以上，藉由實施形態說明了半導體積體電路，但是本發明並不限於上述實施形態。在本發明的範圍內能夠進行與其他實施形態的一部分或全部的組合和替換等各種變形以及改良。

[0083]

例如，可以相對於圖式的位置相互替換開關部 6、7 的配置位置。另外，雖然開關部 6、7 串聯地插入到與負極 2b 連接的電源路徑中，但是也可以串聯地插入到與正極 2a 連接的電源路徑中。另外，開關部 6、7 也可以內置在半導體積體電路 5 中。

[0084]

另外，具有複數個正反器的記憶電路不限於計數電路，也可以是暫存器。

【符號說明】

[0085]

1	電池組
2	電池
2a	正極
2b	負極
3	電池監視模組
4	安裝基板
4a、4b	負載連接端子

5、5A、5B	半導體積體電路
6、7	開關部
8、83b、84b	保險絲
9	信號生成部
10	電阻
11、82	儲存部
12、24、44	記憶電路
13	資料切換電路
14	解碼電路
15	檢測電路
16	檢測電阻
17	比較器
18	控制部
19	切換電路
20 至 23、40 至 43	正反器
25	時脈切換電路
26	重置切換電路
27、80	控制電路
28	設定電路
29、50 至 53	邏輯和電路
60、61、62、63、70 至 73	邏輯乘電路
64、65	反相器
66	二進制計數器
67	選擇電路

76	判定電路
83a、84a	開關
a	動作模式設定信號
b	分壓電壓
bit0、bit1、bit2、bit3	選擇位元
c	比較結果信號
COUT	充電控制端子
CK	時脈端子
CKA	選擇時脈
CKB	判定時脈
CKC	讀出時脈
CK1、CK2、e	時脈
D	資料輸入端子
data0、data01、data02、data03	邏輯和
DOUT	放電控制端子
FF0、FF1、FF2、FF3、LSB、MSB	輸出
LD	負載電路
MS	模式選擇信號
Q	輸出端子
QB	反轉輸出端子
R	重置端子
RS1、RS2	重置
S	設置端子

tVdet1	過充電檢測延遲時間
tVdet2	過放電檢測延遲時間
tVdet3	放電過電流檢測延遲時間
tVdet4	充電過電流檢測延遲時間
VDD	電源端子
Vdet1	過充電檢測臨限值
Vdet2	過放電檢測臨限值
Vdet3	放電過電流檢測臨限值
Vdet4	充電過電流檢測臨限值
VI	電流檢測電壓
VM	電流檢測端子
VREF	基準電壓
VSS	接地端子

發明摘要

※ 申請案號：

※ 申請日：

※IPC 分類： **G11C 17/16** (2006.01)

G11C 29/04 (2006.01)

【發明名稱】 半導體積體電路

SEMICONDUCTOR INTEGRATED CIRCUIT

【中文】

本發明的課題在於提高晶片面積的使用效率。本發明用以解決課題的手段在於提供一種半導體積體電路，係具備：記憶電路，係具有複數個正反器；儲存部，係由非揮發性記憶元件所構成；信號生成部，係由非揮發性記憶元件所構成，輸出用於設定複數個動作模式的動作模式設定信號；控制電路，係在輸出用於設定第一動作模式的動作模式設定信號之情形時使前述記憶電路動作俾使在前述複數個正反器中保持用於設定第一電路部的特性之值，而在輸出用於設定第二動作模式的動作模式設定信號之情形時使前述記憶電路作為計數器進行動作來測量在第二電路部中使用的時間；以及設定電路，係在前述信號生成部輸出用於設定第二動作模式的動作模式設定信號時，使用儲存在前述儲存部中之與前述記憶電路的計數值相對應的微調資料來修正第一電路部的特性的個體差異偏差。

【英文】

The present invention provides a semiconductor integrated circuit capable of promoting the usage efficiency of chip area. The semiconductor integrated circuit includes a storage circuit having a plurality of triggers; a storage part formed by a nonvolatile memory element; a signal generation part formed by a nonvolatile memory element and configured to output a motion mode setting signal for setting a plurality of motion modes; a control circuit configured to activate the storage circuit to maintain the characteristic value of setting a first circuit part in the plurality of triggers when the motion mode setting signal of setting a first motion mode is output, and uses the storage circuit as a counter to count the usage time in a second circuit part when the motion setting signal of setting a second motion mode is output; a setting circuit configured to use the fine tuning data corresponding to the count value of the storage circuit stored in the storage part to adjust the deviation of individual differences of the characteristic of the first circuit part when the signal generation part outputs the motion mode signal of setting the second motion mode.

【代表圖】

【本案指定代表圖】：圖 3。

【本代表圖之符號簡單說明】：

5A	半導體積體電路
8	保險絲
9	信號生成部
10	電阻
11	儲存部
12、24	記憶電路
13	資料切換電路
14	解碼電路
15	檢測電路
16	檢測電阻
17	比較器
18	控制部
19	切換電路
20 至 23	正反器
25	時脈切換電路
26	重置切換電路
27	控制電路
28	設定電路
a	動作模式設定信號
b	分壓電壓
c	比較結果信號

VDD	電源端子
VREF	基準電壓
VSS	接地端子

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無。

申請專利範圍

1. 一種半導體積體電路，係具備：

第一電路部；

第二電路部；

記憶電路，係具有複數個正反器；

儲存部，係由非揮發性記憶元件所構成；

信號生成部，係由非揮發性記憶元件所構成，輸出用於設定複數個動作模式的動作模式設定信號；

控制電路，係在前述信號生成部輸出用於設定第一動作模式的動作模式設定信號之情形時使前述記憶電路動作俾使在前述複數個正反器中保持用於設定前述第一電路部的特性之值，而在前述信號生成部輸出用於設定第二動作模式的動作模式設定信號之情形時使前述記憶電路作為計數器進行動作來測量在前述第二電路部中使用的時間；以及

設定電路，係在前述信號生成部輸出用於設定第二動作模式的動作模式設定信號時，使用儲存在前述儲存部中之與前述記憶電路的計數值相對應的微調資料來修正前述第一電路部的特性的個體差異偏差。

2. 如請求項 1 所記載之半導體積體電路，其中在前述第二電路部中使用的時間是二次電池的保護動作的延遲時間。

3. 如請求項 1 或 2 所記載之半導體積體電路，其中前述儲存部是藉由切斷保險絲可進行一次性編程的記憶體。

4. 如請求項 1 或 2 所記載之半導體積體電路，其中前述控制電路係藉由依次比較使前述複數個正反器保持前述記憶電路的值。

圖式

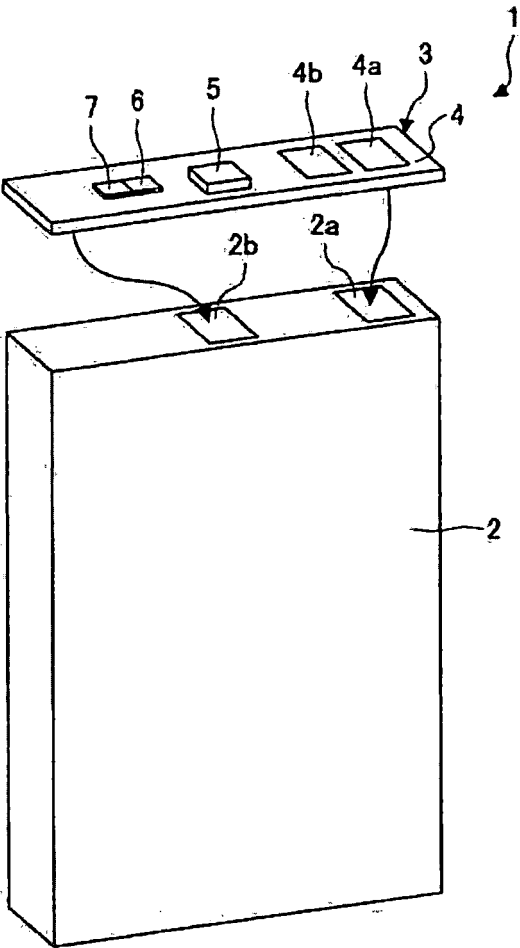


圖1

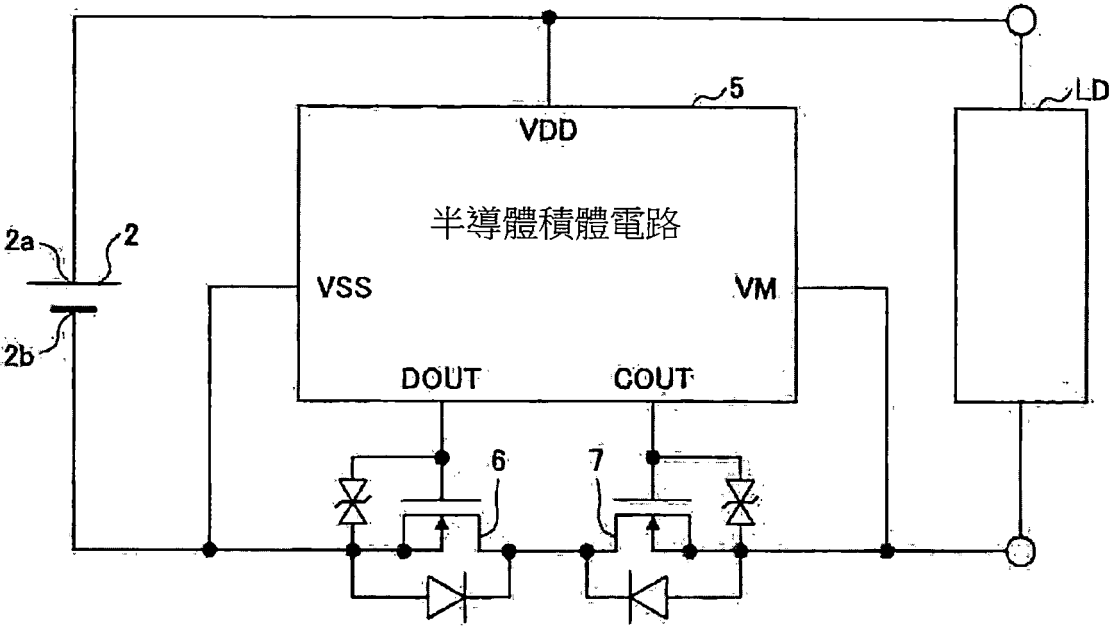


圖2

5A

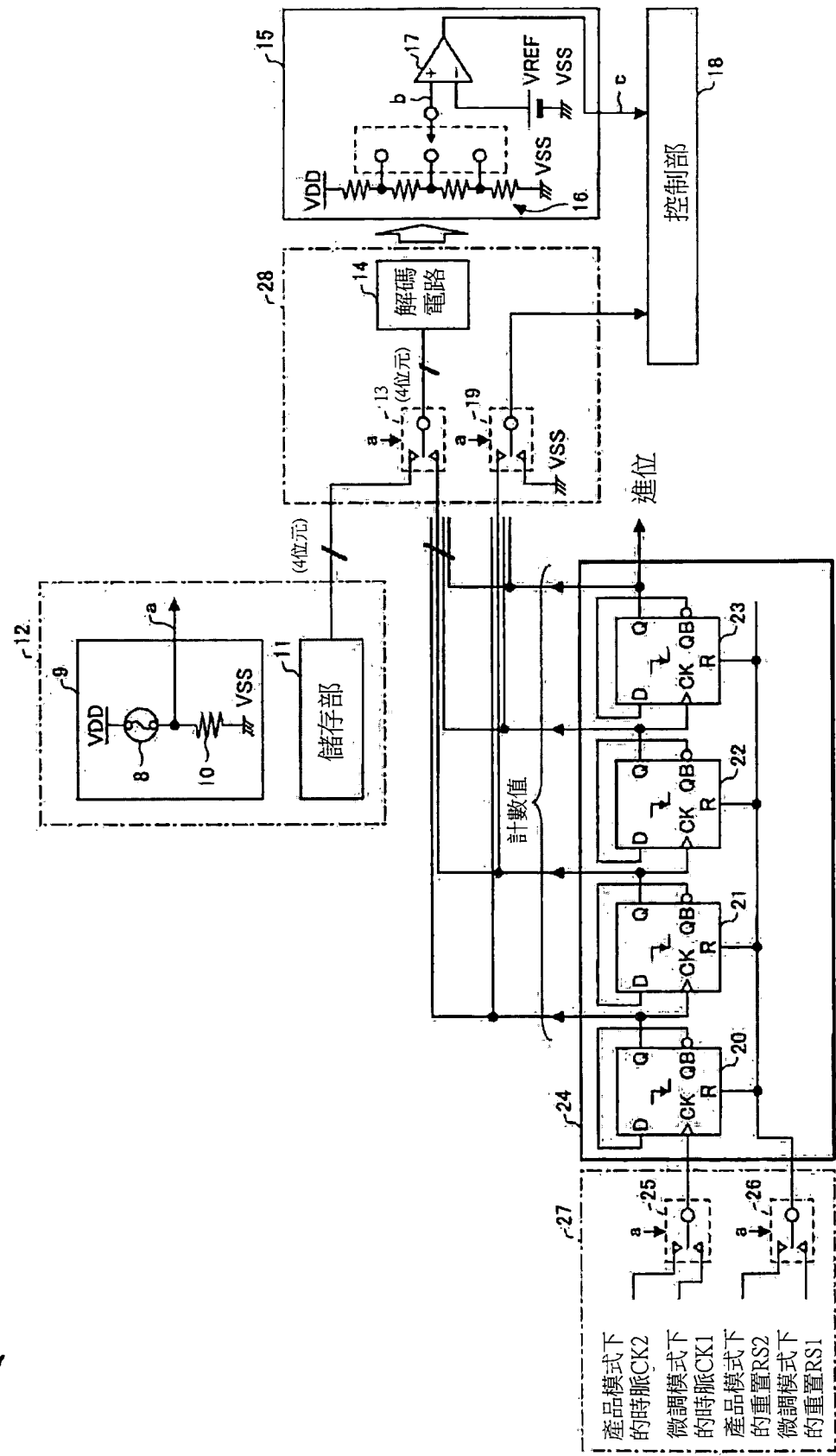


圖3

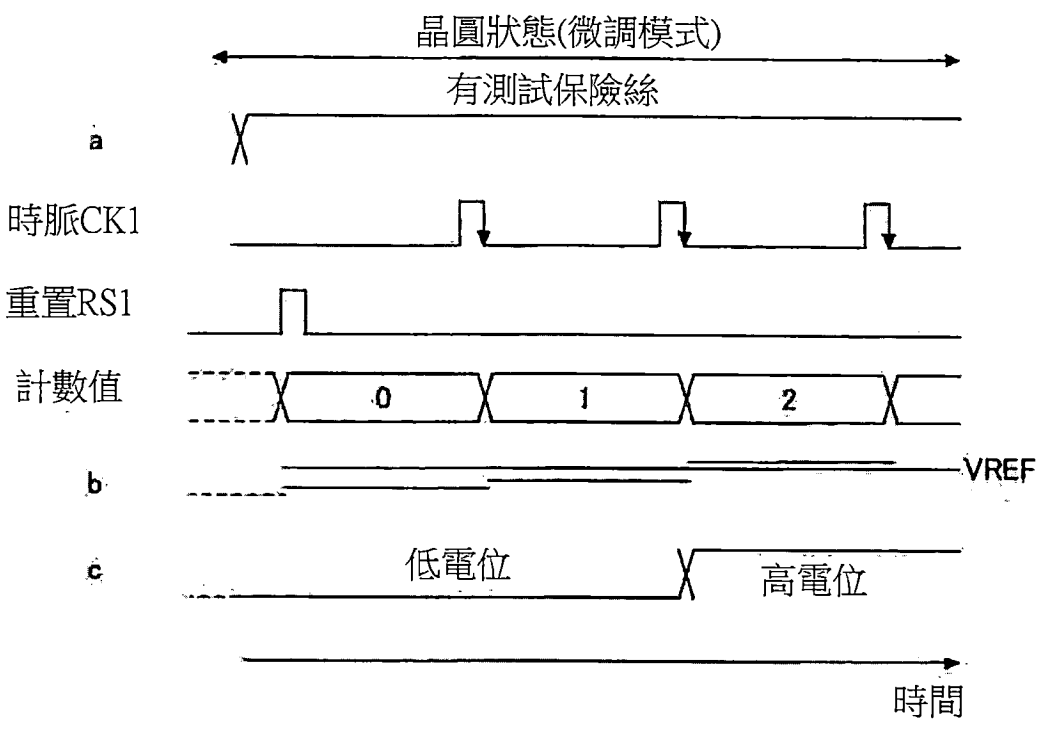


圖4

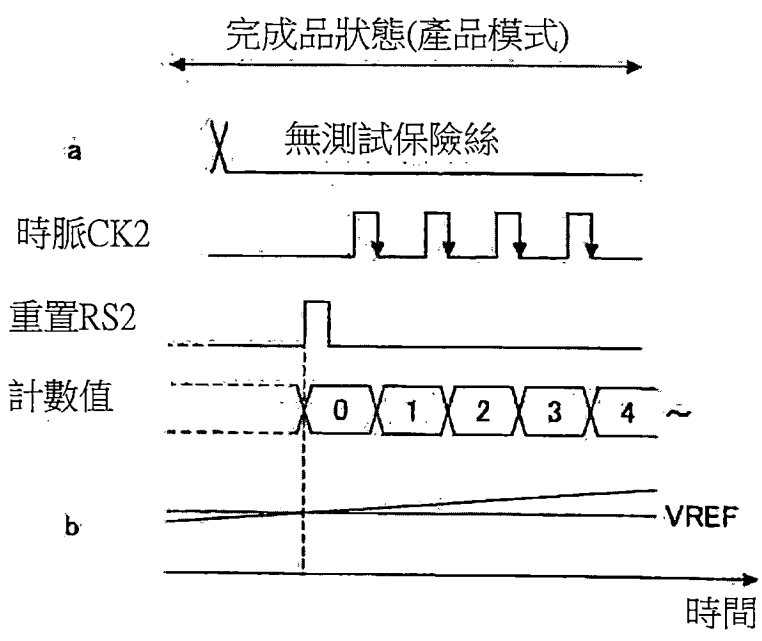


圖5

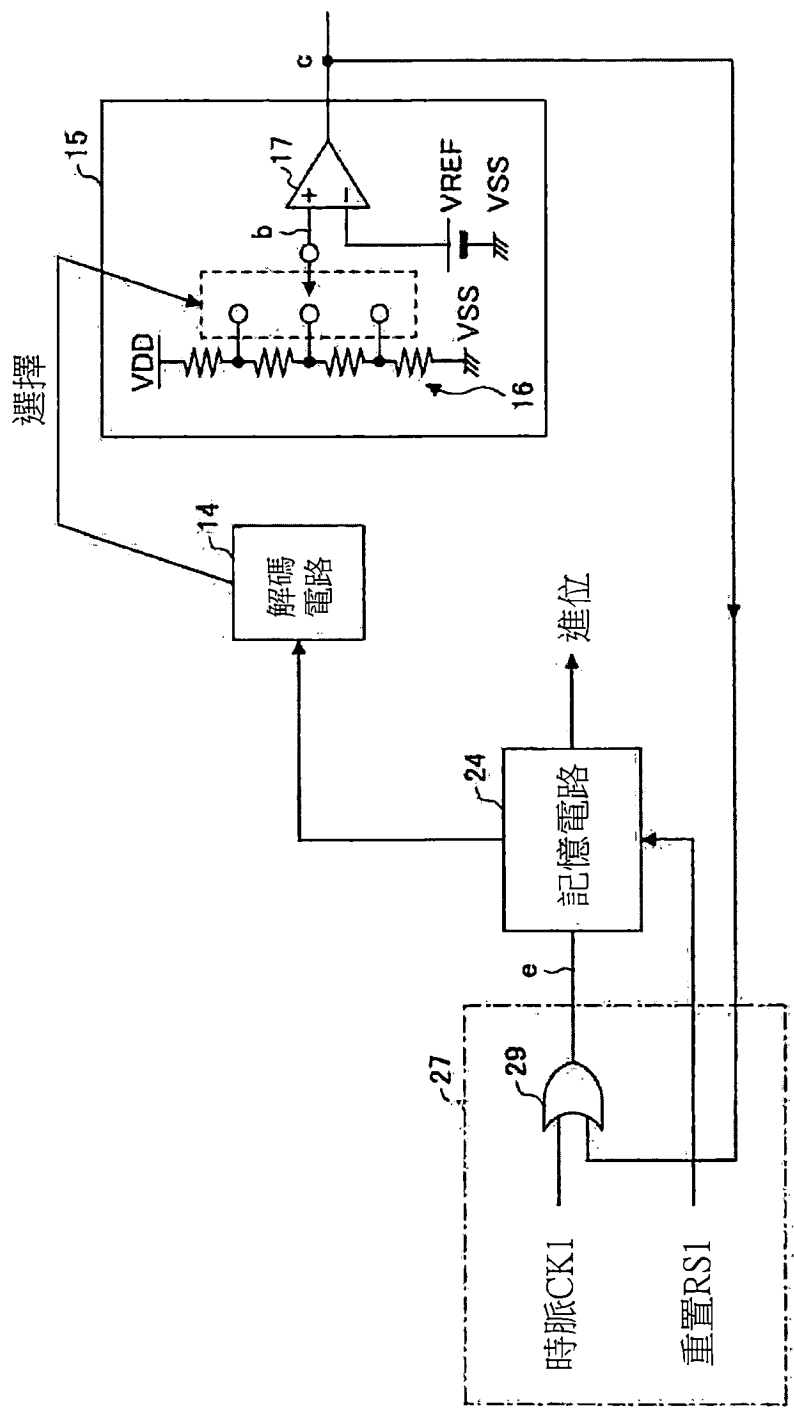


圖6

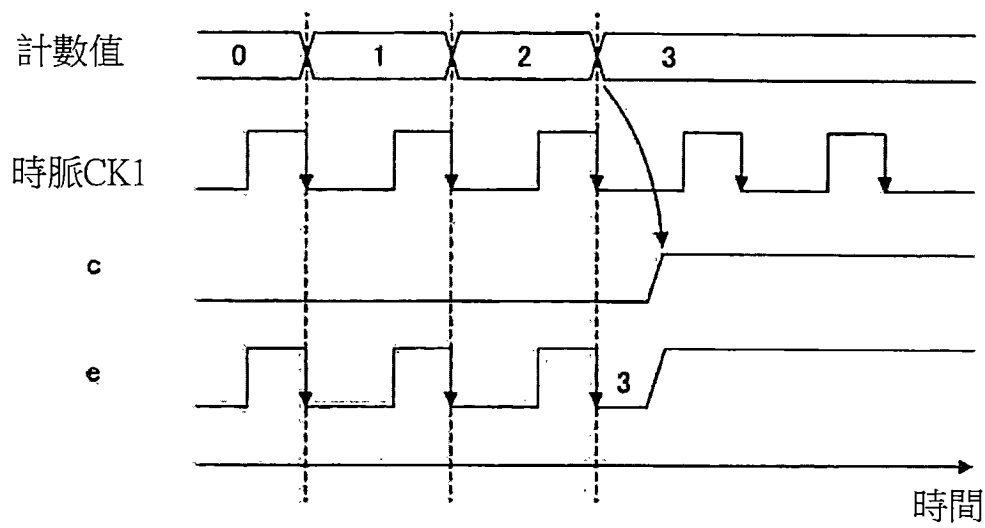


圖7

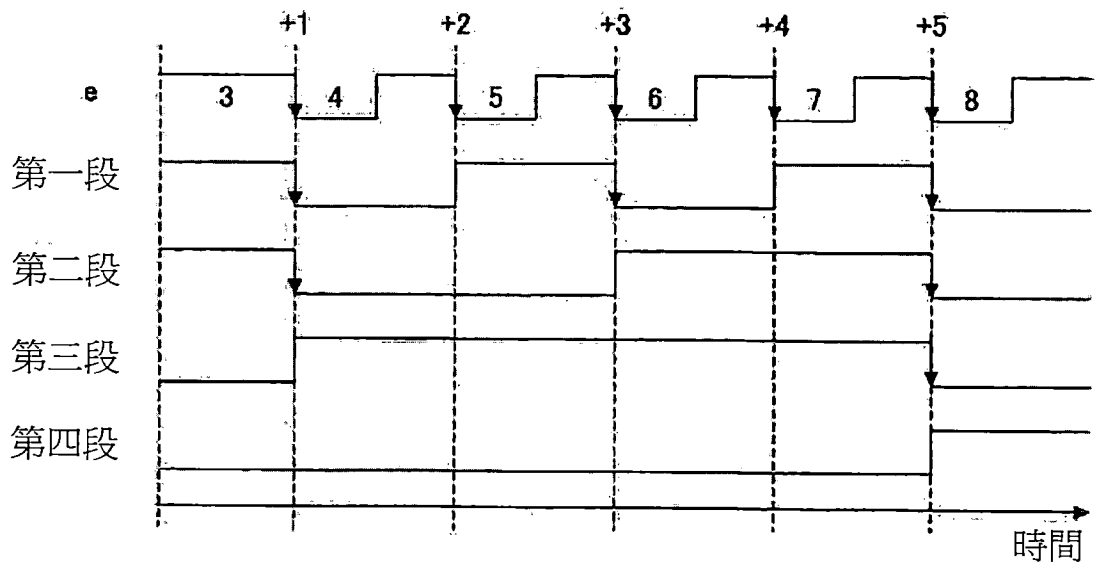


圖8

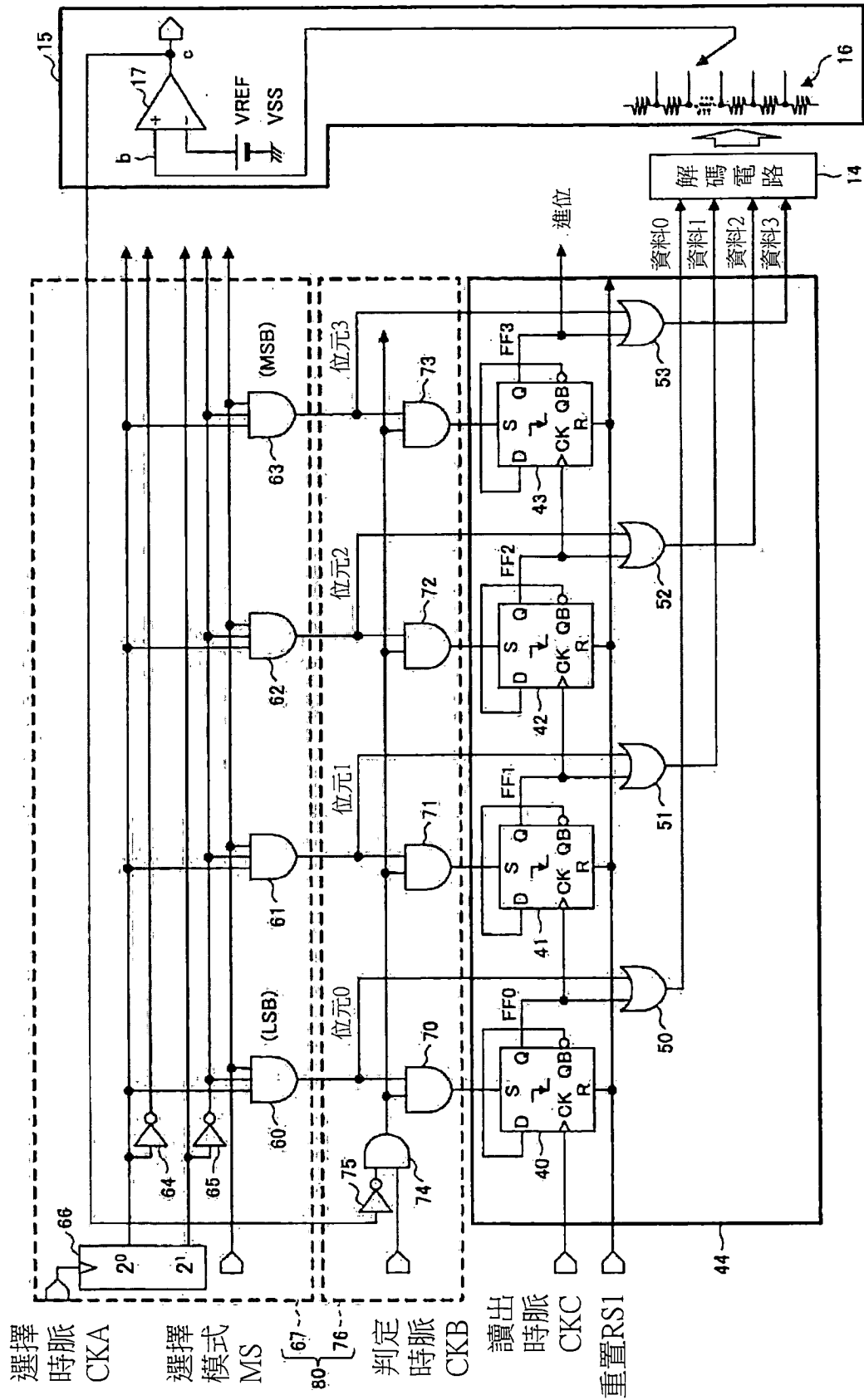


圖9

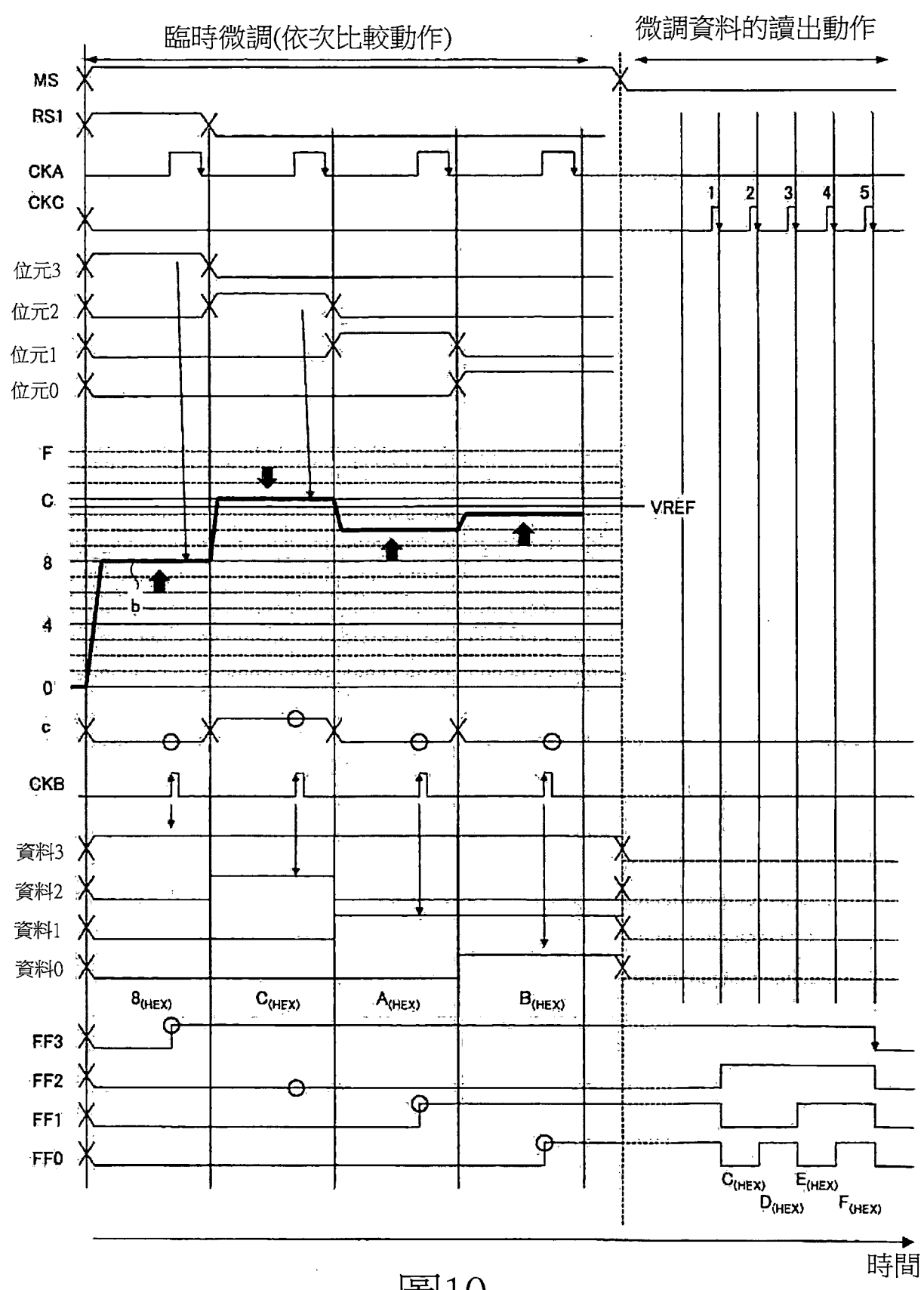


圖10

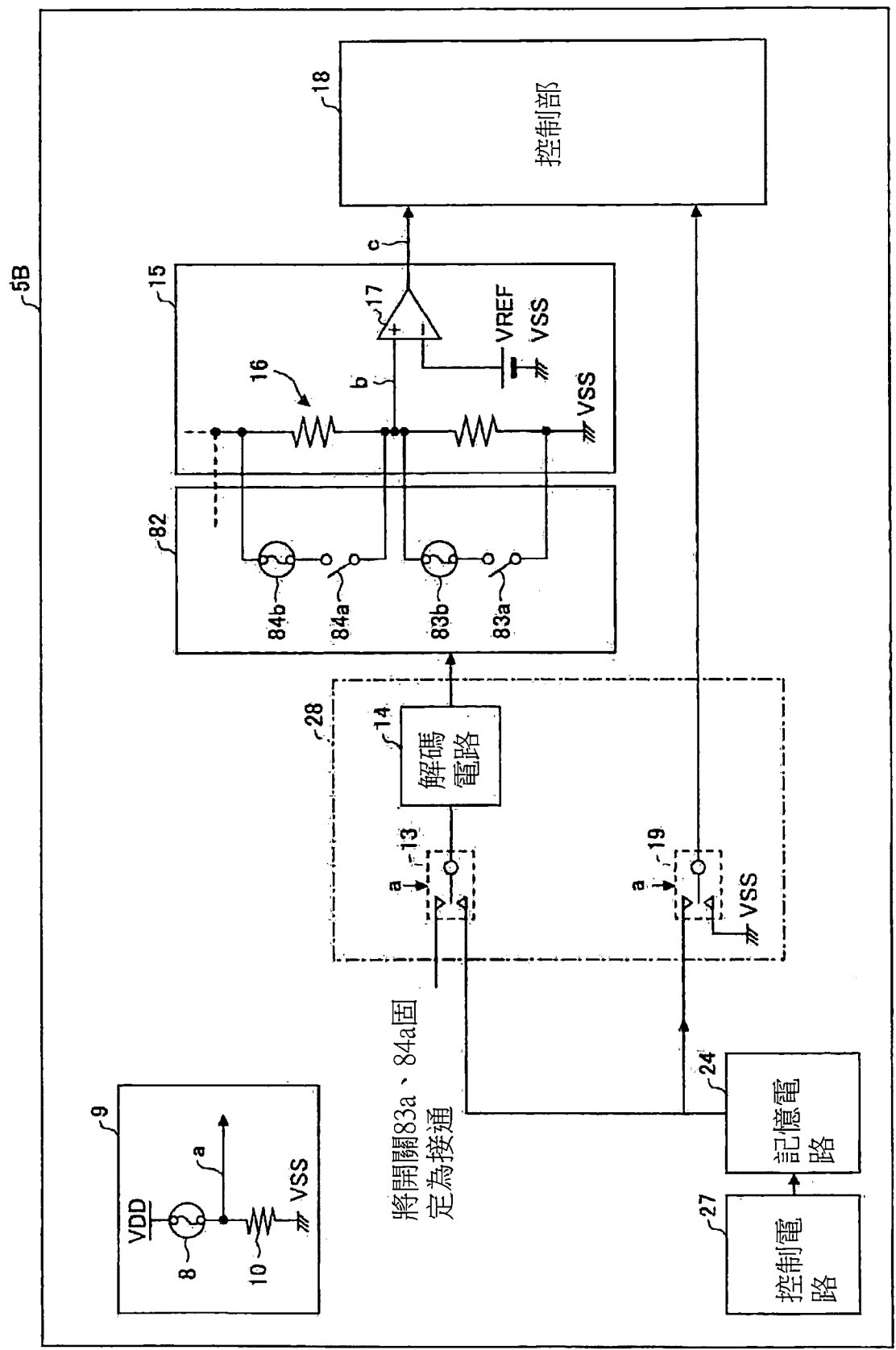


圖11