

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成17年10月20日(2005.10.20)

【公開番号】特開2004-356560(P2004-356560A)

【公開日】平成16年12月16日(2004.12.16)

【年通号数】公開・登録公報2004-049

【出願番号】特願2003-155272(P2003-155272)

【国際特許分類第7版】

H 01 L 21/68

H 01 L 21/027

【F I】

H 01 L 21/68 A

H 01 L 21/30 5 6 2

【手続補正書】

【提出日】平成17年6月28日(2005.6.28)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

カセットに収納された基板をセンダに配置し、そのセンダより搬出された基板を複数の処理ユニットにて処理した後、レシーバ側に配置されたカセットに収納する半導体製造装置を用いた基板搬送方法において、

前記センダからの搬出タイミングの時間制御を行なうことを特徴とする基板搬送方法。

【請求項2】

前記センダからの搬出タイミングの時間制御により、各前記処理ユニット内での待機時間を無くすことを特徴とする請求項1記載の基板搬送方法。

【請求項3】

前記基板の搬出毎に搬出タイミングの算出を実施し、異なる処理時間の前記基板の連続搬送においても、各前記処理ユニット内での待機時間を無くすことを特徴とする請求項1記載の基板搬送方法。

【請求項4】

前記処理ユニット間の搬送に要する時間を自動算出することを特徴とする請求項1記載の基板搬送方法。

【請求項5】

カセットに収納された基板をセンダに配置し、そのセンダより搬出された基板を複数の処理ユニットにて処理した後、レシーバ側に配置されたカセットに収納する半導体製造装置を用いた基板搬送方法において、

前記処理ユニット数がnの場合において、k枚目から(k+1)枚目(kは1以上の自然数)について以下の式によって算出される時間間隔T

$$T = \max(T_1, T_2, T_3, \dots, T_{n-1}, T_n) + \text{ユニット間搬送時間}$$

但し、

$T_1 = (k\text{枚目の基板の第1から第}n\text{ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1から第}(n-1)\text{ユニットまでの処理時間の総和})$ 、

$T_2 = (k\text{枚目の基板の第1から第}(n-1)\text{ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1から第}(n-2)\text{ユニットまでの処理時間の総和})$ 、

$T_3 = (k\text{枚目の基板の第1から第}(n-2)\text{ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1から第}(n-3)\text{ユニットまでの処理時間の総和})$ 、
 . . .

$T_{n-1} = (k\text{枚目の基板の第1から第2ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1ユニットの処理時間})$ 、

$T_n = k\text{枚目の基板の第1ユニットの処理時間}$

で、センダからの基板の搬出タイミングを制御することを特徴とする基板搬送方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0016

【補正方法】変更

【補正の内容】

【0016】

【課題を解決するための手段】

上記課題を解決するために、請求項1記載の発明は、基板搬送方法に係り、カセットに収納された基板をセンダに配置し、そのセンダより搬出された基板を複数の処理ユニットにて処理した後、レシーバ側に配置されたカセットに収納する半導体製造装置を用いた基板搬送方法において、前記センダからの搬出タイミングの時間制御を行なうことを特徴とし、

請求項2記載の発明は、請求項1記載の基板搬送方法に係り、前記センダからの搬出タイミングの時間制御により、各前記処理ユニット内での待機時間を無くすことを特徴とし、

請求項3記載の発明は、請求項1記載の基板搬送方法に係り、前記基板の搬出毎に搬出タイミングの算出を実施し、異なる処理時間の前記基板の連続搬送においても、各前記処理ユニット内での待機時間を無くすことを特徴とし、

請求項4記載の発明は、請求項1記載の基板搬送方法に係り、前記処理ユニット間の搬送に要する時間を自動算出することを特徴としている。

請求項5記載の発明は、基板搬送方法に係り、カセットに収納された基板をセンダに配置し、そのセンダより搬出された基板を複数の処理ユニットにて処理した後、レシーバ側に配置されたカセットに収納する半導体製造装置を用いた基板搬送方法において、前記処理ユニット数がnの場合において、k枚目から(k+1)枚目(kは1以上の自然数)について以下の式によって算出される時間間隔T

$$T = \max(T_1, T_2, T_3, \dots, T_{n-1}, T_n) + \text{ユニット間搬送時間}$$

但し、

$T_1 = (k\text{枚目の基板の第1から第}n\text{ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1から第}(n-1)\text{ユニットまでの処理時間の総和})$ 、

$T_2 = (k\text{枚目の基板の第1から第}(n-1)\text{ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1から第}(n-2)\text{ユニットまでの処理時間の総和})$ 、

$T_3 = (k\text{枚目の基板の第1から第}(n-2)\text{ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1から第}(n-3)\text{ユニットまでの処理時間の総和})$ 、
 . . .

$T_{n-1} = (k\text{枚目の基板の第1から第2ユニットまでの処理時間の総和}) - (k+1\text{枚目の基板の第1ユニットの処理時間})$ 、

$T_n = k\text{枚目の基板の第1ユニットの処理時間}$

で、センダからの基板の搬出タイミングを制御することを特徴としている。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正の内容】

【0018】

本発明においては、基板カセットに収納された基板をセンダに配置し、そのセンダより搬出された基板を複数の処理ユニットにて処理した後、レシーバ側に配置されたカセットに収納する半導体製造装置を用いた基板搬送方法において、センダからのウエハ搬出毎に搬出タイミングの時間算出を行なっている。その算出した時間にて搬出することにより、各処理ユニットの処理時間に影響を受けること無く、各ユニットの処理開始前または処理終了後の処理ユニット内待機時間を無くす基板搬送方式である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

先に実行する基板の処理時間とその後に実行される処理時間を基に、最適な搬出制御時間を次の計算式にて算出する。