

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-141141

(P2010-141141A)

(43) 公開日 平成22年6月24日(2010.6.24)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 1 7 U	3 K 1 0 7
H O 1 L 51/50 (2006.01)	H O 1 L 29/78 6 1 7 T	5 F 0 5 8
H O 1 L 21/312 (2006.01)	H O 5 B 33/14 A	5 F 1 1 0
H O 1 L 21/316 (2006.01)	H O 1 L 21/312 A	
H O 1 L 21/314 (2006.01)	H O 1 L 21/312 N	
審査請求 未請求 請求項の数 6 O L (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2008-316255 (P2008-316255)
 (22) 出願日 平成20年12月11日(2008.12.11)

(71) 出願人 000004352
 日本放送協会
 東京都渋谷区神南2丁目2番1号
 (74) 代理人 100070150
 弁理士 伊東 忠彦
 (72) 発明者 菊池 宏
 東京都世田谷区砧一丁目10番11号 日
 本放送協会放送技術研究所内
 Fターム(参考) 3K107 AA01 BB01 CC12 CC42 CC43
 DD17 EE04 HH05

最終頁に続く

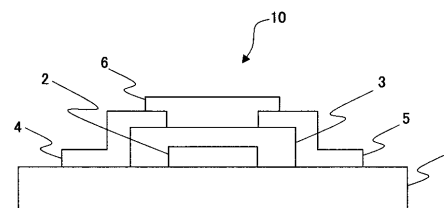
(54) 【発明の名称】 薄膜トランジスタおよびその製造方法、並びに表示装置

(57) 【要約】

【課題】プラスチックなどの有機材料で構成された基板を用いた場合であっても、高い比誘電率を有し、閾値電圧または動作電圧を低減することができるゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法を提供する。

【解決手段】本発明の実施形態による薄膜トランジスタ10は、半導体材料で形成される活性層6；活性層に結合するソース電極4；活性層に結合し、活性層を通してソース電極と導通可能なドレイン電極5；活性層に結合し、複数の有機高分子材料層と複数の無機化合物層とが交互に積層されて構成されるゲート絶縁膜3；および、ゲート絶縁膜に接し、ゲート絶縁膜を介して活性層にチャネル領域を形成できるように構成されるゲート電極2；を備える。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

半導体材料で形成される活性層；
前記活性層に結合するソース電極；
前記活性層に結合し、前記活性層を通して前記ソース電極と導通可能なドレイン電極；
前記活性層に結合し、複数の有機高分子材料層と、複数の無機化合物層とが交互に積層されて構成されるゲート絶縁膜；および
前記ゲート絶縁膜に接し、該ゲート絶縁膜を介して前記活性層にチャネル領域を形成できるように構成されるゲート電極；
を備える薄膜トランジスタ。

10

【請求項 2】

前記複数の無機化合物層を形成する無機化合物が、金属酸化化合物、強誘電性化合物および希土類金属酸化化合物のうちの少なくとも一つの化合物である、請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記ゲート絶縁膜の厚さが $2 \mu\text{m}$ 以下である、請求項 1 又は 2 に記載の薄膜トランジスタ。

【請求項 4】

前記ゲート絶縁膜が、表面自由エネルギーが 50 mJ/m^2 以下となるコーティング薄膜を介して前記活性層と結合する、請求項 1 から 3 のいずれか一項に記載の薄膜トランジスタ。

20

【請求項 5】

請求項 1 から 4 のいずれか一項に記載の薄膜トランジスタを製造する製造方法であって、
無機化合物の微粒子を溶媒に混入して分散液を作製し、
該分散液を加熱して前記無機化合物層である第 1 の膜を形成する第 1 のステップと、
有機高分子材料を溶媒に溶解し、前記第 1 の膜上に該溶解液を滴下して加熱し有機高分子材料層である第 2 の膜を形成する第 2 のステップと、
前記第 1 のステップと前記第 2 のステップを繰り返す、
薄膜トランジスタの製造方法。

30

【請求項 6】

第 1 の方向に沿って延びる複数の信号線；
前記第 1 の方向と交差する第 2 の方向に延びる複数の走査線；
前記複数の信号線と前記複数の走査線との各交差点に隣接して配置され、ゲート電極が前記走査線と接続し、ソース電極が前記信号線と接続する、請求項 1 から 4 のいずれか一項に記載の薄膜トランジスタ；
前記薄膜トランジスタのドレイン電極と結合する表示素子；および
前記表示素子と結合し、前記ドレイン電極とともに前記表示素子へ電力を印加することができるよう設けられた電極；
を含む表示装置。

40

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、薄膜トランジスタに関し、特に、ゲート絶縁膜に高誘電率材料を用いた薄膜トランジスタおよびその製造方法、並びに該薄膜トランジスタを用いた表示装置に関する。

【背景技術】**【0002】**

近年、たとえば携帯端末装置などの通信機器の普及に伴い、通信機器などに用いる表示装置の小型化、軽量化への要望が高まっている。このような要望に応えるため、表示装置

50

の作製に用いられる基板として、たとえばプラスチックなどの有機材料を用いる試みがなされている。

【 0 0 0 3 】

また、基板として有機材料を用いる表示装置においては、その駆動素子として、可塑性に優れる有機半導体材料を用いた薄膜トランジスタが注目されている。薄膜トランジスタの一例として、ペンタセンを半導体層に用いた薄膜トランジスタがある（たとえば、非特許文献 1 を参照）。薄膜トランジスタの電気的特性は、従来の薄膜トランジスタのモデルにより解析することができる（たとえば、非特許文献 2 を参照）。

【非特許文献 1】Y. Y. Lin et al., IEEE Electron Device Letters, Vol. 18, 606(1997).

10

【非特許文献 2】S. M. Sze, "Physics of Semiconductor Devices", Wiley, New York, 1981.

【非特許文献 3】C. D. Dimitrakopoulos, Science, Vol. 283, 822(1999).

【非特許文献 4】W. Y. Chou et al., Appl. Phys. Lett., 89, 112 126 (2006).

【特許文献 1】特開平 1 0 - 2 7 0 7 1 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 4 】

従来の薄膜トランジスタ、特にシリコンなどの無機半導体の薄膜トランジスタにおいては、ゲート絶縁膜として、たとえば SiO_2 が一般的に用いられていた。しかし、ゲート絶縁膜が SiO_2 で形成される薄膜トランジスタでは、 SiO_2 の比誘電率が低い（約 3.9）ため、閾値電圧または動作電圧が高くなってしまいうという問題があった。この問題を解決するためにゲート絶縁膜を薄くすると、トンネル電流によりトランジスタ特性が悪化するという問題が生じる。また、 SiO_2 ゲート絶縁膜が薄い場合は、 SiO_2 絶縁膜中の欠陥によるリーク電流が大きくなるという問題も生じる。特に、 SiO_2 膜を CVD 法やスパッタリング法で形成する場合は、成膜初期に欠陥が生じやすいため、薄い SiO_2 ゲート絶縁膜では、リーク電流は大きな問題となる。

20

【 0 0 0 5 】

一方、 SiO_2 に代わり、 SiO_2 の比誘電率よりも高い比誘電率を有する高誘電率材料を薄膜トランジスタのゲート絶縁膜に使用することが試みられている。高誘電率材料をゲート絶縁膜として用いれば、静電容量を大きくすることができ、閾値電圧または動作電圧を低減することができる。このような高誘電率材料には、チタン酸バリウム、ジルコニウム酸チタン酸バリウムなどがある（たとえば、特許文献 1、非特許文献 3 を参照）。

30

【 0 0 0 6 】

しかし、上記の高誘電率材料は、主に、ゾルゲル法で形成され、最大で 400℃ といった熱処理が必要となる。そのため、ガラス転移温度が 200℃ 以下であるプラスチック基板上に高誘電率材料でゲート絶縁膜を形成することは困難である。

【 0 0 0 7 】

本発明は、上記の状況に鑑みてなされ、プラスチックなどの有機材料で構成された基板を用いた場合であっても、高い比誘電率を有し、閾値電圧または動作電圧を低減することができるゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法を提供することを目的とする。

40

【課題を解決するための手段】

【 0 0 0 8 】

上記の目的を達成するため、本発明の第 1 の態様は、半導体材料で形成される活性層；前記活性層に結合するソース電極；前記活性層に結合し、前記活性層を通して前記ソース電極と導通可能なドレイン電極；前記活性層に結合し、複数の有機高分子材料層と、複数の無機化合物層とが交互に積層されて構成されるゲート絶縁膜；および前記ゲート絶縁膜に接し、該ゲート絶縁膜を介して前記活性層にチャネル領域を形成できるよう構成される

50

ゲート電極；を備える薄膜トランジスタを提供する。

【０００９】

本発明の第２の態様は、上記の薄膜トランジスタを製造する製造方法であって、無機化合物の微粒子を溶媒に混入して分散液を作製し、該分散液を加熱して前記無機化合物層である第１の膜を形成する第１のステップと、有機高分子材料を溶媒に溶解し、前記第１の膜上に該溶解液を滴下して加熱し有機高分子材料層である第２の膜を形成する第２のステップと、前記第１のステップと前記第２のステップを繰り返す、薄膜トランジスタの製造方法を提供する。

【００１０】

本発明の第３の態様は、第１の方向に沿って延びる複数の信号線；前記第１の方向と交差する第２の方向に延びる複数の走査線；前記複数の信号線と前記複数の走査線との各交差点に隣接して配置され、ゲート電極が前記走査線と接続し、ソース電極が前記信号線と接続する、上記の薄膜トランジスタ；前記薄膜トランジスタのドレイン電極と結合する表示素子；および前記表示素子と結合し、前記ドレイン電極とともに前記表示素子へ電力を印加することができるよう設けられた電極；を含む表示装置を提供する。

10

【発明の効果】

【００１１】

本発明によれば、プラスチックなどの有機材料で構成された基板を用いた場合であっても、高い比誘電率を有し、閾値電圧または動作電圧を低減することができるゲート絶縁膜を備えた薄膜トランジスタおよびその製造方法が提供される。

20

【発明を実施するための最良の形態】

【００１２】

以下、図面を参照しながら、本発明の好適な実施形態を説明する。

添付の全図面中、同一または対応する部材または部品については、同一または対応する参照符号を付し、重複する説明を省略する。また、図面は、部材もしくは部品間または種々の層の厚さの間の相対比を示すことを目的とせず、したがって、具体的な厚さや寸法は、以下の限定的でない実施形態に照らし、当業者により決定されるべきものである。

【００１３】

< 第１の実施形態 >

図１は、本発明の第１の実施形態による薄膜トランジスタの断面を模式的に示す図である。図示のとおり、本発明の第１の実施形態による薄膜トランジスタ１０は、基板１と、基板１上に形成されたゲート電極２と、基板１上にゲート電極２を覆うように形成されたゲート絶縁膜３と、ゲート絶縁膜３の上面の一部からゲート絶縁膜３の側面に沿って基板１上にまで延在するソース電極４およびドレイン電極５と、ソース電極４およびドレイン電極５のそれぞれの一部とゲート絶縁膜３の上面に接して形成された半導体活性層６とを含む。

30

【００１４】

ゲート電極２に印加するゲート電圧によって、ゲート絶縁膜３を介して半導体活性層６に誘起されるチャネル領域が制御され、ソース電極４からチャネル領域を通してドレイン電極５へ流れる電流が制御される。また、薄膜トランジスタ１０は、ゲート電圧のオンオフにより、チャネル領域を通してソース電極４とドレイン電極５との間を流れる電流のオンオフを制御するスイッチとして利用することができる。

40

【００１５】

薄膜トランジスタ１０は、図１に示すとおり、いわゆるボトムコンタクト構造を有している。ただし、本発明の第１の実施形態にかかる薄膜トランジスタは、これに限定されず、トップコンタクト型であっても良いし、トップ・ボトムコンタクト型であっても良い。さらに、本発明の第１の実施形態にかかる薄膜トランジスタは、基板上に、ソース電極／ドレイン電極、半導体活性層、ゲート絶縁膜、およびゲート電極がこの順に形成されたトップゲート構造を有していても良い。

【００１６】

50

基板 1 は、これらに限定されないが、たとえばポリカーボネイト樹脂、ポリエステル樹脂、ポリアクリレート樹脂、ポリイミド樹脂、ポリエチレンテレフタレート樹脂、ポリエーテルスルホン樹脂、エポキシ樹脂、ポリメチルメタクリレート樹脂、環状ポリオレフィン樹脂、アモルファスポリオレフィン樹脂、アクリル系 UV 硬化樹脂などにより、形成される。これらの材料により、基板 1 は高い柔軟性を有することができる。また、基板 1 は、上記以外の樹脂で形成されるプラスチック基板、ガラス基板、石英基板、またはシリコン基板であっても良い。

【0017】

ゲート電極 2、ソース電極 4、およびドレイン電極 5 は、主に、金、白金、クロム、タングステン、タンタル、ニッケル、銅、アルミニウム、銀、マグネシウム、カルシウムなどの金属により形成されて良い。また、これらの金属の任意の組み合わせによる合金により、これらの電極 2、4、5 を形成しても良い。さらに、リン (P) や砒素 (As) をドーピングした低抵抗ポリシリコンおよびアモルファスシリコン、並びにグラファイトにより、電極 2、4、5 を形成しても良い。さらにまた、酸化亜鉛、錫添加酸化インジウム (ITO)、インジウム亜鉛酸化物 (IZO) などにより、電極 2、4、5 を形成しても良い。また、導電性高分子材料で電極 2、4、5 を形成しても良い。

10

【0018】

また、ゲート電極 2、ソース電極 4、およびドレイン電極 5 は、これらに限定されないが、たとえば真空蒸着法、電子ビーム蒸着法、および RF スパッタ法などの堆積法とリソグラフィ法との組み合わせにより、形成することができる。さらに、選択する材料によっては印刷法により、これらの電極 2、4、5 を形成しても良い。

20

【0019】

半導体活性層 6 は、これらに限定されないが、たとえばペンタセン、アントラセン、テトラセン、ルブレン、フェナントレン、ピレン、クリセン、ペリレン、コロネン、オリゴフェニレン、オリゴチオフェン、ポリチオフェン、ポリアセチレン、ポリアニリン、ポリピロール、ポリフェニレンビニレン、ポリ (2,5-チエニレンビニレン)、ポリ (3-アルキルチオフェン)、ポリ (3-ヘキシルチオフェン)、フルオレン-チオフェンコポリマー、銅フタロシアン、または、これらのフッ素化合物もしくは誘導体により形成して良い。また、これらの 2 又は 3 以上を任意に組み合わせ、混合して、半導体活性層 6 を形成しても良い。さらに、半導体活性層 6 は、上記の材料に限定されず、Si、Ge、GaAs、GaN、GaInN、ZnO、カーボンナノチューブなどの無機系半導体材料により、形成されても良い。

30

【0020】

また、半導体活性層 6 は、上記の半導体材料のいずれか又は組み合わせを用いて、真空蒸着法、化学気相堆積法、塗布法、または印刷法などにより、形成することができる。

【0021】

次に、本発明の第 1 の実施形態による薄膜トランジスタ 10 におけるゲート絶縁膜 3 について、図 2 を参照しながら、詳細に説明する。なお、図 2 においては、ゲート電極を含めた他の構成を省略する。

40

【0022】

図 2 は、ゲート絶縁膜 3 の断面を示す。図示のとおり、このゲート絶縁膜 3 は、第 1 の層 31a、第 2 の層 32b、第 3 の層 33a、および第 4 の層 34b がこの順に積層された構造を有している。

【0023】

第 1 の層 31a および第 3 の層 33a は、無機金属酸化化合物、強誘電性化合物、および希土類金属酸化化合物のうちの少なくとも一つの化合物 (以下、説明の便宜上、無機化合物と総称する場合がある) により形成される。

【0024】

無機金属酸化化合物には、酸化アルミニウム Al_2O_3 、酸化ビスマス Bi_2O_3 、酸化セリウム CeO_2 、酸化銅 CuO 、二酸化珪素 SiO_2 、酸化錫 SnO_2 、酸化チタン

50

TiO_2 、酸化イットリウム Y_2O_3 、二酸化ジルコニウム ZrO_2 、酸化亜鉛 ZnO 、 Al_2TiO_5 が含まれるが、これに制限されない。

【0025】

強誘電性化合物には、 BST 、 $\text{Pb}(\text{Zr}_x\text{Ti}_{1-x})\text{O}_3$ (PZT)、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 BaMgF_4 、 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ 、 $\text{Ba}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ (BZT)、 BaTiO_3 、 SrTiO_3 、 $\text{Bi}_4\text{Ti}_3\text{O}_{12}$ 、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ 、 $(\text{Ba}_x\text{Sr}_{1-x})\text{TiO}_3$ 、 BaMgF_4 、 $\text{SrBi}_2(\text{Ta}_{1-x}\text{Nb}_x)_2\text{O}_9$ 、 $\text{Ba}(\text{Zr}_{1-x}\text{Ti}_x)\text{O}_3$ が含まれるが、これに制限されない。

【0026】

希土類金属酸化化合物には、酸化ジスプロシウム Dy_2O_3 、酸化エリビウム Er_2O_3 、酸化ユウロピウム Eu_2O_3 、酸化ガドリニウム Gd_2O_3 、酸化ホルミウム Ho_2O_3 、酸化ランタン La_2O_3 、酸化ルテチウム Lu_2O_3 、酸化ネオジウム Nd_2O_3 、酸化プラセオジム Pr_6O_{11} 、酸化スカンジウム Sc_2O_3 、酸化サマリウム Sm_2O_3 、酸化テルビウム Tb_4O_7 、酸化ツリウム Tm_2O_3 、酸化イッテルビウム Yb_2O_3 、 Sb_2O_3 が含まれるが、これに制限されない。

【0027】

なお、第1の層31aと第3の層33aとは、同じ無機化合物で形成されて良く、また、異なる無機化合物で形成されても良い。

【0028】

一方、第2の層32bおよび第4の層34bは、有機高分子化合物により形成される。すなわち、ゲート絶縁膜3においては、無機化合物で形成される層(31a、33a)と、有機高分子化合物で形成される層(32b、34b)とが交互に積層されている。有機高分子化合物には、ポリエステル、ポリビニールアルコール、ポリビニールブチラール、ポリアセタール、ポリアリレート、ポリアミド、ポリアミドイミド、ポリエーテルイミド、ポリフェニレンエーテル、ポリフェニレンスルファイド、ポリエーテルスルホン、ポリエーテルケトン、ポリフタルアミド、ポリエーテルニトリル、ポリベンズイミダゾール、ポリカルボジイミド、ポリシロキサン、ポリメチルメタクリレート、ポリメタクリルアミド、ニトリルゴム、アクリルゴム、ポリエチレンテトラフルオライド、フィノール樹脂、メラミン樹脂、ウレア樹脂、ポリブテン、ポリペンテン、エチレン-プロピレン共重合体、エチレン-ブテン-ジエン共重合体、ポリブタジエン、ポリイソブレン、エチレン-プロピレン-シエン共重合体、ポリブタジレン、ポリイソブレン、エチレン-プロピレン-ジエン共重合体、ブチルゴム、ポリメチルペテン、スチレン-ブタジエン共重合体、ポリメチルメタクリレート等のアクリル樹脂、ポリスチレン等のスチレン樹脂、ポリビニールフェノール、カプトンに代表されるポリイミド樹脂、シアノエチル基を有するシアノレジン、ポリカーボネイト樹脂、ポリエステル樹脂、ポリ酢酸ビニル、ポリウレタン樹脂、ポリスルホン樹脂、エポキシ樹脂、フッ素樹脂、ポリシロセスオキサン、ポリシロキサン、ポリシルセスキオキサン、可溶性ポリイミド、シクロブタン型ポリイミド、ベンゾフェノン型ポリイミド、BPDA/DPEポリイミド、アゾベンゼンを主鎖に含むポリイミド、長鎖アルキル基を含むポリイミド、含フッ素ポリイミド、液晶性ポリイミド、シナモイル基、クマリン基、カルコン基、アゾ基のいずれか1つ以上の官能基を有する高分子材料、フェニルマレイミド-スチレン骨格を有する高分子材料、ポリメタクリレート主鎖を有する高分子材料、ポリビニルシナメート樹脂、ポリバラキシリレン樹脂、ポリメチルメタクリレート樹脂、フッ素を含有する高分子材料、セルロース、エポキシアクリレート、ポリアクリロニトリル、ジフェニルエーテルフェノール樹脂、ポリベンゾオキサゾール、ポリベンゾイミダゾール、などのポリマーおよびこれらを組み合わせた化合物を含むが、これに制限はされない。特に、絶縁性に優れたものとして、ポリビニールフェノール、ポリアクリレート、ポリビニールアルコール、フッ素樹脂、シアノエチルプルラン、シアノエチルポリビニールアルコールの高分子材料およびそれらの共重合体が好適である。

【0029】

なお、第2の層32bと第4の層34bとは、同じ有機高分子材料で形成されて良く、

異なる有機高分子材料で形成されても良い。

【0030】

また、ゲート絶縁膜3の膜厚は、その静電容量に大きく影響を与えることから、 $2\mu\text{m}$ 以下、好ましくは 500nm 以下、より好ましくは 250nm 以下が望ましい。

【0031】

ゲート絶縁膜3は上述のように構成されているため、ゲート絶縁膜3内の無機化合物の分布は、その厚さ方向に沿って周期的に（増減しながら）変化している。この結果、ゲート絶縁膜3内において、比誘電率の高い部分と低い部分とが厚さ方向に沿って交互に存在することとなる。また、ゲート絶縁膜3の比誘電率は、各層31a、32b、33a、34bの比誘電率に相対的な厚さを重み付けしたものの平均となる。

10

【0032】

上記の構成によれば、比誘電率を厚さ方向に段階的に変化させることができるため、電気容量の値を自在に制御することができる。このため、表示素子駆動に適合したトランジスタ電圧を提供することが可能となる。一般的には、高誘電率の薄膜層をゲート絶縁膜として設ける手法が考えられるが、薄膜層単体のみでは薄膜中でのピンホールなどによりリーク電流が発生し絶縁膜として機能しない問題が生じる場合がある。上記構成においては、有機高分子材料の層と無機化合物の層とを交互に積層して比誘電率を厚さ方向に変化させることにより、駆動電圧の自在な制御とリーク電流の発生を低減とを同時に実現することができる。具体的には、これに限定されないが、無機化合物の微粒子を溶媒に混入して作製した分散液によりゲート電極上に無機化合物層を形成し、この無機化合物層の上に、有機高分子材料を溶媒に溶解して作製した溶解液により有機高分子材料層を形成する。次いで、これを繰り返すことにより、上記の利点を有するゲート絶縁膜3を容易に形成できる。

20

【0033】

なお、ゲート絶縁膜3（第4の層34b）の上に、表面自由エネルギーが 50mJ/m^2 以下となるコーティング薄膜を形成しても良い。このようなコーティング薄膜は、表面処理層としての役割を担い、この上に形成される半導体活性層6のチャネル領域の成長を制御することが可能となる。この理由について、薄膜上に半導体活性層を成長させる場合、その薄膜の表面自由エネルギーによって、半導体活性層の成長形態が異なることが報告されている（非特許文献4）。ペンタセン半導体材料のような直線上分子の場合には、低い表面自由エネルギーのコーティング薄膜上ではグレインの均一な成長が生じるため、コーティング薄膜・半導体層間の界面でのキャリアのトラップ準位となる欠陥が少ない薄膜成長が可能となり、トランジスタ性能が改善される。具体的には、このコーティング薄膜は、 CH_3 や CF_3 末端を有する自己組織化単分子膜であり、特に特にOTS（オクタデシルトリクロロシラン $\text{CH}_3(\text{CH}_2)_{17}\text{SiCl}_3$ ）やHMDS（ヘキサメチルジシラザン $(\text{CH}_3)_3\text{SiNH}(\text{CH}_3)_3$ ）が好適である。OTSの表面自由エネルギーは約 28mJ/m^2 であり、HMDSの表面自由エネルギーは約 44mJ/m^2 である。また、このコーティング薄膜は、ポリスチレン、バリレン、またはフッ素樹脂などにより、形成しても良い。特に、これらのコーティング薄膜は、酸化物からなるゲート絶縁膜上に形成される水酸基（ $-\text{OH}$ ）成分を低減することが可能となり、キャリアのトラップ準位の低減が図れるため、トランジスタ性能が大幅に改善される。

30

40

【0034】

以下、実施例を参照しながら、本発明の第1の実施形態による薄膜トランジスタ10を、製造方法と併せ、詳細に説明する。

【実施例1】

【0035】

ゲート絶縁膜3が第1の層31a、第2の層32b、第3の層33a、および第4の層34bから構成される（図2）薄膜トランジスタ10を説明する。

【0036】

（1-1）ゲート電極の形成

50

まず、ガラス基板を用意し、このガラス基板（基板１）の上にゲート電極２を形成した（図３（ａ））。具体的には、このゲート電極２は、ガラス基板上に真空蒸着法によりアルミニウム層を形成し、フォトリソグラフィおよびエッチングにより、このアルミニウム層をパターンニングして形成した。

【００３７】

なお、ゲート電極２は、リフトオフ法により形成しても良いし、所定の開口部形状を有するマスクを用いた真空蒸着法によってアルミニウム層をガラス基板上に堆積することにより形成しても構わない。

【００３８】

（１－２）ゲート絶縁膜の形成

上記のゲート電極２と露出したガラス基板との上に、ゲート絶縁膜３の第１の層３１ａを形成した。具体的には、まず、強誘電性化合物であるチタン酸バリウム BaTiO_3 （比誘電率１５００）の微粒子（直径約１０ｎｍ以下、ＴＰＬ社製、 NanoXide HPB-1000 ）を用意し、この微粒子をＳＤＳ界面活性剤を含むメチルアルコール溶媒に混入した。その後、超音波ホモジナイザーを用いて、チタン酸バリウム微粒子を含んだメチルアルコール溶液（ＳＤＳ界面活性剤を含む）から、均一分散液を作製した。なお、この均一分散液中のチタン酸バリウム微粒子の重量比が約５ｗｔ％となるよう調整した。

【００３９】

次いで、ゲート電極２が形成されたガラス基板１上に上記の分散液をディップコートし、チタン酸バリウムと溶媒等を含む膜を形成した。その後、この膜が形成されたガラス基板１を真空オーブン中で約１００の温度で約３０分間ベーキングして、チタン酸バリウムを含む第１の層３１ａを得た。第１の層３１ａの厚さは約１０ｎｍであった。

【００４０】

次に、第１の層３１ａ上に第２の層３２ｂを形成した。具体的には、シアノエチレンポリビニールアルコール（信越化学製、シアノレジンＣＲ－Ｖ）と熱架橋剤ＰＭＦＭ（ Aldrich 製、 $\text{Poly(melamine-co-formaldehyde) methylated}$ ）とを４：１の重量比でＤＭＦ溶媒中に溶解させ、シアノエチレンポリビニールアルコール溶液を作製した。次に、この溶液を第１の層３１ａ上にディップコートし、空気中で約８０の温度で約３０分プリベーキングし、さらに、真空オーブン中で１５０の温度で約４時間ベーキングして、シアノエチルポリビニールアルコールを含む第２の層３２ｂを得た。このようなベーキング処理により、３次元的な熱架橋反応が促進され、緻密な絶縁膜が得られる。第１の層３１ａの上の第２の層３２ｂの厚さは、約５ｎｍであった。

【００４１】

続けて、上記と同じ条件にて、チタン酸バリウムを含む第３の層３３ａと、シアノエチルポリビニールを含む第４の層３４ｂとを形成した。以上により、ゲート絶縁膜３が形成された（図３（ｂ））。

【００４２】

なお、予備実験として、上記と同様にゲート絶縁膜３を形成し、その上にアルミニウム電極を蒸着して電氣的評価を評価したところ、図４に示す結果が得られた。この表から、薄膜トランジスタ１０のゲート絶縁膜３として極めて良好な比誘電率および絶縁耐圧が得られたことが分かる。

【００４３】

（１－３）ソース電極およびドレイン電極の形成

次いで、ゲート絶縁膜３とガラス基板１の上に真空蒸着法によって金を堆積し、フォトリソグラフィおよびエッチングにより、ソース電極４およびドレイン電極５を形成した（図３（ｃ））。これらの電極４、５の厚さは、約５０ｎｍであった。

【００４４】

なお、ソース電極４およびドレイン電極５は、ゲート絶縁膜３とガラス基板１の上に所定のパターンを有するフォトレジスト層を形成し、その上から真空蒸着法により金を堆積し、リフトオフ法によって形成しても良い。

10

20

30

40

50

【 0 0 4 5 】

(1 - 4) 半 導 体 活 性 層 の 形 成

ソース電極 4 およびドレイン電極 5 の形成後、真空蒸着法により、ペンタセンからなる半導体活性層 6 を形成した。真空蒸着法において、ペンタセンの堆積速度を約 0 . 0 3 ~ 0 . 0 4 n m / 秒とし、膜厚が約 5 0 n m となるよう堆積時間を調整した。また、真空蒸着の際には、所定の形状の開口部を有するマスクを用いて、半導体活性層 6 を所定の形状に形成した (図 3 (d)) 。

【 0 0 4 6 】

以上の手順により、薄膜トランジスタ 1 0 が得られた。以下、説明の便宜上、この薄膜トランジスタ 1 0 をトランジスタ 1 0 1 と称す。

10

【 実 施 例 2 】

【 0 0 4 7 】

実施例 2 の薄膜トランジスタ 1 0 は、実施例 1 のトランジスタ 1 0 1 と比較して、ゲート絶縁膜の材料が異なり、他の構成は同一である。

【 0 0 4 8 】

(2 - 1) ゲート電極の形成

まず、ガラス基板 1 上にゲート電極 2 を形成する。この形成方法は、上述の「 (1 - 1) ゲート電極の形成」で説明したとおりである。

【 0 0 4 9 】

(2 - 2) ゲート絶縁膜の形成

20

上記のゲート電極 2 と露出したガラス基板との上に、ゲート絶縁膜 3 の第 1 の層 3 1 a を形成した。具体的には、まず、金属酸化化合物である酸化ジルコニウム ZrO_2 (比誘電率 2 5) の微粒子 (直径約 1 0 n m 以下、Nano Tek 社製) を用意し、この微粒子を SDS 界面活性剤を含むジメチルアセトアミド溶媒に混入した。その後、超音波ホモジナイザーを用いて、酸化ジルコニウム微粒子を含んだジメチルアセトアミド溶液 (SDS 界面活性剤を含む) から、均一分散液を作製した。なお、この均一分散液中の酸化ジルコニウムの重量比が約 2 w t % となるよう調整した。

【 0 0 5 0 】

次いで、ゲート電極 2 形成されたガラス基板 1 に上記の分散液をディップコートし、酸化ジルコニウムと溶媒等を含む膜を形成した。その後、この膜が形成されたガラス基板 1 を真空オーブン中で約 1 0 0 の温度で約 3 0 分間ベーキングして、酸化ジルコニウムを含む第 1 の層 3 1 a を得た。第 1 の層 3 1 a の厚さは約 1 0 n m であった。

30

【 0 0 5 1 】

次に、第 1 の層 3 1 a 上に第 2 の層 3 2 b を形成した。具体的には、まず、ポリビニールフェノール (Aldrich 製、分子量 2 0 , 0 0 0) と熱架橋剤 PMFM (Aldrich 製、Poly (melamine - co - formaldehyde) methylated) とを 4 : 1 の重量比で PGMEA (Propylene Glycol Methyl Ether Acetate、Aldrich 製) 溶媒中に溶解させ、ポリビニールフェノール溶液を作製した。次いで、この溶液を第 1 の層 3 1 a 上にディップコートし、空気中で約 8 0 の温度で約 3 0 分プリベーキングし、さらに、真空オーブン中で 1 8 0 の温度で約 1 時間ベーキングして、ポリビニールフェノールを含む第 2 の層 3 2 b を得た。このようなベーキング処理により、3 次元的な熱架橋反応が促進され、緻密な絶縁膜が得られる。第 1 の層 3 1 a の上の第 2 の層 3 2 b の厚さは、約 5 n m であった。

40

【 0 0 5 2 】

続けて、上記と同じ条件にて、酸化ジルコニウムを含む第 3 の層 3 3 a と、ポリビニールフェノールを含む第 4 の層 3 4 b とを形成した。以上により、ゲート絶縁膜 3 が形成された。

【 0 0 5 3 】

予備実験として、実施例 2 のゲート絶縁膜 3 を形成し、その上にアルミニウム電極を蒸着して電氣的評価を評価したところ、図 4 に示す結果が得られた。この結果から、薄膜ト

50

ランジスタ 10 のゲート絶縁膜 3 として極めて良好な比誘電率および絶縁耐圧が得られたことが分かる。

【0054】

続いて、実施例 1 で説明した (1 - 3) と (1 - 4) の手順を行って、薄膜トランジスタ 10 を得た。以下、説明の便宜上、この薄膜トランジスタ 10 をトランジスタ 10 2 と称す。

【実施例 3】

【0055】

実施例 3 の薄膜トランジスタ 10 は、実施例 1 のトランジスタ 10 1 および実施例 2 のトランジスタ 10 2 と比較して、ゲート絶縁膜の材料が異なり、他の構成は同一である。

10

【0056】

(3 - 1) ゲート電極の形成

まず、上述の「(1 - 1) ゲート電極の形成」で説明したとおりにガラス基板 1 上にゲート電極 2 を形成する。

【0057】

(3 - 2) ゲート絶縁膜の形成

上記のゲート電極 2 と露出したガラス基板との上に、ゲート絶縁膜 3 の第 1 の層 3 1 a を形成した。具体的には、まず、金属酸化化合物である酸化チタン TiO_2 の微粒子 (ルチル構造、比誘電率 100、微粒子直径約 10 nm、Nano Tek 製) を用意し、この微粒子を分散剤を含むイソプロピルアルコール IPA 溶媒に混入した。その後、超音波ホモジナイザーを用いて、酸化チタン微粒子を含んだイソプロピルアルコール溶液 (分散剤を含む) から、均一分散液を作製した。なお、この均一分散液中の酸化チタンの重量比が約 4 wt % となるよう調整した。

20

【0058】

次いで、ゲート電極 2 が形成されたガラス基板 1 に上記の分散液をディップコートし、酸化チタンと溶媒等を含む膜を形成した。その後、この膜が形成されたガラス基板 1 を真空オーブン中で約 100 の温度で約 30 分間ベーキングして、酸化チタンを含む第 1 の層 3 1 a を得た。第 1 の層 3 1 a の厚さは約 10 nm であった。

【0059】

次に、第 1 の層 3 1 a 上に第 2 の層 3 2 b を形成した。具体的には、まず、ポリビニールフェノール (Aldrich 製、分子量 20,000) と熱架橋剤 PMFM (Aldrich 製、Poly (melamine - co - formaldehyde) methylated) とを 4 : 1 の重量比で PGMEA (Propylene Glycol Methyl Ether Acetate、Aldrich 製) 溶媒中に溶解させ、ポリビニールフェノール溶液を作製した。次いで、この溶液を第 1 の層 3 1 a 上にディップコートし、空気中で約 80 の温度で約 30 分プリベーキングし、さらに、真空オーブン中で 180 の温度で約 1 時間ベーキングして、ポリビニールフェノールを含む第 2 の層 3 2 b を得た。このようなベーキング処理により、3 次元的な熱架橋反応が促進され、緻密な絶縁膜が得られる。第 1 の層 3 1 a の上の第 2 の層 3 2 b の厚さは、約 5 nm であった。

30

【0060】

続けて、上記と同じ条件にて、酸化チタンを含む第 3 の層 3 3 a と、ポリビニールフェノールを含む第 4 の層 3 4 b とを形成した。以上により、ゲート絶縁膜 3 が形成された。

40

【0061】

予備実験として、実施例 3 のゲート絶縁膜 3 を形成し、その上にアルミニウム電極を蒸着して電氣的評価を評価したところ、図 4 に示す結果が得られた。この結果から、薄膜トランジスタ 10 のゲート絶縁膜 3 として極めて良好な比誘電率および絶縁耐圧が得られたことが分かる。

【0062】

続いて、実施例 1 で説明した (1 - 3) と (1 - 4) の手順を行って、薄膜トランジスタ 10 を得た。以下、説明の便宜上、実施例 3 の薄膜トランジスタ 10 をトランジスタ 1

50

03と称す。

【実施例4】

【0063】

実施例4の薄膜トランジスタは、実施例2の薄膜トランジスタ10（トランジスタ102）におけるゲート絶縁膜3の上にフッ素樹脂薄膜が形成されている点で、実施例2の薄膜トランジスタ10と相違し、他の構成は同様である。このフッ素樹脂薄膜（厚さ約5nm）は、ゲート絶縁膜3（第4の層34b）の形成後に、ゲート絶縁膜3の上にフッ素系樹脂（旭硝子製、Cytop）液をディップコートすることにより形成した。その他の製造手順は、実施例2で説明したとおりである。実施例4の薄膜トランジスタを、便宜上、トランジスタ104と称す。

10

【実施例5】

【0064】

実施例5の薄膜トランジスタは、実施例2の薄膜トランジスタ10（トランジスタ102）におけるゲート絶縁膜3の上に自己組織化単分子膜（HMDS）が形成されている点で、実施例2の薄膜トランジスタ10と相違し、他の構成は同様である。この自己組織化単分子膜は、ゲート絶縁膜3（第4の層34b）の形成後に、ゲート絶縁膜3の上にHMDSをスピンコートすることにより形成した。その他の製造手順は、実施例2で説明したとおりである。実施例5の薄膜トランジスタを、便宜上、トランジスタ105と称す。

【0065】

上述のトランジスタ101～105の電気的特性の一例を図5に示す。この図から分かるとおり、トランジスタ101～105は、高いキャリア移動度を有している。また、トランジスタ101～105は、約12Vといった低い動作電圧で動作することが確認されており、優れた電気的特性を有していることが分かった。なお、図5から分かるように、トランジスタ104および105においては、トランジスタ101～103に比べて、キャリア移動度が高くなる傾向が見られる。この結果から、トランジスタ104および105が有するコーティング薄膜の効果が理解される。

20

【0066】

本発明の実施例にかかる薄膜トランジスタは、無機化合物と有機高分子材料とを含むゲート絶縁膜を有しているため、実施例1～5において説明したように、そのゲート絶縁膜を約180℃といった低温にて形成することができる。しかも、この薄膜トランジスタは、実用上、優れた電気的特性を有している。したがって、本発明の実施例によれば、基板にプラスチック基板を用いた場合でも、動作性能に優れた薄膜トランジスタを得ることができる。

30

【0067】

<第2の実施形態>

図6は、本発明の第2の実施形態によるアクティブマトリクス構造体の模式的な上面図である。図示のとおり、本実施形態のアクティブマトリクス構造体100は、X方向に延びる複数の走査線24と、Y方向に延びる複数の信号線22と、複数の走査線と複数の信号線との各交差点に隣接して配置される薄膜トランジスタ26とを有している。この薄膜トランジスタ26は、本発明の第1の実施形態による薄膜トランジスタ（10、101～105）であって良い。また、薄膜トランジスタ26のゲート電極2は走査線24と接続し、ソース電極4が信号線22と接続している。

40

【0068】

また、本実施形態のアクティブマトリクス構造体100は、信号線22と走査線24とで囲まれる領域に画素電極28を有している。画素電極28は、薄膜トランジスタ26のドレイン電極5と電氣的に接続している。また、画素電極28は、信号線22と走査線24とで囲まれる領域に配置されるエレクトロルミネッセンス（EL）素子の電極を兼ねる。

【0069】

アクティブマトリクス構造体100は、たとえば、以下のようにして製造することが

50

できる。

【0070】

まず、ガラスやプラスチックなどで形成された基板1（図7参照）の上に厚さが約50nmのクロム膜をスパッタリング法により成膜し、フォトリソグラフィ法およびエッチング法により、走査線24と薄膜トランジスタ26のゲート電極2とを形成する。基板の寸法は、製造するアクティブマトリックス構造体100に応じて適宜決定して良く、また、走査線24の間隔は、アクティブマトリックス構造体100が適用される表示装置（後述）の画素密度に応じて適宜決定して良い。

【0071】

次に、薄膜トランジスタ26のゲート絶縁膜が形成される。このゲート絶縁膜は、第1の実施形態として説明した薄膜トランジスタ10のいずれかのゲート絶縁膜3であって良く、典型的には、実施例2で説明した酸化ジルコニウムとポリビニールフェノールとを含むゲート絶縁膜であって良い。また、その形成方法も、実施例2で説明したとおりであって良い。ゲート絶縁膜を形成した後、インジウム錫酸化物（ITO）により画素電極28が形成される。

【0072】

続いて、ソース電極4とドレイン電極5が形成される。具体的には、所定の開口部を有するマスクを用いて、真空蒸着法またはスパッタリング法により、金膜または金/クロム膜を形成することにより、ソース電極4とドレイン電極5を形成することができる。

【0073】

次に、上記のゲート絶縁膜上であってソース電極4とドレイン電極5と結合するように、薄膜トランジスタ26の活性層が形成される。具体的には、所定の開口部を有するマスクを用いた真空蒸着法により、有機半導体であるペンタセンを堆積することにより、活性層を形成することができる。また、ペンタセンに替わり、ポリチオフェン等の高分子半導体層をスピンコート法などの塗布法により形成し、フォトリソグラフィ法およびエッチング法により活性層を形成しても良い。

【0074】

上述した活性層までの各要素が形成された基板1上にバリレンによるパッシベーション膜32（図7参照）を形成することにより、アクティブマトリックス構造体100が完成する。なお、バリレンに替わり、サイトップ（旭硝子製）などのフッ素樹脂によりパッシベーション膜32を形成しても良い。

【0075】

本発明の第2の実施形態によるアクティブマトリックス100は、本発明の第1の実施形態による薄膜トランジスタ（10、101～105）と同じ薄膜トランジスタ26を含むため、低い動作電圧で動作することができるという利点を有している。

【0076】

<第3の実施形態>

図7は、本発明の第3の実施形態による表示装置の断面図である。図示のとおり、この表示装置200は、第2の実施形態によるアクティブマトリックス構造体100と、アクティブマトリックス構造体100のパッシベーション膜32の上方に設けられる表示素子形成領域33と、表示素子領域33の上に形成される透明電極34と、透明電極34上に設けられる上部基板36と、を含む。上部基板36は、典型的には、ガラス、およびポリエステル、ポリカーボネイト、ポリアリレート、ポリエーテルスルホンなどのプラスチックにより、形成して良い。

【0077】

表示素子領域33には、EL素子、好ましくは有機EL素子が形成され、これにより、本発明の第2の実施形態によるアクティブマトリックス構造体100を利用したEL表示装置が得られる。このEL素子は、アクティブマトリックス構造体100の画素電極28に対応して設けられ、画素電極28と透明電極34とにより、電極の供給を受けて光を発する。また、薄膜トランジスタ26はドレイン電極5で画素電極28と結合しており、薄

10

20

30

40

50

膜トランジスタ 26 のオンオフ動作により、EL 素子がスイッチングされる。したがって、図 6 に示すようにマトリックス状に設けられた複数の薄膜トランジスタのうちの所定のものをオンとすることにより、この EL 表示装置により、所定の画像が表示される。

【0078】

また、表示素子領域 33 に画素電極 28 と透明電極 34 と結合するように液晶素子を形成することにより、本発明の第 2 の実施形態によるアクティブマトリックス構造体 100 を利用した液晶パネルを製造することもできる。

【0079】

さらに、表示素子領域 33 に画素電極 28 と透明電極 34 と結合するように電気泳動素子を形成することにより、本発明の第 2 の実施形態によるアクティブマトリックス構造体 100 を利用した電気泳動表示パネルを製造することも可能である。

10

【0080】

本発明の第 3 の実施形態による表示装置 200 は、表示装置 200 のアクティブマトリックス 100 が、本発明の第 1 の実施形態による薄膜トランジスタ (10、101 ~ 105) と同じ薄膜トランジスタ 26 を含むため、低い動作電圧で動作することができる。また、薄膜トランジスタ 26 を始めとして、低いプロセス温度にて形成することができるため、柔軟性を有するプラスチック基板を使用すれば、柔軟性を有する表示装置を提供することも可能となる。

【0081】

以上、幾つかの実施形態および実施例を参照しながら、本発明にかかる薄膜トランジスタを詳細に説明したが、本発明は、上記の実施形態および実施例に限定されることなく、種々に変形可能である。

20

【0082】

本発明の実施形態にかかる薄膜トランジスタは、上述したように、アクティブマトリックス構造体やこれを用いた表示素子に好適であるが、用途はこれらに限られない。たとえば、本発明の実施形態にかかる薄膜トランジスタは、電子メモリ装置への適用も可能である。特に、実施例 1 のトランジスタ 101 は、図 5 に示すとおり、大きなヒステリシスを有するため、電子メモリ素子として有望である。

【0083】

実施例 1 ~ 5 において、ゲート絶縁膜を形成する際に、いくつかの無機化合物の微粒子を用いることを説明したが、これらの実施例で説明した無機化合物に限ることなく、先に列記した無機化合物のいずれか又はこれらの任意の組み合わせを利用することも可能である。

30

【0084】

また、ゲート絶縁膜 3 は、無機化合物の層と有機高分子材料の層とが交互に積層されて 4 層となった構造を有しているが、層の数はこれに限られず、合計で 6 層、8 層、10 層・・・であっても良い。また、無機化合物の層および有機高分子材料の層のいずれかが奇数層になっても構わない。さらに、ゲート電極 2 から半導体活性層 6 へ向かう方向に沿って、無機化合物の層の比誘電率が段階的に増加または減少するように当該層の無機化合物を選択することもできる。また、ゲート電極 2 から半導体活性層 6 へ向かう方向に沿って、有機高分子材料の層の比誘電率が段階的に増加または減少するように当該層の有機高分子材料を選択しても良い。

40

【0085】

また、実施例 1 ~ 5 では、チタン酸バリウム、酸化ジルコニウム、および酸化チタンについて、約 10 nm とした直径を有する微粒子を例示したが、微粒子の直径は、これらの値に限定されることはない。分散液中での均一な分散、ゲート絶縁膜中の含有量の制御性、ゲート絶縁膜の薄膜化および均一性の観点から微粒子の直径は 1 μ m 以下が好ましい。また、微粒子の直径が 200 nm 以下または 50 nm 以下であるとより好ましい。

【0086】

実施例 1 ~ 5 においては、主としてディップコート法を利用してゲート絶縁膜 3 を形成

50

したが、ゲート絶縁膜 3 は、これに限らず、たとえば、キャストイング、ブレードコーティング、ワイヤバーコーティング、スプレーコーティング、ロールコーティングなどのコーティング法、インクジェット印刷、スクリーン印刷、オフセット印刷、凸版印刷などの印刷法、マイクロコンタクトプリンティングなどのソフトリソグラフィ法、若しくはナノインプラント法、またはこれらの手法の 2 又は 3 以上を任意に組み合わせた方法によって、形成しても良い。

【図面の簡単な説明】

【0087】

【図 1】本発明の第 1 の実施形態による薄膜トランジスタの断面を模式的に示す図である。

10

【図 2】本発明の第 1 の実施形態による薄膜トランジスタが有するゲート絶縁膜の断面を模式的に示す図である。

【図 3】図 3 (a) から図 3 (d) は、本発明の第 1 の実施形態による薄膜トランジスタの製造方法の一例を示す図である。

【図 4】本発明の第 1 の実施形態による薄膜トランジスタが有するゲート絶縁膜の電気的特性の一例を示す表である。

【図 5】本発明の第 1 の実施形態による薄膜トランジスタの電気的特性の一例を示す表である。

【図 6】本発明の第 2 の実施形態によるアクティブマトリクス構造体の概略上面図である。

20

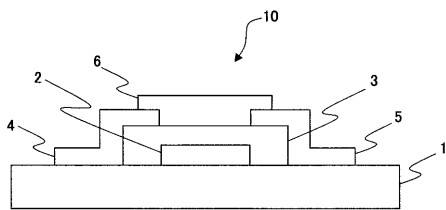
【図 7】本発明の第 3 の実施形態による表示装置の概略断面図である。

【符号の説明】

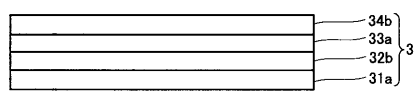
【0088】

1 基板、2 ゲート電極、3 ゲート絶縁膜、4 ソース電極、5 ドレイン電極、6 半導体活性層、10 薄膜トランジスタ、22 信号線、24 走査線、26 薄膜トランジスタ、28 画素電極、32 パッシベーション膜、34 透明電極、36 上部電極、100 アクティブマトリックス構造体、200 表示装置。

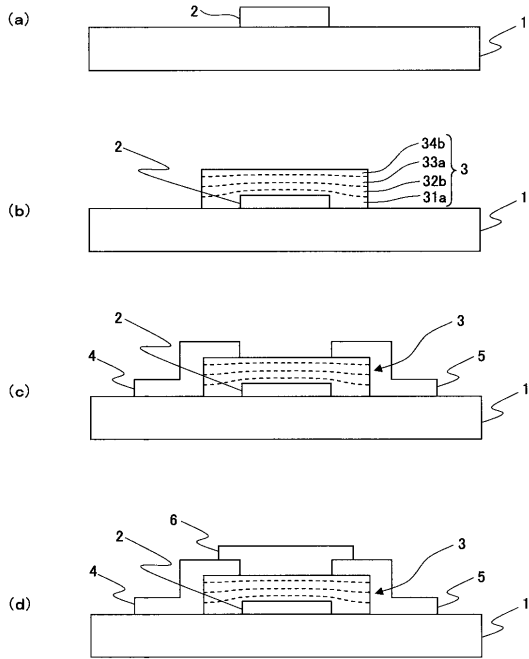
【 図 1 】



【 図 2 】



【 図 3 】



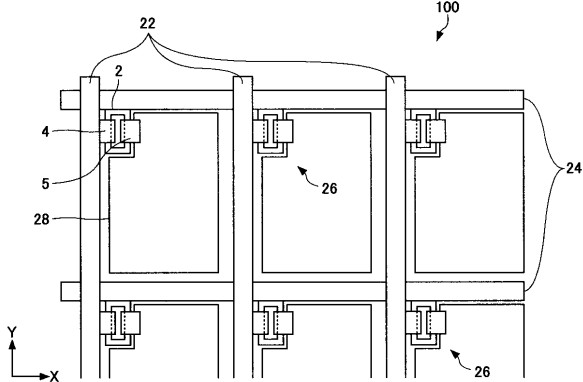
【 図 4 】

ゲート絶縁膜3	膜厚 (nm)	単位面積当りの容量 (nF/cm ²)	見かけの 比誘電率	絶縁耐圧 (MV/cm)
実施例1	30	410	13. 8	2. 0
実施例2	30	195	6. 7	4. 1
実施例3	30	202	6. 85	3. 8

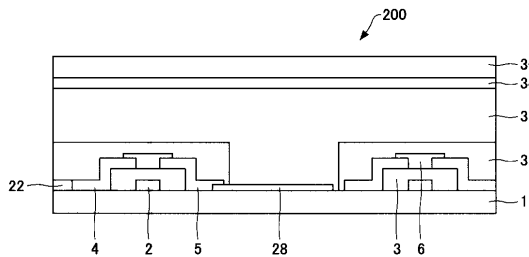
【 図 5 】

トランジスタ	電流オンオフ比	キャリア移動度 (cm ² /Vs)	飽和ドレイン電圧 (V)	ヒステリシス
#101	2×10 ⁴	0. 08~0. 3	4	あり
#102	4×10 ⁵	0. 1~0. 3	12	なし
#103	3×10 ⁵	0. 3~0. 6	10	なし
#104	1×10 ⁶	0. 4~0. 9	9	なし
#105	2×10 ⁶	0. 5~1. 0	9	なし

【 図 6 】



【 図 7 】



 フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	H 0 1 L 21/316	B
	H 0 1 L 21/316	M
	H 0 1 L 21/316	P
	H 0 1 L 21/314	A
	H 0 1 L 21/314	M

F ターム(参考)	5F058	AA10	AB01	AB06	AC01	AC02	AC05	AC10	AD03	AD04	AD06
		AD09	AD10	AD12	AE10	AF04	AG01	AH01	AH10	BA20	BB01
		BB06	BC02	BC03	BC20	BD02	BD04	BD05	BD18	BD19	BF46
		BH01	BJ01	BJ10							
	5F110	AA06	AA08	BB01	CC03	CC07	DD01	DD02	DD03	DD05	EE01
		EE02	EE03	EE04	EE07	EE09	EE42	EE43	EE44	FF01	FF02
		FF10	FF27	GG01	GG02	GG03	GG04	GG05	GG25	GG42	GG44
		HK01	HK02	HK03	HK04	HK07	HK09	HK21	HK32	HK33	NN02
		NN27	NN71	QQ14							