(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号

特許第3642437号

(P3642437)

(45)発行日　平成17年4月27日(2005.4.27)　(24)登録日　平成17年2月4日(2005.2.4)

(51)Int.Cl.[7]	F I		
H03K 5/13	H03K	5/13	
H03K 3/017	H03K	3/017	
H03K 5/15	H03K	5/15	B

請求項の数 3　(全 8 頁)

(21)出願番号　特願平7-152584
(22)出願日　平成7年5月26日(1995.5.26)
(65)公開番号　特開平8-330922
(43)公開日　平成8年12月13日(1996.12.13)
審査請求日　平成14年5月20日(2002.5.20)

(73)特許権者　000128094
株式会社エヌエフ回路設計ブロック
横浜市港北区綱島東６丁目３番２０号
(74)代理人　100081710
弁理士　福山　正博
(72)発明者　宮本　政和
横浜市港北区綱島東６－３－２０　株式会社　エヌエフ回路設計ブロック内
(72)発明者　曽布川　慎吾
横浜市港北区綱島東６－３－２０　株式会社　エヌエフ回路設計ブロック内

最終頁に続く

(54)【発明の名称】９０度移相回路

(57)【特許請求の範囲】

【請求項１】

所定周期の入力パルスに応答して、外部からの制御信号に基づいてパルス幅が可変される第１のパルスを出力する第１のパルス発生回路と、

前記第１のパルスに応答してデューティ比５０％の第２のパルスを出力する第２のパルス発生回路と、

該第２のパルスの終了時から次のサイクルの前記第１のパルスの始まりまでを第３のパルスとして出力する第３のパルス発生回路と、

前記第１のパルスを積分する第１の積分回路と、

前記第３のパルスを積分する第２の積分回路と、

前記第１と第２の積分回路からの積分出力の差を前記第１のパルス発生回路の前記制御信号としてフィードバック出力する誤差検出器と、

を備えて成り、前記第２のパルスを９０度移相出力として出力することを特徴とする９０度移相回路。

【請求項２】

前記第１と第２の積分回路と誤差検出器は、一つの演算増幅器で構成されて成る請求項１に記載の９０度移相回路。

【請求項３】

前記第２のパルスの位相反転出力パルスを－９０度移相出力として得る請求項１または２に記載の９０度移相回路。

【発明の詳細な説明】
【０００１】
【産業上の利用分野】
本発明は９０度移相回路に関し、特に５０％デューティ比の出力パルスを９０度移相する９０度移相回路に関する。
【０００２】
【従来の技術】
入力に対して９０度だけ位相をずらせた（移相させた）出力を得るための９０度移相回路は、直交検波器等、幅広い利用分野がある。従来のこの種の９０度移相回路の回路例が図７に示されている。図７に示す９０度移相回路の構成及び動作を図８の各部信号のタイミングチャートを参照しながら以下説明する。
【０００３】
入力信号（パルス）Ｊは、逓倍回路３０により２倍の周波数のパルス信号Ｋに変換された後、インバータ４０で位相が反転される。この位相が反転されたパルスＬは、更に分周回路５０において１／２の周波数のパルスに変換され、変換されたパルスＭが入力パルスに対して９０度位相のずれたパルス信号として出力される。このように、図７に示す従来の９０度移相回路によれば、無調整で９０度位相が変化した信号が得られる。
【０００４】
【発明が解決しようとする課題】
しかしながら、かかる従来の９０度移相回路で用いられる逓倍回路３０は、通常、ＰＬＬ（フェーズロックループ）回路を有するため、位相比較器、電圧制御発振器（ＶＣＯ）等が必要となり、回路規模が大きくなってしまう。更にＰＬＬを広い周波数範囲で使うためには、その都度回路定数を切り換える必要がある等の問題がある。
【０００５】
そこで、本発明の目的は、比較的小規模な回路構成で簡単に９０度位相のずれた信号を得ることができる９０度移相回路を提供することにある。
【０００６】
本発明の他の目的は、９０度移相させたデューティ比５０％の出力パルスを得ることができる９０度移相回路を提供することにある。
【０００７】
【問題点を解決するための技術】
上述の課題を解決するため、本発明による９０度移相回路は、
所定周期の入力パルスに応答して、外部からの制御信号に基づいてパルス幅が可変される第１のパルスを出力する第１のパルス発生回路と、
前記第１のパルスに応答してデューティ比５０％の第２のパルスを出力する第２のパルス発生回路と、
該第２のパルスの終了時から次のサイクルの前記第１のパルスの始まりまでを第３のパルスとして出力する第３のパルス発生回路と、
前記第１のパルスを積分する第１の積分回路と、
前記第３のパルスを積分する第２の積分回路と、
前記第１と第２の積分回路からの積分出力の差を前記第１のパルス発生回路の前記制御信号としてフィードバック出力する誤差検出器と、
を備えて成り、前記第２のパルスを９０度移相出力として出力するように構成される。
【０００８】
ここで、前記第１と第２の積分回路と誤差増幅器は、一つの演算増幅器で構成され、また、前記第２のパルスの位相反転出力パルスを－９０度移相出力として取り出すこともできる。
【０００９】
【作　用】
本発明では、入力パルスに応答し、制御信号に基づいてパルス幅が可変の第１のパルス発

生回路から出力される第１のパルスに応答して第２のパルス発生回路からデューティ比５０％の第２のパルスを出力し、この第２のパルスの終了時から次のサイクルの上記第１のパルスの始まりまでを第３のパルスとして出力せしめ、上記第１のパルスと第３のパルスの積分出力の差を上記制御信号として第１のパルス発生回路にフィードバックして得られる上記第２のパルスを９０度移相出力として取り出している。

【００１０】

【実　施　例】

以下、本発明の実施例を図面を参照しながら説明する。

図１は本発明による９０度移相回路の一実施例を示す回路図である。

【００１１】

第１のパルス発生回路１は、入力信号（パルス）Ａをトリガとして、外部からの制御信号Ｇに比例するパルス幅を有するパルスＢを出力する。パルスＢは、インバータ３で位相が反転され、位相反転信号Ｃが第２のパルス発生回路４に供給される。第２のパルス発生回路４は、入力パルスＣをトリガとしてデューティ比５０％のパルスＤを出力する。この出力パルスＤは、インバータ６で位相が反転されて、反転パルスＥがＡＮＤゲート５の一入力端子に送出される。ＡＮＤゲート５の他入力端子にはインバータ３の出力パルスＣが送出されている。

【００１２】

ＡＮＤゲート５の出力Ｆは、差動積分器２を構成し、帰還素子としてコンデンサＣ1を有する演算増幅器（差動増幅器）２１の非反転入力端子に抵抗Ｒ2とコンデンサＣ2を介して入力される。演算増幅器２１の反転入力端子には第１のパルス発生回路１の出力パルスＢが抵抗Ｒ1を介して入力されている。そして、演算増幅器２１の出力Ｇが上記制御信号として第１のパルス発生回路１に供給され、第１のパルス発生回路１の出力パルス幅が制御される。

【００１３】

図１に示す９０度移相回路の動作を、各部信号のタイミングチャートを示す図２を参照しながら説明する。周期ＴＣの入力パルスＡの立ち上がりに応答して、第１のパルス発生回路１からは、制御電圧Ｇに比例するパルス幅ＴＢを有するパルスＢが出力される。このパルスＢは、インバータ３で位相が反転される。第２のパルス発生回路４は、インバータ３からの出力パルスＣの立ち上がりに応答して、デューティ比５０％のパルスＤを出力する。

【００１４】

ここで図示の如く、パルスＤのＨｉｇｈレベルのパルス幅をＴＤ1、Ｌｏｗレベルのパルス間幅をＴＤ2とすると、ＴＤ1＝ＴＤ2である。ＡＮＤゲート５の一入力端子に供給されるパルスＥは、パルスＤを位相反転したパルスであり、他入力端子に供給されているパルスＣとのＡＮＤ出力がパルスＦとなる。したがって、パルスＦのパルス幅ＴＦは、ＴＣ－ＴＤ1－ＴＢとなる。

【００１５】

このとき、

ＴＣ＝ＴＢ＋ＴＤ1＋ＴＦ　　（１）

また、パルスＤがデューティ比５０％である条件：ＴＤ1＝ＴＣ／２を（１）式に代入すると、

ＴＣ＝ＴＢ＋ＴＣ／２＋ＴＦ　　（２）

が得られる。

【００１６】

ところで、パルス信号Ｂのパルス幅ＴＢに対する１周期内の積分値の変化とパルス信号Ｆのパルス幅ＴＦに対する１周期内の積分値の変化は、それぞれ図３に示すように、逆の傾向を示す。すなわち、パルス信号Ｂの積分値は、パルスＢのパルス幅ＴＢが最小（０）のとき最小、パルス幅ＴＢが最大（ＴＢ＝ＴＤ1）のとき最大となる。逆に、パルス信号Ｆの積分値は、パルス幅ＴＢが０のとき最大、ＴＤ1と等しいとき最小（０）となる。パルス信号

ＢとＦは、それぞれ差動積分器２の演算増幅器２１に入力され、その差信号Ｇが第１のパルス発生回路１に帰還制御信号として入力されるので、結局、パルス信号ＢとＦの積分値が等しくなるパルス幅（ＴＢ＝ＴＤ1／２）においてバランスすることになる。

【００１７】

したがって、ＴＢ＝ＴＦとなり、この条件を（２）式に代入すると、

ＴＢ＝ＴＦ＝ＴＣ／４

となり、パルス幅ＴＢは、入力パルスＡの１／４周期で安定することになる。このことは、出力パルスＤは、入力パルスＡに対して１／４周期分遅れた、つまり、９０度位相がずれた９０度移相出力として得られることを示している。

【００１８】

図１に示す回路において、インバータ６の出力パルスＥを入力に対する－９０度移相出力として取り出すこともできる。

【００１９】

以上の実施例において、差動積分器２は、積分器と誤差増幅器をまとめているが、積分器と誤差増幅器の各機能を有する構成を別設しても良いことは勿論である。また、図１のＡＮＤゲート５とインバータ６の代わりにＮＯＲゲートを用い、パルスＢとＤを入力としても良いことも明らかである。更には、第１のパルス発生回路１として互いに位相が逆の相補パルスを発生する回路を用いれば、インバータ３は省略することもできる。

【００２０】

図１における第２のパルス発生回路４としては、例えば、図４に示すような回路を用いることができる。

【００２１】

図４において、パルス発生器４１は、入力パルスＡをトリガとして、制御端子ＣＴＲＬに供給される制御信号で制御されるパルス幅を有するパルスＢと、その反転パルスＣをそれぞれ出力端子４１Ａと４１Ｂから出力する。出力パルスＢは抵抗Ｒ11を介して演算増幅器４２の反転入力端子に、出力パルスＣは抵抗Ｒ12とコンデンサＣ12を介して非反転入力端子にそれぞれ入力される。この演算増幅器４２を中心として抵抗Ｒ11とＲ12、コンデンサＣ11とＣ12とで差動積分器を構成し、信号ＢとＣの平滑信号（積分信号）との差信号が出力信号Ｄ、つまり制御信号としてパルス発生器４１の制御端子ＣＴＲＬに供給される。

【００２２】

図４に示すパルス発生回路の動作を、各部の信号のタイミングチャートを示す図５を参照しながら説明する。

【００２３】

パルス発生器４１は、入力パルスＡの立ち上がりのタイミングでトリガされ、演算増幅器４２の出力信号Ｄでパルス幅が定まるパルスＢ及びその反転パルスＣを出力する。入力パルスＡの周期をＴ、出力パルスＢのパルス幅をＴ1、出力パルスのＨｉｇｈ側のレベルをＶCC、Ｌｏｗ側のレベルを０Ｖとし、更に、積分時定数Ｃ1Ｒ1、Ｃ2Ｒ2が入力パルス周期Ｔよりも充分大きいとすると、各出力パルスＢとＣの積分値ＶＢとＶＣは、それぞれ（１）式と（２）式で表わされる。

ＶＢ＝ＶCC・Ｔ1／Ｔ　　（１）

ＶＣ＝ＶCC・Ｔ2／Ｔ＝ＶCC・（Ｔ－Ｔ1）／Ｔ　　（２）

このとき、誤差増幅器としての演算増幅器４２により、ＶＢ＝ＶＣとなるように、パルス幅Ｔ1がフィードバック制御されるので、（１）式と（２）式から

Ｔ1＝Ｔ2＝Ｔ／２　　（３）

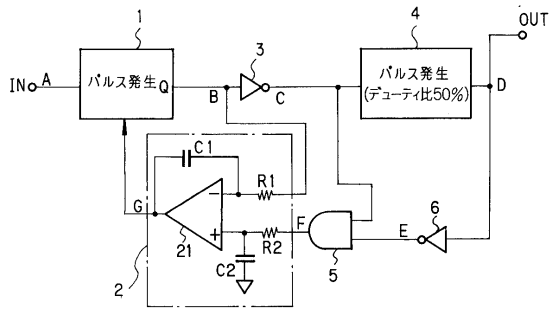
が得られる。

【００２４】

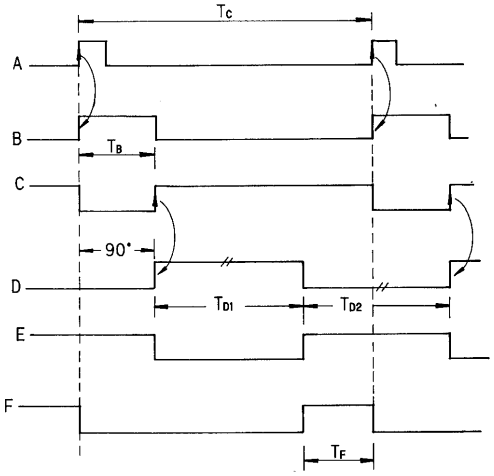
（３）式によれば、パルス発生器４１の出力パルスＢ及びＣのデューティ比は正確に５０％となることがわかる。したがって、本実施例によれば、抵抗Ｒ11、Ｒ12やコンデンサＣ11、Ｃ12等の構成素子の精度に依存せずに高精度な５０％デューティ比のパルスが無調整で得られる。

【００２５】
図６は、更に他のパルス発生回路の回路図を示す。図４のパルス発生器１が、逆位相の２つの出力（相補出力）パルスＢとＣを発生するのに対し、本回路のパルス発生器４３は、一つのパルスＢだけを発生する。また、図４の相補出力（パルスＢと逆位相出力）パルスＣを得るため、パルスＢの位相を反転するインバータ４４を設けている。こうして得られたパルスＢ（パルス発生器４３の出力）とパルスＣ（インバータ４４の出力）が図１と同様に演算増幅器４２の反転入力端子と非反転入力端子に供給され、演算増幅器４２の出力信号Ｄが帰還信号としてパルス発生器４３の制御入力端子ＣＴＲＬに供給される。本回路の動作タイミングは、図５に示すタイミングチャートと同様である。また、広い周波数範囲の入力パルス信号に対応できる。更に同時に－９０度出力も得ることができる。
【００２６】
【発明の効果】
以上説明したように、本発明の９０度移相回路によれば、従来のように回路規模の大きいＰＬＬ回路等を用いずに比較的簡単な回路により、入力に対して９０度位相がずれたデューティ比５０％の出力パルス信号を得ることができる。
【図面の簡単な説明】
【図１】本発明による９０度移相回路の一実施例を示す回路図である。
【図２】図１に示す９０度移相回路の各部信号のタイミングチャートである。
【図３】図１におけるパルス信号Ｂとパルス信号Ｆのパルス幅に対する積分値の変化を示す図である。
【図４】図１における第２のパルス発生回路４の一例を示す回路図である。
【図５】図４に示すパルス発生回路の各部の信号のタイミングチャートである。
【図６】図１における第２のパルス発生回路４の他の例を示す回路図である。
【図７】従来の９０度移相回路の回路図である。
【図８】図７に示す従来の９０度移相回路の各部信号のタイミングチャートである。
【符号の説明】
１，４　　パルス発生器
２　　差動積分器
３，６，４４　　インバータ
５　　ＡＮＤゲート
３０　　逓倍回路
４０　　インバータ
４１，４３　　パルス発生回路
４２　　演算増幅器
５０　　分周回路

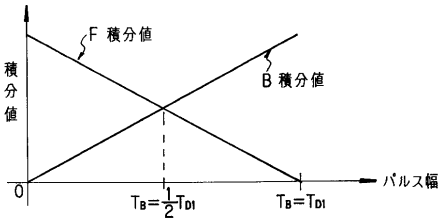
【図１】



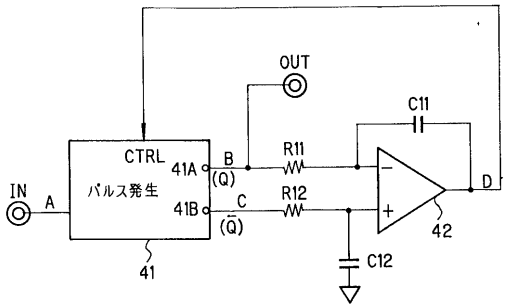
【図２】



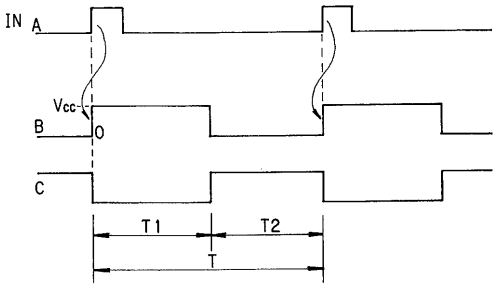
【図３】



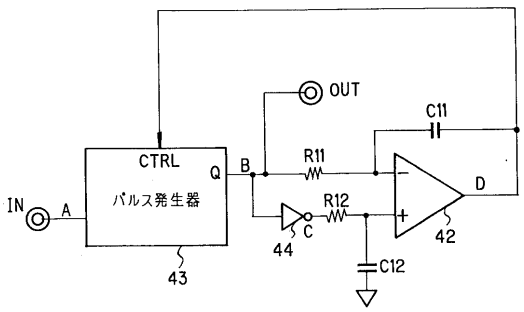
【図４】



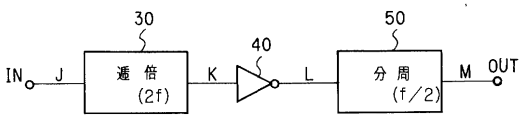
【図５】



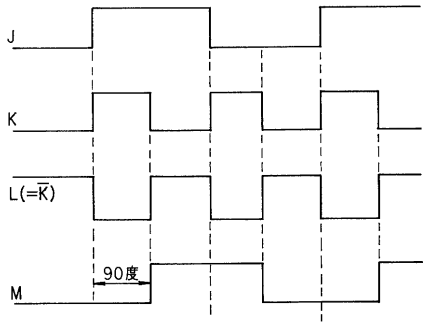
【図６】



【図７】



【図８】



フロントページの続き

(72)発明者　西潟　隆友
横浜市港北区綱島東６－３－２０　株式会社　エヌ
エフ回路設計ブロック内

審査官　清水　稔

(56)参考文献　特開昭５５－９６７２６（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H03K　5/13
H03K　3/017
H03K　5/15