

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4964890号
(P4964890)

(45) 発行日 平成24年7月4日(2012.7.4)

(24) 登録日 平成24年4月6日(2012.4.6)

(51) Int. Cl. F I
 GO 1 N 29/04 (2006.01) GO 1 N 29/10
 GO 1 N 29/30 (2006.01) GO 1 N 29/22 5 0 6

請求項の数 14 (全 29 頁)

(21) 出願番号	特願2008-535543 (P2008-535543)	(73) 特許権者	508103539
(86) (22) 出願日	平成18年9月22日 (2006. 9. 22)		オリンパス・エヌ・ディー・ティー
(65) 公表番号	特表2009-511903 (P2009-511903A)		アメリカ合衆国・マサチューセッツ・02
(43) 公表日	平成21年3月19日 (2009. 3. 19)		4 5 3・ウォルサム・ウォード・アヴェニ
(86) 国際出願番号	PCT/US2006/036810		ュー・4 8
(87) 国際公開番号	W02007/047015	(74) 代理人	100108453
(87) 国際公開日	平成19年4月26日 (2007. 4. 26)		弁理士 村山 靖彦
審査請求日	平成20年6月11日 (2008. 6. 11)	(74) 代理人	100064908
(31) 優先権主張番号	60/726, 798		弁理士 志賀 正武
(32) 優先日	平成17年10月14日 (2005.10.14)	(74) 代理人	100089037
(33) 優先権主張国	米国 (US)		弁理士 渡邊 隆
(31) 優先権主張番号	60/726, 575	(74) 代理人	100110364
(32) 優先日	平成17年10月14日 (2005.10.14)		弁理士 実広 信哉
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 非破壊試験機器のためのデジタル時間可変利得回路

(57) 【特許請求の範囲】

【請求項 1】

時間可変利得回路であって、
 入力信号を受信するための入力回路と、
 複数の異なる勾配継続期間値を記憶するための第1の回路と、
 前記複数の勾配継続期間値の個々の勾配継続期間値に適用することができる勾配データを記憶するための第2の回路と、
 初期利得値を記憶するための第3の回路と、
 前記勾配継続期間値、前記勾配データおよび前記初期利得値にตอบสนองする、それらを使用して、前記入力信号に適用することができるスケーリング関数を生成するための制御回路と、

前記入力信号を受信し、かつ、前記制御回路によって生成される前記スケーリング関数を使用して前記入力信号を処理するためのスケーリング回路とを備え、

前記入力信号は、エコー信号であり、

前記スケーリング関数のパラメータを動的に変更することができ、

前記回路が、デジタル回路で実質的にその全体が実施されること、および

前記勾配データを $0.000008(2^{-17})$ から $1.99999(2-2^{-17})$ まで変更することができ、試験すべき物体を走査するために超音波システムと結合されること

のうちの1つまたは複数が適用される、時間可変利得回路。

【請求項 2】

前記スケーリング関数が、入力信号と掛け合わされると、前記入力信号が大きくなり、小さくなり、あるいは同じ大きさを維持する数であることが適用可能である請求項1に記載の回路。

【請求項3】

開始スケーリング値と終了スケーリング値の差が前記勾配継続期間値の各々で異なる、請求項2に記載の回路。

【請求項4】

前記累算器掛算器が、デシベルが直線的に変化するスケーリング値を生成する、請求項2に記載の回路。

【請求項5】

前記超音波検出システムが、
試験信号を生成し、かつ、応答エコー信号を受信する送信および受信デバイスと、
前記試験信号を超音波信号に変換し、前記超音波信号を試験すべきターゲット物体に印加し、超音波エコー信号を受信し、かつ、前記送信および受信デバイスのための前記エコー信号を生成する変換器と、

前記送信および受信デバイスに結合された、前記エコー信号を受け取り、かつ、処理するための信号処理回路であって、アナログバージョンの前記エコー信号を、デジタルデータストリームからなるデジタルエコー信号に変換するための少なくとも1つのデジタル-アナログ変換器を備えた信号処理回路と、

データ速度で前記データストリームを受け取るメモリと、

前記データに帯域通過機能を適用するために、前記デジタル時間可変利得回路から受け取ったデータに対して動作し、かつ、有限インパルス応答(FIR)フィルタに出力データを提供する無限インパルス応答(IIR)フィルタと、

前記FIRフィルタから受け取ったデータを、前記データの知覚分解能が向上する方法で補間するボックスカーフィルタと

を備えた、請求項1に記載の回路。

【請求項6】

前記FIRフィルタが、低域通過フィルタの機能を提供するように設定されることが適用可能である請求項5に記載の回路。

【請求項7】

前記スケーリング関数の累積誤差を記録し、かつ、前記累積誤差を修正するための修正値を適用するように構築された誤差累算器を備えることが適用可能である請求項1に記載の回路。

【請求項8】

前記スケーリング関数が、

$TVG_SLOPE = \text{利得勾配 (単位 } dB / s)$

$F_s = \text{データサンプリング周波数 (単位 Hz)}$

$SLOPE_VALUE = \text{FIFO(0, 2) にロードされる値}$

である

$TVG_SLOPE = 20 \cdot F_s \cdot \log_{10}(SLOPE_VALUE)$

として定義される可変TVG_SLOPEで表される、請求項1に記載の回路。

【請求項9】

前記スケーリング関数がデジタル勾配値で表され、前記デジタル勾配値にตอบสนองする、アナログ勾配出力を有するデジタル-アナログ変換器をさらに備え、かつ、前記アナログ勾配出力にตอบสนองする、アナログスケーリング関数を出力するように動作させることができるアナログ積分器をさらに備えた、請求項1に記載の回路。

【請求項10】

前記アナログ勾配関数にตอบสนองし、かつ、前記入力信号にตอบสนองしてアナログ信号出力を生成する可変利得増幅器をさらに備えた、請求項9に記載の回路。

【請求項11】

10

20

30

40

50

前記第2の回路にตอบสนองする、デジタルスケーリング値の形で前記スケーリング関数を生成するように構築されたデジタル積分器をさらに備えた、請求項1に記載の回路。

【請求項12】

前記デジタルスケーリング値をアナログスケーリング関数に変換するように動作させることができるデジタル-アナログ変換器、および前記アナログスケーリング関数および前記入力信号にตอบสนองするアナログ可変利得増幅器、

前記デジタルスケーリング値にตอบสนองし、かつ、前記入力信号から引き出されるデジタル信号にตอบสนองするデジタル可変利得掛算器のうちの1つまたは複数を備え、

前記勾配データを0.000008から1.99999まで変更することができる、請求項11に記載の回路。

10

【請求項13】

前記デジタル積分器と前記デジタル可変利得掛算器の間に結合された線形-指数変換器をさらに備えた、請求項12に記載の回路。

【請求項14】

前記デジタル積分器が、線形制御アナログTVGを利用して対数TVG関数のピースワイズ線形近似を生成するように構築され、および/または

前記アナログ積分器が、アナログ-デジタル変換器を使用してサンプルされるように構築され、前記アナログ-デジタル変換器の出力が、同じく前記入力信号から引き出されるデジタル信号にตอบสนองするデジタル利得掛算器に供給される、請求項11に記載の回路。

20

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、いずれも参照によりその開示全体が本明細書に組み込まれている、2005年10月14日に提出した、「ULTRASONIC FAULT DETECTION SYSTEM USING A HIGH DYNAMIC RANGE ANALOG TO DIGITAL CONVERSION SYSTEM」という名称の米国仮特許出願第60/726,798号、2005年10月14日に提出した、「ULTRASONIC DETECTION MEASUREMENT SYSTEM USING A TUNABLE DIGITAL FILTER WITH 4X INTERPOLATOR」という名称の米国仮特許出願第60/726,776号、および2005年10月14日に提出した、「DIGITAL TIME VARIABLE AMPLIFIER FOR NON-DESTRUCTIVE TEST INSTRUMENT」という名称の米国仮特許出願第60/726,575号の利益および優先権を主張したものである。

30

【0002】

本発明は、ターゲット物体に超音波パルスを送信し、ターゲット物体から検出されるエコー信号を解析することによってたとえば物体または材料中のエアラインウイングなどの極めて重要な構造の内部構造故障を検出するために利用される超音波検出および測定システムに関する。また、本発明によるシステムおよび方法は、一般に、腐食測定、厚さ測定等々などのアプリケーションのために利用されるシステムに関する。より詳細には、本発明は、このようなシステムのために適合された時間可変利得(TVG)増幅器に関する。

【背景技術】

【0003】

超音波探傷器の従来技術は、本発明の譲受人のEpoch 4 Plus製品などの製品によって実証されている。General Electricから入手することができる競合製品は、USM 35X探傷システム、USN 58L探傷システムおよびUSN 60探傷システムとして知られている。従来技術による超音波探傷器には、通常、極めて複雑なアナログフロントエンドが利用されているが、これらのアナログフロントエンドには多くの部品が含まれており、特定の用途および設定のための較正、信頼性、セットアップ時間、結果の無矛盾性および最適化の点で、とりわけ困難な問題を提起している。

40

【0004】

従来技術による典型的な超音波探傷器には、試験すべき物体に対向して配置される、多くの異なる周波数帯域で動作し、かつ、慎重な較正および維持を必要とする利得較正器、

50

前置増幅器および減衰器、可変利得増幅器、高域通過アナログフィルタおよび低域通過アナログフィルタなどの多くのアナログ回路と共に動作する変換器が含まれている。

【0005】

したがって、現在の探傷器は、このような機器の設計者および使用者に多くの問題をもたらしており、それらの複雑性のためにそれらの障害追跡および修理に強い影響を及ぼしている。これらの問題には、変換器から見た、信号経路の内外でスイッチされる異なる利得増幅器によって変化する整合入力インピーダンスなどの問題が含まれている。これは、周波数応答に悪影響を及ぼし、様々な利得非線形性の原因になっている。アナログ回路は信号経路の内外でスイッチされるため、それは較正の問題を提起している。

【0006】

既存の探傷器が抱えている他の問題は、それらの背面壁減衰性能に起因する問題であり、試験中の物体の背面壁に極めて近い位置に存在している傷を検出する能力に強い影響を及ぼしている。この問題は、とりわけ時間変化利得関数の問題を提起しており、従来技術によるデバイスの利得範囲および利得変化率を制限している。

【0007】

従来技術のもう1つの欠点は、利用されているアナログ-デジタル変換器のフル振幅スケールと整合する信号レベルを変換器に提供するために、このようなアナログ-デジタル変換器の中間点に入力信号を維持するためにはヌルにしなければならない異なる直流オフセット誤差を有する信号経路に個々の増幅器が配置されるアナログ回路結合方法に起因している。したがって、従来技術における誤差ヌル化プロセスは、雑音に起因する直流基線の測定精度が悪いため、とりわけ大きい利得での信頼性が低い。

【0008】

既存の探傷器のフロントエンドの情熱的なアナログ実施態様は、機器のダイナミックレンジ全体を利用しなければならない必要性に起因する問題をさらに提起しており、様々な利得線形性較正の問題をもたらしている。

【0009】

米国特許第5,671,154号に、本発明による装置および方法のための背景情報を提供している従来技術による超音波検査装置が記載されている。同調可能デジタルフィルタ構成が米国特許第6,141,672号に記載されている。

【特許文献1】米国仮特許出願第60/726,798号

【特許文献2】米国仮特許出願第60/726,776号

【特許文献3】米国仮特許出願第60/726,575号

【特許文献4】米国特許第5,671,154号

【特許文献5】米国特許第6,141,672号

【特許文献6】米国特許第4,497,210号

【特許文献7】米国特許第6,789,427号

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明の目的は、一般に、物体を超音波検査および測定するための装置および方法であって、上で言及した従来技術の欠点の少なくとも一部が回避され、あるいは改善された装置および方法を提供することである。

【0011】

本発明の他の目的は、より単純な回路で実施された超音波検査装置および方法を提供することである。

【0012】

本発明の他の目的は、使用に先立って必要な較正プロセスおよび調整プロセスがより短く、かつ、より単純な超音波検査装置および方法を提供することである。

【課題を解決するための手段】

【0013】

10

20

30

40

50

本発明の以上および他の目的は、試験信号を生成し、かつ、応答エコー信号を受信する送信および受信デバイスと、試験信号を超音波信号に変換し、かつ、送信および受信デバイスのためのエコー信号を生成する変換器とを備えた装置およびシステムの中で実現される。信号処理回路によってエコー信号が処理され、かつ、エコー信号を定義する情報ストリームがデジタルメモリに記憶される。対数TVG(時間可変利得)デバイスにより、情報に時間変化利得関数を適用することによってその情報が処理され、得られたデータが1つまたは複数のフィルタに通され、最終的に使用者に出力される。より単純なアルゴリズムで処理するために、対数TVGデバイスによって様々な信号振幅範囲間の利得勾配が規定される。

【0014】

本発明の他の特徴および利点は、添付の図面を参照して行う本発明についての以下の説明から明らかになるであろう。

【発明を実施するための最良の形態】

【0015】

最初に図1および2を参照して、本発明の一般的な環境および本発明によって解決される様々な問題に対する背景情報について説明する。

【0016】

図1では、超音波送受信ユニット10は、所定の周期でプローブまたは変換器12に電気パルス信号10aを送信している。プローブまたは変換器12は、鋼材料などのターゲット物体14に、直接または水あるいは水晶などの遅延材料を介して結合されている。図2に示すように、プローブ12は、トリガパルス信号12aを超音波パルス10aに変換し、ターゲット物体14を介して送信している。ターゲット物体14に印加された超音波パルス10aは、引き続いてターゲット物体14の底部表面14aで反射し、プローブ12によって受信される。プローブ12は、反射波を電気信号に変換している。この電気信号は、電気エコー信号10bとして超音波送受信ユニット10に供給される。超音波送受信ユニット10は、電気信号10bを増幅し、増幅した信号11をエコー信号11として信号処理デバイス16に送信している。

【0017】

エコー信号11には、底部表面14aで反射した波に対応する底部表面エコー11a、および物体14中の傷14bに起因する傷エコー11bが含まれている。また、超音波エコーパルス11の周波数は、主としてプローブ12に組み込まれている超音波バイプレタの厚さまたは他の特性で決まる。検査に使用される超音波パルス10aの周波数は、数十kHzないし数十MHzに設定されている。したがって、エコー信号11に含まれている底部表面エコー11aおよび傷エコー11bの信号波形の周波数範囲は、約50kHzから数十MHzまでの広い範囲をカバーしている。

【0018】

信号処理デバイス16は、超音波送受信ユニット10から受け取ったエコー信号11の様々な信号処理を実行しており、また、信号処理デバイス16は、1つまたは複数の傷の有/無を表す出力結果をディスプレイユニット18に表示している。エコー信号11を信号処理し、かつ、エコー信号を表示するために、パルス信号10aと同期したトリガ信号Sが超音波送受信ユニット10から信号処理デバイス16に供給されている。

【0019】

上で説明した構造の傷検査装置の場合、超音波送受信ユニット10から出力されるエコー信号11には、底部表面エコー11aおよび傷エコー11bの他に一定の量の雑音が含まれている。超音波パルス11に含まれている雑音の量が多い場合、検査結果の信頼性が著しく低下する。雑音は、大まかに電気雑音および材料雑音に分類される。

【0020】

電気雑音には、電磁波をプローブ12、超音波送受信ユニット10、接続ケーブルたとえばケーブル13などの中に混合することによって生じる外部雑音と、1つまたは複数の増幅器および超音波送受信ユニット10に組み込まれている1つまたは複数の増幅器によって生成される内部雑音が含まれている。

10

20

30

40

50

【 0 0 2 1 】

エコー信号10bに含まれている雑音の低減は、超音波検査を高い精度で実行するためには極めて重要である。従来、エコー信号10bに含まれている雑音成分の抑制にはアナログフィルタが使用されている。たとえば、広範囲にわたる周波数成分を有する電気雑音に対して、超音波エコーの周波数成分を通過させるためにBPF(帯域通過フィルタ)が使用されている。また、材料雑音にはLPF(低域通過フィルタ)またはBPFが使用されており、傷エコー11b(図2)の周波数分布は、信号散乱によって生成されるエコーの周波数分布より低いことが分かる。アナログフィルタが使用されるこの方法によれば、エコー信号11bに含まれている雑音成分を所定のレベルに等しいかあるいはそれより低いレベルまで抑制することができる。

10

【 0 0 2 2 】

傷エコー信号の周波数分布は、ターゲット物体14の超音波減衰特性に基づいて変化することは広く知られている。したがって、散乱したエコーなどによって示される材料雑音のためにBPFを使用する場合、ターゲット物体14に応じた最適特性を有するフィルタが使用されることが望ましい。しかしながら、アナログフィルタの通過周波数特性は容易に変更することができないため、ターゲット物体14に関連する様々な材料の異なる超音波減衰特性に対応する異なる通過周波数特性を有するより多くのフィルタを準備しなければならない。ターゲット物体14の材料特性に応じて異なるフィルタが使用されるこの方法には、動作性上の利点または経済性上の利点对総合システムのコストおよび複雑性を考慮すると、実際的な困難が伴っている。

20

【 0 0 2 3 】

傷エコー11bは、場合によっては、ターゲット物体14の前面表面14cの極めて近くに存在していることがあり、その場合、傷エコー11bは、送信パルス10aの後縁の近傍に位置することになる。そのため、戻ってくる傷エコー11bを妨害しないためには、送信パルス10aの後縁(図3に後縁10atとして拡大されている)の末端は、可能な限り速やかにゼロ基線10abに設定することが望ましい。ゼロ基線7aまでの整定時間は、探傷器の近表面分解能の決定要因である。

【 0 0 2 4 】

超音波送受信ユニット10の利得は、最大110dBまで調整することができる(欧州規格EN 12668-1の要求による)ことを考慮すると、超音波送受信ユニット10内の利得増幅段の前段の基線誤差が微小量であっても、利得レベルが過度に高く設定されると、利得増幅段の出力部における大きな誤差の原因になる。

30

【 0 0 2 5 】

結果として生じる信号処理デバイス16への入力の前線誤差は、

(a) 画面上の信号の最大垂直変位が前線のオフセットの量によって小さくなり、そのために傷エコーを検出する機器の感度が鈍くなるため、ダイナミックレンジが狭くなる原因になるか、あるいは、

(b) 振幅が十分に大きい場合、1つまたは複数の利得増幅段が飽和し、そのためにエコー信号の検出が完全に妨害される原因になるかのいずれかである。

【 0 0 2 6 】

従来、上で説明した前線誤差の問題は、2つの方法のうちのいずれかによって対処されている。第1の手法によれば、送信パルス10aの後縁10atの低周波部分をフィルタ除去するために、超音波送受信ユニット10の入力の信号経路にHPFが使用されている。送信パルス10aの後縁10atは、近似点線7cで示されているように、HPFによって改善することができる。

40

【 0 0 2 7 】

しかしながら、HPF解決法の有効性は、いくつかの点で限定されている。第1に、送信パルス10aの後縁10atの低周波部分を最小化するためには、HPFの遮断周波数($f_{HPF-3dB}$)を可能な限り高くしなければならない。たとえば、プローブ12の励起周波数が10MHzで、 $f_{HPF-3dB}$ が5MHzの場合、受信器前線に対する望ましくない影響が著しく抑制される。

50

【0028】

残念なことには、プローブ12の励起周波数に500kHzという低い周波数を使用することは、そのためにf HPF-3dBを500kHz未満にする必要があるため、一般的ではない。このHPF解決法は、送信パルス10aの後縁10atの望ましくない量の低周波部分がHPFの通過を許容され、基線誤差の原因になるため、この周波数範囲ではその有効性が著しく損なわれる。

【0029】

第2に、増幅器回路の損傷を防止するために、超音波送受信ユニット10の第1の増幅器段(図示せず)に印加される送信パルスの最大振幅が数ボルトに制限されている(クランプされている)。パルスが印加される毎に増幅器が飽和することになる利得レベルで超音波送受信ユニット10を動作させることはごく一般的である。フィルタが臨界制動されない場合、飽和した後のフィルタの応答は、送信パルス10aの後縁が、フィルタが適用されない場合よりいっそう悪くなる原因になる。臨界制動を保障するべく調整された多数のフィルタを製造済みの個々の機器に持たせることは可能であるが、フィルタ成分の製造可能性および長期温度変動を考慮すると、実際的な困難が伴う。

【0030】

また、増幅器は、一度飽和すると、線形動作領域に増幅器が復帰するまで相当の時間を要することに留意されたい。これは、送信パルス10aの後縁がゼロ基線に復帰するまでの間に要する時間が、増幅器入力信号が飽和レベル未満(すなわち線形動作範囲内)に維持されている場合より長くなる原因になっている。

【0031】

基線誤差の問題に対処するために使用されている代替方法は、クランプされた送信パルス10aを超音波送受信ユニット10の入力に直接結合することである。この方法によれば、HPFフィルタまたはBPFフィルタが使用されていないため、上で説明した複数の問題のうちの1つが回避される。

【0032】

直接結合解決法の有効性は、2つの点で制限されている。第1に、この直接結合解決法は、送信パルス10aの後縁10atの低周波部分を小さくするために何もしていない。第2に、超音波送受信ユニット10の増幅器の基線誤差およびオフセット誤差の直流成分が信号経路を通過して増幅される。これは、場合によっては、以下でさらに説明する様々なダイナミックレンジおよび飽和の問題の原因になっている。

【0033】

従来、探傷器は、傷測定シナリオのための最適設定を選択するために、フィルタを使用して、あるいは直接結合を介して使用者が機器を操作することができる準備を有している。

【0034】

次に図4を参照して、物体14の背面表面の近傍の傷の検出について説明する。傷14dは、場合によっては、ターゲット物体14の背面表面14aの極めて近くに存在していることがあり、その場合、傷エコー11bは、背面壁エコー11aの近傍に位置することになる。適切な検査を実施する(多くの正式な検査手順に従って)ためには、背面壁エコー11aのピークは、波形ディスプレイ18上で常に観察できる状態を維持しなければならない。それは、1)多孔性汚染物質または材料汚染物質によって生じるターゲット物体14中の微小傷14dによって、波形ディスプレイ18上で観察することができるほどには大きくないが、場合によっては背面壁14aに向かって移動するエコーの振幅を小さくする傷エコーが生成され、そのために傷エコー14dおよび背面壁エコー11aの振幅が小さくなる可能性があること、および2)プローブ12がターゲット物体14の表面14cに断続的に不適切に結合され、そのために背面壁エコー11aの振幅が小さくなる可能性があることによるものである。これらの2つの条件は、場合によっては、波形ディスプレイ18上で傷14dのエコーを観察することができない原因になっている。しかしながら、背面壁エコー11aの減少は、ターゲット物体14の材料またはプローブ12の結合に関連する問題を示している場合がある。背面壁エコー11aのピークが波形ディスプレイ18の一番上の観察可能部分を超えることが許容されている場合、ピ

10

20

30

40

50

ーク振幅の減少を波形ディスプレイ18上で観察することができなくなる可能性がある。検査実行者は、背面壁エコーゲート6d(図4参照)を調整して、背面壁エコー11aが許容される水平時間軸上の領域を設定することによって背面壁エコー11aの検出パラメータをセットアップしている。また、垂直振幅軸に対する閾値は、最小許容可能エコー振幅に対して設定される。通常、背面壁エコー11aがこれらのパラメータから外れると、警報が発せられる。

【0035】

この測定方法は、特定の問題をもたらしている。

【0036】

傷エコー11bと背面壁エコー11a間のエコー振幅の差は、限りなく大きくすることができる(最大数桁)。しかしながら、以下で説明するいくつかの方法(a、b、cおよびd)を使用して、傷エコー11bと背面壁エコー11aのピークの両方を波形ディスプレイ18上で確実に観察することができる状態を維持することができる。(本発明と比較するとこれらの方法には限界はあるが、満足すべき性能を提供することができる多くのアプリケーションが存在していることに留意されたい。)

10

【0037】

(a) プローブ12を2並列受信器およびA/D変換器チャネル(AおよびB)に接続する。チャネルAの利得は、傷14dのエコーの振幅を波形ディスプレイ18上で明確に観察することができるよう、その振幅を最適化するべく検査実行者によって調整される。チャネルBの利得は、上で説明した理由により、背面壁エコー11aのピークを波形ディスプレイ18上で確実に観察することができる状態が維持されるように調整される。

20

【0038】

チャネルAおよびBのA/D変換器のデジタル出力は、波形ディスプレイ18の水平時間スケール全体が、その背面壁エコーゲート6dの領域を除き、チャネルAのすべての出力を示す方法で結合される。背面壁エコーゲート6dの一番左側は、チャネルAからチャネルBに切り換わることになる時間点を表している。

【0039】

残念なことには、この2チャンネル方式には欠点がある。ターゲット物体中の傷の存在または傷の位置は、傷が検出されるまでは未知であるため、検査は、通常、走査運動中のターゲット物体14の表面に沿ってプローブ12を移動させることによって実行される。走査領域におけるターゲット物体の前面表面14cと背面表面14a間の厚さが一定ではない場合、背面壁エコー11aの検出を仕損じることがないようにするためには、この厚さの変化を含むだけの十分な広さに背面壁エコーゲート6dを調整する必要が生じることになる。

30

【0040】

両方のチャンネルが記憶され、かつ、チャンネル変更が後処理の中で実行される場合、この近背面壁検出の問題を解決することができる。これは、「追跡背面壁減衰器」解決法であろう。また、一方が傷を示し、もう一方が背面壁を示す二重すなわち分割表示窓を使用することも可能である。この分割表示窓を使用することにより、場合によっては背面壁を追跡し、また、ディスプレイを調整する必要性が除去される。受け取った信号の微小セクションは2回表示され、最初に大きい利得で傷セクションに表示され、次に小さい利得で背面壁セクションにもう一度表示されることになる。この方法によってサポートすることができるのは、後処理でゲート位置が計算される場合、背面壁に極めて近い傷を検出する傷警報ゲートのみである。

40

【0041】

したがって、背面壁傷エコー11bは、背面壁エコーゲート6bの領域に生じることになるため、近背面壁傷エコー11bの位置が背面表面14aに極めて近い場合、近背面壁傷エコー11bを検出することはできないことになる。これは、背面表面14aによる近表面分解能に対する望ましくない影響の原因になっている。また、受信器ハードウェアの量は、単一チャンネル解決法の場合に必要な量の約2倍である。

【0042】

50

(b) 2連続パルス受信測定サイクル方式の概念は、必要なチャンネルが1チャンネルのみである点を除き、2並列受信器およびA/D変換器チャンネル方式の概念と同様である。上記セクション(a)における説明は、この2連続パルス受信測定サイクル方式にも適用される。また、異なる利得に設定された2つの並列チャンネル内で傷エコー11bおよび背面壁エコー11aを処理する代わりに、パルス受信サイクル毎に、異なる利得で同じチャンネル内でエコーが処理される。

【0043】

この連続パルス受信測定サイクル方式に固有の欠点は、追加パルス間隔 T_0 (図2に示されている)によって傷エコー11bが背面壁エコー11aから時間分離されることである。したがって、プローブ12が走査運動で移動する際に、傷エコー11bが測定される時間と背面壁エコー11aが測定される時間の間でプローブ12の位置が変化することがあるため、測定誤差が生じる可能性がより高い。

【0044】

(c) 時間変化利得(TVG)は、傷エコー11bおよび背面壁エコー11aの振幅を最適化するために(既に説明した理由により)、超音波送受信ユニット10の増幅器の利得が動的に変化する単一チャンネル解決法である。

【0045】

このTVG方式も、2並列受信器およびA/D変換器チャンネル方式の場合と同様、背面表面14aによる近表面分解能に対する欠点と同じ欠点を有している。

【0046】

このTVG方式には他の欠点が存在している。したがって、図5は、利得6fから利得6hまで瞬時に変化し、そのためにアナログTVG増幅器からの追加近表面分解能誤差が導入されない理想TVG曲線6eを示したものである。上記の方法で説明した誤差は、依然として残っている。

【0047】

残念なことには、アナログTVG増幅器の場合、理想曲線6eを達成することは不可能である(とりわけ瞬時勾配6gを達成することは不可能である)。アナログTVG増幅器およびそれらを制御する外部信号は、利得変化率6gを制限する応答時間を有しており、そのために背面表面14aによる近表面分解能に対する望ましくない影響の原因になっている。利得が変化するための時間間隔6mを提供するためには、傷14dは、ターゲット物体14の背面表面14cからさらに離れていなければならないため、近表面分解能が悪くなる。重要なエコーの形で言及されている傷エコー11bは、時間間隔6mの開始に先立って生じなければならず、また、背面壁エコー11aは、時間間隔6mが終了する前に生じてはならない。

【0048】

TVG方式が抱えている他の問題は、超音波送受信ユニット10の受信器セクションの様々な直流オフセット誤差源に起因している。誤差源には、増幅器ICの入力直流オフセット誤差および基線誤差の直流成分が含まれている。

【0049】

本発明の譲受人による既存の特定の探傷器に存在している直流オフセット誤差は、利得があるレベルから次のレベルへ調整される毎に、個々の利得設定値で補償される。直流オフセット誤差は、温度の影響、長期間にわたる安定性、直流オフセット誤差の変動などを考慮するためにこの方法で補償される。この補償方法には、基線をA/D変換器のフルスケール範囲の中心に確実に維持し、かつ、波形ディスプレイ18上の最適位置に確実に維持する直流ヌル信号を注入するために、受信器の信号経路に沿って複数のD/A変換器が使用されている。機器がターンオンされる毎に、あるいは利得設定値が変更される毎に、基線誤差の読値を獲得し、必要な直流誤差修正値を計算し、かつ、DACをその値に設定するアルゴリズムがマイクロプロセッサ内を走る。

【0050】

上で説明した直流オフセット補償方法を、利得設定毎に、TVGを動作させるために必要な速度で実行することは実際的ではない。その代わりに、中間利得に対する直流オフセッ

10

20

30

40

50

ト修正値が設定され、それにより誤差が端点と端点の間で分割される。たとえば、20dBと60dBの間で動作するようにTVG範囲が設定されると、直流オフセット修正値は、誤差を補償するために40dBに設定される。この技法が抱えている問題は、傷を正確に検出し、かつ、サイズ化するためには望ましくない誤差がエコー振幅に導入されることである。

【0051】

(d) 対数増幅器を使用して、必要な無限のダイナミックレンジがカバーされ、波形ディスプレイ18上に対数スケールでエコーが表示される。この対数スケールにより、極めて広いダイナミックレンジが提供され、それにより振幅の小さい傷エコーと、振幅がはるかに大きい背面壁エコーのピークの両方を波形ディスプレイ上で観察することができる。

【0052】

残念なことには、この対数方式の使用には特定の望ましくない結果が伴っている。したがって、所与の背面壁エコーの振幅および振幅変化に対して、線形増幅器を使用した受信器の場合と比較すると、エコー波形のピークの垂直方向の変化は、波形ディスプレイ上ではほとんど観察することができない。これは、場合によっては、既に説明した、背面壁エコーのピーク振幅変化の観察による傷の検出をより困難にしている。

【0053】

さらに、対数増幅器の出力は、整流された波形も提供する。したがって、半波整流によって除去されるか、あるいは全波整流によって正のローブに変換されるため、負のエコーローブの位置を識別することはできない。1つのローブは他のローブより容易に観察することができるため、ターゲット物体14の厚さを正確に測定するためには、正および負のエコーローブの両方の正確な位置が極めて重要である。また、エコーの位相が反転したことを決定するためには、エコーローブの極性が必要である。音波が音響インピーダンスが小さい材料から音響インピーダンスが大きい材料へ通過すると、超音波エコーの位相反転が生じる。

【0054】

さらに、フィルタを適切に動作させるためには線形信号が必要であるため(対数増幅器は非線形デバイスである)、対数増幅器セクションの前段にすべてのフィルタを配置しなければならない。利得が大きい対数増幅器セクションの前段にフィルタ回路が配置されると、フィルタ成分を一体に接続するために必要なPCBトレースは、電磁雑音の影響およびフィルタによって生成される内部雑音の影響を受け易いため、受信器ははるかに高い雑音感受性を有することになり、増幅器は、最大極限まで増幅されることになる。

【0055】

図6は、超音波検査システムを実施するために利用されている従来技術回路のより詳細なバージョンをブロック図で示したものである。この情熱的なアナログ回路には、1つの選択可能入力として、スイッチ24を介して、それぞれ利得14dB、0dB、-8dB、-14dBおよび-20dBを有する一連の並列提供増幅器および/または減衰器28、30、32、34および36に供給するための変換器12からの信号が利用されている。スイッチ24は、さらに、利得較正器20の入力を受け取り、受け取った信号を減衰器32、34および36に直接提供し、また、スイッチ26を介して増幅器28および30に提供している。

【0056】

可変利得増幅器(VGA)40、42および44は、それぞれ、増幅器28および30から、また、スイッチ29からそれらの入力を受け取っている。スイッチ29は、減衰器32、34および36の出力のうちの選択された1つからなる出力31を提供している。VGAの出力はスイッチ46に提供されている。スイッチ46は、さらに、そのもう1つの入力として、利得較正器22からの信号を受け取っており、これらの信号を母線48を介して一連の高域通過フィルタ50、52、54、56、58、60、62および64に選択的に提供している。これらの高域通過フィルタの出力は、スイッチング回路網66を介して低域通過フィルタ70、72、74、76、78、80、82および84にスイッチされる。したがって、スイッチ66および67を介して所望の信号の選択を制御することにより、VGA40、42および44からの信号または利得較正器22からの信号を供給することができ、それにより選択された信号を下流側の別のVGA86に提供することができる。V

10

20

30

40

50

GA86の出力は、さらに、スイッチ92を介して増幅器90に提供されている。

【0057】

次に、最後に、この増幅器90の出力または利得較正器94の出力が100MHz10ビットアナログ-デジタル(A/D)変換器100に供給される。

【0058】

書替え可能ゲートアレイ(FPGA)106には、デジタル信号プロセッサおよび制御110に出力を提供するための、実時間サンプルデータ制御および記憶回路102ならびに測定利得検出および補償回路104が組み込まれている。デジタル信号プロセッサおよび制御110は、さらに、アナログ-デジタル変換器100の適切に処理された補間出力を獲得し、時間変化利得制御を提供し、かつ、ディスプレイ18上に表示することができる信号を生成するべく FPGA106の設定値を制御している。

10

【0059】

前置きした説明の観点から、多くの高域通過フィルタおよび低域通過フィルタの異なる周波数応答に帰し得る矛盾性および変化を防止し、また、アナログデバイスの直流オフセットおよび変動ならびに温度の影響を回避するために様々なアナログ回路を較正するタスクは、従来技術回路の設計者および使用者の両方に厳しい課題を課していることは容易に明らかであろう。

【0060】

図7に示されている本発明のブロック図の大まかな比較は、従来技術の欠点および複雑性の多くが回避される三重A/Dチャンネルを利用している本発明の場合、問題の多いアナログ回路の使用がはるかに少ないことを示している。

20

【0061】

図7に示されているブロック図では、スイッチ114aが閉じると、変換器12の出力13aが2つの前置増幅器110および112のみに直接提供される。前置増幅器112は、第3の増幅器122に供給している。これらの増幅器の信号は、それぞれ周波数応答トリムおよびフィルタブロック116、118および120で処理され、引き続いて3つのチャンネルA、B、Cに沿って差動増幅器ドライバ126、128および130に提供される。次に、3つのチャンネルに沿ったアナログ信号がそれぞれA/D変換器132、134および136に直接提供される。これらのA/D変換器のデジタル出力は、次に、制御および記憶ブロック142、デジタル積分器時間変化利得146および測定ゲート検出および複合A-走査圧縮回路152を組み込んだ書替え可能ゲートアレイ140に供給される。このFPGA140は、ディスプレイ18に信号を提供しているDSP160と共に動作している。

30

【0062】

図7に示す実施態様は、アナログ高域通過フィルタおよび低域通過フィルタ、追加増幅器および較正器ならびに様々なVGA回路の情熱的な使用を始めとする従来技術のアナログ回路および欠点のほとんどを除去しており、図7に示す回路によれば、これらのすべてが不要になる。

【0063】

図7に示す書替え可能ゲートアレイ140を参照しながら、その一部を実施した図8に注目すると、その実時間サンプルデータ制御および記憶、フィルタリング機能および補間機能が含まれている。

40

【0064】

前置きとして、図8に示すブロック図は、事実上、デバイスの通過帯域設定値によって決まる適合可能サンプリングレートを備えた波長可変デジタルフィルタを提供していることに留意されたい。このデバイスは、超音波および渦電流工業試験機器に使用されることが意図されている。

【0065】

本発明による補間器部分は、100MS/s A/D変換器サンプルデータのみを使用しつつ、ナイキスト周波数(50MHz)未満の周波数に対して400MS/sの有効サンプリングレートを生成している。

50

【0066】

本発明の譲受人のEpoch 4シリーズなどの既存の探傷器製品は、連続する2つの測定サイクルを実行することによって、事実上、A/D変換器のサンプルクロックの分解能が向上する交互配置機能を有している。

【0067】

変換器プローブおよび検査中の物体が互いに対して運動中の状態にある場合、交互配置による望ましくない影響が生じる。交互配置している間、正確な測定結果を得るためには、超音波測定事象は再現可能でなければならない。したがって、試験中の物体に対する変換器プローブの配置は、交互配置期間の間、可能な限り不変の状態を維持しなければならない。

10

【0068】

以下で詳細に説明する実施形態の場合、本発明の好ましい手法により、新規な方法で、複数の測定サイクルを介在させる必要なく、A/D変換器のサンプリングレートを超える4倍のサンプリングレートの向上が達成される。

【0069】

図8をさらに参照すると、RAW RAM205は、基本的に、図7に示す要素142に対応しており、図7に示す変換器132、134、136などのアナログ-デジタル変換器からのデータを記憶するデバイスを構成している。RAW RAM205は、100MS/sのデータ速度でデータを記憶し、かつ、プレイバックすることができる二重ポートRAMであることが好ましい。たとえば25MS/sのクロック速度で動作している場合、RAW RAM205から読み出されたデータは、平均値算出デシメータ206に供給される。平均値算出デシメータ206は、イネーブル信号201を受け取り、かつ、IIR(無限インパルス応答)フィルタ207に情報を提供する。IIRフィルタ207は、IIR係数レジスタ202に記憶されている、オペレータによる設定が可能な値によって定義されているフィルタリング機能に基づいてデータをフィルタリングする。この無限インパルス応答形フィルタは、図に示すように、フィルタクロックイネーブル211によってイネーブルされるフィルタクロック212で決まる速度で動作し、IIRフィルタ207にゲートフィルタクロック216を提供している。

20

【0070】

有限インパルス応答(FIR)フィルタ208は、FIR係数レジスタ203に記憶されているデータによって具体化され、かつ、定義される他のフィルタリング機能を提供している。FIRフィルタ208は、IIRフィルタ207と同期して動作している。ボックスカーフィルタ209は、FIRフィルタ208からデータを受け取り、そのデータ出力をデータ215の形態で提供している。ボックスカーフィルタ209は、フィルタクロック212の速度で動作し、さらに、図に示すようにボックスカー深さ信号213によって制御されている。

30

【0071】

したがって図8に示す回路は、事実上、論理ゲート、ゲートアレイなどの形態の必要なデジタルハードウェアを最少にする一方で、デジタルデータのフィルタリングおよび最適フィルタ応答の提供を実現している。デジタルハードウェアの最少化により、FPGA(書替え可能ゲートアレイ)に必要なサイズおよびコストが低減され、また、電力消費量が少なくなっている。携帯型機器の電池寿命をより長くするためには、電力消費量が少ないことが重要である。また、アナログフィルタ実施態様と比較すると、本発明により、さらに、部品数が著しく減少している。

40

【0072】

本発明によれば、1「時間単位」だけ間隔を隔てた利得値の事前ロード済みテーブルによって制御される可変利得アナログ増幅器(VGA)を使用している超音波探傷器の時間可変利得(TVG)を達成するための従来の方法に対する著しい改善が提供される。

【0073】

図10および11は、従来の方法および新しい発明による方法をそれぞれ簡単に示したものである。いずれの場合においても、TVG曲線342および343は、それぞれ、開始利得値、終了利得値およびこれらの値と値の間の総時間間隔を確立することによって生成されたもの

50

である。したがって、第1のTVG線分に対して、それぞれ0dB、10dBおよびT1が使用されている。このプロセスは、10dBから66dBまでのすべてのTVG線分に対して繰り返されている。

【0074】

従来のTVG方法および装置には、場合によっては、0dBから66dBまでのTVG範囲全体にわたる個々の利得設定値を記憶するためのデジタルメモリデバイスが必要である。したがって、図10の場合、TVG曲線342を生成するためには、VGAを制御しているDACに対して一定の速度で30個の利得値を記憶し、かつ、プレイバックする必要があることになる。従来の実施態様には、場合によっては実際には30個のTVGポイントよりはるかに多いTVGポイントが使用されているが、線図および説明を分かり易くするために、図9には30個のポイント

10

【0075】

本発明によれば、以下の点で従来のTVG方法が改善される。

a) TVG曲線線分を生成するために開始利得値、終了利得値および利得変化率勾配しか必要としないため、本発明には、所与のTVG曲線のために必要なTVGデジタルメモリはるかに少ない。従来のリストベースTVG方法は、開始利得値、終了利得値および個々のTVG線分のすべての中間利得値を記憶している。したがって、図3と比較すると、図11に示すTVG曲線343に必要な記憶場所は、30個ではなく、18個にすぎない。従来のTVG方法を使用した場合、典型的なTVG機能を実施するためにははるかに多くの中間利得ポイントが必要であるため、メモリサイズの縮小は、30対18の縮小よりはるかに重要である。

20

b) 上で言及した、従来の方法を実施するために必要なアナログコンポーネントに関連する問題が除去される。

c) 本発明による方法および装置は、完全にデジタル的に実施されるため、はるかに急峻なTVG線分を実現することができ、したがって連続するサンプルデータ間の時間間隔の速さ、たとえば100MS/s A/D変換器サンプリングシステムの場合であれば10nsの速さの最大利得時間変化率を得ることができる。この改善により、この業界における並外れて良好な背面壁減衰性能を得ることができる。

【0076】

図8aは、図8に示す好ましい実施形態のデジタル信号処理連鎖内におけるこの対数TVG 317の位置を示したものである。

30

【0077】

図9は、本発明によるTVG317の好ましい一実施態様を示したものである。回路の大部分(参照数表示301ないし315)は、特定のスケーリング値309をSYS_CLK342(図8a)サイクル毎に次の波形データポイント317に提供している。平均値算出デシメータ206への入力を生成するべく、スケーリング値309とRAW_RAM205から出力されるサンプルデータが掛け合わされ、最終的に、探傷器波形ディスプレイ18(図7)に出現する信号の見掛けの利得が生成される。

【0078】

本発明によればTVGプロセスが変化されることに言及しておくことは重要である。従来のアナログTVG回路またはデジタルTVG回路には、固定時間間隔における利得を修正する所定の利得係数リストが使用されている。本発明には、固定時間間隔を使用せず、適用すべき勾配およびその継続期間を利用することによって利得係数「オンザフライ」を生成する新しいTVGプロセスが使用されている。図9に示されている回路は、勾配および継続期間に基づいてTVGを達成するための唯一の方法ではない。この新しいTVGプロセスは、特定の回路実施態様ではなく、本発明の新規な概念の1つを示したものである。

40

【0079】

システムのセットアップは、一連の勾配/時間対を勾配FIF0306および時間FIF0301にロードすることによって開始される。これらの対の各々は、「利得勾配」すなわち桁移動子が増加する(1より大きい値)か、あるいは減少する(1未満の値)速度を示す0.000008と1.99999の間の範囲の固定小数点数、および「継続期間カウント」すなわちFIF0306および301

50

を次の勾配/時間対へ進める前に待機するクロックサイクル数を示す整数値を表している。

【 0 0 8 0 】

時間FIFO実施態様の場合、状態マシン303は、イネーブル線路304および305を使用して勾配FIFO306および時間FIFO301の両方をインクリメントする前に、継続期間値302によって決定される設定クロックサイクル数だけ待機する。それにより、次の勾配/時間対が勾配値307および継続期間値302にロードされ、プロセスが再開される。この方法によれば、勾配値307の各々は、時間FIFO301にロードされている対応する「時間値」に対して掛算器308の第1の入力に駆動される。

【 0 0 8 1 】

勾配FIFO実施態様の場合、勾配FIFO306にロードされ、かつ、勾配FIFO306から駆動される値は、 $0.000008(2^{-17})$ から $1.99999(2-2^{-17})$ までの範囲の18ビット固定小数点数である。この数は、桁移動子309の勾配(時間に対する変化率)を表しており、以下の論理が得られる。

1. 1より大きい値は利得に対応する(桁移動子309の値は時間と共に大きくなる)。
2. 1より小さい値は減衰に対応する(桁移動子309の値は時間と共に小さくなる)。
3. 正確に1に等しい値は不変に対応する(桁移動子309の値は時間によって変化しない)。

【 0 0 8 2 】

初期値レジスタ実施態様の場合、勾配FIFO306および時間FIFO301によって、桁移動子309を時間と共に変化させる方法が制御されるが、桁移動子309の開始(初期)値を予めレジスタにロードしておかなければならない。これは、INIT VALレジスタ312を使用して実施される。掛算器308の帰還経路に接続されているMUX310は、第1の実行サイクルでこの初期値(311からロードされる)をACC VALレジスタ314にロードすることができる。次に、MUX310は、そのもう一方の入力309を選択してACC VALレジスタ314に帰還することができる。

【 0 0 8 3 】

勾配FIFO306の出力は、掛算器累算器の一部である 36×36 掛算器308の一方の入力に供給されている。第2の入力315は、最後のクロックサイクルからの記憶値が含まれているACC VALレジスタ314の出力から駆動されている。掛算器308の出力は、クロックサイクル毎にこの記憶レジスタ314に帰還され、ロードされる。この方法によれば、クロックサイクル毎に、入力勾配値307によって指定される速度で、レジスタ(この場合、桁移動子)314に記憶されている値のアップまたはダウンを調整することができる。ハードウェア/ソフトウェアインタフェースを単純にするために、本発明には掛算器累算器が使用されていることに言及しておくことは重要である。掛算器累算器の使用には、デシベル(dB)が線形の勾配値が利用されている。

【 0 0 8 4 】

データスケールリングスキームによれば、桁移動子309は、予め第2の掛算器316の入力に送られ、入力データ17ポイントをスケール化するために使用される。スケール化されたデータであるこの第2の掛算器316の出力は、TVGブロック317から出力され、平均値算出デシメータ206に入力される。

【 0 0 8 5 】

それがこの方法の異なっている点であるが、デジタル時間可変利得は、使用時における利得値の生成に先だって実施されている。従来の方法には、受取りプロセスの間、クロックアウトされる極めて多数の利得値を保持するためのメモリチップが使用されている。この方法は、他の理由のための機器設計の一部であることが予測されるFPGAにインストールしなければならない。それにより、PCB基板空間、部品費および電力要求事項が低減される。

【 0 0 8 6 】

次に、図12ないし16を参照して、TVGシステムの第2ないし第6の実施形態について説明する。

10

20

30

40

50

【 0 0 8 7 】

最初に図12および第2の実施形態を参照するが、初めに、直ぐ下に示す用語およびフォーマットについてのコメントに留意されたい。

【 0 0 8 8 】

固定小数点ラベル付けフォーマット：以下で説明するこのフォーマットは、図12に使用されており、また、第2の実施形態のための明細書、つまり本書類に使用されている。

{符号ビットの数.整数ビットの数.小数ビットの数}

たとえば{0.1.31}のラベルは、

32総ビット

0符号ビット(符号のない数)

1整数ビット(最大値1)

31小数ビット(分解能 2^{-31})

の固定小数点数を表すことになる。

【 0 0 8 9 】

また、{1.17.0}のラベルは、

18総ビット

1符号ビット(符号付きの数)

17整数ビット(最大値 $2^{17}-1$)

0小数ビット(分解能1)

の固定小数点数を表すことになる。

【 0 0 9 0 】

図12では、所望のTVG曲線を生成するために、勾配FIFO1202を使用して、使用者によってプログラムされたTVG勾配値が記憶されている。図11には、TVG曲線343と共に勾配値の例が示されている。これらの値の各々は、時間FIFO1206中のその個々のアドレスの中で指定された継続期間の間、累算器掛算器1203への入力として使用することができる。

【 0 0 9 1 】

勾配値は、{0.1.31}の固定小数点フォーマットを有しており、したがって0からほぼ2までの範囲を有している。1より大きい勾配値は正の勾配(すなわちクロックサイクル毎に利得が大きくなる)になり、また、1未満の値は負の勾配(すなわちクロックサイクル毎に利得が小さくなる)になる。

【 0 0 9 2 】

勾配FIFO1202に記憶されている、所望のTVG曲線を計算するために使用される勾配値(SLOPE_VALUE)は、次の式から引き出される。

$$\text{TVG_SLOPE} = 20 \cdot F_s \cdot \log_{10}(\text{SLOPE_VALUE})$$

上式で

$$\text{TVG_SLOPE} = \text{利得勾配(単位}^{\text{dB}}/\text{s})$$

$$F_s = \text{データサンプリング周波数(単位Hz)}$$

$$\text{SLOPE_VALUE} = \text{FIFO(0, 2)にロードされる値}$$

である

【 0 0 9 3 】

時間FIFO1206は、所望のTVG曲線を生成するために必要なTVG継続期間値を記憶するために使用されている。図11には、TVG曲線343と共に勾配継続期間値の例がT1ないしT6で示されている。これらの値の各々は、対応する個々の勾配値を累算器掛算器1203の入力に適用するためのクロックサイクルの数を指定している。

【 0 0 9 4 】

継続期間値は、フォーマットが{0.18.0}の18ビット固定小数点値であり、したがって範囲は0ないし $2^{18}-1$ である。

【 0 0 9 5 】

FIFO1202および1206に記憶されている勾配-時間対は、それぞれ、システムの中で、ある1つの利得から他の利得まで、特定の時間量の中で正確に合計するためのターゲットと

10

20

30

40

50

して機能している。勾配-時間対の各々は、dB/単位時間(たとえばdB/マイクロ秒)で表される一定の変化率を有するTVG曲線の1つの線分を生成している。

【0096】

カウンタ1208は、勾配継続期間の時間間隔を制御するために使用されている。カウンタ1208は、クロック信号1210からそのCLK入力に提供されるクロックサイクル毎に1カウントだけインクリメントしている。カウンタ1208の出力1208aは、比較器1207の入力に提供されている。カウンタ1208は、TIME_VALUE1206aがCOUNT1208aに等しくなる毎に、クロックに同期してリセットされる。また、この時点で、時間FIFO1206および勾配FIFO1202の出力値は、次のTVG線分へ進行する。カウンタ1208のカウントは、リセットされるとゼロに復帰する。

10

【0097】

比較器1207は、カウンタ1208の現行の出力値と時間FIFO1206の現行の出力値とを比較している。これらの2つの値が等しい場合、比較器1207の出力は、たとえば論理ゼロから論理1へその状態が変化する。

【0098】

累算器掛算器1203は、帰還加算器1200の出力と勾配FIFO1202の出力を掛け合わせている。この掛算を達成するためには、最初にMUX1211によって帰還加算器1200の出力が選択され、レジスタ1212にクロックされなければならないことに留意されたい。結果として得られる累算器掛算器1203の出力は、全分解能利得値(FULL_RES_GAIN1203a)である。

【0099】

ビットスライス1204は、FULL_RES_GAIN1203aを2つの部分に分割し、出力信号1204aおよび1204bとしてそれらを提供している。

20

【0100】

一方の部分であるTRUNCATION_ERROR1204aには、FULL_RES_GAIN1203aの31個の最下位ビットのみが含まれており、誤差累算器1201の入力に提供されている。

【0101】

もう一方の部分は、ビット31から63(32ビット)を取った、20個の最下位整数ビットおよび12個の最上位小数ビットを使用したTRUNCATED_GAIN1204bである。2つの最上位整数ビットは、システムに実質的な影響を及ぼすことなく除去される。TRUNCATED_GAIN1204b値は、帰還加算器1200および利得掛算器1205の入力に提供される。

30

【0102】

誤差累算器1201は、オーバフロー出力1201aを有する31ビット累算器である。誤差累算器1201は、クロックサイクル毎にTRUNCATION_ERROR1204aを合計し、31ビットのすべてがハイである状態に対応する数を累積値が超えると、そのオーバフロービットをハイに設定する。オーバフロービットは、TRUNCATED_GAIN1204b値のLSBと等価である。

【0103】

帰還加算器1200は、帰還経路からのTRUNCATED_GAIN1204bにERROR_BIT1201aを加算するために使用される全精密加算器である。帰還加算器1200は、Mux1211の出力として選択されるとレジスタ1212によって累算器掛算器1203の入力に提供されるPREVIOUS_GAIN1200aを生成している。

40

【0104】

利得掛算器1205は、DATA_IN1209とTRUNCATED_GAIN1204bを掛け合わせ、その積から小数部分除去し、それによりDATA_OUT1205aの整数を生成している。

【0105】

図12に示す回路を動作させるためには、以下で説明するように、様々なステップが必要である。

【0106】

初期化するために、図11に示すTVG曲線343上のT1で示されているTVGサイクルの開始に先だって、TVG曲線343上の時間間隔T1ないしT6と結合した1組の勾配-時間対が勾配FIFO1202および時間FIFO1206にロードされる。FIFOローディング機構は示されていない。また、

50

Mux1211の出力としてPRESET_GAIN1211bが選択され、かつ、レジスタ1212に記憶され、その出力が累算器掛算器1203の入力に提供され、それにより初期利得が設定される。TVG時間間隔の数は、7つ以上にすることも、あるいは5つ以下にすることも可能である。図11は一例にすぎない。

【 0 1 0 7 】

次に、TVGサイクルが開始され、かつ、維持される。TVGサイクルT1を開始するために、カウンタ1208のクロック入力1210がイネーブルされ、カウンタ1208と時間FIFO1206の現行の出力値が等しくなる。カウンタ1208と時間FIFO1206の現行の出力値が等しくなると、比較器1207の出力であるFIFO_EN信号1207aの状態が変化し、カウンタ1208のリセット(RST)、勾配FIFO1202のクロック入力および時間FIFO1206のクロック入力にクロック縁が提供される。このクロック縁により、TVG曲線343の第1の対の勾配-時間値が勾配FIFO1202および時間FIFO1206の出力にそれぞれ出現する。

10

【 0 1 0 8 】

それと同時に、Mux1211の出力がPREVIOUS_GAIN1200aにスイッチされ、また、カウンタ1208がリセットされて、CLK1210の連続する個々のサイクル毎のカウントを再開する。この時点ではカウンタ1208の出力(COUNT)の方が時間FIFO1206の出力(TIME_VALUE)より小さいため、比較器1207は、その出力であるFIFO_EN1207aの状態を変化させる。

【 0 1 0 9 】

次に、カウンタ1208の出力値と時間FIFO1206の出力値が等しくなると、TVGサイクルT1が終了し、比較器1207は、その出力であるFIFO_EN1207aの状態を変化させる。この事象によってカウンタ1208がリセットされ、勾配-時間値の次の対がそれぞれ勾配FIFO1202および時間FIFO1206の出力に提供される。勾配FIFO1202の出力信号1202aの目的については、以下の利得制御の節で説明する。

20

【 0 1 1 0 】

サイクルT1に関連して上で説明したFIFO制御動作は、TVG曲線343のすべての線分が完了するまで、連続するサイクル(T2ないしT6)の各々に対して繰り返される。PRESET_GAIN1211bを連続するTVG線分(T2ないしT6)の各々に対する初期利得として使用することができることは、この第2の実施形態の範囲内である。

【 0 1 1 1 】

TVG時間間隔の数は、7つ以上にすることも、あるいは5つ以下にすることも可能である。図11は一例にすぎない。

30

【 0 1 1 2 】

利得制御に対しては、以下の説明のために、Mux1211の出力としてPREVIOUS_GAIN1200aが選択されている。

【 0 1 1 3 】

TVG間隔の間、クロックサイクル毎に勾配FIFO1202の出力とPREVIOUS_GAIN1200aが累算器掛算器1203で掛け合わされ、対数調整されたFULL_RES_GAIN1203aがクロックサイクル毎に得られる。

【 0 1 1 4 】

FULL_RES_GAIN1203aは、そのサイクルの現行ポイントにおける全精密システム利得を表している。この66ビット値は、ビットスライス1204によって32ビットに切り捨てられ、帰還加算器1200および利得掛算器1205に提供されるTRUNCATED_GAIN信号1204bが生成される。この32ビットTRUNCATED_GAIN信号1204bにより、FULL_RES_GAIN1203aの全66ビットを使用して達成することができるデータ経路より狭く、かつ、より単純なデータ経路を使用することができる。この利点を達成するためには、さらに、ビットスライス1204のもう一つの出力であるTRUNCATION_ERROR1204aを適切に考慮しなければならない。

40

【 0 1 1 5 】

単発的に生じるTRUNCATION_ERROR1204aは、実質的な誤差にはならないが、複数のサイクルにわたって誤差が累積されると実質的な誤差になり、TVGシステムが不正確になる原因になることがある。この問題は、図12に示す、以下で説明する他のサブシステムブロッ

50

クと共に誤差累算器1201を使用することによって防止される。

【0116】

利得出力および帰還修正経路は、以下のように進行する。以下の説明のために、Mux1211の出力としてPREVIOUS_GAIN1200aが選択されている。

【0117】

DATA_IN1209およびTRUNCATED_GAIN1204bが、TVGシステムの出力であるDATA_OUT1205aを生成するために2を掛け合わせる利得掛算器1205の入力に提供される。利得掛算器1205は、出力データDATA_OUT1205aの固定小数点フォーマットが入力データDATA_IN1209の固定小数点フォーマット、詳細にはフォーマット{1.17.0}と整合するよう、その出力値を切り捨てる。

10

【0118】

また、TRUNCATED_GAIN1204bが帰還加算器1200の一方の入力に提供され、そのもう一方の入力として、誤差累算器1201からのERROR_BIT1201aが提供される。帰還加算器1200は、Mux1211の出力として選択され、レジスタ1212にロードされると、その出力PREVIOUS_GAIN1200aを累算器掛算器1203の一方の入力に提供する。次の利得設定値を計算するために、累算器掛算器1203のもう一方の入力に勾配FIF01202の出力1202aが提供される。

【0119】

ビットスライス1204によって実行される切捨ては、補償されない場合、TVG曲線に望ましくない丸め誤差が生成される原因になることがある。この問題を軽減するために、誤差累算器1201は、TVGクロックサイクル毎にTRUNCATION_ERROR1204aの切り捨てられた31個のビットを合計している。誤差累算器1201は、連続するサイクルからの31個の最下位ビットが32番目のビットに等しいか、あるいはそれより大きくなるまで加算されるとオーバフローし、ERROR_BIT1201aに対して1の値を生成する。次に、ERROR_BIT1201aが帰還加算器1200によってTRUNCATED_GAIN1204bの値に加えられ、PREVIOUS_GAIN1200aが1だけ大きくなる。

20

【0120】

次に、図13に示すブロック図を参照して、アナログ積分器およびVGAを使用した第3の実施形態について説明する。

【0121】

本発明者は、図13に示すようなアナログ回路とデジタル回路の組合せを使用することによって本発明の利点を達成する第3の実施形態を企図している。

30

【0122】

詳細には、アナログ回路1300およびDAC(デジタル-アナログ変換器)1304の新しい要素が、デジタル回路1202、1206、1207、1208およびそれらの個々の信号と共に使用されている。これらのデジタル回路は、図12に示す対応する項目番号のデジタル回路と全く同じ方法で動作している。

【0123】

特に明記されていない場合、以下の説明には図13が参照されている。

【0124】

利得制御のために、以下で説明するように、アナログ積分器1301の初期利得入力および勾配入力を設定し、かつ、VGA1303の利得制御信号として出力1301aを提供することにより、特定のTVG線分に対する利得制御が達成される。TVG線分の継続期間中におけるアナログ積分器1301の出力は、一定の勾配の直流信号である。

40

【0125】

VGAの利得制御関数は、VGA1303のために選択されるコンポーネント(たとえば線形コンポーネントまたは対数コンポーネント)の伝達関数(つまり制御電圧対利得設定値)で決まる。また、図には示されていないが、アナログ積分器1301とVGA1303の間の信号経路に線形-指数変換器を配置し、線形VGAまたは対数VGAのいずれかの使用を可能にすることも本発明の範囲内である。

【0126】

50

TVGサイクルの初期化は、次のように進行する。図11に示すTVG曲線343上のT1で示されているTVGサイクルの開始に先だって、TVG曲線343上の時間間隔T1ないしT6と結合した1組の勾配-時間対が勾配FIFO1202および時間FIFO1206にロードされる。FIFOローディング機構は示されていない。勾配FIFO1202の出力がDAC1304の入力に提供され、出力1304aが所望の勾配設定値に対応する直流レベルに設定される。また、初期化プロセスの一環としてINITIAL_GAIN1305がアナログ積分器1301の入力に提供され、初期利得が設定される。

【0127】

TVGサイクルの開始および維持は、次のように進行する。TVGサイクルT1を開始するために、カウンタ1208のクロック入力1210がイネーブルされ、カウンタ1208と時間FIFO1206の現行の出力値が等しくなる。カウンタ1208と時間FIFO1206の現行の出力値が等しくなると、比較器1207の出力であるFIFO_EN信号1207aの状態が変化し、カウンタ1208のリセット(RST)、勾配FIFO1202のクロック入力および時間FIFO1206のクロック入力にクロック縁が提供される。このクロック縁により、TVG曲線343の第1の対の勾配-時間値が勾配FIFO1202および時間FIFO1206の出力にそれぞれ出現する。

10

【0128】

それと同時にカウンタ1208がリセットされ、CLK1210の連続する個々のサイクル毎のカウントを再開する。この時点ではカウンタ1208の出力(COUNT)の方が時間FIFO1206の出力(TIME_VALUE)より小さいため、比較器1207は、その出力であるFIFO_EN1207aの状態を変化させる。この状態変化は、勾配FIFO1202および時間FIFO1206をクロックするために必要なクロック縁の方向とは反対方向の変化であり、したがってそれらに影響を及ぼすことはない。

20

【0129】

TVGサイクルの終了は、次のように進行する。カウンタ1208の出力値と時間FIFO1206の出力値が等しくなると、TVGサイクルT1が終了し、比較器1207は、その出力であるFIFO_EN1207aの状態を変化させる。この事象によってカウンタ1208がリセットされ、勾配-時間値の次の対がそれぞれ勾配FIFO1202および時間FIFO1206の出力に提供される。勾配FIFO1202の出力信号1202aの目的については、以下の利得制御の節で説明する。

【0130】

サイクルT1に関連して上で説明したFIFO制御動作は、TVG曲線343のすべての線分が完了するまで、連続するサイクル(T2ないしT6)の各々に対して繰り返される。

30

【0131】

最後のサイクルT6が終了する時点におけるVGA1303の利得設定値は、次のTVG曲線が開始されるまで一定のレベルに維持されるか、あるいは新しい値が設定される。利得は、DAC1304の出力を勾配値ゼロに設定することによって一定のレベルに維持される。新しい利得値は、既に説明したように、INITIAL_GAIN信号1305を所望の利得値に設定することによって設定される。この新しい利得値は、DAC1304の出力を勾配値ゼロに設定することによって一定のレベルに維持することができる。

【0132】

TVG時間間隔の数は、7つ以上にすることも、あるいは5つ以下にすることも可能である。図11は一例にすぎない。

40

【0133】

次に、図14に示すブロック図を参照して、デジタル積分器およびアナログVGAを使用した第4の実施形態について説明する。

【0134】

本発明者は、図13に示すアナログ積分器1301およびDAC1304を図14に示すデジタル積分器1401に置き換えた、第3の実施形態の代替実施形態を企図している。図13に示す実施形態3のVGA1303の機能と同じ機能を達成するために、DAC1401hの出力がVGA1400bの利得制御信号として提供されている。

【0135】

詳細には、デジタル積分器1401は、アナログ回路1400およびデジタル回路1202、12

50

06、1207、1208およびそれらの個々の信号と共に使用されている。デジタル積分器1401を除くこれらのデジタル回路は、図12に示す実施形態2の対応する項目番号のデジタル回路と全く同じ方法で動作している。また、アナログ回路1400およびその個々の信号は、アナログ積分器1301を除き、図13に示す対応する項目番号のアナログ回路およびその個々の信号と全く同じ方法で動作している。

【 0 1 3 6 】

特に明記されていない場合、以下の説明には図14が参照されている。

【 0 1 3 7 】

利得制御の場合、VGAの利得制御関数は、VGA1303のために選択されるコンポーネントのタイプに応じて線形関数にすることも、あるいは対数関数にすることもできる。また、図10には示されていないが、デジタル積分器1401のレジスタ1401gとVGA1303の間の信号経路に線形-指数変換器を配置し、線形VGAまたは対数VGAのいずれかの使用を可能にすることも本発明の範囲内である。

【 0 1 3 8 】

TVGサイクルの初期化は、次のように進行する。図11に示すTVG曲線343上のT1で示されているTVGサイクルの開始に先だって、MUX1401bの出力として、レジスタ1401gの入力に提供されるINITIAL_GAIN信号1401aが選択される。TVG曲線343上の時間間隔T1ないしT6と結合した1組の勾配-時間対が勾配FIFO1202および時間FIFO1206にロードされる。FIFOローディング機構は示されていない。

【 0 1 3 9 】

TVG時間間隔の数は、7つ以上にすることも、あるいは5つ以下にすることも可能である。図11は一例にすぎない。

【 0 1 4 0 】

TVGサイクルの開始および維持は、次のように進行する。TVGサイクルT1を開始するために、クロックCLK1210がイネーブルされ、次に、その最初の縁によってINITIAL_GAIN信号1401aがレジスタ1401gの出力にロードされ、それによりDAC1401hの出力がVGA1303の所望の初期利得に設定される。また、それと同時に、レジスタ1401gの出力1401dが加算器1401cの入力に提供され、カウンタ1208がインクリメントされて時間FIFO1206の現行の出力値より1カウントだけ大きくなる。そのため、今度は比較器1207の出力であるFIFO_EN信号1207aの状態が変化し、それによりカウンタ1208がリセットされ、TVGサイクルT1が開始される。また、FIFO_EN信号1207aのこの状態変化によって勾配FIFO1202および時間FIFO1206がクロックされ、TVG曲線343の第1の対の勾配-時間値がそれらの出力にそれぞれ出現する。また、カウンタ1208の出力(COUNT)が時間FIFO1206の出力(TIME_VALUE)より小さくなり、そのため、TVGサイクルT1を終了させるリセット事象に備えて、比較器1207の出力であるFIFO_EN信号1207aの状態が変化する。この状態変化は、勾配FIFO1202および時間FIFO1206をクロックし、また、CLK1210をリセットするために必要なクロック縁の方向とは反対方向の変化であり、したがってクロッキング縁ではないため、それらに影響を及ぼすことはない。

【 0 1 4 1 】

CLK1210の最初のクロック縁の後で、かつ、その次のサイクルの開始に先立つ任意の時点で、MUX1401bによって加算器1401cの出力が選択され、レジスタ1401gの入力に提供される。この入力、CLK1210の次のサイクルの開始時にレジスタ1401gの出力に転送され、それにより初期利得値の後の次の利得設定値が生成される。この時点では、レジスタ1401gの出力には、INITIAL_GAIN信号1401aと勾配FIFO1202からの第1の勾配値の合計である利得値が含まれている。この出力はDAC1401hの入力に提供され、VGA1303の利得制御信号1301aが生成される。

【 0 1 4 2 】

利得制御信号1301aは、勾配FIFO1202によって提供される勾配値の極性に応じて、CLK1210の連続する個々のクロックサイクル毎にVGA1303の利得をインクリメントまたはデクリメントする。勾配の極性が正である場合、利得変化は、その前の利得+勾配値の大きさ

10

20

30

40

50

に等しい。勾配の極性が負である場合、利得変化は、その前の利得-勾配値の大きさに等しい。このプロセスは、線分T1が終わるまで継続され、また、図11に示すTVG曲線343上の線分T2ないしT6に対して繰り返される。

【 0 1 4 3 】

FIFO_EN信号1207aの次のクロッキング縁によって勾配FIFO1202および時間FIFO1206の次の組の値がそれらの個々の出力に転送されると、TVG曲線343上の線分T2ないしT6が開始される。また、先行するサイクルの利得と勾配FIFO1202の第2の勾配値の合計に等しい利得値がレジスタ1401gの出力にロードされる。この出力はDAC1401hの入力に提供され、VGA1303の利得制御ピンに提供される信号1301aが生成される。このプロセスは、TVG曲線343が終わるまで継続される。

10

【 0 1 4 4 】

TVGサイクルを終了させるための手順は、次の通りである。カウンタ1208の出力値と時間FIFO1206の出力値が等しくなると、個々のTVGサイクル(T1ないしT6)が終了し、比較器1207は、その出力であるFIFO_EN1207aの状態を変化させる。この事象によってカウンタ1208がリセットされ、勾配-時間値の次の対がそれぞれ勾配FIFO1202および時間FIFO1206の出力に提供される。

【 0 1 4 5 】

最後のサイクルT6が終了する時点におけるVGA1303の利得設定値は、次のTVG曲線が開始されるまで維持されるか、あるいは新しい値が設定される。一定の利得を維持するための方法の1つは、CLK1210をディセーブルすることである。新しい利得値を設定するための方法の1つは、既に説明したようにINITIAL_GAIN信号1401aを使用することである。

20

【 0 1 4 6 】

TVG時間間隔の数は、7つ以上にすることも、あるいは5つ以下にすることも可能である。図11は一例にすぎない。

【 0 1 4 7 】

次に、図15に示すブロック図を参照して、ピースワイズ線形TVG曲線を達成するためにデジタル積分器および利得掛算器を使用した第5の実施形態について説明する。

【 0 1 4 8 】

第5の実施形態は、DAC1401hおよびVGA1303が除去され、また、レジスタ1401gの出力が利得掛算器1500に提供されている点を除き、第4の実施形態と全く同じ方法で動作している。また、第5の実施形態は、純粋なデジタル実施態様であるため、DATA_IN1209は利得掛算器1500の入力に提供されており、DATA_OUTはその出力である。

30

【 0 1 4 9 】

第5の実施形態は、利得制御が線形関数であるが、TVG曲線の個々のT線分上のポイント数が十分である場合、ピースワイズ線形方法を使用して図11に示す対数TVG曲線343を近似することができる点で異なっている。

【 0 1 5 0 】

図16に示すブロック図を参照して、対数TVG曲線を達成するためにデジタル積分器、線形-指数変換器および利得掛算器を使用した第6の実施形態について説明する。

【 0 1 5 1 】

第6の実施形態は、レジスタ1401gの出力と利得掛算器1500への入力の間線形-指数変換器1600が挿入されている点を除き、第5の実施形態と全く同じ方法で動作している。この実施形態によれば、レジスタ1401gの線形出力に対数TVG曲線を生成させることができる。

40

【 0 1 5 2 】

また、以下のシナリオも本発明の範囲内であることに留意されたい。

a) 線形制御アナログTVGを備えた対数TVG関数のピースワイズ線形近似を使用したデジタル積分器。

b) 図13に示すアナログ積分器1301の出力1301aがA/D変換器(図示せず)を使用してサンプリングされ、図15および16に示すデジタル積分器1401の出力の代わりに、A/D変換器の出

50

力が使用される。

【0153】

本明細書および特許請求の範囲を通して、「エコー」信号が参照されている。当業者には理解されるように、特定の環境またはアプリケーションでは、変換器12の送信器コンポーネントおよび受信器コンポーネントは物理的に分離されており、受信器は、試験中の物体の反対側に配置される。したがって、本明細書において使用されている「エコー」という用語は、いわゆるエコー信号が試験中の物体を通過する実施形態にも関係しており、また、これらの実施形態を包含している。

【0154】

以上、本発明について、エコー原理に基づいて排他的に動作する単一の変換器要素を使用して探傷が実行される実施形態に関連して、および/または物質を通過する超音波を処理する送信器/受信器対を参照して排他的に説明した。しかしながら、本発明は、超音波整相列プローブなどの複数の変換器要素のアレイを使用した探傷機器にも等しく適用することができることに留意されたい。単一要素超音波変換器の場合、受信に使用される整相列超音波プローブの個々の変換器要素の応答信号は、条件付けおよびそれに引き続くアナログ-デジタル変換器によるデジタル化のために、受信器チャネルの入力に提供される。つまり、特許請求項中の「変換器」(単数の)の参照は、超音波整相列タイプのプローブにも関係しているとみなされる。複数の変換器のこのようなアレイは、全く同じであるか、あるいは単一要素変換器と少なくとも等価であるとみなされる。参照によりその特許の内容が本明細書に組み込まれている米国特許第4,497,210号および第6,789,427号に、このような超音波整相列デバイスの構造が記載または参照されている。

【0155】

本発明について、本発明の特定の実施形態に関連して説明したが、当業者には他の多くの変形形態および改変ならびに他の使用法が明らかになるものと思われる。したがって、本発明は、本明細書における特定の開示によって制限されるのではなく、特許請求の範囲によってのみ制限されることが好ましい。

【図面の簡単な説明】

【0156】

【図1】超音波検査装置の基本構造を示すブロック図である。

【図2】図1に示すデバイスの基本波形線図である。

【図3】超音波パルスの後縁特性を示す波形線図である。

【図4】波形ディスプレイとターゲット物体中の故障位置を並べて比較したブロック図である。

【図5】図4の続きを示す図である。

【図6】超音波検査装置の従来技術による実施態様の回路ブロック図である。

【図7】本発明による超音波検査装置の徹底的にデジタル化された実施態様の回路図である。

【図8】本発明と共に使用することができる波長可変デジタルフィルタを示す図である。

【図8a】図8に示す回路内への対数TVGの組込みを示す図である。

【図9】図8aに示す対数TVGのブロック図である。

【図10】従来技術によるTVGの実施態様を示す線図である。

【図11】本発明によるTVGアルゴリズムを示す線図である。

【図12】図8aに示すTVGの第2の実施形態のブロック図である。

【図13】図8aに示すTVGの第3の実施形態のブロック図である。

【図14】図8aに示すTVGの第4の実施形態のブロック図である。

【図15】図8aに示すTVGの第5の実施形態のブロック図である。

【図16】図8aに示すTVGの第6の実施形態のブロック図である。

【符号の説明】

【0157】

110	デジタル信号プロセッサおよび制御	
110、112、122	前置増幅器	
201	イネーブル信号	
202	IIR係数レジスタ	
203	FIR係数レジスタ	
205	RAW RAM	
206	平均値算出デシメータ	
207	IIR(無限インパルス応答)フィルタ	
208	有限インパルス応答(FIR)フィルタ	
209	ボックスカーフィルタ	10
211	フィルタクロックイネーブル	
212	フィルタクロック	
213	ボックスカー深さ信号	
216	ゲートフィルタクロック	
301、1206	時間FIFO	
302	継続期間値	
303	状態マシン	
304、305	イネーブル線路	
306、1202	勾配FIFO	
307	勾配値	20
308	掛算器	
309	スケーリング値(桁移動子)	
310、1211、1401b	MUX	
312	INIT_VALレジスタ	
314	ACC_VALレジスタ(記憶レジスタ)	
315	掛算器の第2の入力	
316	第2の掛算器	
317	対数TVG(波形データポイント、TVGブロック)	
342、343	TVG曲線	
342	SYS_CLK	30
1200	帰還加算器	
1200a	PREVIOUS_GAIN	
1201	誤差累算器	
1201a	誤差累算器のオーバフロー出力(ERROR_BIT)	
1202a	勾配FIFOの出力信号	
1203	累算器掛算器	
1203a	FULL_RES_GAIN	
1204	ビットスライス	
1204a	ビットスライスの出力(TRUNCATION_ERROR)	
1204b	ビットスライスの出力(TRUNCATED_GAIN)	40
1205、1500	利得掛算器	
1205a	DATA_OUT	
1206a	TIME_VALUE	
1207	比較器	
1207a	FIFO_EN信号	
1208	カウンタ	
1208a	カウンタの出力(COUNT)	
1209	DATA_IN	
1210	クロック信号	
1211b	PRESET_GAIN	50

- 1212、1401g レジスタ
- 1300、1400 アナログ回路
- 1301 アナログ積分器
- 1301a アナログ積分器の出力(VGAの利得制御信号)
- 1303、1400b VGA
- 1304、1401h DAC(デジタル-アナログ変換器)
- 1304a DACの出力
- 1305、1401a INTITAL_GAIN信号
- 1400b VGA
- 1401 デジタル積分器
- 1401c 加算器
- 1401d レジスタの出力
- 1600 線形-指数変換器

【 図 1 】

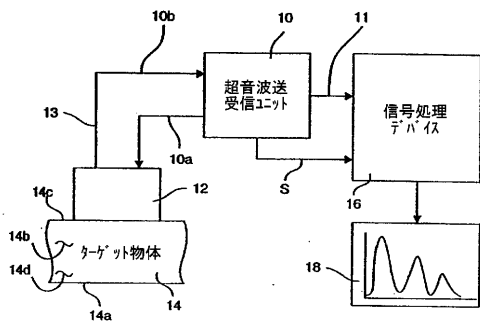


FIG. 1

【 図 3 】

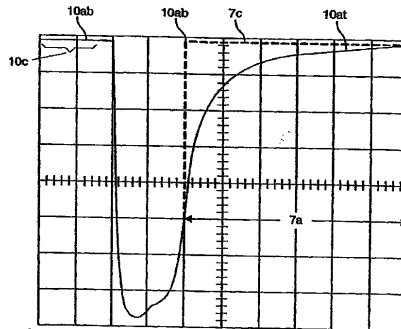


FIG. 3

【 図 2 】

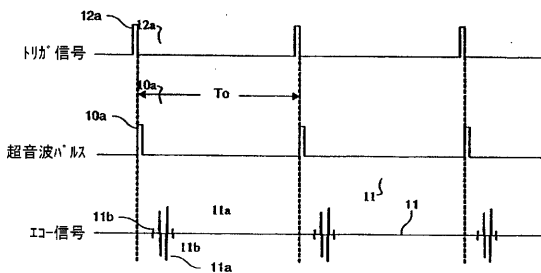


FIG. 2

【図4】

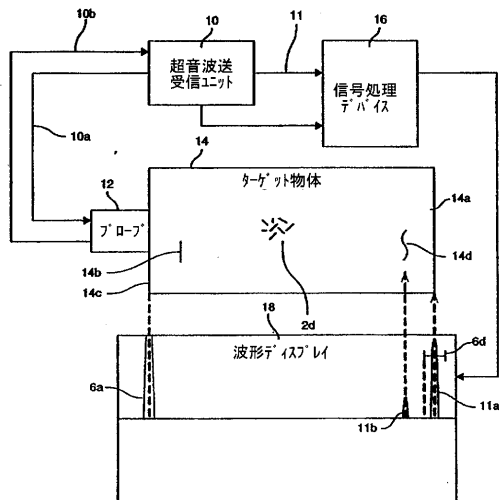


FIG. 4

【図5】

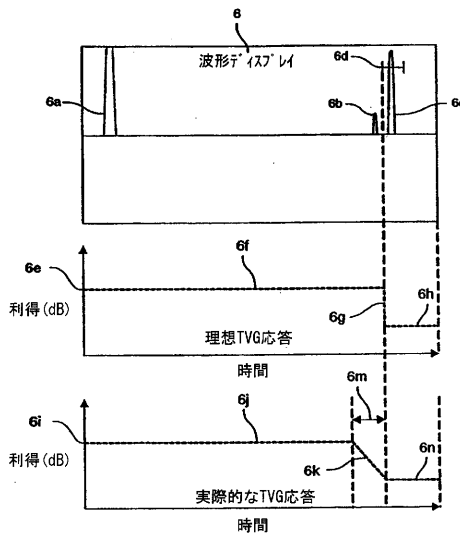


FIG. 5

【図6】

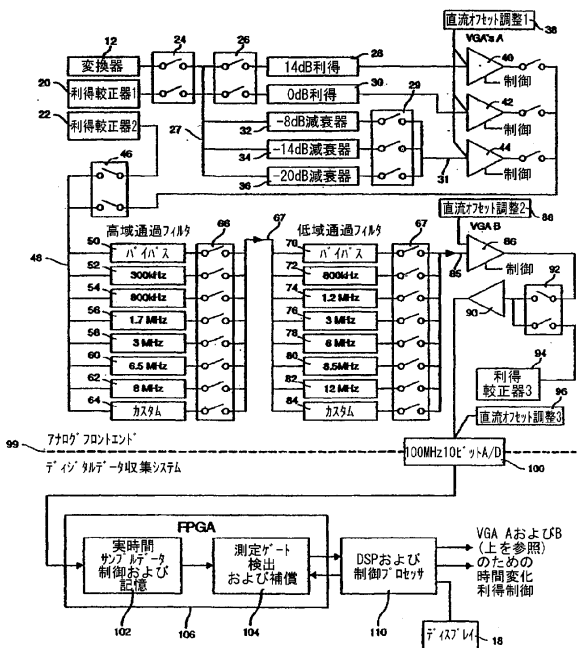


FIG. 6

【図7】

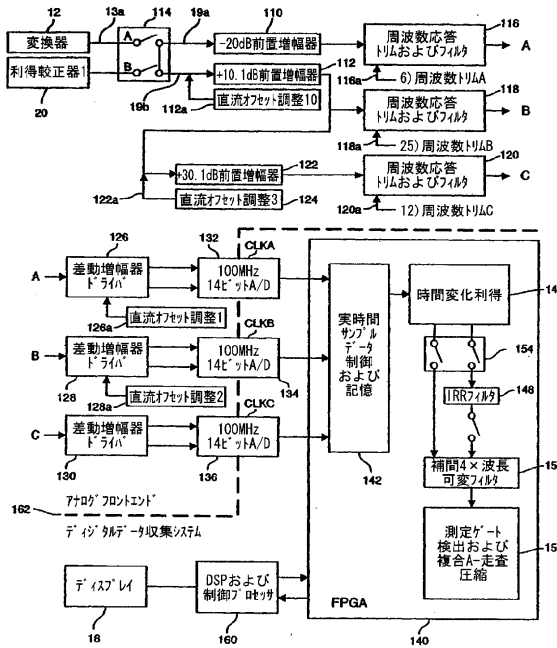


FIG. 7

【 図 8 】

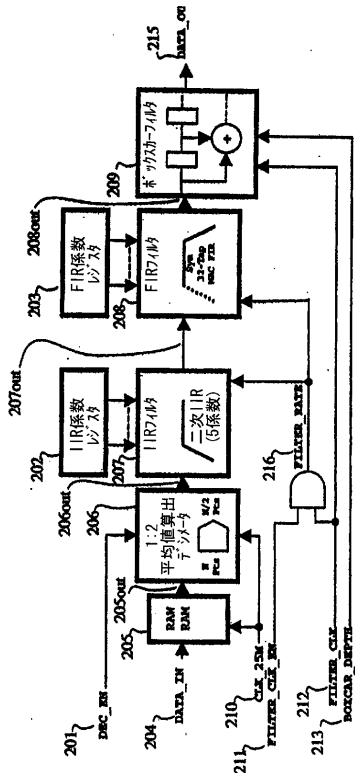


FIG. 8

【 図 8 a 】

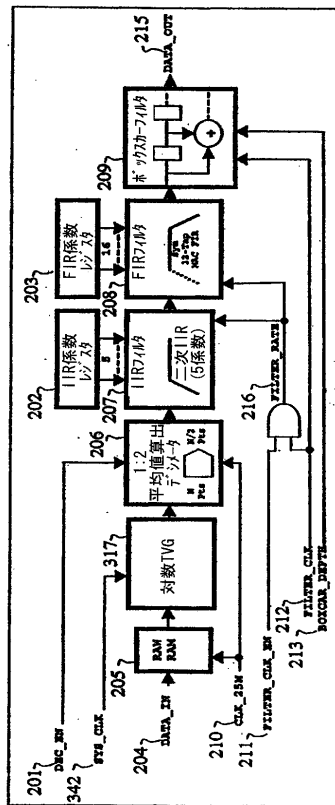


FIG. 8a

【 図 9 】

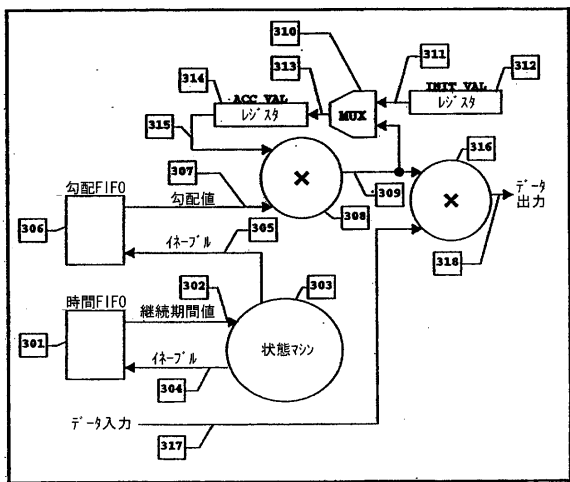


FIG. 9

【 図 10 】

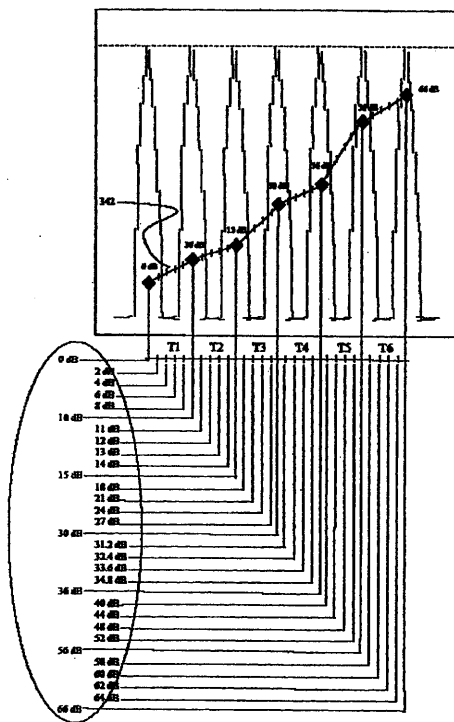


FIG. 10

従来技術

【図11】

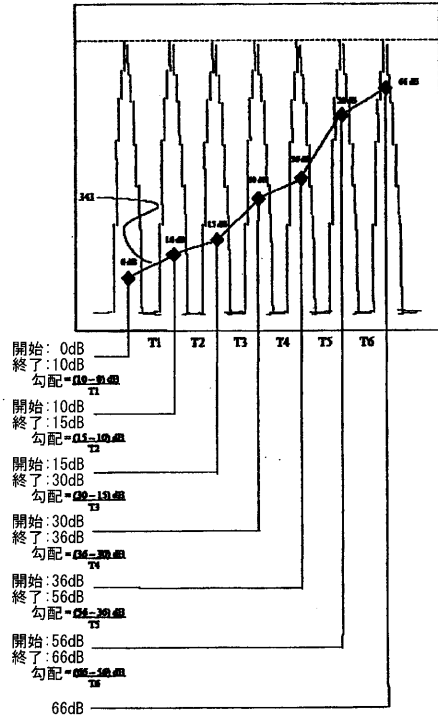


FIG. 11

【図12】

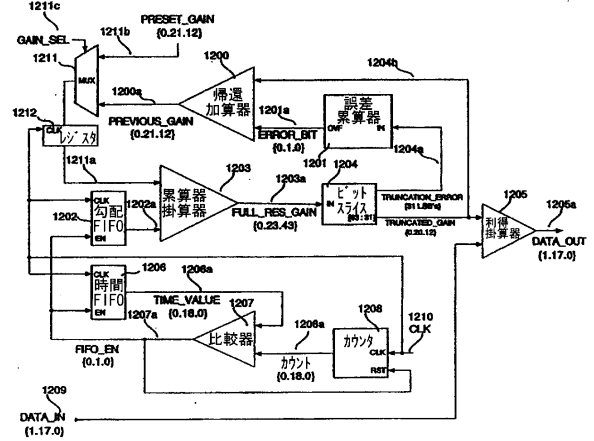


FIG. 12

【図13】

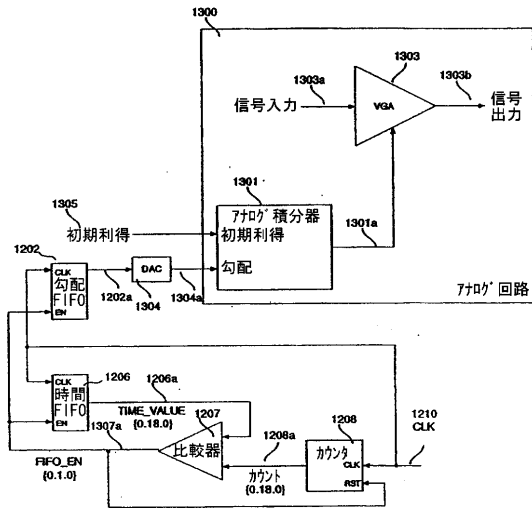


FIG. 13

【図14】

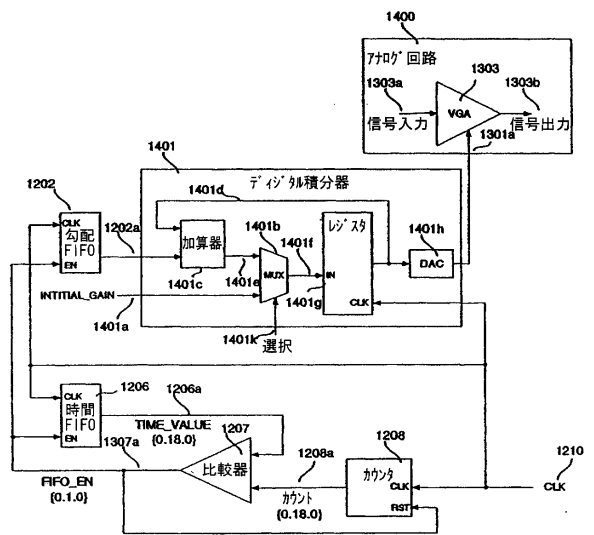


FIG. 14

【図15】

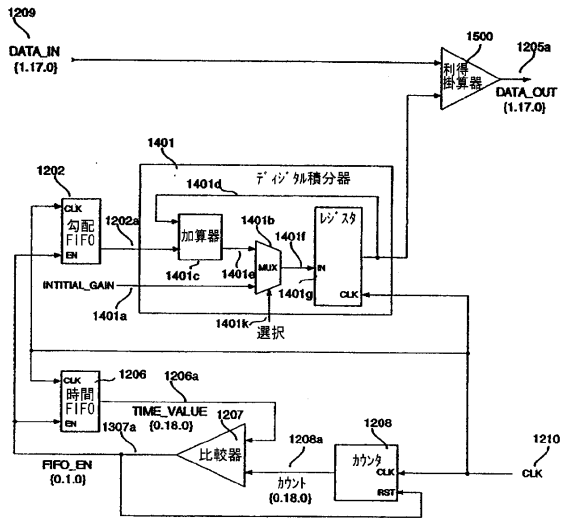


FIG. 15

【図16】

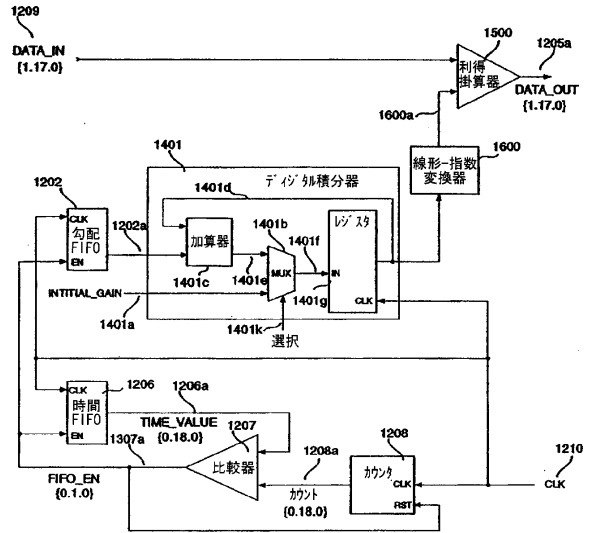


FIG. 16

フロントページの続き

- (31)優先権主張番号 60/726,776
(32)優先日 平成17年10月14日(2005.10.14)
(33)優先権主張国 米国(US)
(31)優先権主張番号 11/489,892
(32)優先日 平成18年7月20日(2006.7.20)
(33)優先権主張国 米国(US)

前置審査

- (72)発明者 アンドリュー・トーマス
アメリカ合衆国・マサチューセッツ・01886・ウェストフォード・レイク・ショア・ドライブ
・ノース・7
(72)発明者 スティーヴン・ベッサー
アメリカ合衆国・マサチューセッツ・01702・フラミンガム・グッドナウ・レーン・8

審査官 森口 正治

- (56)参考文献 実開昭62-018111(JP,U)
特開平06-154227(JP,A)

- (58)調査した分野(Int.Cl., DB名)
G01N 29/04
G01N 29/30