

公告本

申請日期	90 年 8 月 2 日
案 號	90118891
類 別	IC/L 21/8242

A4
C4

529130

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	半導體積體電路裝置及其製造方法
	英 文	
二、發明人 創作	姓 名	(1) 飯島晉平 (2) 大路讓 (3) 國友正人
	國 籍	(1) 日本 (2) 日本 (3) 日本
	住、居所	(1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內 (3) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地
	代 表 人 姓 名	(1) 庄山悅彦

申請日期	90 年 8 月 2 日
案 號	90118891
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 新型名稱	中 文	
	英 文	
二、發明人 創作人	姓 名	(4) 平谷正彦 (5) 松井裕一 (6) 太田裕之
	國 籍	(4) 日本 (5) 日本 (6) 日本 (4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 (股) 知的所有權本部內
	住、居所	(5) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 (股) 知的所有權本部內 (6) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所 (股) 知的所有權本部內
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

經濟部智慧財產局員工消費合作社印製

申請日期	90 年 8 月 2 日
案 號	90118891
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 創作人	姓 名	(7) 熊谷幸博
	國 籍	(7) 日本 (7) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所（股）知的所有權本部內
	住、居所	
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

經濟部智慧財產局員工消費合作社印製

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 2000 年 8 月 21 日 2000-249675 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

發明背景

本發明係關於半導體積體電路及其製造技術，特別是關於適用於具有 D R A M (Dynamic Random Access Memory) 之半導體積體電路而有效的技術。

D R A M 的記憶胞，一般係在半導體基板的主面上被配置於矩陣狀配置的複數字線與複數位元線之交點。1 個記憶胞係由選擇其之 1 個 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor: 金屬絕緣體半導體場效應電晶體)，與被串聯接續於此 M I S F E T 之 1 個資訊蓄積用電容元件 (電容) 所構成。

記憶胞選擇用 M I S F E T，被形成於以元件分離區域包圍周圍的活性區域，主要係由閘極絕緣膜、與字線構成爲一體之閘極電極以及源極、構成汲極的一對半導體區域所構成。記憶胞選擇用 M I S F E T，通常於 1 個活性區域被形成 2 個，這 2 個 M I S F E T 的源極、汲極 (半導體區域) 的一方在活性區域的中央部被共有。

位元線，被配置於上述記憶胞選擇用 M I S F E T 的上部，通過多結晶矽等所構成的插銷被埋入的接續孔，與源極、汲極 (半導體區域) 之其他方 (被兩個 M I S F E T 共有的半導體區域) 導電接續。此外，資訊蓄積用電容元件，被配置於位元線的上部，同樣通過多結晶矽等所構成的插銷被埋入的接續孔，與記憶胞選擇用 M I S F E T 之源極、汲極 (半導體區域) 之另一方導電接續。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (2)

如此，近年來的 D R A M，作為彌補伴隨著記憶胞的微細化之蓄積電荷量減少的對策，採用將資訊蓄積用電容元件配置於位元線的上部之立體構造。但是，在記憶胞的微細化更為發展的 2 5 6 百萬位元以後的大容量 D R A M 的場合，僅將資訊蓄積用電容元件立體化要彌補蓄積電荷量的減少被認為是困難的。

在此，作為資訊蓄積用電容元件的介電質膜，被檢討採用氧化鉬 ($T a_2 O_5$)、鈦酸鋇 (S T O)、鈦酸鋇鋇 (B S T) 等高介電體 (強介電體) 材料。亦即，氧化鉬其比介電率為 4 0 程度，S T O、B S T 為 2 0 0 ~ 5 0 0 程度都很高，藉由將這些高 (強) 介電體材料作為介電體膜使用，與使用氮化矽 (比介電率 = 7 ~ 8) 等作為介電體膜的場合相比可以期待蓄積電荷量大幅增加。

但是，這些高 (強) 介電體材料，僅僅形成薄膜無法得到高的比介電率，而且膜的洩漏電流也很大的緣故，有必要藉由在成膜後於 7 5 0 °C 以上的氧氣氣氛中進行熱處理，謀求結晶化以及膜質的改善。因此，在資訊蓄積用電容元件之介電體膜使用高 (強) 介電體材料的場合，會由於此高溫熱處理導致 M I S F E T 的特性變動的問題。

在此，於介電體膜使用高 (強) 介電體材料的場合，在成為其下底的下部電極使用 R u (鈦)、P t (鉑)、I r (銱) 等白金族金屬。於這些金屬表面堆積高 (強) 介電體膜的場合，可以 6 5 0 °C ~ 6 0 0 °C 之比通常的熱處理低上 1 0 0 °C 以上的低溫熱處理謀求膜之結晶化以及

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (3)

膜質的改善，所以減低製造工程全體的熱處理量，可以防止 M I S F E T 的特性變動。

另一方面，於下部電極材料使用如上述之白金族金屬的場合，因為這些是容易透過氧氣的材料，所以在下部電極的表面形成高（強）介電體膜之後在氧氣氣氛中進行熱處理的話，會有氧氣透過高（強）介電體膜以及下部電極到達其下部的矽插銷，白金族金屬與矽反應在兩者的介面形成不想要的金屬矽化物層的問題。其對策為在白金族金屬所構成的下部電極與矽插銷之間形成防止二者反應的障壁層。

特開平 1 0 - 7 9 4 8 1 號公報，作為防止由於將氧化矽膜還流（reflow）、平坦化時之 7 0 0 ~ 8 0 0 ℃ 之熱處理，以致白金族金屬與矽相互擴散，形成金屬矽化物層，或者進而此金屬矽化物層被氧化形成介電率很小的氧化矽層等不良情形之障壁層，被提案有包含鈦、鎢、鉭、鈷、鉬等高融點金屬與矽與氮的導電層（金屬氮化矽層）。此障壁層以係層積包含柱狀的結晶或者非晶質之第 1 層，與含有粒狀結晶的第 2 層者較佳。此外，障壁層與矽插銷之間，被形成含有使兩者的密接性提高的鈦之層者較佳。

特開平 1 0 - 2 0 9 3 9 4 號公報，在形成埋入矽插銷的接續孔的上部形成下部電極時，二者的標記產生位置偏移的話，形成於下部電極的上部之介電體膜與下部電極的下部之矽插銷接觸的結果，使介電體膜中的氧氣與矽反應形成高電阻的氧化矽膜，介電體膜中的氧氣不足而有洩

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (4)

漏電流增大的問題已被指出。作為其對策，此公報揭示在介電體膜與矽插銷之間設有由氮化矽所構成的遮斷膜之技術。

特開平 1 1 - 3 0 7 7 3 6 號公報，係關於強介電體記憶體，在矽插銷的上部形成由氧化銦所構成的下部電極、P Z T（鈦酸鋯酸鉛）等強介電體所構成的介電體膜、鉑等白金族金屬所構成的上部電極等所構成的電容元件時，於矽插銷的上部做為障壁層形成氮化矽鉭膜，於此擴散障壁層的上部做為氧氣阻止膜形成銦膜的技術被揭示出。

發明概要

如此般，於從前的技術，在埋入矽插銷的接續孔的上部形成由白金族金屬所構成的下部電極之後，於下部電極上形成高（強）介電體膜而進行熱處理時，藉由預先在矽插銷上形成障壁層，可以防止白金族金屬與矽插銷之間所不想要的反應。

但是，記憶胞的微細化更進一步發展時，下部電極以及與其下部之接續孔之位置偏移變成無可避免，下部電極的圖案化時接續孔內的障壁層被蝕刻而矽插銷的表面會露出。在此場合，因為形成於下部電極上的高（強）介電體膜的一部份與矽插銷直接接觸，所以產生介電體膜的絕緣耐壓降低，洩漏電流增大的問題。

此外，本案發明人檢討的結果，即使在矽插銷上形成障壁層の場合，在高溫氧氣氣氛下進行高（強）介電體膜

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(5)

的熱處理的話，會有透過下部電極的氧氣使障壁層自身氧化，形成高電阻、低介電率的氧化物層的問題。

此外，本案發明人檢討在埋入矽插銷的接續孔上部堆積厚的氧化矽膜，接著蝕刻此氧化矽膜形成到達矽插銷的表面之深溝之後，於此溝的內壁堆積白金族金屬膜以形成下部電極的製造程序，發現因為白金族金屬膜與氧化矽膜之接著性很低的緣故，有在製造工程途中在下部電極與氧化矽膜之間產生剝離的問題。

本發明的目的，在於提供即使記憶胞的微細化更進一步發展，電容元件的下部電極與其下部之接續孔的位置偏移無可避免的場合，也可以防止下部電極的圖案化時接續孔內的障壁層被蝕刻使矽插銷的表面露出的不良情形之技術。

本發明之其他目的在於提供防止將形成於電容元件的下部電極上的介電質膜在氧氣氣氛中熱處理時，透過下部電極的氧氣使障壁層自身氧化，形成高電阻、低介電率的氧化物層之不良情形之技術。

本發明之其他目的在於提供提高構成電容元件的下部電極之白金族金屬膜與氧化矽膜之接著性的技術。

本發明之其他目的在於提供藉由增加電容元件的表面積同時謀求介電體膜的高介電率化，使得即使在微細化記憶胞的場合也可以確保所要的蓄積電荷量值的技術。

本發明之前述以及其他目的與新穎的特徵，將藉由本說明書的記載與添附圖面來說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (6)

本發明所揭示的發明之中，具有代表性者簡單說明其概要如下。

本發明之半導體積體電路裝置，係在半導體基板的主面上被形成由第1金屬構成的第1電極、與介電質膜、與第2金屬所構成的第2電極等所構成的電容元件，前述半導體基板之第1半導體區域與前述電容元件的第1電極，係介由被形成於前述第1半導體區域之上部的第1絕緣膜膜上之第1接續孔內部的矽插銷而導電接續，在前述矽插銷的表面形成金屬矽化物層，在前述金屬矽化物層的表面被形成金屬氮化矽層或者金屬氮化矽氧層之至少一方。

本發明之半導體積體電路裝置，係在半導體基板的主面上被形成由第1金屬構成的第1電極、與介電質膜、與第2金屬所構成的第2電極等所構成的電容元件，被形成於前述半導體基板之第1半導體區域與前述電容元件的第1電極，係介由被形成於前述第1半導體區域之上部的第2絕緣膜膜上之第2接續孔內部的矽插銷與被形成於前述第2絕緣膜上部之第1絕緣膜的第1接續孔內部的金屬插銷而導電接續，在前述矽插銷的表面形成金屬矽化物層，在前述金屬矽化物層的表面被形成金屬氮化矽層或者金屬氮化矽氧層之至少一方。

本發明之半導體積體電路裝置之製造方法，具有以下工程：

(a) 在被形成第1半導體區域的半導體基板的主面上形成第1絕緣膜之後，在前述第1半導體區域之上部之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (7)

前述第 1 絕緣膜形成第 1 接續孔的工程，

(b) 在前述第 1 接續孔的內部形成矽插銷的工程，

(c) 在前述第 1 絕緣膜的上部形成第 3 絕緣膜之後，藉由蝕刻前述第 1 接續孔的上部之前述第 3 絕緣膜，於其底部形成前述矽插銷的表面露出的溝之工程，

(d) 於前述矽插銷的表面形成金屬矽化物層之後，於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 於前述溝的內部形成由第 1 金屬所構成的電容元件的第 1 電極，通過前述第 1 接續孔電氣接續前述第 1 電極與前述第 1 半導體區域之工程，

(f) 於前述第 1 電極的上部形成前述電容元件的介電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，及

(g) 於前述介電質膜的上部形成由第 2 金屬所構成的前述電容元件的第 2 電極的工程。

本發明之半導體積體電路裝置之製造方法，具有以下工程：

(a) 在被形成第 1 半導體區域的半導體基板的主面上形成第 2 絕緣膜之後，在前述第 1 半導體區域之上部之前述第 2 絕緣膜形成第 2 接續孔的工程，

(b) 在前述第 2 接續孔的內部形成矽插銷的工程，

(c) 在前述第 2 絕緣膜的上部形成第 1 絕緣膜之後，藉由蝕刻前述第 2 接續孔的上部之前述第 1 絕緣膜，於其底部形成前述矽插銷的表面露出的第 1 接續孔之工程，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (8)

(d) 於前述矽插銷的表面形成金屬矽化物層之後，
於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 於前述第 1 接續孔的內部形成金屬插銷的工程，

(f) 於前述第 1 絕緣膜的上部形成第 3 絕緣膜後，
藉由蝕刻前述第 1 接續孔上部的前述第 3 絕緣膜，於其底部形成前述金屬插銷的表面露出的溝之工程，

(g) 於前述溝的內部形成由第 1 金屬所構成的電容
元件的第 1 電極，通過前述第 1 接續孔與前述第 2 接續孔
電氣接續前述第 1 電極與前述第 1 半導體區域之工程，

(h) 於前述第 1 電極的上部形成前述電容元件的介
電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工
程，及

(i) 於前述介電質膜的上部形成由第 2 金屬所構成
的前述電容元件的第 2 電極的工程。

本發明之半導體積體電路裝置之製造方法，具有以下
工程：

(a) 在被形成第 1 半導體區域的半導體基板的主面
上形成第 1 絕緣膜之後，在前述第 1 半導體區域之上部之
前述第 1 絕緣膜形成第 1 接續孔的工程，

(b) 在前述第 1 接續孔的內部形成矽插銷的工程，

(c) 在前述第 1 絕緣膜的上部形成第 3 絕緣膜之後，
藉由蝕刻前述第 1 接續孔的上部之前述第 3 絕緣膜，於
其底部形成前述矽插銷的表面露出的溝之工程，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(9)

(d) 於前述矽插銷的表面形成金屬矽化物層之後，
於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 藉由在包含前述溝的內部之前述第 3 絕緣膜上
形成第 1 金屬膜，於前述溝的內部埋入前述第 1 金屬膜後
，除去前述溝的外部之前述第 1 金屬膜的工程，

(f) 藉由以蝕刻除去前述第 3 絕緣膜，在前述第 1
接續孔的上部形成由柱狀的前述第 1 金屬膜所構成的電容
元件之第 1 電極，通過前述第 1 接續孔電氣接續前述第 1
電極與前述第 1 半導體區域之工程，

(g) 於前述第 1 電極的上部形成前述電容元件的介
電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工
程，及

(h) 於前述介電質膜的上部形成由第 2 金屬所構成
的前述電容元件的第 2 電極的工程。

本發明之半導體積體電路裝置之製造方法，具有以下
工程：

(a) 在被形成第 1 半導體區域的半導體基板的主面
上形成第 2 絕緣膜之後，在前述第 1 半導體區域之上部之
前述第 2 絕緣膜形成第 2 接續孔的工程，

(b) 在前述第 2 接續孔的內部形成矽插銷的工程，

(c) 在前述第 2 絕緣膜的上部形成第 1 絕緣膜之後
，藉由蝕刻前述第 2 接續孔的上部之前述第 1 絕緣膜，於
其底部形成前述矽插銷的表面露出的第 1 接續孔之工程，

(d) 於前述矽插銷的表面形成金屬矽化物層之後，

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (10)

於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 於前述第 1 接續孔的內部形成金屬插銷的工程，

(f) 於前述第 1 絕緣膜的上部形成第 3 絕緣膜後，藉由蝕刻前述第 1 接續孔上部的前述第 3 絕緣膜，於其底部形成前述金屬插銷的表面露出的溝之工程，

(g) 藉由在包含前述溝的內部之前述第 3 絕緣膜上形成第 1 金屬膜，於前述溝的內部埋入前述第 1 金屬膜後，除去前述溝的外部之前述第 1 金屬膜的工程，

(h) 藉由以蝕刻除去前述第 3 絕緣膜，在前述第 1 接續孔的上部形成由柱狀的前述第 1 金屬膜所構成的電容元件之第 1 電極，通過前述第 1 接續孔及前述第 2 接續孔電氣接續前述第 1 電極與前述第 1 半導體區域之工程，

(i) 於前述第 1 電極的上部形成前述電容元件的介電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，及

(j) 於前述介電質膜的上部形成由第 2 金屬所構成的前述電容元件的第 2 電極的工程。

較佳之實施型態

以下，根據圖面詳細說明本發明之實施型態。又，於說明實施型態之所有圖面，具有同一功能的構件被賦予同一符號，省略其重覆說明。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (11)

第 1 實施型態

第 1 圖係形成本實施型態的 D R A M 的矽晶片 1 A 的全體平面圖。在長方形的矽晶片 1 A 的主面上，形成力如具有 2 5 6 M B (百萬位元 : MegaBits) ~ 1 G B (GigaBits) 的記憶容量之 D R A M 。此 D R A M 係以被分割為複數記憶體陣列 (M A R Y) 的記憶部與被配置於其周圍的周邊電路部所構成。在矽晶片 1 A 的主面中央部，被配置字驅動器 W D (word driver) 、資料線選擇電路等控制電路，或輸出入電路、接合區 (bonding pad) 等。此外，記憶體陣列 (M A R Y) 之間被配置讀出放大器 (sense amplifier) S A 。

記憶體陣列 (M A R Y) ，係由被配置為矩陣狀的複數字線以及位元線，與被配置於這些的交點之複數記憶胞所構成。第 2 、 3 圖顯示 D R A M 的記憶體陣列 (M A R Y) 的一部份之矽基板 (以下簡稱基板) 1 的剖面圖。

記憶 1 位元資訊的 1 個記憶胞，係由被形成於基板 1 的 p 型井 2 之 1 個記憶胞選擇用 M I S F E T Q s 與被串聯接續於此之 1 個資訊蓄積用電容元件 (電容) C 所構成。記憶胞選擇用 M S I F E T Q s 主要係以閘極電極 6 (字線 W L) 、源極、汲極 (n 型半導體區域 8) 以及在這些圖中未顯示的閘極絕緣膜 5 所構成。記憶胞選擇用 M S I F E T Q s 之源極、汲極 (n 型半導體區域 8) 之一方與資訊蓄積用電容元件 C 導電接續，另一方與位元

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (12)

線 B L 導電接續。

如圖所示，記憶胞採用將資訊蓄積電容部之資訊蓄積用電容元件 C 配置於記憶胞選擇用 M S I F E T Q s 的上部之堆疊電容 (Stacked capacitor) 構造。資訊蓄積用電容元件 C，係由鈦 (R u) 爲主成分之金屬所構成的下部電極 (storage node) 2 8，與被形成於下部電極 2 8 的上部之 T a ₂ O ₅ (氧化鉬) 爲主成分的介電體膜 2 9，與被形成於此介電體膜 2 9 上部之以氮化鈦 (氮化鈦) 爲主成分的金屬所構成的上部電極 (平板電極) 3 0 所構成。此資訊蓄積用電容元件 C 被形成於形成在記憶胞選擇用 M I S F E T Q s 的上部之厚膜厚的氧化矽膜 2 4 之高孔深孔徑比之溝 2 7 的內部。

資訊蓄積用電容元件 C 的下部電極 2 8 與記憶胞選擇用 M I S F E T Q s 之源極、汲極的一方 (n 型半導體區域 8)，係通過接觸孔 1 2 以及其上部的貫孔 1 9 導電，接續的。接觸孔 1 2 以及貫孔 1 9 的分別的內部，被埋入由多結晶矽膜所構成的插銷 1 3、2 2。

對資訊蓄積用電容元件 C 的下部電極 2 8 與被埋入其下部的貫孔 1 9 內的插銷 2 2 之界面，被形成作為防止藉由製造工程途中所進行的熱處理，導致構成下部電極 2 8 的鈦與構成插銷 2 2 的多結晶矽引起不想要的矽化反應之障壁層之矽化鈦層 2 5 以及氮化矽鈦層 2 6。上層障壁層之氮化矽鈦層 2 6，亦有藉由製造工程途中進行的熱處理而被氧化，至少其一部份成為氮化矽氧鈦層 2 6 的場合。

(請先閱讀背面之注意事項再填寫本頁)

訂

後

五、發明說明 (13)

第 2 實施型態

其次，使用第 4 ~ 5 8 圖依照工程順序說明本實施型態的 D R A M 的製造方法。又，在以下說明的 D R A M 製造工程之中，在基板 1 的主面上形成記憶胞選擇用 M I S F E T Q s，接著在記憶胞選擇用 M I S F E T Q s 的上部形成位元線 B L 為止的工程，例如在特願平 1 1 - 1 6 6 3 2 0 號（松岡等人所提案）已有詳細記載。亦即，在本實施型態，針對至形成位元線 B L 為止的工程僅記載其概要，而針對主要構成部分之資訊蓄積用電容元件 C 的製造工程加以詳述。此外，形成位元線 B L 為止的工程，並非以下列說明的工程為限。

首先，如第 4 圖（記憶體陣列的重要部位平面圖），第 5 圖（沿第 4 圖之 A - A 線之剖面圖），第 6 圖（沿第 4 圖之 B - B 線之剖面圖），第 7 圖（沿第 4 圖之 C - C 線之剖面圖）所示，例如由 P 型單晶矽所構成的基板 1 之主面的元件分離區域上形成元件分離溝 2。元件分離溝 2，係蝕刻基板 1 的表面形成深度 3 0 0 ~ 4 0 0 n m 程度的溝，接著在包含此溝的內部的基板 1 上以 C V D（化學氣相沈積法）堆積氧化矽膜 4（膜厚 6 0 0 n m 程度）之後，將氧化矽膜 4 以化學機械研磨法（C M P）研磨、平坦化而形成之。氧化矽膜 4，例如氧氣（或者臭氧）與四乙氧基矽（T E O S）使用作為來源氣體之電漿 C V D 法來堆積，之後進行 1 0 0 0 ℃ 程度的乾式氧化使膜緻密化

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (14)

。

如第 4 圖所示，藉由形成元素分離溝 2，同時形成多數以此元素分離溝 2 所包圍住周圍的細長島狀的活性區域（L）。如後述般，於這些分別的活性區域（L），分別形成 2 個共有源極、汲極之一方的記憶胞選擇用 MISFETQs。

其次，藉由在基板 1 打入 B（硼）離子形成 P 型井 3，接著將 P 型井 3 的表面以氫氟酸系洗淨液洗淨之後，藉由使基板 1 熱氧化在 P 型井 3 的活性區域（L）的表面形成氧化矽系的清淨的閘極絕緣膜（膜厚 6 nm 程度）。又，閘極絕緣膜 5 除了藉由基板 1 的熱氧化而形成的氧化矽系絕緣膜以外，也可以是較其介電率更大的氮化矽系絕緣膜、金屬氧化物系絕緣膜（氧化鋁膜、氧化鈦膜等）。這些高介電體絕緣膜，藉由在基板 1 上以 CVD 法或濺鍍法成膜而形成。

其次，如第 8～10 圖所示，於閘極絕緣膜 5 的上部形成閘極電極 6。閘極電極 6，在活性區域（L）以外的區域作為字線（WL）發揮功能。閘極電極 6（字線 WL），例如在閘極絕緣膜 5 的上部依序堆積摻雜 P（磷）等之 n 型多晶矽膜（膜厚 70 nm 程度）、WN（氮化鎢）或者氮化鈦（氮化鈦）等所構成的障壁金屬膜（膜厚 5 nm～10 nm 程度）、W（鎢）膜（膜厚 100 nm 程度）以及氮化矽膜 7（膜厚 150 nm 程度）之後，將光阻劑膜做為遮罩將這些膜乾蝕刻而形成之。多晶矽膜以及

五、發明說明 (15)

氮化矽膜 7 以 C V D 法堆積之，障壁金屬膜以及 W 膜以濺鍍法堆積。

其次，如第 1 1 ~ 1 3 圖所示，對 P 型井 3 打入 A s (砷) 或者 P (磷) 離子於閘極電極 6 的兩側的 P 型井 3 形成 n 型半導體區域 8 (源極、汲極)。藉由到此為止的工程約略完成記憶體胞選擇用 M I S F E T Q s。

其次，如第 1 4 ~ 1 7 圖所示，在基板 1 上以 C V D 法堆積氮化矽膜 9 (膜厚 5 0 n m) 以及氧化矽膜 1 0 (膜厚 6 0 0 n m 程度)，接著以化學機械研磨法使氧化矽膜 1 0 的表面平坦化之後，藉由把光阻劑膜 (未圖示) 作為遮罩乾蝕刻氧化矽膜 1 0 以及氮化矽膜 9，在記憶體胞選擇用 M I S F E T Q s 之源極、汲極 (n 型半導體區域 8) 的上部形成接觸孔 1 1、1 2。氧化矽膜 1 0 之蝕刻，以對氮化矽之選擇比較大的條件來進行，氮化矽膜 9 的蝕刻，以對矽或氧化矽之蝕刻選擇比大的條件來進行。藉此，可以使接觸孔 1 1、1 2 對閘極電極 6 (字線 W L) 自己整合 (s e l f - a l i g n) 地形成。

其次，如第 1 8、1 9 圖所示，在接觸孔 1 1、1 2 的內部形成插銷 1 3。形成插銷 1 3 時，藉由在氧化矽膜 1 0 的上部以 C V D 法堆積摻雜 P 的 n 型多晶矽膜而在接觸孔 1 1、1 2 的內部埋入 n 型多晶矽膜之後，將接觸孔 1 1、1 2 外部的 n 型多晶矽膜以化學機械研磨法 (或者乾蝕刻) 除去。

其次，在氧化矽膜 1 0 的上部以 C V D 法堆積氧化矽

(請先閱讀背面之注意事項再填寫本頁)

訂

像

五、發明說明 (16)

膜 1 4 (膜厚 1 5 0 n m 程度) 之後 , 如第 2 0 ~ 2 2 圖所示 , 把光阻劑膜 (未圖示) 作為遮罩藉由乾蝕刻接觸孔 1 1 的上部的氧化矽膜 1 4 , 形成供使在後續工程形成的位元線 (B L) 與接觸孔 1 1 接續之用的貫孔 1 5 。

其次 , 如第 2 3 及 2 4 圖所示 , 在貫孔 1 5 的內部形成插銷 1 6 。形成插銷 1 6 時 , 在氧化矽膜 1 4 的上部例如以濺鍍法堆積由氮化鈦所構成的障壁金屬膜 , 接著在障壁金屬膜的上部以 C V D 法堆積 W 膜藉以在貫孔 1 5 的內部埋入這些膜後 , 以化學機械研磨法除去貫孔 1 5 的外部的這些膜。

其次 , 如第 2 5 ~ 2 8 圖所示 , 在氧化矽膜 1 4 的上部形成位元線 B L 。要形成 B L 線 , 例如可在氧化矽膜 1 4 的上部以濺鍍法堆積氮化鈦膜 (膜厚 1 0 n m 程度) , 接著在氮化鈦膜的上部以 C V D 法堆積 W 膜 (膜厚 5 0 n m 程度) 之後 , 把光阻劑膜作為遮罩乾蝕刻這些膜。位元線 B L , 介由被埋入其下部的貫孔 1 5 之插銷 1 6 以及進而其下部之接觸孔 1 1 內所埋入的插銷 1 3 與記憶胞選擇用 M I S F E T Q s 之源極、汲極 (n 型半導體區域 8) 之一方導電接續。

其次 , 如第 2 9 ~ 3 2 圖所示 , 在位元線 B L 的上部以 C V D 法堆積膜厚 3 0 0 n m 程度的氧化矽膜 1 7 , 接著以化學機械研磨法使其表面平坦化之後 , 藉由把光阻劑膜 (未圖示) 作為遮罩乾蝕刻氧化矽膜 , 在被埋入插銷 1 3 的接觸孔 1 1 的上部形成貫孔 1 9 。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

貫孔 1 9，其直徑被形成為較其下部的接觸孔 1 1 的直徑更小。具體而言，在氧化矽膜 1 7 的上部以 C V D 法堆積多晶矽膜 2 0，接著乾蝕刻形成接觸孔 1 9 的區域的多晶矽膜 2 0 形成孔之後，進而在多晶矽膜 2 0 的上部堆積多晶矽膜（未圖示）。其次，藉由向異性蝕刻多晶矽膜 2 0 上部的多晶矽膜在孔的側壁形成側壁間隔件 2 1，接著使用多晶矽膜 2 0 與側壁間隔件 2 1 乾蝕刻孔的底部的氧化矽膜 1 7。

此外，如第 2 9 及 3 2 圖所示，貫孔 1 9，其中心較其下部的接觸孔 1 1 的中心更偏離位元線 B L。如此般，使貫孔 1 9 的直徑較其下部的接觸孔 1 1 的直徑更小，而且使其中心往離開位元線 B L 的方向偏離，即使在縮小記憶胞尺寸的場合也可以不用自己整合接觸（Self Align Contact：S A C）技術，也可以防止貫孔 1 9（的內部所埋入的插銷 2 2）與位元線 B L 之短路。此外，藉由使貫孔 1 9 的直徑較其下部的貫孔 1 1 的直徑更小，即使讓這些的中心相互偏離也可以充分確保兩者的接觸面積。

其次，將貫孔 1 9 的形成所用到的遮罩（多晶矽膜 2 0 以及側壁間隔件 2 1）以乾蝕刻除去之後，如第 3 3～3 5 圖所示，在貫孔 1 9 的內部形成插銷 2 2。形成插銷 2 2 時，首先在氧化矽膜 1 7 的上部藉由以 C V D 法堆積摻雜 P 的 n 型多晶矽膜，在貫孔 1 9 的內部埋入 n 型多晶矽膜之後，接著以化學機械研磨法（或者乾蝕刻）除去貫孔 1 9 的外部的 n 型多晶矽膜。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (18)

其次，如第 3 6 及 3 7 圖所示，在氧化矽膜 1 7 的上部以 C V D 法堆積膜厚 2 0 0 n m 程度的氮化矽膜 1 8 之後，在氮化矽膜 1 8 的上部以 C V D 法堆積氧化矽膜 2 4。資訊蓄積用電容元件 C 之下部電極 2 8，被形成於在次一工程被形成氧化矽膜 2 4 的溝 2 7 的內部。亦即，氧化矽膜 2 4 的膜厚成為此下部電極 2 8 的高度，所以要增大下部電極 2 8 的表面積而增大蓄積電荷量，需要以厚的膜厚（0.8 μ m 程度以上）堆積氧化矽膜 2 4。氧化矽膜 2 4，例如以使用氧氣與四乙氧基矽（T E O S）作為來源氣體的電漿 C V D 法堆積，其後應需要以化學機械研磨法使其表面平坦化。

其次，如第 3 8 ~ 4 0 圖所示，將光阻劑膜（未圖示）作為遮罩乾蝕刻氧化矽膜 2 4，接著乾蝕刻氧化矽膜 2 4 的下層之氮化矽膜 1 8，藉以在其底部形成貫孔 1 9 內的插銷 2 2 的表面露出之溝 2 7。如第 3 8 圖所示，溝 2 7，係在字線 W L 的延伸方向具有長邊，而且在位元線 B L 的延伸方向具有短邊之矩形的平面圖案構成。

溝 2 7，也可以如下的方法形成。首先，以前述的方法在氧化矽膜 1 7 的上部依序堆積氮化矽膜 1 8 以及厚膜厚之氧化矽膜 2 4，接著在氧化矽膜 2 4 的上部以 C V D 法堆積氮化矽膜（未圖示）之後，以光阻劑膜作為遮罩乾蝕刻此氮化矽膜。其次，除去此光阻劑膜之後，以氮化矽膜為遮罩乾蝕刻氧化矽膜 2 4，進而乾蝕刻氮化矽膜藉以形成溝 2 7。

（請先閱讀背面之注意事項再填寫本頁）

訂

象

五、發明說明 (19)

其次，如第 4 1 圖及第 4 2 圖所示，被形成深溝 2 7 的氧化矽膜 2 4 的上部以濺鍍法堆積鈣膜 2 3。此鈣膜 2 3 係以在溝 2 7 的底部以使其膜厚呈為 5 0 n m 程度的方式堆積較薄的膜厚。一般而言，以濺鍍法堆積的膜，與以 C V D 法堆積的膜相比高低差處之包覆性較低，所以在深溝 2 7 的側壁很難堆積鈣膜 2 3。在第 4 1 圖及第 4 2 圖，顯示在氧化矽膜 2 4 的上部與溝 2 7 的底部堆積鈣膜 2 3 的狀態，實際上在溝 2 7 的側壁也堆積著非常薄的膜（未圖示）。堆積於溝 2 7 的側壁的薄的膜，具有改善在之後的工程堆積於溝 2 7 的內部的 C V D —鈣膜（鈣膜 2 8）的黏著性的效果。

其次，如第 4 3 圖及第 4 4 圖所示，在氮氣等非氧化性氣氛中以 7 0 0 ℃，進行 1 分鐘程度的熱處理，藉由使溝 2 7 的底部的鈣膜 2 3 與其下部之由多晶矽所構成的插銷 2 2 反應，在插銷 2 2 的表面形成矽化鈣層 2 5。此時，氧化矽膜 2 4 的上部之鈣膜 2 3 不產生矽化反應的緣故以原有的狀態殘留。

上述矽化鈣層 2 5，在後續工程所進行的熱處理，例如後述的資訊蓄積電容元件 C 的介電膜形成工程所進行的高溫熱處理等時候，防止在構成下部電極 2 8 的 R u 與構成插銷 2 2 的多晶矽的介面產生不想要的矽化反應，同時可減低接觸電阻。

其次，如第 4 5 圖及第 4 6 圖所示，在氮氣氣氛中以 6 5 0 ℃進行 3 分鐘程度的熱處理，藉由使矽化鈣層 2 5

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (20)

的表面氮化而形成氮化矽鈣層 2 6 。藉由上述熱處理條件所形成的氮化矽鈣層 2 6 的膜厚非常薄，本發明之發明人等藉由透過式電子顯微鏡觀察的結果為 0 . 5 ~ 1 . 0 n m 的範圍。

氮化矽鈣層 2 6 的膜厚，可以藉由改變上述熱處理條件而控制。亦即，在氮氣氣氛中使多晶矽（插銷 2 2 ）的表面氮化的場合，氮化反應由 5 5 0 ℃ 程度開始，越高溫反應進行得越快。此氮化反應的特徵，是反應會自己整合地停止，所以有氮化矽鈣層 2 6 的膜厚可以極高的精度控制的優點。

氮化矽鈣層 2 6 ，在矽化鈣層 2 5 的上部以 C V D 法堆積氮化矽膜，藉由熱處理使二者反應而形成之亦可。但是以此方法要以很好的控制性形成 1 n m 程度之極薄的膜是很困難的。在上述之氮氣氣氛中之熱處理（熱氮化法），即使以 1 0 0 0 ℃ 程度的高溫進行熱處理，所形成的膜厚最高也只有 2 n m 程度，幾乎不依存於處理時間。處理時間在 1 分鐘以上的場合，只藉由溫度的設定就幾乎可以設定膜厚。在此熱氮化法，依循氮化劑擴散於形成的膜的內部，到達矽表面而形成氮化膜的過程。因為此氮化膜極為緻密，所形成的膜自身具有阻止氮化劑的擴散的效果。亦即，雖然無法形成較厚的膜，但要形成如前所述之很薄的膜厚之氮化矽鈣層 2 6 則是非常合適的方法。

氮化矽鈣層 2 6 不採上述之熱氮化法，而藉由利用在電漿氣氛中所產生的活性氮元素之氮化處理（電漿氮化法

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (21)

) 而形成之亦可。電漿氮化法形成氮化膜的原理與熱氮化法相同，但因使用電漿中的活性氮元素作為氮化劑，所以具有可在更低溫下行成膜之優點，例如膜厚 1 n m 程度的氮化膜的場合可以在 3 0 0 ℃ ~ 4 0 0 ℃ 的溫度範圍形成。

如此般，在本實施型態，作為防止構成資訊蓄積用電容元件 C 的下部電極 2 8 之 R u 與構成插銷 2 2 的多晶矽引起不欲產生的矽化反應之障壁層，在插銷 2 2 的表面形成矽化鈣層 2 5 以及氮化矽鈣層 2 6。氮化矽鈣層 2 6 在資訊蓄積電容元件 C 的介電體膜形成工程所進行的在氧化氣氛中之高溫熱處理時，介電體膜 2 9 中以及下部電極 2 8 中擴散的氧化劑（氧氣）氧化矽化鈣層 2 5 表面，形成介電率小的氧化矽層（R u 矽氧化物層），在極端的場合具有防止下部電極 2 8 的形狀極端異常的不良情形。此外，在本實施型態藉由熱氮化法（或者電漿氮化法）自己整合地形成此氮化矽鈣層 2 6。藉此，氮化矽鈣層 2 6 的膜厚可以極端薄化，因此不會阻礙下部電極 2 8 與插銷 2 2 之電氣導通。

其次，如第 4 7、4 8 圖所示，在氧化矽膜 2 4 的上部以及溝 2 7 的內部以 C V D 法堆積膜厚 1 0 n m ~ 2 0 n m 程度的薄鈣膜 2 8 a。鈣膜 2 8 a 例如使用 R u (C ₂ H ₅ - C ₅ H ₄) ₂ (乙基環戊烯基鈣) 與氧氣為原料氣體之熱 C V D 法堆積。以 C V D 法堆積之鈣膜 2 8 a 與以濺鍍法堆積的鈣膜 2 3 相比與氧化矽膜 2 4 之黏著力較弱

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

。但是藉由預先於其下層藉由濺鍍法先堆積鈣膜 2 3，可以防止溝 2 7 的內壁的鈣膜 2 8 a 剝離的不良情形。但是如前所述，堆積於溝 2 7 側壁的鈣膜 2 3 極薄，所以也有無法完全防止鈣膜 2 8 a 的剝離的場合。為防止如此，例如第 4 9、5 0 圖所示，預先以濺鍍法堆積膜厚 1 0 n m ~ 2 0 n m 程度的薄鈣膜 2 8 b 之後，於其表面以 C V D 法堆積鈣膜 2 8 a 亦可。

其次，如第 5 1、5 2 圖所示，於溝 2 7 的內部埋入絕緣膜 3 1，藉由乾蝕刻除去未以絕緣膜 3 1 覆蓋的溝 2 7 的外部的鈣膜 2 8 a、2 3。絕緣膜 3 1，以對氧化矽膜 2 4 蝕刻選擇比大的絕緣材料，例如光阻劑或自旋玻璃等構成。以光阻劑構成絕緣膜 3 1 的場合，在溝 2 7 的內部以及氧化矽膜 2 4 上旋轉塗佈正型光阻劑膜後，進行全面曝光以及顯影，除去溝 2 7 外部的曝光部，使在溝 2 7 的內部殘留未曝光部即可。

其次，如第 5 3、5 4 圖所示，除去溝 2 7 內部的絕緣膜 3 1。以光阻劑構成絕緣膜 3 1 的場合，可藉由氧自由基進行灰化處理以除去絕緣膜 3 1。此外，在此階段為謀求鈣膜 2 8 a 的緻密化，在真空中進行 7 0 0 ℃，1 分鐘程度的熱處理。藉此，可得由堆積於溝 2 7 的內壁的鈣膜 2 8 a 所構成的下部電極 2 8。此下部電極 2 8，介由被埋入其下部的貫孔 1 9 的插銷 2 2 以及被埋入進而於其下部的接觸孔 1 2 的插銷 1 3 與記憶胞選擇用 M I S F E T Q s 的 n 型半導體區域 8（源極、汲極）之

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (23)

另一方導電接續。

其次，如第 5 5、5 6 圖所示，在被形成下部電極的溝 2 7 之內壁以及氧化矽膜 2 4 的表面薄薄地堆積由氧化鉬所構成的介電體膜 2 9。氧化鉬膜，例如使用五乙氧基鉬 ($\text{Ta}(\text{OC}_2\text{H}_5)_5$) 與氧氣為原料氣體，以溫度 430°C 、壓力 50 Pa 的條件進行堆積，其後為謀求膜的結晶化與膜質的改善，在氧氣環境下進行熱處理。

雖未有特別限定，但在本實施型態為了有效地實施與下部電極 2 8 相接的部分之氧化鉬膜的結晶化與膜質改善，分別進行兩次成膜與熱處理。具體而言，首先使用熱壁型的葉片式 CVD 裝置堆積 5 nm 的氧化鉬膜，接著以快速加熱回火 RTA (Rapid Thermal Anneal) 裝置在氧氣環境中進行 650°C 、1 分鐘的熱處理之後，進而使用這些裝置堆積 5 nm 的氧化鉬膜，在氧氣環境下，進行 600°C ，2 分鐘的熱處理。

氧化鉬膜的成膜與熱處理分別進行兩次的場合，最初的成膜後之熱處理條件很重要，在最初的熱處理必須使氧化鉬膜完成結晶化。在此熱處理若氧化鉬膜有結晶化的話，在第 2 次的成膜所形成的氧化鉬膜會在成膜結束時就已經是完全結晶化的（均相外延：homoepitoxial），因此第 2 次的熱處理不是必須的。此均相外延結晶成長不以氧化鉬為限，對於以 CVD 法成膜的金屬氧化物，是有某些程度差異之共通的現象。但，要獲得洩漏電流很少的氧化鉬膜，還是以進行第 2 次熱處理較佳。

（請先閱讀背面之注意事項再填寫本頁）

訂

象

五、發明說明 (24)

藉由施以上述熱處理，使被形成於插銷 2 2 表面的氮化矽鈣層 2 6 氧化，至少其一部份變化為氧氮化矽鈣。亦即，將構成介電體膜 2 9 的氧化鋇膜在氧氣環境中高溫處理的話，透過、擴散於氧化鋇膜以及下部電極 2 8 的氧氣到達氮化矽鈣層 2 6，至少其一部份被氧化成為氧氮化矽鈣。藉此，氮化矽鈣層 2 6 或者氧氮化矽鈣成為氧氣擴散的障壁層，因此氮化矽鈣層 2 6 的下層之矽化鈣層 2 5 藉由上述氧氣氧化在插銷 2 2 的表面形成導電率很小的氧化矽層（氧化矽鈣層），可以防止引起下部電極 2 8 的形狀異常之不良情形。

在本實施型態，供構成介電體膜 2 9 之氧化鋇膜的結晶化以及膜質改善之熱處理雖是以 6 5 0 °C 進行的，但在如此低的熱處理溫度下之結晶化以及膜質改善，係氧化鋇膜的下底之下部電極 2 8 以鈣膜構成的場合惟特徵。例如要進行在氧化矽等絕緣膜上堆積的氧化鋇膜的結晶化以及膜質改善，實用上必須要進行 7 5 0 °C 以上的高溫熱處理，但氧化鋇膜的下底之下部電極 2 8 以鈣膜構成的場合，可以低 1 0 0 °C 以上的較低溫度進行熱處理即可。這在降低製造工程全體之熱處理量上具有極大的優點。

其次，如第 5 7、5 8 圖所示，在介電體膜 2 9 的上部形成上部電極 3 0。要形成上部電極 3 0，首先以 C V D 法所堆積的氮化鈦膜埋入溝 2 7 的內部，接著於其上部以濺鍍法堆積氮化鈦膜之後，以蝕刻除去記憶體陣列（M A R Y）區域以外的不要的氮化鈦膜與介電體膜 2 9

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (25)

。

又，溝 2 7 的內部不需要以 C V D 法堆積的氮化鈦膜完全埋入。以 C V D 法堆積的氮化鈦膜只要至少覆蓋介電體膜 2 9 的表面全體即可，其後以濺鍍法堆積之氮化鈦膜完全覆蓋溝 2 7 的內部亦可。此外，作為上部電極材料，可以使用鈣膜與氮化鈦膜之層積膜或 R u 與 W 膜之層積膜等。

藉由到此為止的工程，完成由下部電極 2 8、介電體膜 2 9 以及上部電極 3 0 構成的資訊蓄積用電容元件 C，如前述第 2、3 圖所示，約略完成以記憶胞選擇用 M I S F E T Q s 及與此串聯接續的資訊蓄積電容元件 C 所構成的記憶胞。

此後，於資訊蓄積用電容元件 C 的上部夾著層間絕緣膜形成層程度的 A 1 配線，最上層的 A 1 配線的上部雖形成鈍化層，但省略其圖示。

如以上詳述，根據本實施型態，被接續於資訊蓄積用電容元件 C 的下部電極 2 8 之插銷 2 2 表面上形成矽化鈣層 2 5，進而於矽化鈣層 2 5 的表面形成氮化矽鈣層 2 6，藉此在下部電極 2 8 上形成介電體膜 2 9 的工程所進行的在氧化氣氛中高溫熱處理時，藉由矽化鈣層 2 5 或氮化矽鈣層 2 6 被氧化所形成的氮化矽氧鈣成為氧氣障壁，可以有效防止矽化鈣層 2 5 之氧化的進行。藉此，可以防止起因於下部電極 2 8 與插銷 2 2 之界面的異常氧化而導致之下部電極 2 8 的形狀不良的發生，因而可以減少被形成

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

於下部電極 2 8 上的介電體膜 2 9 之洩漏電流。

又，在本實施型態，在被形成溝 2 7 的氧化矽膜 2 4 的上部堆積鈣膜 2 3，接著藉由進行熱處理在插銷 2 2 的表面形成矽化鈣層 2 5，但此鈣膜 2 3 係以濺鍍法堆積的緣故在溝 2 7 的側壁幾乎不堆積。但是微觀上在溝 2 7 的側壁雖然很少但也有堆積，這在之後的工程藉由 C V D 法堆積的鈣膜 2 8 a 的遮蔽層發揮功能，提高鈣膜 2 8 與氧化矽膜 2 4 之黏著力。此遮蔽層，並未限定於鈣膜，一般在氧化矽等絕緣膜上以 C V D 法堆積鈣膜的場合，形成由金屬材料等某種遮蔽層，對於防止鈣膜的剝離是有效的。

此外，在本實施型態的製造方法，在貫孔 1 9 埋入多結晶矽之插銷 2 2，接著於其上部堆積氧化矽膜 2 4 形成溝 2 7 之後，在露出於溝 2 7 底部的插銷 2 2 的表面形成矽化鈣層 2 5 以及氮化矽鈣層 2 6。藉此，矽化鈣層 2 5 以及氮化矽鈣層 2 6 對溝 2 7 自己整合地形成，即使在貫孔 1 9 與溝 2 7 之對準產生偏差的場合，也可以避免資訊蓄積用電容元件 C 的介電體膜 2 9 與插銷 2 2 之接觸，可以抑制資訊蓄積用電容元件 C 的洩漏電流的增加。

形成於插銷 2 2 表面的矽化物層，不限定為矽化鈣，也可以例如為矽化鉑、矽化鈦、矽化鈷等構成之。

此外，下部電極材料並不以 R u 為限，例如可以 P t、I r（銦）等構成。在本實施型態所使用的 R u，在過剩的氧化性氣氛中進行熱處理的場合，R u 自身被氧化而形成氧化 R u，在後續工程有造成不利影響的可能，P t

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (27)

有不形成這樣的氧化物的優點。

此外，資訊蓄積用電容元件 C 的上部電極材料並不限定於氮化鈦，例如以 W、Ru、Pt、Ir 等金屬或者這些金屬與氮化鈦之層積者來構成亦可。

本實施型態的製造方法，在插銷 22 的表面形成矽化鈦層 25，接著在矽化鈦層 25 的表面形成氮化矽鈦層 26 為止的工程（前述第 4～46 圖之工程）與前述第 1 實施型態相同，因此省略其說明，僅對以後的工程加以說明。

首先，在前述第 46 圖所示之工程之後，如第 59 圖所示，在氧化矽膜 24 的上部以及溝 27 的內部以高低差包覆性佳的 CVD 法堆積薄鈦膜 28c。此鈦膜 28c 係相當於前述第 1 實施型態的鈦膜 28a 者，其膜厚約為鈦膜 28a 的一半程度（5nm～10nm 程度）。如前所述，以 CVD 法堆積的鈦膜 28c，與以濺鍍法堆積的鈦膜相比高低差包覆性佳，但是與氧化矽膜 24 之黏著力較弱。亦即，與前述第 1 實施型態同樣，在堆積鈦膜 28c 的工程之前，係以濺鍍法堆積薄的鈦膜（未圖示）亦可。

其次，如第 60 圖所示，在鈦膜 28c 的上部以濺鍍法堆積膜厚 10～20nm 程度的矽化鎢膜 32a。矽化鎢膜 32a 係以濺鍍法堆積的緣故，即使在溝 27 的外部的氧化矽膜 24 上或溝 27 的底部堆積，在溝 27 的側壁也只堆積極薄的膜厚。另一方面，溝 27 的側壁上堆積矽化鎢膜 32a 的話，在次一工程堆積薄的鈦膜 28d 時亦

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (28

有可能在其一部份（鈣膜 2 8 d 的膜厚變薄的地方）露出矽化鎢膜 3 2 a。產生這樣的現象時，有可能在次一工程所堆積的介電體膜 2 9 與矽化鎢膜 3 2 a 接觸，有使介電體膜 2 9 的特性劣化之虞。有這種顧慮的場合，堆積矽化鎢膜 3 2 a 之後，以藉由乾蝕刻處理或濕蝕刻處理除去溝 2 7 的側壁特別是側壁上端部的薄矽化鎢膜 3 2 a 較佳。此外，矽化鎢膜 3 2 a 的膜厚與溝 2 7 的側壁相較在底部較厚，利用此情形藉由控制蝕刻時間可使矽化鎢膜 3 2 a 僅殘存於溝 2 7 的底部，在溝 2 7 的底部埋入光阻劑膜等絕緣膜，僅將未以此絕緣膜覆蓋的側壁上端部的矽化鎢膜 3 2 a 以蝕刻除去亦可。

其次，如第 6 1 圖所示，在矽化鎢膜 3 2 a 的上部以高低差包覆性佳的 C V D 法堆積膜厚為 5 ~ 1 0 n m 程度的薄鈣膜 2 8 d。到此為止的工程在氧化矽膜 2 4 的上部以及溝 2 7 的內壁堆積鈣膜 2 8 c、2 8 d，而且在氧化矽膜 2 4 的上部以及溝 2 7 的底部以挾持於鈣膜 2 8 c、2 8 d 的狀態殘留矽化鎢膜 3 2 a。

其次，如第 6 2 圖所示，藉由乾蝕刻除去溝 2 7 外部的鈣膜 2 8 c、2 8 d、2 3 以及矽化鎢膜 3 2 a。藉此，在溝 2 7 的內壁形成由 2 層之鈣膜 2 8 c、2 8 d 所構成的下部電極 2 8，在溝 2 7 的底部的下部電極 2 8 內被形成由矽化鎢膜 3 2 a 所構成的氧氣吸收層 3 2。要除去溝 2 7 的外部之鈣膜 2 8 c、2 8 d、2 3 以及矽化鎢膜 3 2 a，與前述第 1 實施型態同樣，在溝 2 7 的內部埋入

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (29)

光阻劑或自旋玻璃等絕緣膜 3 1 而進行乾蝕刻即可。

其次，如第 6 3 圖所示，在被形成下部電極 2 8 的溝 2 7 的內壁以及氧化矽膜 2 4 的表面堆積薄的介電體膜 2 9。介電體膜 2 9，以膜厚 1 0 n m 橫度的氧化鋁 (Ta_2O_5) 膜構成，其後，為謀求膜的結晶化與膜質的改善，在氧氣環境下進行 6 0 0 $^{\circ}C$ 程度的熱處理。藉由施行此熱處理，被形成於插銷 2 2 表面的氮化矽鈣層 2 6 被氧化，亦有至少其一部份變化為氮化矽氧鈣的場合。

其次，如第 6 4 圖所示，組合 C V D 法與濺鍍法在介電體膜 2 9 的上部堆積氮化鈦膜形成上部電極 3 0，藉此完成以下部電極 2 8、介電體膜 2 9 以及上部電極 3 0 構成的資訊蓄積用電容元件 C，約略完成記憶胞選擇用 M I S F E T Q s 及與此串聯接續的資訊蓄積用電容元件 C 所構成的記憶胞。

如此般，在本實施型態，於插銷 2 2 的表面形成矽化鈣層 2 5，於矽化鈣層 2 5 的表面形成氮化矽鈣層 2 6 後，在溝 2 7 的底部的下部電極 2 8 內形成氧氣吸收層 3 2。

藉此，以在下部電極 2 8 上形成介電體膜 2 9 的工程所進行的在氧氣環境中之高溫熱處理時，氮化矽鈣層 2 6 以及氧氣吸收層 3 2 發揮作為透過、闔按於下部電極 2 8 中的氧氣的阻隔層的功能，犧牲性地被氧化，因此與前述第 1 實施型態相比，可以更有效地防止矽化鈣層 2 5 的氧化的進行。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (30)

上述氧氣吸收層 3 2，以被挾持於構成下部電極 2 8 的 2 層鈳膜 2 8 c、2 8 d 的狀態被形成。因此，即使由於氧氣吸收層 3 2 被氧化導致失去導電性的場合，也可以藉由其外側的鈳膜 2 8 c 而確保下部電極 2 8 與插銷 2 2 的導通，資訊蓄積用電容元件 C 全體的功能以及特性不會劣化。

構成氧氣吸收層 3 2 的導電材料並不以矽化鎢為限，但因為以構成下部電極 2 8 的 2 層之鈳膜 2 8 c、2 8 d 所挾持的狀態下形成的緣故，在高溫熱處理時會有較大體積變化的材料會使介電體膜 2 9 產生變形而有使其特性劣化之虞因此要避免。

例如鎢、鈦等純金屬，作為吸收氧氣的導電材料是很理想的，但因為伴隨著氧化而有體積變化，所以做為氧氣吸收層 3 2 使用的場合，其膜厚以 5 n m 以下較佳。此外，矽也是良好的氧氣吸收材，但伴隨著氧化產生體積變化的緣故，做為氧氣吸收層 3 2 使用的場合，其膜厚以 5 n m 以下較佳。進而，使用鋁亦為可能，但融點約 6 6 0 ℃ 比較低的緣故，僅限於使介電體膜 2 9 的熱處理在融點以下的低溫進行的場合。

最適於構成氧氣吸收層 3 2 的導電材料，係其成膜階段或者介電體膜 2 9 之形成前完成矽化物化的金屬矽化物，具體而言，除了在本實施型態使用的矽化鎢以外，可以舉出矽化鈦、矽化鈳、矽化鈷等。此外，亦可使用 T a N (氮化鉭) 等氮化金屬。

(請先閱讀背面之注意事項再填寫本頁)

訂

家

五、發明說明 (3)

第 3 實施型態

前述第 2 實施型態，將氧氣吸收層 3 2 形成於溝 2 7 的底部，但本實施型態，將氧氣吸收層形成於溝 2 7 的底部與側壁。

首先，接著前述第 4 6 圖所示的工程，如第 6 5 圖所示，在氧化矽膜 2 4 的上部以及溝 2 7 的內部以 C V D 法堆積膜厚 5 n m ~ 1 0 n m 程度的鈣膜 2 8 c。又，為確保鈣膜（鈣膜）2 8 c 的黏著性，預先以濺鍍法堆積鈣膜（未圖示）之後再堆積鈣膜 2 8 c 亦可。

其次，如第 6 6 圖所示，在鈣膜 2 8 c 的上部以 C V D 法堆積膜厚 1 0 ~ 2 0 n m 程度的矽化鎢膜 3 2 b。此矽化鎢膜 3 2 b 係以 C V D 法堆積的緣故，溝 2 7 的外部之氧化矽膜 2 4 的上部、溝 2 7 的底部以及側壁都以幾乎均勻的膜厚堆積。

其次，如第 6 7 圖所示，在溝 2 7 的內部埋入由光阻劑或自旋玻璃等所構成的絕緣膜 3 3，未以絕緣膜覆蓋的溝 2 7 的外部的矽化鎢膜 3 2 b 藉由乾蝕刻除去之。此時為了避免矽化鎢膜 3 2 b 與之後的工程所堆積的介電體膜 2 9 之接觸，使絕緣膜 3 1 的上端部較溝 2 7 的開孔部更往下方後退，同時除去溝 2 7 的側壁上端部附近的矽化鎢膜 3 2 b。

其次，除去溝 2 7 的內部的絕緣膜 3 3 後，如第 6 8 圖所示，在矽化鎢膜 3 2 b 的上部以 C V D 法堆積膜厚 5

（請先閱讀背面之注意事項再填寫本頁）

訂

象

五、發明說明 (32)

~ 10 nm 程度的薄的鈣膜 28 d，接著如第 69 圖所示，這由乾蝕刻除去溝 27 的外部之鈣膜 28 d、28 c、23。藉此，在溝 27 的內壁被形成由 2 層之鈣膜 28 c、28 d 所構成的下部電極 28，在溝 27 的底部以及側壁的下部電極 28 內被形成由矽化鎢 32 a 所構成的氧氣吸收層 32。

其次，如第 70 圖所示，在被形成下部電極 28 的溝 27 的內壁以及氧化矽膜 24 的表面薄薄地堆積介電體膜 29。介電體膜 29，以膜厚 10 nm 程度的氧化鋁膜構成，其後，為謀求膜的結晶化與膜質的改善，在氧氣環境下進行 650℃ 程度的熱處理。此時，被形成於插銷 22 表面的氮化矽鈣層 26 被氧化，亦有至少其一部份變化為氮化矽氧鈣的場合。

其次，如第 71 圖所示，組合 CVD 法與濺鍍法在介電體膜 29 的上部堆積氮化鈦膜形成上部電極 30，藉此完成以下部電極 28、介電體膜 29 以及上部電極 30 構成的資訊蓄積用電容元件 C，約略完成記憶胞選擇用 MISFETQs 及與此串聯接續的資訊蓄積用電容元件 C 所構成的記憶胞。

在本實施型態，使氧氣吸收層 32 不僅形成於溝 27 的底部，也形成於側壁，所以與僅在溝 27 的底部形成氧氣吸收層 32 的前述第 2 實施型態相比，氧氣吸收層 32 的阻隔效果更大，可以更有效地防止矽化鈣層 25 的氧化的進行。

(請先閱讀背面之注意事項再填寫本頁)

訂

製

五、發明說明 (33)

上述氧氣吸收層 3 2，以被挾持於構成下部電極 2 8 的 2 層鈣膜 2 8 c、2 8 d 的狀態被形成。因此，與前述第 2 實施型態相同，即使由於氧氣吸收層 3 2 被氧化導致失去導電性的場合，也可以藉由其外側的鈣膜 2 8 c 而確保下部電極 2 8 與插銷 2 2 的導通，資訊蓄積用電容元件 C 全體的功能以及特性不會劣化。

構成氧氣吸收層 3 2 的導電材料並不以矽化鎢為限，可以使用前述第 2 實施型態所例示之各種導電材料。此外，取代這些導電材料改用矽亦可。

以矽構成氧氣吸收層 3 2 的場合，氧化矽膜 2 4 的上部以及溝 2 7 的內部堆積鈣膜 2 8 c（參照第 6 5 圖）之後，在鈣膜 2 8 c 的上部以 C V D 法堆積多結晶矽膜等。其次，藉由乾蝕刻除去溝 2 7 的外部的多結晶矽膜之後，施以熱處理使鈣膜 2 8 c 與多結晶矽膜反應，使多結晶矽膜矽化物化藉以在溝 2 7 的內部形成矽化鈣膜。其後，堆積鈣膜 2 8 d，接著藉由乾蝕刻除去溝 2 7 的外部的鈣膜 2 8 d、2 8 c、2 3，在溝 2 7 的內壁形成由 2 層鈣膜 2 8 c、2 8 d 所構成的下部電極 2 8，在溝 2 7 的底部以及側壁之下部電極 2 8 內形成由矽化鈣膜所構成的氧氣吸收層 3 2。

如上所述，將矽矽化物化，形成氧氣吸收層 3 2 的場合，使最初堆積的鈣膜 2 8 c 的膜厚為多結晶矽膜的膜厚的 2 倍以上。例如鈣膜 2 8 c 的膜厚為 2 0 n m，多結晶矽膜的膜厚為 5 n m，藉由熱處理使二者反應的場合，即

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (34)

使多結晶矽膜全部被矽化鈣膜被矽化物化最高也只有 5 n m 程度而已，剩下的 1 5 n m 殘留為金屬鈣，因此可以充分確保下部電極 2 8 的導通。

第 4 實施型態

前述第 1 ~ 3 實施型態，在下部電極 2 8 的下部的貫孔 1 9 埋入的插銷 2 2 以多結晶矽構成，但在本實施型態埋入貫孔 1 9 的插銷以鈣構成。

首先，如第 7 2 圖所示，藉由乾蝕刻在位元線 B L 的上部堆積的氧化矽膜 1 7 形成貫孔 1 9。到此為止的工程與前述第 1 實施型態的第 4 ~ 3 2 圖所示的工程相同。

其次，如第 7 3 圖所示，在被形成貫孔 1 9 的氧化矽膜 1 7 的上部以濺鍍法堆積鈣膜 3 4。此鈣膜 2 3，在貫孔 1 9 的底部以使其膜厚呈為 5 0 n m 程度的方式堆積較薄的膜厚。又，在圖中顯示在氧化矽膜 1 7 的上部與貫孔 1 9 的底部堆積鈣膜 3 4 的狀態，實際上在貫孔 1 9 的側壁也堆積非常薄的鈣膜 3 4。

其次，如第 7 4 圖所示，在氮氣等非氧化性氣體環境中進行 6 0 0 ℃，1 分鐘程度的熱處理，使貫孔 1 9 的底部的鈣膜 3 4 與其下部的接觸孔 1 2 內所埋入的多結晶矽所構成的插銷 1 3 起反應，在插銷 1 3 的表面形成矽化鈣層 3 5。此時，氧化矽膜 1 7 的上部的鈣膜 3 4 不產生矽化反應因此以原狀殘留。

其次，如第 7 5 圖所示，在氮氣環境中進行 6 5 0 ℃

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (35)

， 3 分鐘程度的熱處理（熱氮化處理），藉由使矽化鈣層 3 5 的表面氮化形成氮化矽鈣層 3 6。氮化矽鈣層 3 6 取代上述之熱氮化處理，藉由電漿氣氛中所產生的活性氮原子進行氮化處理（電漿氮化處理）而形成亦可。

其次，如第 7 6 圖所示，在氧化矽膜 1 7 的上部以及貫孔 1 9 的內部以 C V D 法堆積鈣膜 3 7 a 之後，如第 7 7 圖所示，以化學機械研磨法（或者回蝕法）除去貫孔 1 9 的外部的鈣膜 3 7 a，在貫孔 1 9 的內部形成由鈣膜 3 7 a 所構成的插銷 3 7。以 C V D 法堆積的鈣膜 3 7 a，與以濺鍍法堆積的鈣膜相比，與氧化矽膜 1 7 之黏著力較弱，因此預先於其下層以濺鍍法堆積鈣膜（未圖示）之後堆積鈣膜 3 7 a 亦可。

其次，如第 7 8 圖所示，在氧化矽膜 1 7 的上部以 C V D 法堆積氮化矽膜 1 8 以及氧化矽膜 2 4 之後，將光阻劑膜（未圖示）做為遮罩乾蝕刻氧化矽膜 2 4 以及氮化矽膜 1 8，藉此於其底部使貫孔 1 9 內的插銷 3 7 的表面露出而形成溝 2 7。

其次，如第 7 9 圖所示，依照前述第 1 實施型態的第 4 7 ~ 5 4 圖所示之工程，沿著溝 2 7 的內壁形成由鈣膜所構成的下部電極 2 8 之後，如第 8 0 圖所示，在被形成下部電極 2 8 的溝 2 7 的內壁以及氧化矽膜 2 4 的表面薄薄地堆積介電體膜 2 9。介電體膜 2 9，以膜厚 1 0 n m 程度的氧化鋇（ Ta_2O_5 ）膜構成，其後，為謀求膜的結晶化與膜質的改善，在氧氣氣氛中進行 6 5 0 °C、2 分鐘

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (36)

程度的熱處理。

其次，如第 8 1 圖所示，藉由組合 C V D 法與濺鍍法在介電體膜 2 9 的上部堆積氮化鈦膜形成上部電極 3 0，完成由下部電極 2 8、介電體膜 2 9 以及上部電極 3 0 所構成的資訊蓄積用電容元件 C，約略完成以記憶胞選擇用 M I S F E T Q s 及與此串聯接續的資訊蓄積電容元件 C 所構成的記憶胞。

如此，在本實施型態，在被埋入貫孔 1 9 的下部的接觸孔 1 2 內的多結晶矽所構成的插銷 1 3 的表面形成矽化鈣層 3 5，於此矽化鈣層 3 5 的表面形成氮化矽鈣層 3 6。此外，於接觸孔 1 2 的上部的貫孔 1 9 埋入由鈣膜 3 7 a 所構成的插銷 3 7。

根據本實施型態，形成於插銷 1 3 表面的矽化鈣層 3 5 以及氮化矽鈣層 3 6 與資訊蓄積用電容元件 C 的介電體膜 2 9 藉由貫孔 1 9 內的鈣膜 2 7 a 所構成的插銷 3 7 隔絕，因此在形成介電體膜 2 9 的工程所進行的氧氣氣氛中的高溫熱處理時，可以有效的防止由於氧氣的擴散而導致矽化鈣層 3 5 的氧化。

在本實施型態於插銷 1 3 的表面形成矽化鈣層 3 5 與氮化矽鈣層 3 6，但並不以此為限，例如形成矽化鈦層與氮化矽鈦層或者矽化鈷層與氮化矽鈷層也可得同樣的效果。

此外，如前述第 2、3 實施型態所示，在下部電極 2 8 之間挾入氧氣吸收層 3 2，或如第 8 2 圖所示，在被

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (37)

埋入由鈣膜 3 7 a 所構成的插銷 3 7 的貫孔 1 9 的內部形成氧氣吸收層 3 2 亦可。

此外，貫孔 1 9 內的插銷 3 7，並不以鈣膜 3 7 a 為限定，例如使用鉑或銥等亦可。

第 5 實施型態

前述第 1 ~ 4 實施型態的 D R A M，在形成氧化矽膜 2 4 的溝 2 7 的內壁形成資訊蓄積用電容元件 C 的下部電極 2 8，但本實施型態的 D R A M，將資訊蓄積用電容元件 C 的下部電極形成為柱狀。

本實施型態的製造方法，在插銷 2 2 的表面形成矽化鈣層 2 5，接著在矽化鈣層 2 5 的表面形成氮化矽鈣層 2 6 為止的工程（前述第 4 ~ 4 6 圖之工程）與前述第 1 實施型態相同，因此省略其說明，僅說明後續的工程。

首先，接著前述第 4 6 圖所示的工程之後，如第 8 3 與 8 4 圖所示，在氧化矽膜 2 4 的上部以及溝 2 7 的內部以高低差包覆性佳的 C V D 法堆積鈣膜 3 8 a。此鈣膜 3 8 a，以完全埋入溝 2 7 的內部的方式堆積較厚的膜厚。

其次，如第 8 5 及 8 6 圖所示，藉由乾蝕刻除去溝 2 7 外部的鈣膜 3 8 a、2 3，於溝 2 7 的內部殘留鈣膜 3 8 a 之後，如第 8 7 及 8 8 圖所示，例如使用氟系的蝕刻液以濕蝕刻除去氧化矽膜 2 4，藉以形成由鈣膜 3 8 a 所構成的柱狀的下部電極 3 8。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (38)

其次，如第 89、90 圖所示，在下部電極 38 的表面薄薄地堆積介電體膜 39。介電體膜 39 以膜厚 10 nm 程度的氧化鉬膜構成，其後，為謀求膜的結晶化與膜質的改善，在氧氣環境中進行 650℃、2 分鐘程度的熱處理。

其次，如第 91、92 圖所示，藉由組合 CVD 法與濺鍍法在介電體膜 39 的上部堆積氮化鈦膜等形成上部電極 40，完成由下部電極 38、介電體膜 39 以及上部電極 40 所構成的資訊蓄積用電容元件 C，約略完成以記憶胞選擇用 MISFETQs 及與此串聯接續的資訊蓄積電容元件 C 所構成的記憶胞。

如此，根據本實施型態，即使以柱狀體構成資訊蓄積用電容元件 C 的下部電極 28 的場合，藉由在被接續於下部電極 28 的插銷 22 的表面形成矽化鈦層 25，進而於矽化鈦層 25 的表面形成氮化矽鈦層 26，在下部電極 28 上形成介電體膜 29 的工程所進行的在氧化氣氛中的高溫熱處理時，氮化矽鈦層 26 犧牲性地被氧化成為氮化矽氧鈦，因此可以有效防止矽化鈦層 25 的氧化的進行。藉此，可以防止起因於下部電極 28 與插銷 22 的界面之異常氧化導致的下部電極 28 的形狀不良的產生，因此可以減少被形成於下部電極 28 上的介電體膜 29 的洩漏電流。

此外，在本實施型態的製造方法，在貫孔 19 內埋入多結晶矽之插銷 22，接著於其上部堆積氧化矽膜 24 形

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (39)

成溝 2 7 之後，在露出於溝 2 7 的底部的插銷 2 2 的表面形成矽化鈣層 2 5 與氮化矽鈣層 2 6。藉此，矽化鈣層 2 5 以及氮化矽鈣層 2 6 對溝 2 7 自己整合地形成的緣故，即使在其區域由溝 2 7 規定的柱狀之下部電極 2 8 與貫孔 1 9 的位置對準產生偏移的場合，也可以避免介電體膜 2 9 與插銷 2 2 之接觸，可以抑制資訊蓄積用電容元件 C 的洩漏電流的增加。

此外，根據以柱狀體構成資訊蓄積用電容元件 C 的下部電極 3 8 的本實施型態，與將下部電極 2 8 形成於溝 2 7 內部的前述第 1 ~ 4 實施型態相比，可以提高堆積於下部電極 3 8 的上部的介電體材料（氧化鋁膜）以及上部材料（氮化鈦膜）之高低差包覆性。

第 6 實施型態

本實施型態的 D R A M，與前述第 5 實施型態同樣以柱狀體構成資訊蓄積用電容元件 C 的下部電極，而且與前述第 2 實施型態同樣在下部電極的底部形成氧氣吸收層。

首先，接著前述第 4 6 圖所示的工程，如第 9 3 圖所示，在氧化矽膜 2 4 的上部以及溝 2 7 的內部以高低差包覆性佳的 C V D 法堆積較薄的鈣膜 3 8 c。如前所述，以 C V D 法堆積的鈣膜 3 8 c 與以濺鍍法堆積的鈣膜相比高低差包覆性較佳，但與氧化矽膜 2 4 的黏著力較弱，因此再以濺鍍法堆積薄的鈣膜（未圖示）之後堆積鈣膜 3 8 c 亦可。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (40)

其次，如第 9 4 圖所示，在鈣膜 3 8 c 的上部以濺鍍法堆積膜厚 1 0 ~ 2 0 n m 程度的矽化鎢膜 3 2 a。此矽化鎢膜 3 2 a 係以濺鍍法堆積的緣故，即使堆積於溝 2 7 的外部的氧化矽膜 2 4 上或是溝 2 7 的底部，在溝 2 7 的側壁也只有堆積極薄的膜厚。

其次，如第 9 5 圖所示，被堆積矽化鎢膜 3 2 a 的氧化矽膜 2 4 的上部以及溝 2 7 的內部以高低差包覆性佳的 C V D 法堆積鈣膜 3 8 d。此鈣膜 3 8 d，係以完全埋入溝 2 7 的內部的方式堆積較厚的膜厚。

其次，如第 9 6 圖所示，藉由乾蝕刻除去溝 2 7 的外部的鈣膜 3 8 c、3 8 d 以及矽化鎢膜 3 2 a，在溝 2 7 的內部殘留鈣膜 3 8 c、3 8 d 以及矽化鎢膜 3 2 a 後，如第 9 7 圖所示，例如使用氟系的蝕刻液以濕蝕刻除去氧化矽膜 2 4，藉以形成由鈣膜 3 8 a 所構成的柱狀的下部電極 3 8，在下部電極 3 8 的底部形成由矽化鎢膜 3 2 a 所構成的氧氣吸收層 3 2。

其次，如第 9 8 圖所示，以與前述第 5 實施型態同樣的方法，在下部電極 3 8 的表面薄薄地堆積介電體膜 3 9，接著在氧氣環境中進行熱處理後，在介電體膜 3 9 的上部堆積氮化鈦膜等形成上部電極 4 0。

如此，在本實施型態，於插銷 2 2 的表面形成矽化鈣層 2 5，於矽化鈣層 2 5 的表面形成氮化矽鈣層 2 6 之後，在柱狀的下部電極 2 8 的底部形成氧氣吸收層 3 2。藉此，在下部電極 2 8 上形成介電體膜 2 9 的工程所進行的

五、發明說明 (41)

在氧化氣氛中的高溫熱處理時，氮化矽鈣層 2 6 以及氧氣吸收層 3 2 作為透過、擴散於下部電極 2 8 中的氧氣的障壁層（阻隔層）發揮功能，犧牲性地被氧化，因此與前述第 5 實施型態相比，可以更有效地防止矽化鈣層 2 5 的氧化的進行。

第 7 實施型態

本實施型態的 D R A M，與前述第 5、6 實施型態同樣以柱狀體構成資訊蓄積用電容元件 C 的下部電極，而且在下部電極的內部形成氧氣吸收層。

首先，接續前述第 4 6 圖所示的工程，如第 9 9 圖所示在氧化矽膜 2 4 的上部以及溝 2 7 的內部以高低差包覆性佳的 C V D 法堆積鈣膜 3 8 e。鈣膜 3 8 e，將溝 2 7 的內部以未完全埋入程度的膜厚堆積。在此場合也預先以濺鍍法堆積薄的鈣膜（未圖示）之後再堆積鈣膜 3 8 e 亦可。

其次，如第 1 0 0 圖所示，在溝 2 7 的內部埋入多結晶矽膜 5 0。多結晶矽膜 5 0 的埋入，首先在被堆積鈣膜 3 8 e 的氧化矽膜 2 4 的上部以及溝 2 7 的內部以 C V D 法堆積多結晶矽膜 5 0 之後，以乾蝕刻除去溝 2 7 的外部多結晶矽膜 5 0。此時，藉由過度蝕刻除去溝 2 7 的上端部附近的多結晶矽膜 5 0，使多結晶矽膜 5 0 的上面比溝 2 7 的上端部更往下方後退。

其次，如第 1 0 1 圖所示，在氮氣等非氧化性氣體環

五、發明說明 (42)

境中進行熱處理，使溝 2 7 的內部的鈣膜 3 8 e 與多結晶矽膜 5 0 反應形成矽化鈣膜，藉以在溝 2 7 的內部形成由矽化鈣構成的氧氣吸收層 5 1。

使多結晶矽膜 5 0 矽化形成氧氣吸收層 5 1 的場合，如前所述，使最初堆積的鈣膜 2 8 e 的膜厚為多結晶矽膜 5 0 的膜厚的 2 倍以上。例如溝 2 7 的直徑為 1 0 0 n m，鈣膜 2 8 e 的膜厚為 3 0 n m 的場合，堆積於溝 2 7 的兩側壁的鈣膜 2 8 e 的膜厚成為 6 0 n m 的緣故，其後被埋入溝 2 7 的內部的多結晶矽膜 5 0 的橫方向的膜厚成為 4 0 n m。以此膜厚比使鈣膜 2 8 e 與多結晶矽膜 5 0 反應的場合，即使多結晶矽膜 5 0 全部被矽化，鈣膜 2 8 e 被矽化的也只有 1 0 n m 程度而已，剩下的 2 0 n m 殘存為金屬鈣，因此可以確保下部電極 3 8 的充分導通。

其次，如第 1 0 2 圖所示，在被形成氧化矽膜 2 4 的上部以及氧氣吸收層 5 1 的溝 2 7 的內部以 C V D 法堆積鈣膜 3 8 f。此鈣膜 3 8 f，以完全埋入溝 2 7 的內部的厚膜厚堆積。

其次，如第 1 0 3 圖所示，藉由乾蝕刻除去溝 2 7 的外部的鈣膜 3 8 f、3 8 e 之後，如第 1 0 4 圖所示，以濕蝕刻除去氧化矽膜 2 4，在內部形成氧氣吸收層 5 1 被埋入的柱狀的下部電極 3 8。

其次，如第 1 0 5 圖所示，以與前述第 6 實施型態同樣的方法在下部電極 3 8 的表面堆積薄薄的介電體膜 3 9，接著在氧氣環境中進行熱處理後，在介電體膜 3 9 的上

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (43)

部堆積氮化鈦膜等形成上部電極 4 0 。

在本實施型態，使氧氣吸收層 5 1 形成於下部電極 3 8 的內部全體，因此可以更提高氧氣的阻隔效果。

第 8 實施型態

在本實施型態，說明進而使下部電極材料之鈣膜與氧化矽膜之黏著力進而提高的方法。

本實施型態的製造方法，在貫孔 1 9 的內部形成插銷 2 2 為止的工程（前述第 4 ～ 3 5 圖的工程）與前述第 1 實施型態相同的緣故，省略其說明，僅針對以後的工程說明。

首先，接著前述第 3 5 圖所示的工程，如第 1 0 6 圖所示，在氧化矽膜 1 7 的上部以 C V D 法堆積膜厚 2 0 0 n m 程度的氮化矽膜 1 8，其次，以光阻劑膜（未圖示）為遮罩，藉由乾蝕刻在貫孔 1 9 的上部的氮化矽膜 1 8 形成貫孔 6 0。

其次，如第 1 0 7 圖所示，在貫孔 6 0 的內部形成氮化鉬層 6 1。氮化鉬層 6 1，係在包含貫孔 6 0 的內部之氮化矽膜 1 8 的上部以濺鍍法堆積氮化鈦膜後，以化學機械研磨法（或者回蝕法）除去貫孔 6 0 外部的氮化鈦膜而形成。氮化鉬層 6 1 作為避免在構成下部電極的鈣與構成插銷 2 2 的多結晶矽之界面產生不欲發生的矽化反應之阻隔層而發揮功能。

其次，如第 1 0 8 圖所示，在氮化矽膜 1 8 的上部以

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (44)

C V D 法堆積氧化矽膜 2 4，應需要使其表面以化學機械研磨法平坦化後，以光阻劑膜（未圖示）為遮罩藉由乾蝕刻氧化矽膜 2 4，在其底部形成貫孔 6 0 內的氮化鉬層 6 1 的表面露出的溝 2 7。

其次，如第 1 0 9 圖所示，在溝 2 7 的內壁以及氧化矽膜 2 4 的表面以 C V D 法堆積膜厚 1 0 n m 程度的氧化鉬膜 6 2。氧化鉬膜，量如原料氣體使用五乙氧基鉬（ $Ta(O C_2 H_5)_5$ ）與氧氣為原料氣體，以溫度 4 0 0 °C ~ 4 5 0 °C 的條件堆積之。

其次，如第 1 1 0 圖所示，藉由向異性乾蝕刻除去溝 2 7 的底面以及氧化矽膜 2 4 的表面的氧化鉬膜 6 2，僅在溝 2 7 的側壁殘留氧化鉬膜 6 2。其後，進行 7 0 0 °C 1 分鐘程度的熱處理，使氧化鉬膜 6 2 中的不純物脫氣。此熱處理，在堆積氧化鉬膜 6 2 之後立刻進行亦可。又，氧化鉬膜 6 2 係絕緣材料，因此即使氧化矽膜 2 4 上的氧化鉬膜 6 2 的除去並不充分，在後續工程被形成於溝 2 7 的內部的下部電極 2 8 彼此並不會有透過氧化矽膜 2 4 上所殘留的氧化鉬膜 6 2 的蝕刻殘渣而短路的顧慮。

其次，如第 1 1 1 圖所示，在溝 2 7 的內壁形成由鈦所構成的下部電極 2 8。要形成下部電極 2 8，與前述第 1 實施型態相同，使用濺鍍法與 C V D 法在氧化矽膜 2 4 的上部以及溝 2 7 的內部堆積膜厚 2 0 n m 程度之較薄的鈦膜，接著在溝 2 7 的內部埋入光阻劑等絕緣膜後，藉由乾蝕刻除去溝 2 7 外部的鈦膜。以濺鍍法堆積的鈦膜，係

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (45)

供形成核之用者，實質上成為下部電極材料的是以 C V D 法堆積的鈣膜。

其次，為謀求構成下部電極 2 8 的鈣膜的緻密化，在真空中進行 7 0 0 ℃，1 分鐘程度的熱處理之後，如第 1 1 2 圖所示，在溝 2 7 的內壁以及氧化矽膜 2 4 的表面堆積由膜厚 1 0 n m 程度的氧化鋁所構成的介電體膜 2 9，接著為謀求膜的結晶化與膜質的改善，在氧氣環境中進行 5 5 0 ~ 7 0 0 ℃之熱處理。此時，在溝 2 7 的側壁上端部氧化鋁膜 6 2 與介電體膜 2 9 雖有接觸，但二者同為絕緣材料，所以不會造成不良影響。

其後，如第 1 1 3 圖所示，以與前述第 1 實施型態同樣的方法藉由在介電體膜 2 9 的上部形成上部電極 3 0，完成由下部電極 2 8、介電體膜 2 9 以及上部電極 3 0 所構成的資訊蓄積用電容元件 C。

第 1 1 4 圖，顯示調查構成下部電極 2 8 的鈣膜與各種下底材料的黏著性之結果圖。使用的下底材料，包括熱氧化形成的氧化矽膜、電漿 C V D 法堆積的氧化矽膜（相當於本發明所使用的氧化矽膜 2 4），以電漿 C V D 法堆積的氮化矽膜、以濺鍍法堆積的氮化鈦膜以及以 C V D 法堆積的氧化鋁膜等 5 種。

上述 5 種下底材料上以濺鍍法堆積鈣膜，於其表面抵以施加荷重的針，使荷重改變進行搔刮試驗。圖係顯示在此搔刮試驗鈣膜剝離時對針所施加的荷重所導致的剝離的程度之相對狀況，橫軸係 5 種下底材料，縱軸係鈣膜剝離

（請先閱讀背面之注意事項再填寫本頁）

訂

象

五、發明說明 (46)

時的荷重。此外，在此搔刮試驗，也評估了剛成膜之後的鈣膜，與進行 700℃、1 分鐘熱處理使緻密化之鈣膜。

上述搔刮試驗的結果，2 種氧化矽膜上的鈣膜，幾乎以 50 mN 的荷重剝離。氮化矽膜上的鈣膜藉由進行緻密化處理而稍微提高黏著性，而剛成膜之後者與氧化矽膜上的鈣膜同樣幾乎在 50 mN 就剝離。氮化鈦膜上的鈣膜在稍微超過 100 mN 程度的荷重下剝離。對此，氧化鋇膜上的鈣膜，以 200 mN 極大的荷重才能剝離，判明其具有實用上充分的黏著強度。

如此，在開孔於氧化矽膜 24 的溝 27 的內壁形成由鈣所構成的下部電極 28 時，在溝 27 的內壁預先形成氧化鋇膜 62，可藉以顯著提高鈣膜與下底之黏著強度。藉此，藉由使鈣膜緻密化時之熱處理或者使介電體膜（氧化鋇膜）29 結晶化時之熱處理可以確實防止下部電極 28 剝離的不良情形，可以提高以鈣膜構成資訊蓄積用電容元件 C 的下部電極 28 的 D R A M 製品的製造良率。

由鈣所構成的下部電極 28 的下底材料，可以使用與氧化鋇相比黏著強度較低的氮化鈦。此場合，接續於前述第 108 圖所示的工程，如第 115 圖所示，在溝 27 的內壁以及氧化矽膜 24 的表面以 C V D 法堆積膜厚 10 nm 程度的氮化鈦膜 63。氮化鈦膜使用四氯化鈦與氨氣為原料氣體以 C V D 法堆積。

作為由鈣所構成的下部電極 28 的下底材料，除了氧化鋇或氮化鈦以外，也可以使用氮化鋇或氧化鈦等可以

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (47)

C V D 法來成膜之材料。

其次，如第 1 1 6 圖所示，在溝 2 7 的內部埋入光阻劑等絕緣膜 3 1 後，藉由乾蝕刻除去溝 2 7 的外部的氮化鈦膜 6 3。氮化鈦膜 6 3 係導電材料，因此與使用氧化鉭膜 6 2 的場合不同，可以在溝 2 7 的底部（氮化鈦層 6 2 的表面）殘留。殘留於溝 2 7 的底部的氮化鈦膜 6 3，與其下層之氮化鈦層 6 2 共同發揮作為防止在下部電極 2 8 與插銷 2 2 之界面發生所不想要的矽化反應之用的阻隔層的功能。此外，除去氧化矽膜 2 4 的表面的氮化鈦膜 6 3 時，使溝 2 7 的側壁上端部之氮化鈦膜 6 3 向下方後退。藉此，避免與之後堆積的介電體膜（氧化鉭膜）2 9 之接觸，可以防止洩漏電流的增加。

其次，除去溝 2 7 的內部的絕緣膜 3 1 之後，如第 1 1 7 圖所示，在溝 2 7 的內部以前述的方法形成下部電極 2 8，接著如第 1 1 8 圖所示，在下部電極 2 8 的上部堆積氧化鉭膜形成介電體膜 2 9 之後，如第 1 1 9 圖所示，藉由在介電體膜 2 9 的上部形成上部電極 3 0，完成資訊蓄積用電容元件。

第 9 實施型態

本實施型態的製造方法，直到在貫孔 6 0 的內部形成氮化鉭層 6 1 為止的工程與前述第 8 實施型態相同，因此省略其說明，僅說明之後的工程。

首先，接著前述第 1 0 7 圖所示的工程，如第 1 2 0

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (48)

圖所示，在氮化矽膜 1 8 的上部以 C V D 法堆積氧化矽膜 2 4，應需要使其表面以化學機械研磨法平坦化之後，在氧化矽膜 2 4 的上部以 C V D 法堆積膜厚 5 0 n m 程度的氧化鉬膜 6 4。

其次，如第 1 2 1 圖所示，以光阻劑膜（未圖示）為遮罩乾蝕刻氧化鉬膜 6 4 與氧化矽膜 2 4，藉以在其底部形成貫孔 6 0 內的氮化鉬層 6 1 的表面露出的溝 2 7。

其次，如第 1 2 2 圖所示，在溝 2 7 的內壁以及氧化鉬膜 6 4 的表面以 C V D 法堆積膜厚 1 0 n m 程度的氧化鉬膜 6 2。氧化鉬膜，與前述第 8 實施型態同樣，例如使用五乙氧基鉬與氧氣為原料氣體，以 4 0 0 ~ 4 5 0 ℃ 的條件堆積。

其次，如第 1 2 3 圖所示，藉由向異性蝕刻除去溝 2 7 底面的氧化鉬膜 6 2，在溝 2 7 的側壁殘留氧化鉬膜 6 2。此時，被堆積於氧化鉬膜 2 4 的上部的 2 層氧化鉬膜 6 4、6 2 也被乾蝕刻，但與溝 2 7 底面的氧化鉬膜 6 2 相比，因為膜厚較厚，其一部份未被蝕刻而殘留下來。

其次，如第 1 2 4 圖所示，在溝 2 7 的內壁形成由鈦所構成的下部電極 2 8。要形成下部電極 2 8，在氧化鉬膜 6 4 的上部以及溝 2 7 的內部使用濺鍍法與 C V D 法堆積膜厚 2 0 n m 程度的薄的鈦膜。其次，為謀求鈦膜的緻密化，在真空中以 7 0 0 ℃、進行 1 分鐘程度的熱處理後，在溝 2 7 的內部埋入光阻劑等絕緣膜，藉由乾蝕刻除去

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (49)

溝 2 7 外部的鈣膜。

如此般，在本實施型態，在氧化矽膜 2 4 的表面以氧化鋁膜 6 4 被堆積的狀態堆積下部電極材料（鈣膜）的緣故，即使其後進行使鈣膜緻密化的熱處理，氧化矽膜 2 4 表面的鈣膜也不會有由下底剝離成為異物之虞。亦即，使鈣膜緻密化之後在溝 2 7 的內部埋入光阻劑等絕緣膜成為可能，因此可以避免掉埋入溝 2 7 的內部的絕緣膜中的污染物質轉移至下部電極材料（鈣膜）的不良情形。

其後，如第 1 2 5 圖所示，在下部電極 2 8 的上部堆積氧化鋁膜形成介電體膜 2 9，進而如第 1 2 6 圖所示，在介電體膜 2 9 的上部形成上部電極 3 0，完成資訊蓄積用電容元件 C。

第 1 0 實施型態

在前述第 1 ~ 9 實施型態，藉由以光阻劑膜做為遮罩之乾蝕刻在氧化矽膜 2 4 形成溝 2 7，但在本實施型態，以對氧化矽之蝕刻選擇比比光阻劑更大的材料做為遮罩形成溝 2 7。

首先，接續前述第 1 0 7 圖所示的工程，如第 1 2 7 圖所示，在氮化矽膜 1 8 的上部以 C V D 法堆積氧化矽膜 2 4，應需要以化學機械研磨法使其表面平坦化後，在氧化矽膜 2 4 的上部形成鎢遮罩 6 5。要形成鎢遮罩 6 5，先在氧化矽膜 2 4 的上部以 C V D 法堆積膜厚 5 0 n m 程度的鎢膜，接著以把光阻劑膜做為遮罩之乾蝕刻將鎢膜圖

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (50)

案化。

其次，如第 1 2 8 圖所示，藉由使用鎢遮罩 6 5 將氧化矽膜 2 4 乾蝕刻，於其底部形成貫孔 6 0 內的氮化鉬層 6 1 的表面露出的溝 2 7。鎢，對氧化矽的蝕刻選擇比比光阻劑更大。因此，使用鎢遮罩 6 5 乾蝕刻氧化矽膜 2 4 的場合，與使用光阻劑膜的場合相比遮罩的損耗變小的緣故，可以高精度地在厚膜厚的氧化矽膜 2 4 上形成孔深孔徑比高的溝 2 7。對氧化矽之蝕刻選擇比比光阻劑還大的遮罩材料，除了鎢以外，也可以使用例如鉬。

其次，如第 1 2 9 圖所示，在溝 2 7 的側壁形成氧化鉬膜 6 2。要形成氧化鉬膜 6 2，在溝 2 7 的內壁以及鎢遮罩 6 5 的表面以 C V D 法堆積膜厚 1 0 n m 程度的氧化鉬膜 6 2 之後，藉由向異性蝕刻除去鎢遮罩的表面以及溝 2 7 的底面之氧化鉬膜 6 2。溝 2 7 的側壁的氧化鉬膜 6 2 係為提高下部電極材料之鈣膜與下底之黏著強度之用而形成的。

其次，如第 1 3 0 圖所示，在溝 2 7 的內壁形成由鈣所構成的下部電極 2 8。要形成下部電極 2 8，在鎢遮罩 6 5 的上部以及溝 2 7 的內部以濺鍍法與 C V D 法堆積膜厚 2 0 n m 程度的鈣膜，接著為謀求鈣膜的緻密化，在真空中以 7 0 0 ℃ 進行 1 分鐘程度的熱處理後，在溝 2 7 的內部埋入光阻劑等絕緣膜，藉由乾蝕刻除去溝 2 7 的外部的鈣膜。

如此般，在本實施型態，在氧化矽膜 2 4 的表面被形

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (51)

成於鈇之黏著性高的鎢遮罩 6 5 的狀態下堆積下部電極材料 (鈇膜) 的緣故，即使其後進行供使鈇膜緻密化之熱處理，也不會有氧化矽膜 2 4 的表面的鈇膜由下底剝離而成爲異物之虞。亦即，使鈇膜緻密化之後在溝 2 7 的內部埋入光阻劑等絕緣膜成爲可能的緣故，與前述第 9 實施型態同樣，可以避免在溝 2 7 的內部埋入的絕緣膜中的污染物質被轉移至下部電極材料 (鈇膜) 的不良情形。

其後，如第 1 3 1 圖所示，在下部電極 2 8 的上部堆積氧化鉭膜形成介電體膜 2 9，接著在介電體膜 2 9 的上部形成上部電極 3 0，藉以完成資訊蓄積用電容元件 C。

第 1 1 實施型態

在本實施型態，說明使下部電極材料之鈇膜與氧化矽膜之黏著力提高的其他方法。

首先，接著前述第 1 0 7 圖所示的工程，如第 1 3 2 圖所示，在氮化矽膜 1 8 的上部堆積氧化鉭膜 6 6，接著於其上部交互堆積氧化矽膜 2 4、氧化鉭膜 6 7、氧化矽膜 2 4 以及氧化鉭膜 6 8。亦即，在本實施型態，於厚膜厚之氧化矽膜 2 4 的下層、中間以及上層堆積 3 層之氧化鉭膜 6 6、6 7、6 8。氧化鉭膜 6 6、6 7、6 8 以 C V D 法堆積，其膜厚爲 5 0 n m ~ 1 0 0 n m 程度。又，於氧化矽膜 2 4 的中間進而堆積 1 層 ~ 複數層之氧化鉭膜亦可。

其次，如第 1 3 3 圖所示，以光阻劑膜 (未圖示) 爲

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (52)

遮罩將氧化鉬膜 6 6、6 7、6 8 與氧化矽膜 2 4 乾蝕刻，於其底部形成貫孔 6 0 內的氮化鉬層 6 1 的表面露出的溝 2 7。溝 2 7，與前述第 1 0 實施型態同樣，以使用鎢遮罩 6 5 的乾蝕刻形成亦可。在如此形成的溝 2 7 的側壁，露出氧化鉬膜 6 6、6 7、6 8。

其次，如第 1 3 4 圖所示，於溝 2 7 的內壁形成由鈦所構成的下部電極 2 8。要形成下部電極 2 8，在氧化鉬膜 6 8 的上部以及溝 2 7 的內部使用濺鍍法與 C V D 法堆積膜厚 2 0 n m 程度的鈦膜，接著為謀求鈦膜的緻密化，在真空中以 7 0 0 ℃ 進行 1 分鐘程度的熱處理後，在溝 2 7 的內部埋入光阻劑等之絕緣膜，藉由乾蝕刻除去溝 2 7 的外部的鈦膜。

以上述之方法在溝 2 7 的內壁形成下部電極 2 8 的場合，下部電極 2 8 與氧化鉬膜 6 6、6 7、6 8 在溝 2 7 的側壁接觸，所以構成下部電極 2 8 的鈦膜與下底之黏著強度提高。

其後，如第 1 3 5 圖所示，在下部電極 2 8 的上部堆積氧化鉬膜形成介電體膜 2 9，接著於介電體膜 2 9 的上部形成上部電極 3 0，藉以完成資訊蓄積用電容元件 C。

第 1 2 實施型態

在前述第 8 ~ 1 1 實施型態，針對在把溝 2 7 形成於氧化矽膜 2 4 的工程之前，在貫孔 1 9 內的插銷 2 2 的表面形成阻隔層（氮化鈦膜 6 1）的場合加以說明，但在本

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (53)

實施型態，係針對在形成溝 2 7 於氧化矽膜 2 4 之後，在插銷 2 2 的表面形成阻隔層的場合來加以說明。

首先，接著前述第 3 6、3 7 圖所示的工程，如第 1 3 6 圖所示，藉由乾蝕刻氧化矽膜 2 4 以及氮化矽膜 1 8，於其底部形成貫孔 1 9 內的插銷 2 2 的表面露出的溝 2 7。氧化矽膜 2 4 以及氮化矽膜 1 8 的乾蝕刻也可以光阻劑膜為遮罩來進行，但與前述第 1 0 實施型態同樣，藉由使用對氧化矽之蝕刻選擇比較光阻劑更大的鎢遮罩 6 5，可以精度佳地形成深溝 2 7。

其次，如第 1 3 7 圖所示，於溝 2 7 的側壁形成氧化鉬膜 6 2。要形成氧化鉬膜 6 2，於溝 2 7 的內壁以及鎢遮罩 6 5 的表面以 C V D 法堆積膜厚 1 0 n m 程度的氧化鉬膜 6 2 之後，藉由向異性蝕刻除去鎢遮罩表面以及溝 2 7 的底面的氧化鉬膜 6 2。溝 2 7 的側壁的氧化鉬膜 6 2，係為了提高下部電極材料之鈣膜與下底之黏著強度而形成的。

其次，如第 1 3 8 圖所示，在鎢遮罩 6 5 的上部以及溝 2 7 的內部以 C V D 法堆積膜厚 1 0 n m 程度的鈣膜 7 0 a 之後，如第 1 3 9 圖所示，使用前述第 1 實施型態所說明的方法在插銷 2 2 的表面形成矽化鈣層 2 5，接著於矽化鈣層 2 5 的表面形成氮化矽鈣層 2 6。

其次，如第 1 4 0 圖所示，於鎢遮罩 6 5 的上部以及溝 2 7 的內部以 C V D 法堆積膜厚 1 0 n m ~ 2 0 n m 程度的鈣膜 7 0 b 之後，如第 1 4 1 圖所示，在溝 2 7 的內

五、發明說明 (54)

壁形成由鈳膜 70 a 與鈳膜 70 b 之層積膜所構成的下部電極 70。要形成下部電極 70，在溝 27 的內部埋入光阻劑等絕緣膜，藉由乾蝕刻除去溝 27 的外部的鈳膜 70 a、70 b 與鎢遮罩 65。

其後，如第 142 圖所示，在下部電極 70 的上部堆積氧化鋁膜形成介電體膜 29，接著在介電體膜 29 的上部形成上部電極 30，藉以完成由下部電極 70、介電體膜 29 以及上部電極 30 所構成的資訊蓄積用電容元件 C。

以上，具體說明由本案發明人所進行之實施型態，但本發明並不以前述實施型態為限定，在不逸脫其要旨的範圍內當然可以進行種種的變更。

在本發明，可以組合各種前述第 1 ~ 12 實施型態所說明的構造、製造方法。例如第 143 圖所示的記憶胞的構造，與前述第 4 實施型態同樣，藉由貫孔 19 內的插銷 37 隔絕形成於插銷 13 的表面的矽化鈳層 35 以及氮化矽鈳層 36 與資訊蓄積用電容元件 C 之介電體膜 29，而且與前述第 5 ~ 7 實施型態同樣，係以柱狀體構成資訊蓄積用電容元件 C 的下部電極 38。此外，第 144 圖所示的記憶胞構造，係於第 143 圖所示的記憶胞構造，進而於下部電極 38 的底部形成氧氣吸收層 32 者。此氧氣吸收層，與前述第 7 實施型態同樣，形成於下部電極 38 的內部全體亦可。

在前述第 1 ~ 12 實施型態以氧化鋁構成資訊蓄積用

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (55)

電容元件的介電體膜，但也可以氧化鈦、或者鈦酸鋇、鈦酸鋇、鈦酸鋇、鈦酸鉛等鈣鈦礦（perovskite）型金屬氧化物所構成的高（強）介電體或者這些的層積物來構成。

在前述第 1 ～ 12 實施型態，說明適用於 D R A M 以及其製造程序的場合，但不限於泛用 D R A M，也可以適用於邏輯混載 D R A M，或者 F e R A M 等。

發明之效果

由本案所揭示的發明之中，簡單說明由代表性者所可獲得的效果如下。

（1）根據本發明的話，更進一步達成記憶胞的微細化，即使在電容元件的下部電極與其下部之接觸孔之位置對準偏差成為不可避免的場合，也可以在下部電極的圖案化時防止使接續孔內的阻隔層被蝕刻而使矽插銷的表面露出的不良情形產生。

（2）根據本發明的話，形成於電容元件的下部電極上的介電體膜在氧氣環境中熱處理時，透過下部電極的氧氣使阻隔層自身被氧化，可以防止形成高電阻、低介電率的氧化物層之不良情形。

（3）根據本發明的話，可以提高構成電容元件的下部電極的白金族金屬膜與氧化矽膜之黏著性。

（4）根據本發明的話，可以藉由增加電容元件的表面積同時謀求介電體膜的高介電率化，使得在微細化記憶胞的場合也可以確保所要的蓄積電荷量值。

（請先閱讀背面之注意事項再填寫本頁）

訂

五、發明說明 (56)

(5) 根據本發明的話，在厚的氧化矽膜上，形成供形成資訊蓄積用電容元件的下部電極之用的溝之後，於露出於此溝的底部的插銷的表面形成成為矽的擴散的障壁之膜，藉以例如在形成此溝時藉由層間絕緣膜的過度蝕刻而在插銷的側面露出溝的底部的場合，也可以在插銷的側面上形成上述擴散障壁膜。藉此，可以防止構成下部電極的金屬膜與例如多結晶矽膜之類的包含矽的導電體膜所構成的插銷之反應導致形狀異常的產生，或者由於矽的擴散而在介電體膜與下部電極之界面形成氧化矽之類的低介電緣的膜之不良情形。

圖面之簡單說明

第 1 圖係形成本發明之一實施型態之 D R A M 之矽晶片的全體平面圖。

第 2 圖係形成本發明之一實施型態之 D R A M 之半導體基板的重要部位剖面圖。

第 3 圖係形成本發明之一實施型態之 D R A M 之半導體基板的重要部位剖面圖。

第 4 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位平面圖。

第 5 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 6 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (57)

第 7 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位平面圖。

第 9 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 0 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 1 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 2 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 3 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 4 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位平面圖。

第 1 5 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 6 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 7 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 8 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (58)

第 19 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 20 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 21 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 22 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 23 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 24 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 25 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位平面圖。

第 26 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 27 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 28 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 29 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位平面圖。

第 30 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (59)

第 3 1 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 2 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 3 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 4 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 5 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 6 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 7 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 3 8 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位平面圖。

第 3 9 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 0 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 1 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 2 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (60)

第 4 3 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 4 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 5 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 6 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 7 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 8 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 4 9 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 0 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 1 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 2 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 3 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 4 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (61)

第 5 5 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 6 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 7 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 8 圖係顯示本發明之一實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 5 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (62)

第 6 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 6 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 7 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 7 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 7 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 7 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 7 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 7 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 7 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 7 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 7 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

頁

五、發明說明 (63)

第 7 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 8 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 9 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (64)

第 9 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 9 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 9 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 9 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 9 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 9 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 9 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 9 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 9 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 0 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 0 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 0 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (65)

第 1 0 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 0 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 0 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 0 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 0 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 0 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 0 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 1 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 1 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 1 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 1 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 1 4 圖係顯示構成下部電極的釘膜與各種下底材料之接著性之圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

象

五、發明說明 (66)

第 1 1 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 1 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 1 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 1 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 1 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (67)

第 1 2 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 2 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 5 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 6 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 7 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 3 8 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (68)

第 1 3 9 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 4 0 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 4 1 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 4 2 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位擴大剖面圖。

第 1 4 3 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

第 1 4 4 圖係顯示本發明之其他實施型態之 D R A M 的製造方法之半導體基板的重要部位剖面圖。

符號說明

1 : 矽基板

1 A : 矽晶片

2 : 元件分離溝

3 : p 型井

4 : 氧化矽膜

5 : 閘極絕緣膜

6 : 閘極電極

7 : 氧化矽膜

8 : n 型半導體區域 (源極、汲極)

9 : 氮化矽膜

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明 (69)

- 1 0 : 氧化矽膜
- 1 1 、 1 2 : 接觸孔
- 1 3 : 插銷
- 1 4 : 氧化矽膜
- 1 5 : 貫孔
- 1 6 : 插銷
- 1 7 : 氧化矽膜
- 1 8 : 氮化矽膜
- 1 9 : 貫孔
- 2 0 : 多結晶矽膜
- 2 1 : 側壁間隔件
- 2 2 : 插銷
- 2 3 : 釘膜
- 2 4 : 氧化矽膜
- 2 5 : 矽化釘層

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要 (發明之名稱半導體積體電路裝置及其製造方法)

本發明之課題在於防止在氧氣氣氛中熱處理形成於 D R A M 的電容元件的下部電極上之介電質膜時，透過下部電極的氧氣使障壁層氧化，而形成高電阻、低介電率的氧化物層之問題。

本發明之解決手段為：在被形成於資訊蓄積用電容元件 C 的下部電極 2 8 的下部之貫孔 1 9 內之插銷 2 2 表面被形成矽化鈦層 2 5，在矽化鈦層 2 5 的表面進而被形成氮化矽鈦層 2 6。在下部電極 2 8 上形成介電質膜 2 9 的工程所進行的在氧氣氣氛中之高溫熱處理時，氮化矽鈦層 2 6 被犧牲性氧化成為氮化矽氧鈦，防止矽化鈦層 2 5 之氧化。

英文發明摘要 (發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

六、申請專利範圍

1、一種半導體積體電路裝置，係在半導體基板的主面上被形成由第1金屬構成的第1電極與介電質膜與第2金屬所構成的第2電極等所構成的電容元件，前述半導體基板之第1半導體區域與前述電容元件的第1電極，係介由被形成於前述第1半導體區域之上部的第1絕緣膜膜上之第1接續孔內部的矽插銷而導電接續的半導體積體電路裝置，其特徵為：

在前述矽插銷的表面形成金屬矽化物層，在前述金屬矽化物層的表面被形成金屬氮化矽層或者金屬氮化矽氧層之至少一方。

2、一種半導體積體電路裝置，係在半導體基板的主面上被形成由第1金屬構成的第1電極與介電質膜與第2金屬所構成的第2電極等所構成的電容元件，被形成於前述半導體基板的第1半導體區域與前述電容元件的第1電極，係介由被形成於前述第1半導體區域之上部的第2絕緣膜膜上之第2接續孔內部的矽插銷與被形成於前述第2絕緣膜上部之第1絕緣膜的第1接續孔內部的金屬插銷而導電接續的半導體積體電路裝置，其特徵為：

在前述矽插銷的表面形成金屬矽化物層，在前述金屬矽化物層的表面被形成金屬氮化矽層或者金屬氮化矽氧層之至少一方。

3、如申請專利範圍第1項之半導體積體電路裝置，其中

前述電容元件之第1電極係被形成於形成在前述第1

六、申請專利範圍

絕緣膜上部的第3絕緣膜之溝內部。

4、如申請專利範圍第1項之半導體積體電路裝置，其中

前述電容元件之第1電極，係由被形成於前述第1接續孔上部的柱狀體所構成。

5、如申請專利範圍第1項之半導體積體電路裝置，其中

在前述電容元件的第1電極內部被形成氧氣吸收層。

6、如申請專利範圍第2項之半導體積體電路裝置，其中

前述第1接續孔內部的前述金屬插銷係以Ru、Pt或Ir為主成分。

7、如申請專利範圍第1項之半導體積體電路裝置，其中

構成前述第1電極的前述第1金屬係以Ru為主成分。

8、如申請專利範圍第1項之半導體積體電路裝置，其中

構成前述第1電極的前述第1金屬係以Pt或Ir為主成分。

9、如申請專利範圍第1項之半導體積體電路裝置，其中

被形成於前述矽插銷表面的前述金屬矽化物層，係由矽化鈣、矽化鉑或矽化鈦或者矽化鈷所構成。

六、申請專利範圍

1 0、如申請專利範圍第 1 項之半導體積體電路裝置，其中

被形成於前述金屬矽化物層的表面之前述金屬氮化矽層，係由氮化矽鈣、氮化矽鉑、氮化矽鈦或者氮化矽鈷所構成，前述金屬氮化矽氧層，係由這些的氧化物所構成。

1 1、如申請專利範圍第 1 項之半導體積體電路裝置，其中

構成前述第 2 電極的前述第 2 金屬，係 W、Ru、Pt、Ir、氮化鈦或者這些之層積體。

1 2、如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述氧氣吸收層，係矽化鎢、矽化鈦、矽化鈣、矽化鈷、Al 或 TaN 所構成。

1 3、如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述介電質膜，係以氧化鋁為主成分。

1 4、如申請專利範圍第 1 項之半導體積體電路裝置，其中

前述介電質膜，係以氧化鈦、鈦酸鋇、鈦酸鋁、鈦酸鋇鋁或者鈦酸鉛之任一為主成分。

1 5、一種半導體積體電路裝置之製造方法，其特徵為具有以下工程：

(a) 在被形成第 1 半導體區域的半導體基板的主面上形成第 1 絕緣膜之後，在前述第 1 半導體區域之上部之

六、申請專利範圍

前述第 1 絕緣膜形成第 1 接續孔的工程，

(b) 在前述第 1 接續孔的內部形成矽插銷的工程，

(c) 在前述第 1 絕緣膜的上部形成第 3 絕緣膜之後，藉由蝕刻前述第 1 接續孔的上部之前述第 3 絕緣膜，於其底部形成前述矽插銷的表面露出的溝之工程，

(d) 於前述矽插銷的表面形成金屬矽化物層之後，於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 於前述溝的內部形成由第 1 金屬所構成的電容元件的第 1 電極，通過前述第 1 接續孔電氣接續前述第 1 電極與前述第 1 半導體區域之工程，

(f) 於前述第 1 電極的上部形成前述電容元件的介電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，及

(g) 於前述介電質膜的上部形成由第 2 金屬所構成的前述電容元件的第 2 電極的工程。

16、一種半導體積體電路裝置之製造方法，其特徵為具有以下工程：

(a) 在被形成第 1 半導體區域的半導體基板的主面上形成第 2 絕緣膜之後，在前述第 1 半導體區域之上部之前述第 2 絕緣膜形成第 2 接續孔的工程，

(b) 在前述第 2 接續孔的內部形成矽插銷的工程，

(c) 在前述第 2 絕緣膜的上部形成第 1 絕緣膜之後，藉由蝕刻前述第 2 接續孔的上部之前述第 1 絕緣膜，於其底部形成前述矽插銷的表面露出的第 1 接續孔之工程，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

(d) 於前述矽插銷的表面形成金屬矽化物層之後，
於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 於前述第 1 接續孔的內部形成金屬插銷的工程，

(f) 於前述第 1 絕緣膜的上部形成第 3 絕緣膜後，
藉由蝕刻前述第 1 接續孔上部的前述第 3 絕緣膜，於其底部形成前述金屬插銷的表面露出的溝之工程，

(g) 於前述溝的內部形成由第 1 金屬所構成的電容元件的第 1 電極，通過前述第 1 接續孔與前述第 2 接續孔電氣接續前述第 1 電極與前述第 1 半導體區域之工程，

(h) 於前述第 1 電極的上部形成前述電容元件的介電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，及

(i) 於前述介電質膜的上部形成由第 2 金屬所構成的前述電容元件的第 2 電極的工程。

17、一種半導體積體電路裝置之製造方法，其特徵為具有以下工程：

(a) 在被形成第 1 半導體區域的半導體基板的主面上形成第 1 絕緣膜之後，在前述第 1 半導體區域之上部之前述第 1 絕緣膜形成第 1 接續孔的工程，

(b) 在前述第 1 接續孔的內部形成矽插銷的工程，

(c) 在前述第 1 絕緣膜的上部形成第 3 絕緣膜之後，藉由蝕刻前述第 1 接續孔的上部之前述第 3 絕緣膜，於其底部形成前述矽插銷的表面露出的溝之工程，

六、申請專利範圍

(d) 於前述矽插銷的表面形成金屬矽化物層之後，於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 藉由在包含前述溝的內部之前述第3絕緣膜上形成第1金屬膜，於前述溝的內部埋入前述第1金屬膜後，除去前述溝的外部之前述第1金屬膜的工程，

(f) 藉由以蝕刻除去前述第3絕緣膜，在前述第1接續孔的上部形成由柱狀的前述第1金屬膜所構成的電容元件之第1電極，通過前述第1接續孔電氣接續前述第1電極與前述第1半導體區域之工程，

(g) 於前述第1電極的上部形成前述電容元件的介電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，及

(h) 於前述介電質膜的上部形成由第2金屬所構成的前述電容元件的第2電極的工程。

18、一種半導體積體電路裝置之製造方法，其特徵為具有以下工程：

(a) 在被形成第1半導體區域的半導體基板的主面上形成第2絕緣膜之後，在前述第1半導體區域之上部之前述第2絕緣膜形成第2接續孔的工程，

(b) 在前述第2接續孔的內部形成矽插銷的工程，

(c) 在前述第2絕緣膜的上部形成第1絕緣膜之後，藉由蝕刻前述第2接續孔的上部之前述第1絕緣膜，於其底部形成前述矽插銷的表面露出的第1接續孔之工程，

(d) 於前述矽插銷的表面形成金屬矽化物層之後，

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

於前述金屬矽化物層的表面形成金屬氮化矽層的工程，

(e) 於前述第 1 接續孔的內部形成金屬插銷的工程，

(f) 於前述第 1 絕緣膜的上部形成第 3 絕緣膜後，藉由蝕刻前述第 1 接續孔上部的前述第 3 絕緣膜，於其底部形成前述金屬插銷的表面露出的溝之工程，

(g) 藉由在包含前述溝的內部之前述第 3 絕緣膜上形成第 1 金屬膜，於前述溝的內部埋入前述第 1 金屬膜後，除去前述溝的外部之前述第 1 金屬膜的工程，

(h) 藉由以蝕刻除去前述第 3 絕緣膜，在前述第 1 接續孔的上部形成由柱狀的前述第 1 金屬膜所構成的電容元件之第 1 電極，通過前述第 1 接續孔及前述第 2 接續孔電氣接續前述第 1 電極與前述第 1 半導體區域之工程，

(i) 於前述第 1 電極的上部形成前述電容元件的介電質膜後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，及

(j) 於前述介電質膜的上部形成由第 2 金屬所構成的前述電容元件的第 2 電極的工程。

19、如申請專利範圍第 15 項之半導體積體電路裝置之製造方法，其中

於前述溝的內部形成由第 1 金屬所構成的電容元件的第 1 電極的工程，包含：

在包含前述溝的內部之前述第 3 絕緣膜上以濺鍍法形成第 1 金屬膜的第 1 工程，及

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

前述第 1 工程之後，在包含前述溝的內部的前述第 3 絕緣膜上以 C V D 法形成第 1 金屬膜之第 2 工程，及

前述第 2 工程之後，除去被形成於前述第 3 絕緣膜上的前述 2 層之第 1 金屬膜的第 3 工程。

20、如申請專利範圍第 17 項之半導體積體電路裝置之製造方法，其中

藉由在包含前述溝的內部之前述第 3 絕緣膜上形成第 1 金屬膜，在前述溝的內部埋入前述第 1 金屬膜的工程，包含：

在包含前述溝的內部的前述第 3 絕緣膜上以濺鍍法形成第 1 金屬膜的第 1 工程，及

前述第 1 工程之後，在包含前述溝的內部之前述第 3 絕緣膜上以 C V D 法形成第 1 金屬膜的第 2 工程。

21、如申請專利範圍第 15 項之半導體積體電路裝置之製造方法，其中

於前述溝的內部形成由第 1 金屬所構成的電容元件的第 1 電極的工程，包含：

於包含前述溝的內部的前述第 3 絕緣膜上形成第 1 金屬膜之第 1 工程，及

前述第 1 工程之後，在包含前述溝的內部之前述第 3 絕緣膜上形成第 1 導電膜之第 2 工程，及

前述第 2 工程之後，在包含前述溝的內部之前述第 3 絕緣膜上形成第 1 金屬膜之第 3 工程，及

前述第 3 工程之後，藉由除去前述第 3 絕緣膜上之前

六、申請專利範圍

述第2層之第1金屬膜以及被夾於其間的前述第1導電膜，於前述第1電極的內部形成由前述第1導電膜所構成的氧氣吸收層之第4工程。

22、如申請專利範圍第17項之半導體積體電路裝置之製造方法，其中

藉由在包含前述溝的內部之前述第3絕緣膜上形成第1金屬膜，於前述溝的內部埋入前述第1金屬膜後，除去前述溝的外部之前述第1金屬膜的工程，包含：

於包含前述溝的內部的前述第3絕緣膜上形成第1金屬膜之第1工程，及

前述第1工程之後，在包含前述溝的內部之前述第3絕緣膜上形成第1導電膜之第2工程，及

前述第2工程之後，在包含前述溝的內部之前述第3絕緣膜上形成第1金屬膜之第3工程，及

前述第3工程之後，除去前述第3絕緣膜上之前述第2層之第1金屬膜以及被夾於其間的前述第1導電膜之第4工程；

於前述第1接續孔的上部形成由柱狀的前述第1金屬膜所構成的電容元件的第1電極之工程，包含於前述第1電極的內部形成由前述第1導電膜所構成的氧氣吸收層之工程。

23、如申請專利範圍第16項之半導體積體電路裝置之製造方法，其中

於前述第1接續孔的內部形成金屬插銷的工程，包含

六、申請專利範圍

:

於包含前述第 1 接續孔的內部的前述第 1 絕緣膜的上部堆積構成前述金屬插銷之金屬膜與第 1 導電膜之第 1 工程，及

前述第 1 工程之後，藉由除去前述第 1 絕緣膜上之前述金屬膜與前述第 1 導電膜，於前述金屬插銷的內部形成由前述第 1 導電膜所構成的氧氣吸收層之第 2 工程。

24、如申請專利範圍第 17 項之半導體積體電路裝置之製造方法，其中

於前述溝的內部埋入第 1 金屬膜後，除去前述溝的外部之前述第 1 金屬膜的工程，包含：

在包含前述溝的內部的前述第 3 絕緣膜上形成第 1 金屬膜的第 1 工程，及

前述第 1 工程之後，在包含前述溝的內部之前述第 3 絕緣膜上形成矽膜之第 2 工程，及

前述第 2 工程之後，除去第 3 絕緣膜上的前述矽膜的第 3 工程，及

前述第 3 工程之後，藉由熱處理使前述溝的內部之前述第 1 金屬膜與前述矽膜起反應，於前述溝的內部形成由金屬矽化物所構成的氧氣吸收層的第 4 工程，及

前述第 4 工程之後，在包含前述溝的內部之前述第 3 絕緣膜上形成第金屬膜之第 5 工程，及

前述第 5 工程之後除去前述溝的外部之前述 2 層之第 1 金屬膜的第 6 工程。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

25、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

於前述矽插銷的表面形成前述金屬矽化物層之工程，包含：

在包含前述溝內的前述第3絕緣膜的上部以濺鍍法堆積金屬膜的第1工程，及

前述第1工程之後，藉由熱處理使前述矽插銷與前述金屬膜起反應之第2工程。

26、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

被形成於前述矽插銷的表面之前述金屬矽化物層，係由矽化鈮、矽化鉑、矽化鈦或矽化鈷所構成。

27、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

前述金屬矽化物層的表面之前述金屬氮化矽層，係藉由在氨氣氣氛中熱處理前述金屬矽化物層而形成的。

28、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

前述金屬矽化物層的表面之前述金屬氮化矽層，係在包含活性氮的電漿氣氛中熱處理前述金屬矽化物層而形成的。

29、如申請專利範圍第27項之半導體積體電路裝置之製造方法，其中

前述金屬氮化矽層的膜厚，為0.5nm~1.0

六、申請專利範圍

n m。

30、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

於前述第1電極的上部形成前述電容元件的介電質膜之後，在含有氧氣的氣氛中熱處理前述介電質膜的工程，係將前述介電質膜的形成與該熱處理分為兩次分別進行的。

31、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

形成於前述矽插銷表面的前述金屬矽化物係由矽化鈦、矽化鉑、矽化鈦或矽化鈷所構成。

32、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

形成於前述金屬矽化物層的表面之前述金屬氮化矽層係由氮化矽鈦、氮化矽鉑、氮化矽鈦或氮化矽鈷所構成。

33、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

構成前述第1電極的前述第1金屬係以鈦為主成分。

34、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

構成前述第1電極的前述第1金屬係以鉑或鈱為主成分。

35、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

前述介電質膜係以氧化鋁為主成分。

36、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

前述介電質膜，係以氧化鈦、鈦酸鋇、鈦酸鋁、鈦酸鋇或者鈦酸鉛之任一為主成分。

37、如申請專利範圍第15項之半導體積體電路裝置之製造方法，其中

構成前述第2電極的前述第2金屬，係W、Ru、Pt、Ir、氮化鈦或者這些之層積體。

38、如申請專利範圍第16項之半導體積體電路裝置之製造方法，其中

前述第1接續孔的內部之前述金屬插銷係以Ru、Pt或Ir為主成分。

39、如申請專利範圍第21項之半導體積體電路裝置之製造方法，其中

前述氧氣吸收層，係矽化鎢、矽化鈦、矽化鈦、矽化鈦、Al或Ta所構成。

40、一種半導體積體電路裝置，係在被形成於半導體基板的主面上之絕緣膜上形成溝，於前述溝的內部被形成層積由第1金屬所構成的第1電極、介電質膜、第2金屬所構成的第2電極而構成之電容元件之半導體積體電路裝置，其特徵為：

於前述絕緣膜所構成的溝的內壁與前述第1電極之界面之至少一部份，被形成對前述絕緣膜之黏著性較前述第

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

1 金屬更高的材料所構成的黏著層。

4 1、如申請專利範圍第 4 0 項之半導體積體電路裝置，其中

構成前述第 1 電極之前述第 1 金屬，係以鈦為主成分。

4 2、如申請專利範圍第 4 1 項之半導體積體電路裝置，其中

前述黏著層係以氧化鋁或氮化鋁為主成分。

4 3、如申請專利範圍第 4 1 項之半導體積體電路裝置，其中

前述介電質膜，係以氧化鋁為主成分。

4 4、一種半導體積體電路裝置之製造方法，其特徵為具有以下工程：

(a) 在半導體基板的主面上形成絕緣膜後，蝕刻前述絕緣膜以形成溝的工程，

(b) 在包含前述溝的內部之前述絕緣膜上以 C V D 法堆積氧化鋁膜的工程，

(c) 藉由除去前述溝的外部以及前述溝的底部之前述氧化鋁膜，於前述溝的側壁殘留前述氧化鋁膜的工程，

(d) 前述 (c) 工程之後，於前述溝的內部形成由第 1 金屬所構成的電容元件的第 1 電極，於前述第 1 電極的上部形成前述電容元件的介電質膜，於前述介電質膜的上部形成由第 2 金屬所構成的前述電容元件的第 2 電極的工程。

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

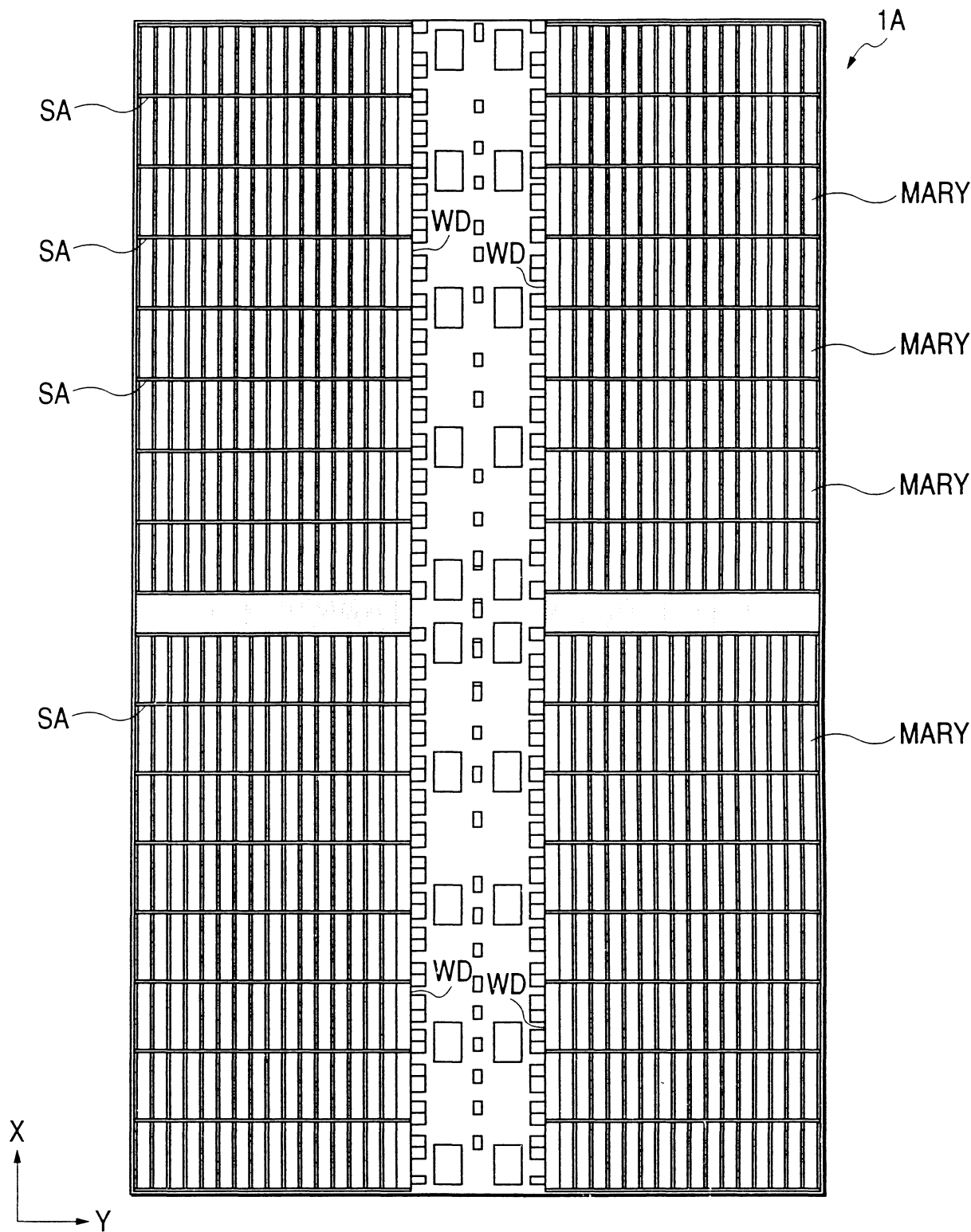
4 5 、 如 申 請 專 利 範 圍 第 4 4 項 之 半 導 體 積 體 電 路 裝 置 之 製 造 方 法 ， 其 中

構 成 前 述 第 1 電 極 的 前 述 第 1 金 屬 ， 係 以 釔 為 主 成 分
。

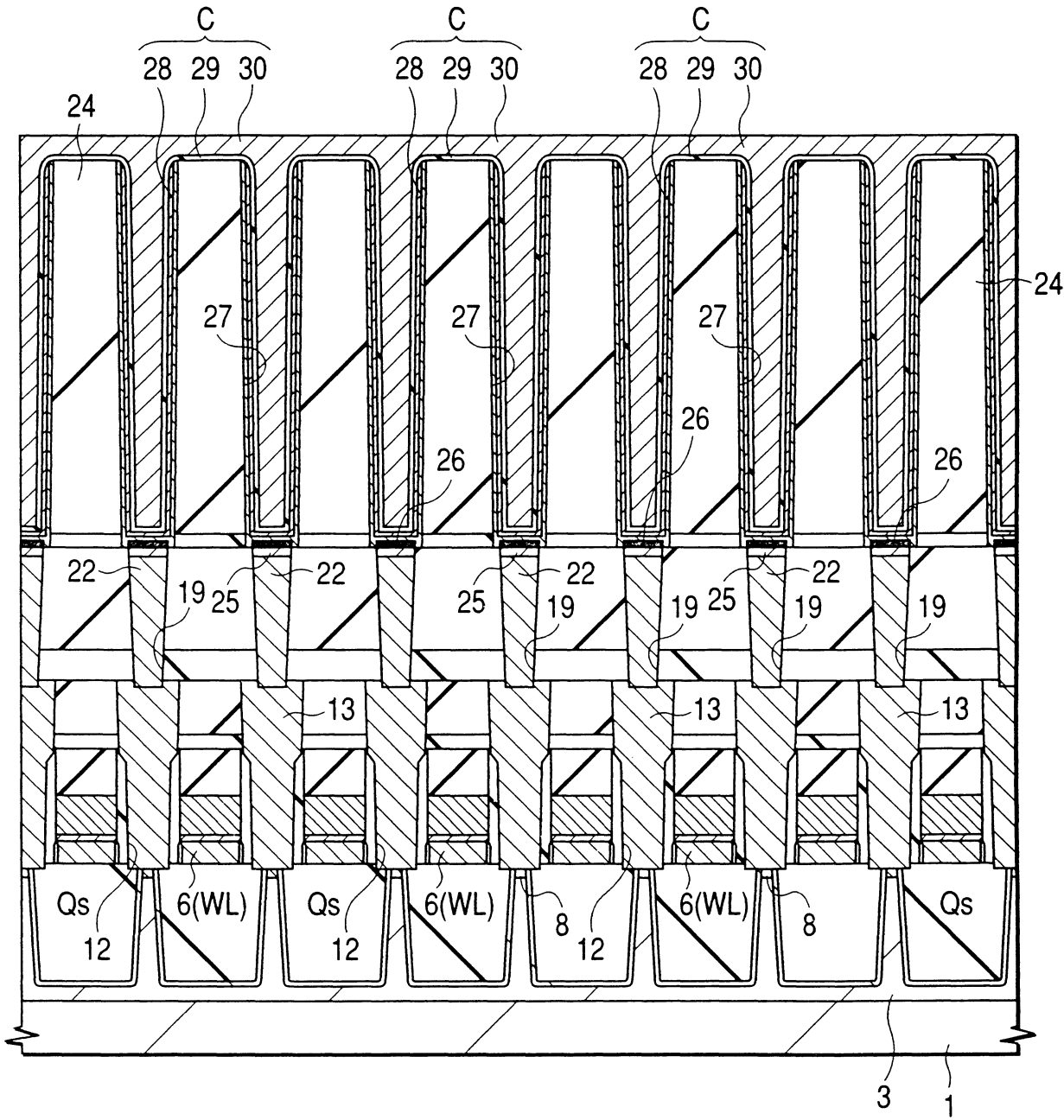
(請先閱讀背面之注意事項再填寫本頁)

訂

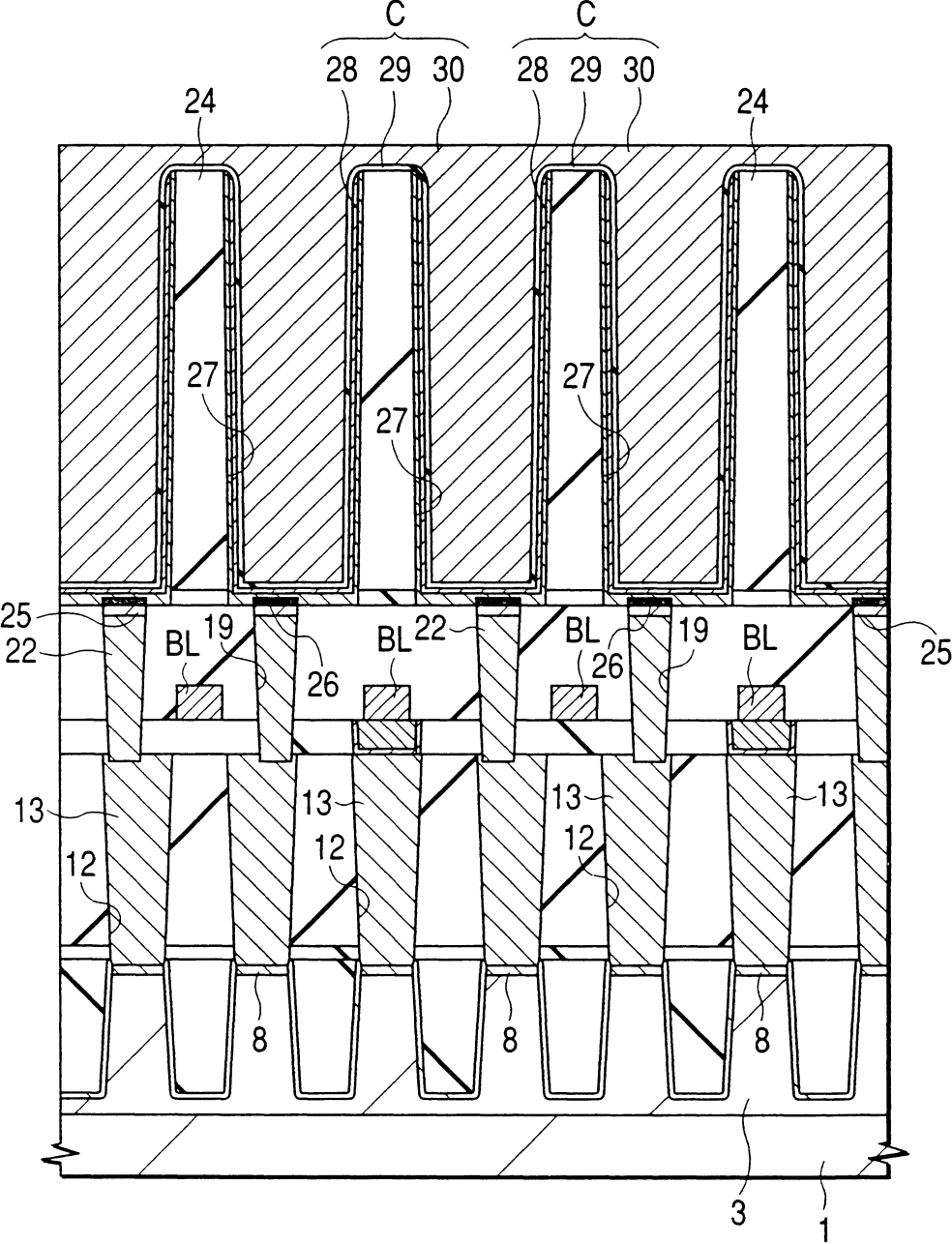
第 1 圖



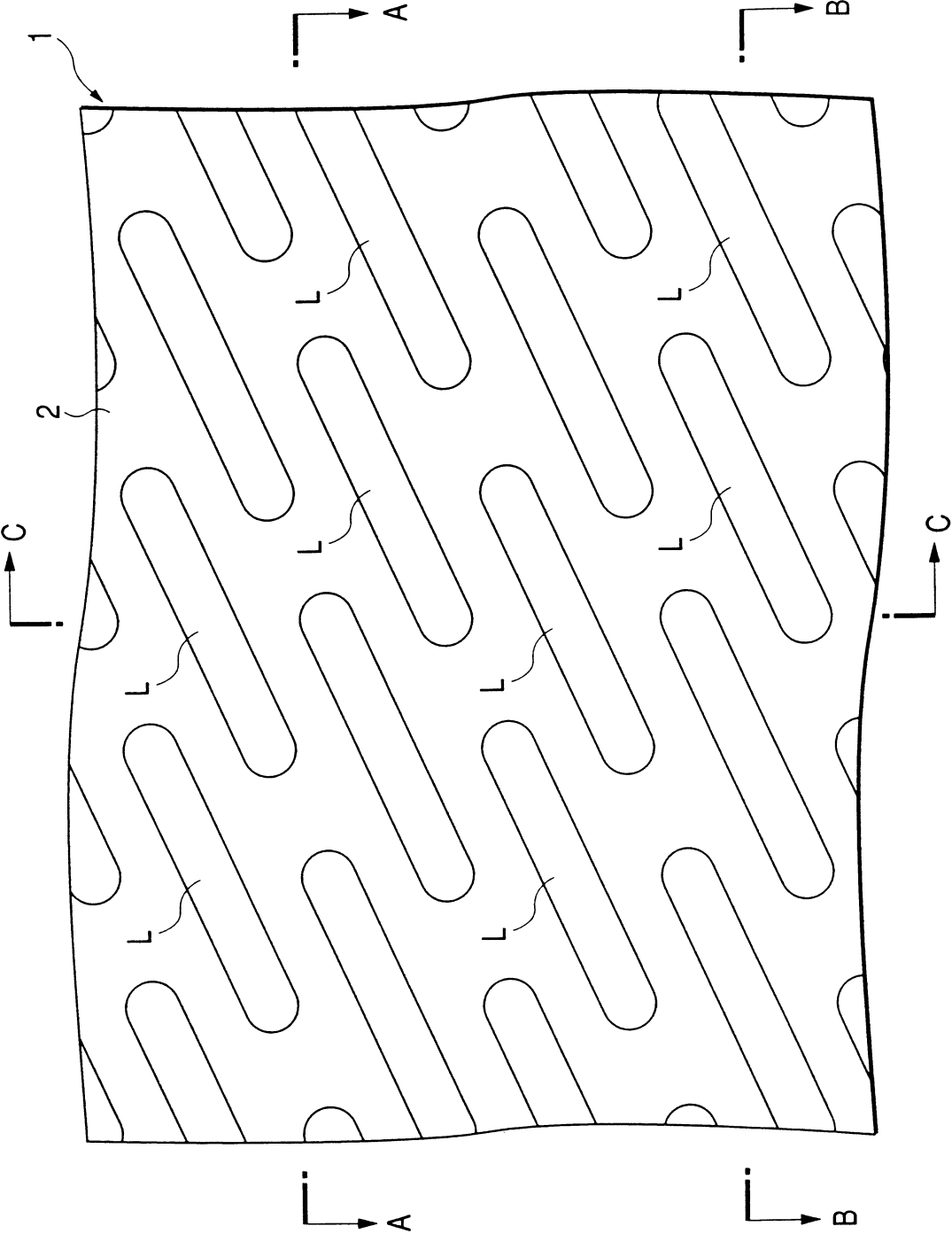
第 2 圖



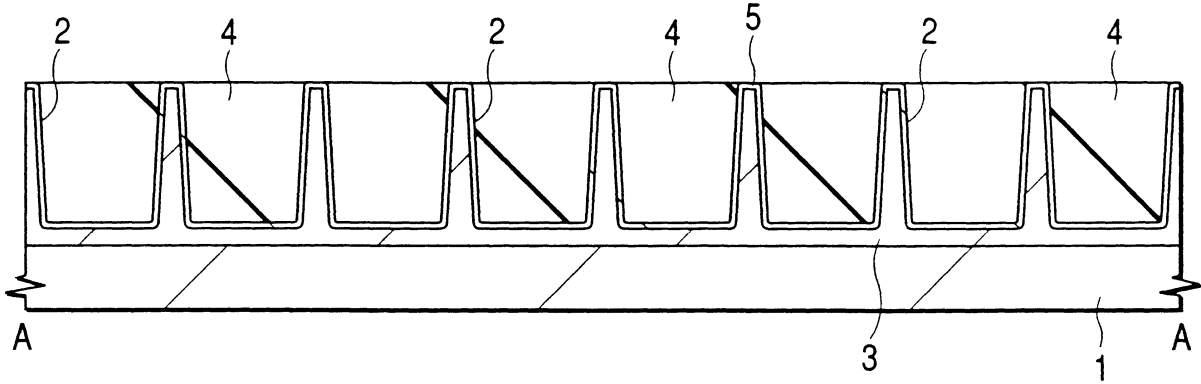
第 3 圖



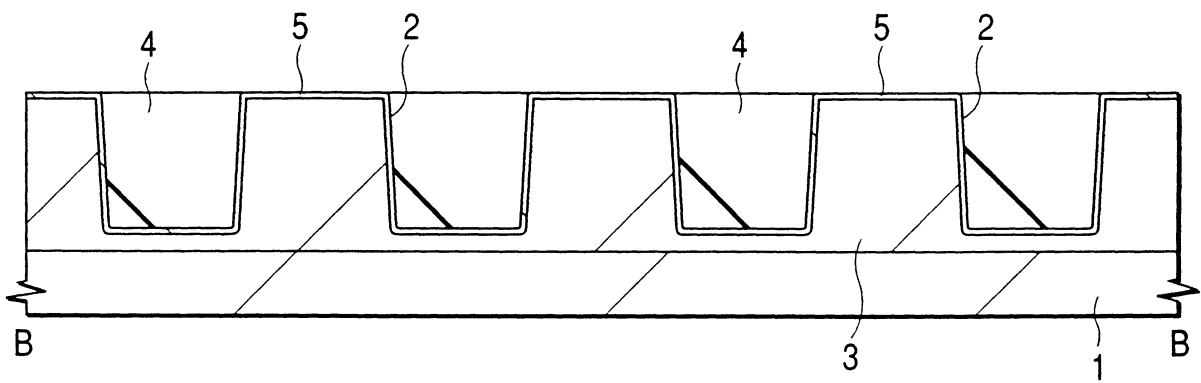
第4圖



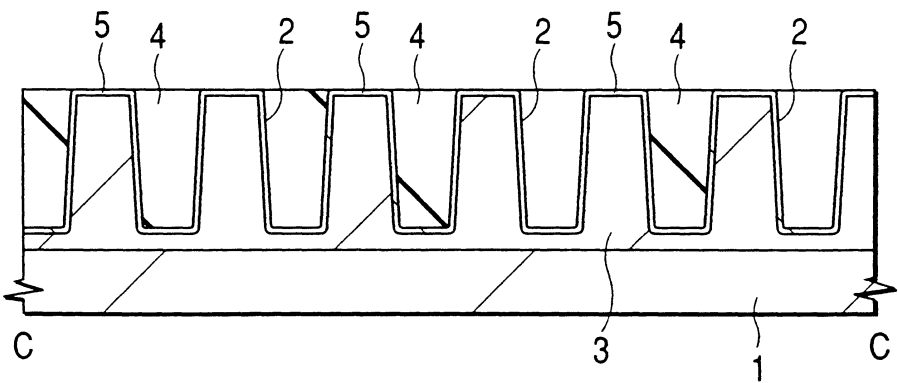
第 5 圖



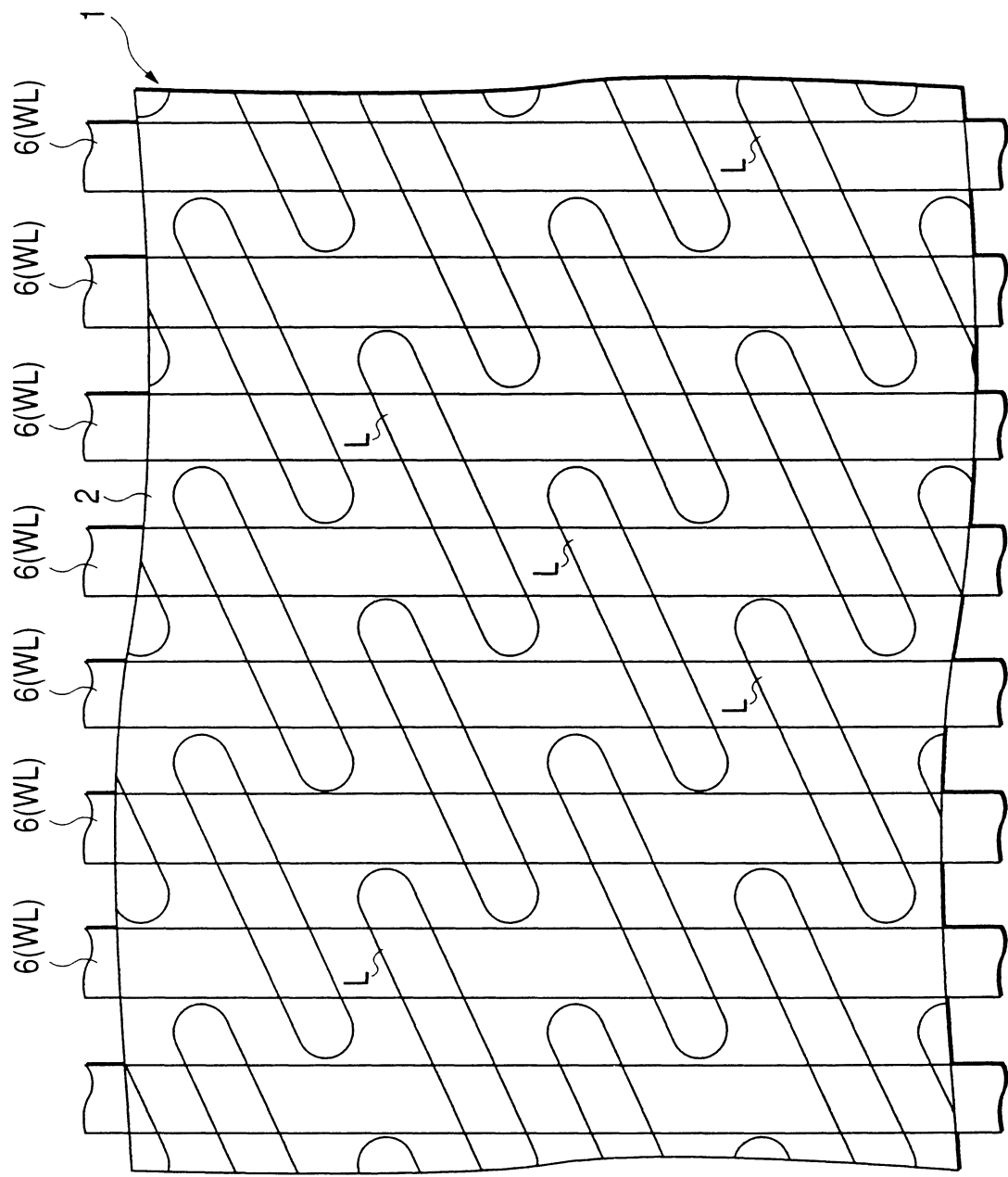
第 6 圖



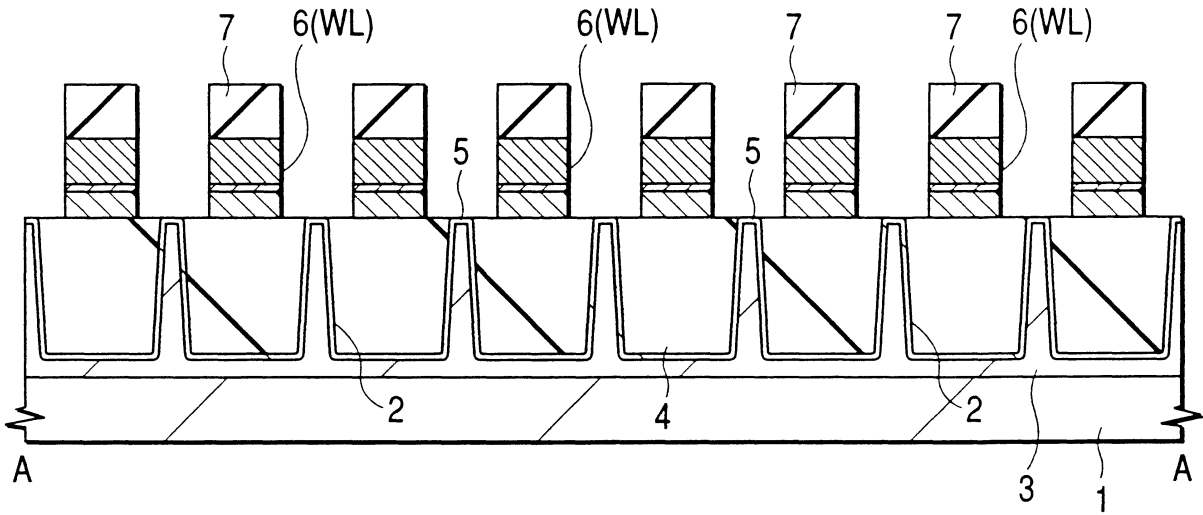
第 7 圖



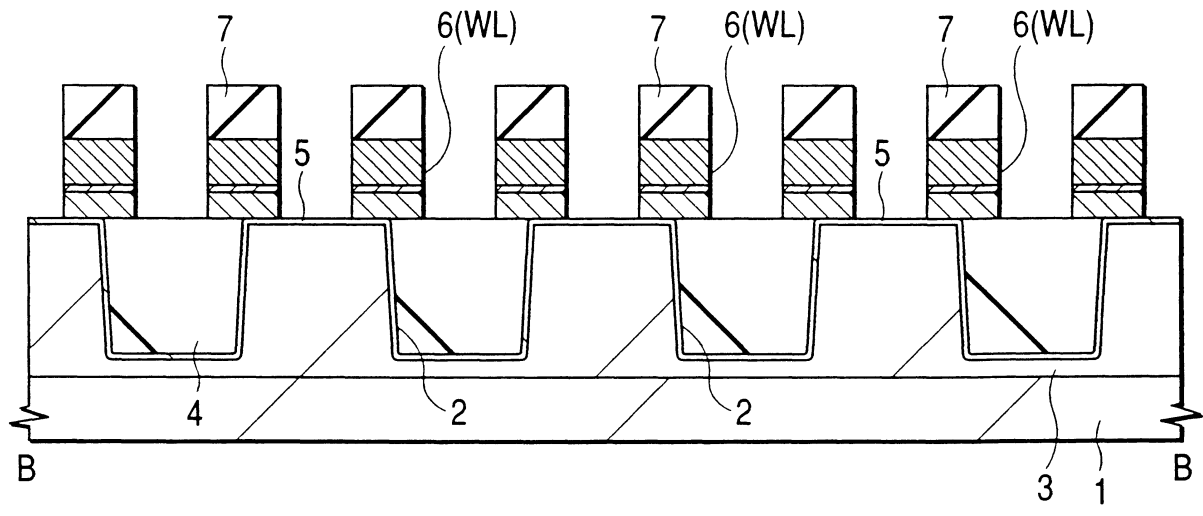
第 8 圖



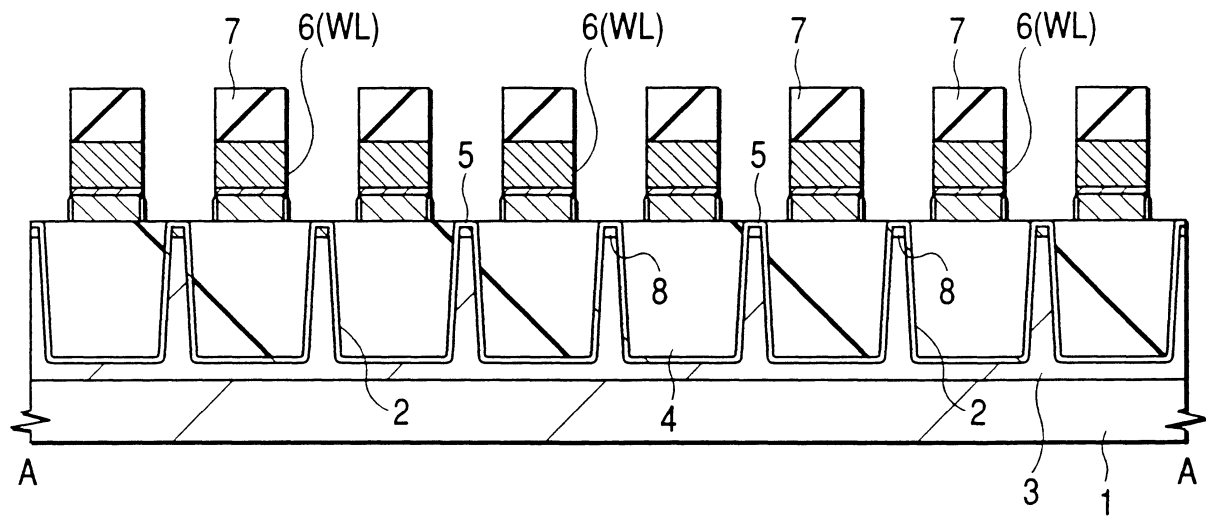
第 9 圖



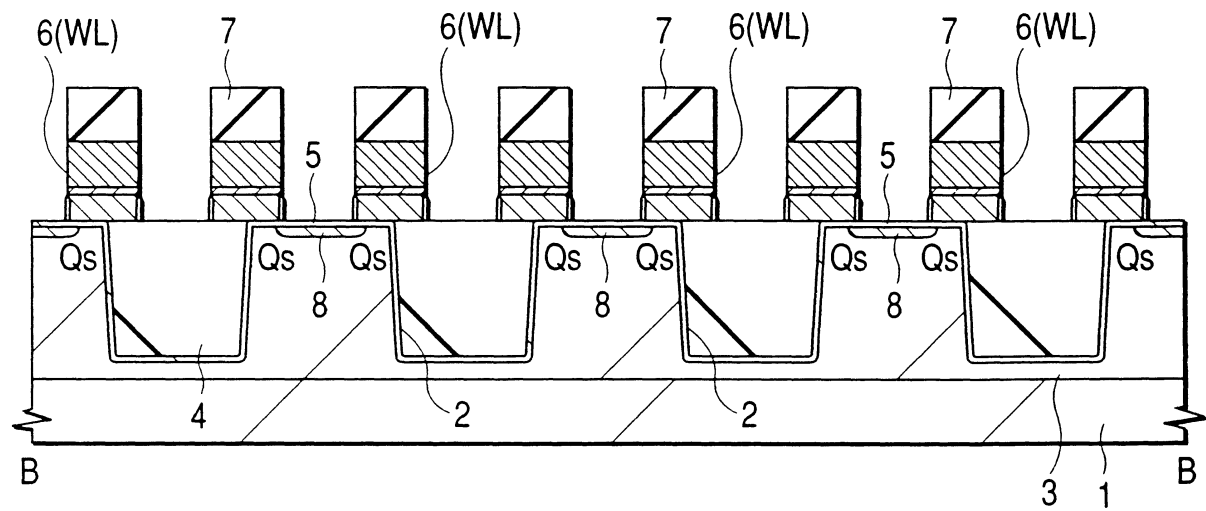
第 10 圖



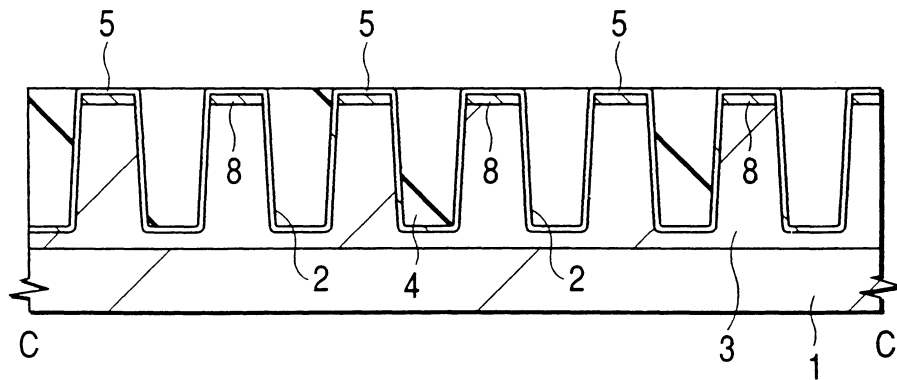
第 11 圖



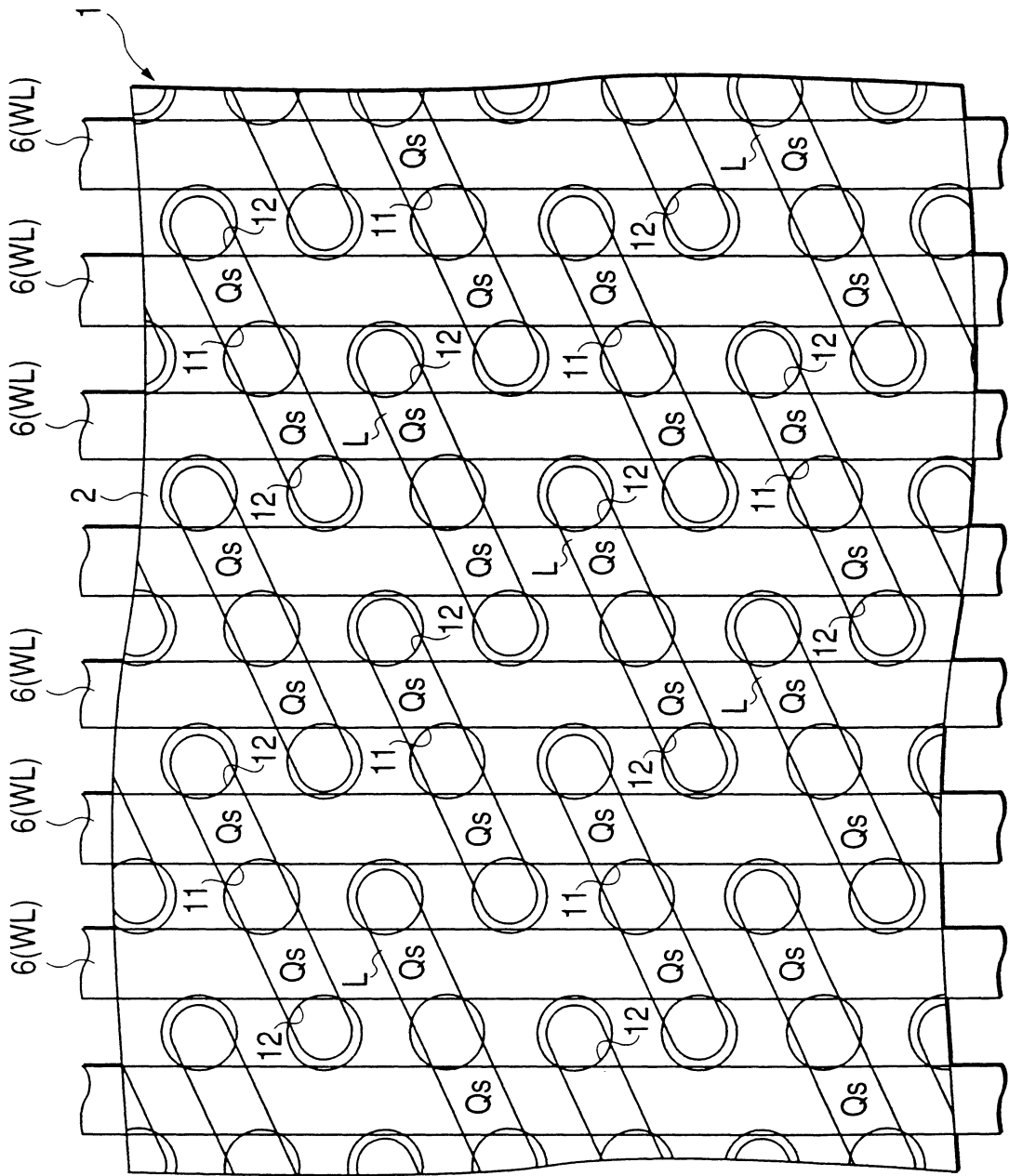
第 12 圖



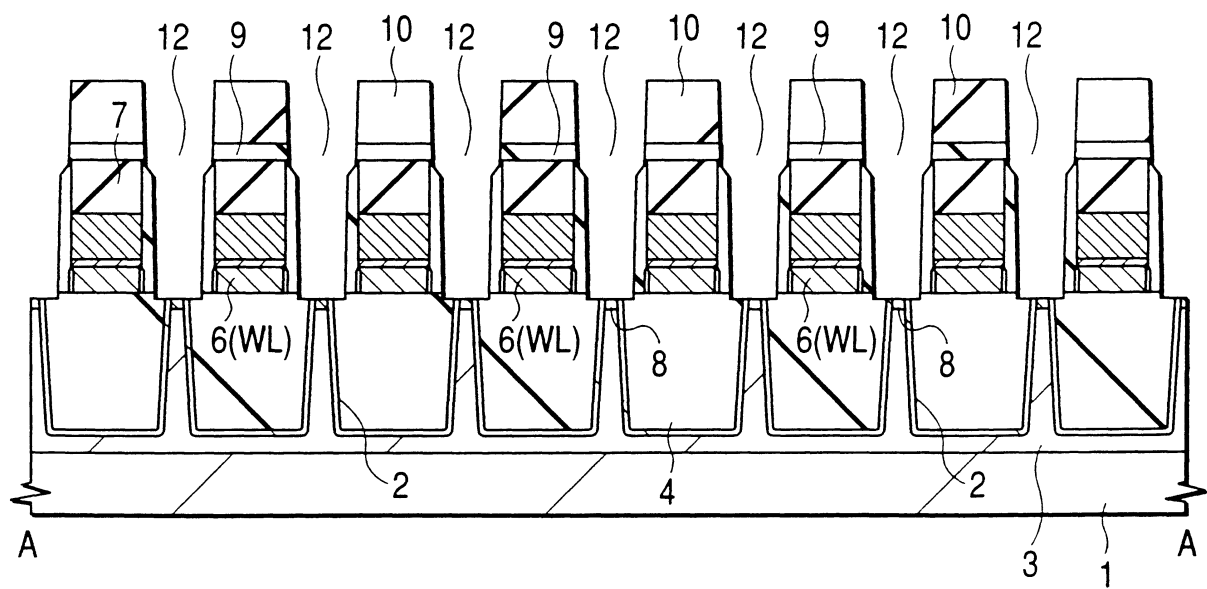
第 13 圖



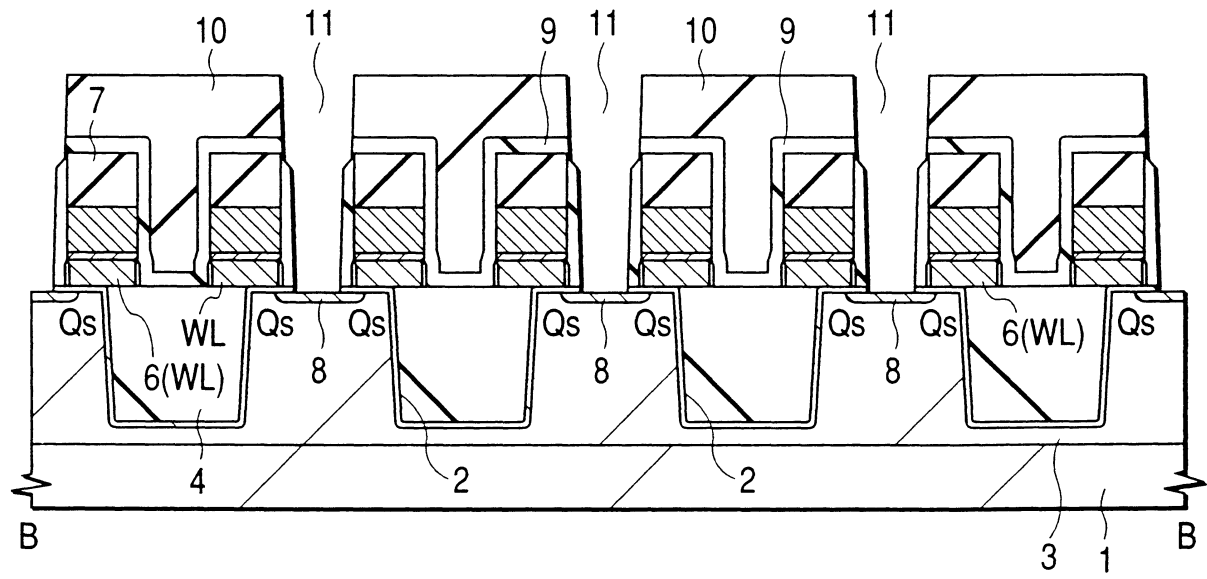
第14圖



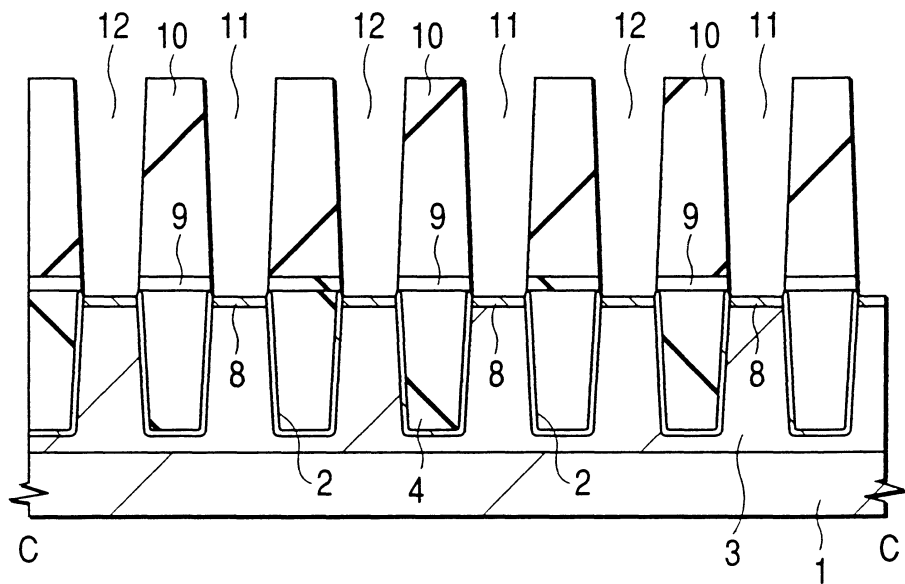
第 15 圖



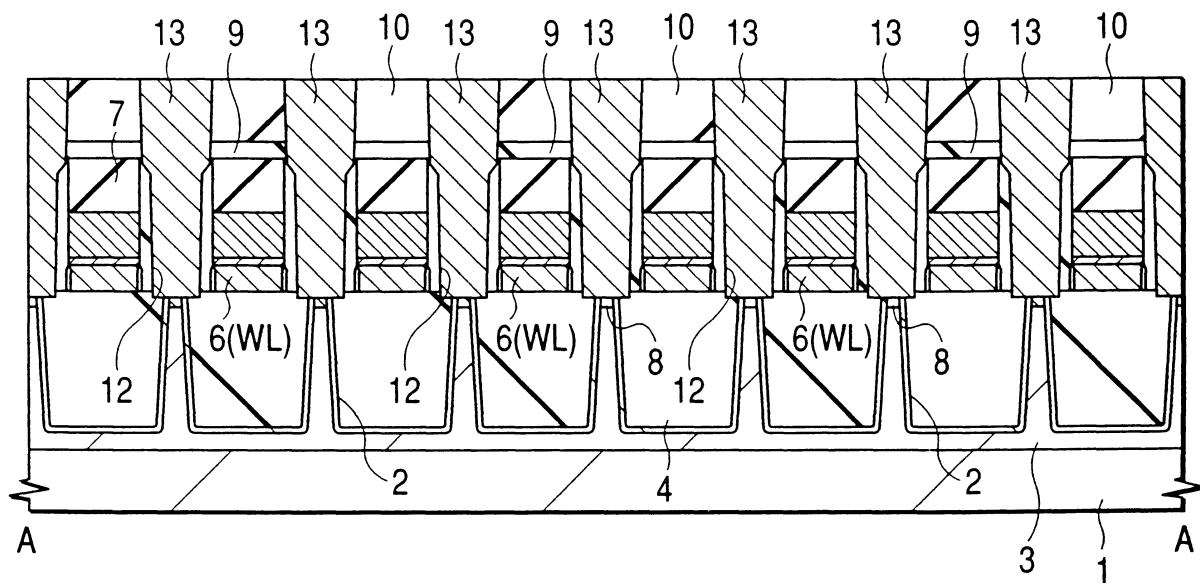
第 16 圖



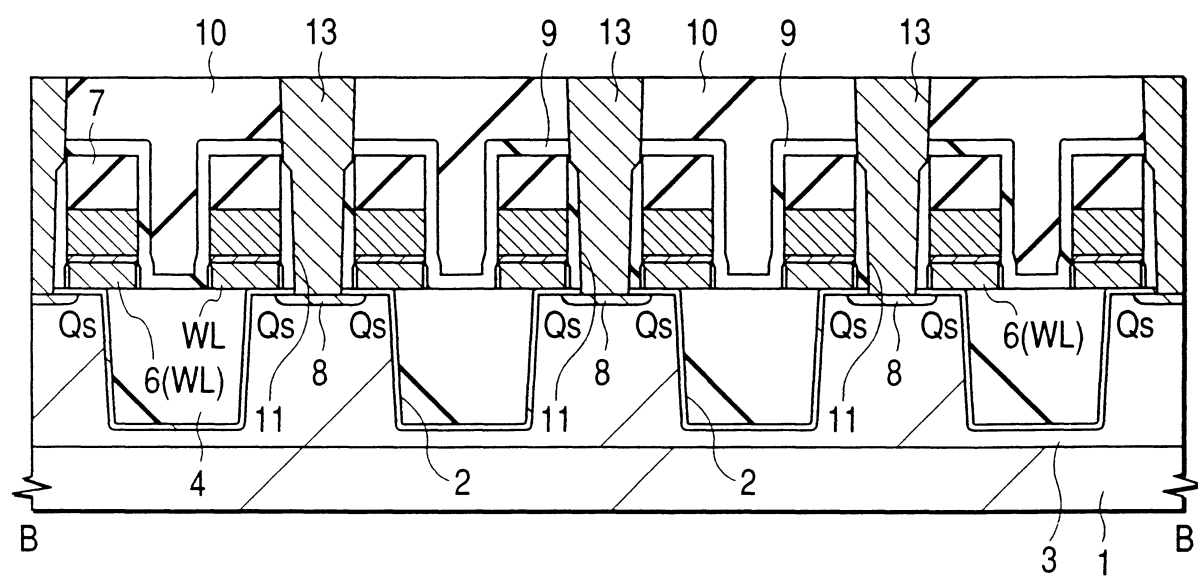
第 17 圖



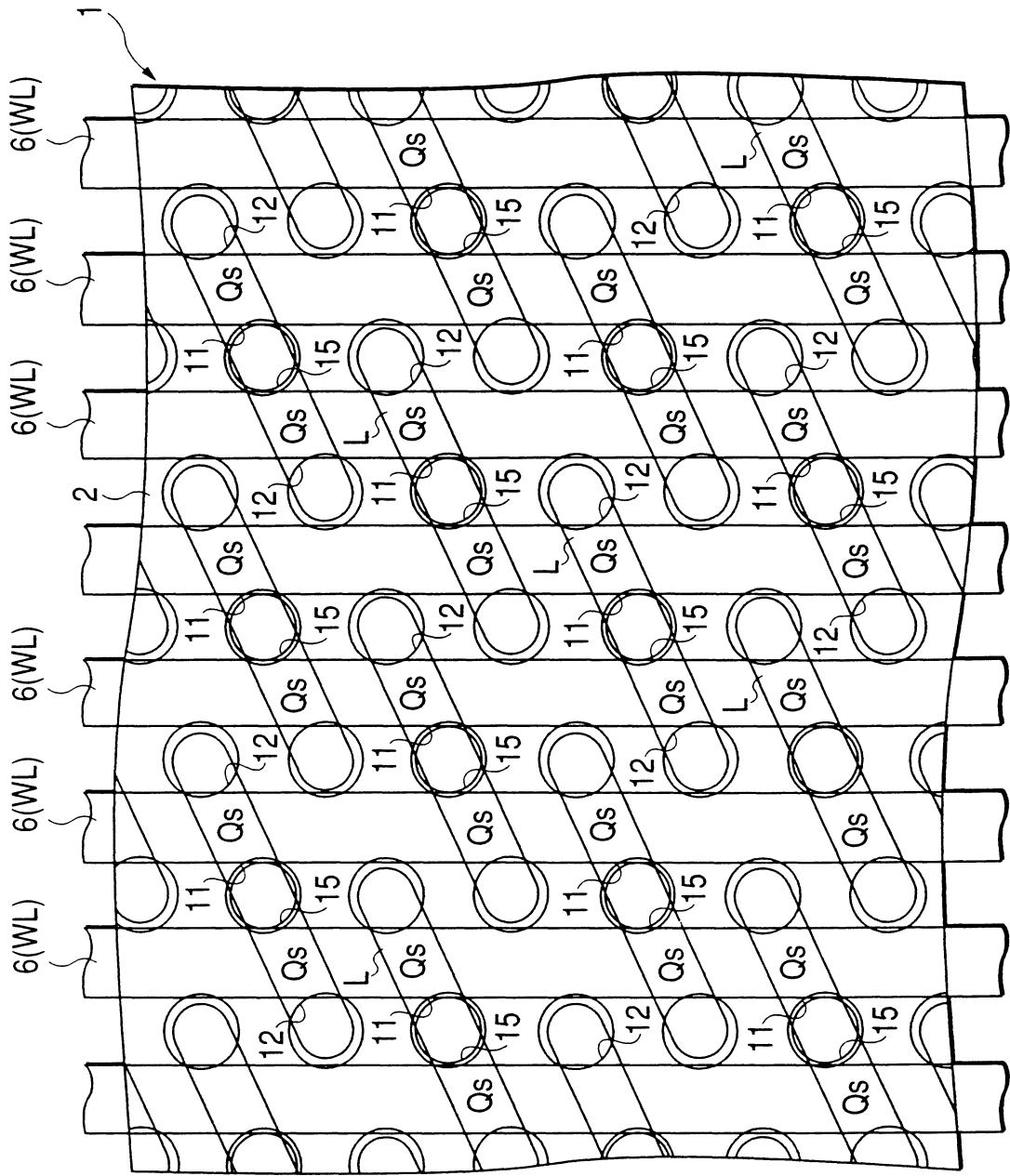
第 18 圖



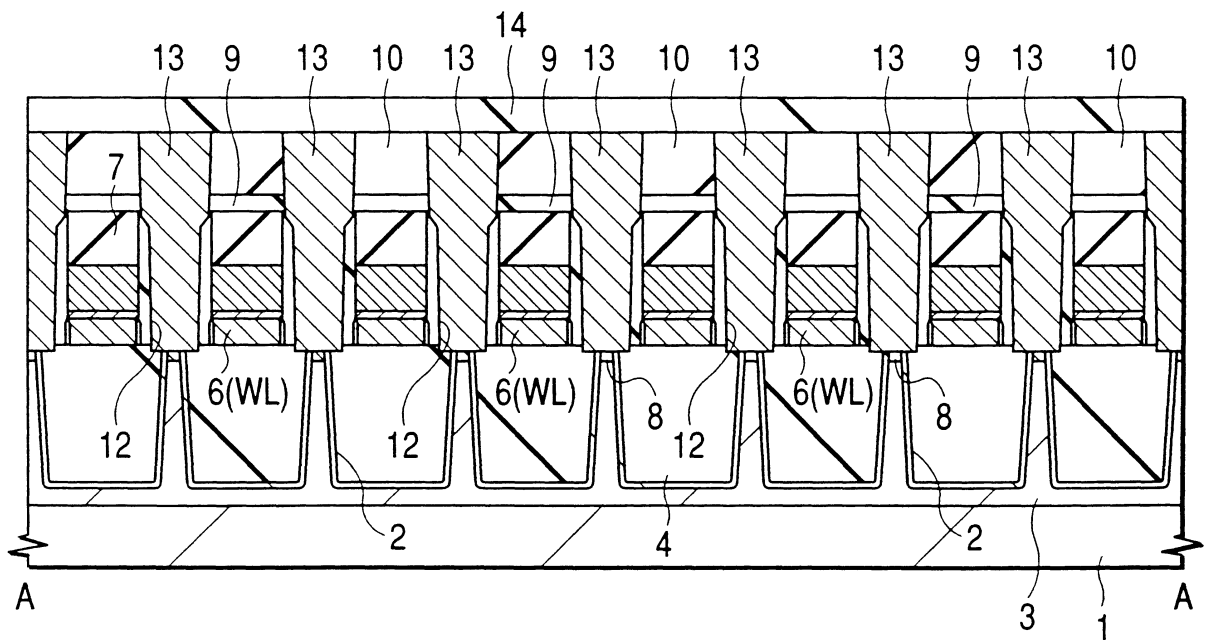
第 19 圖



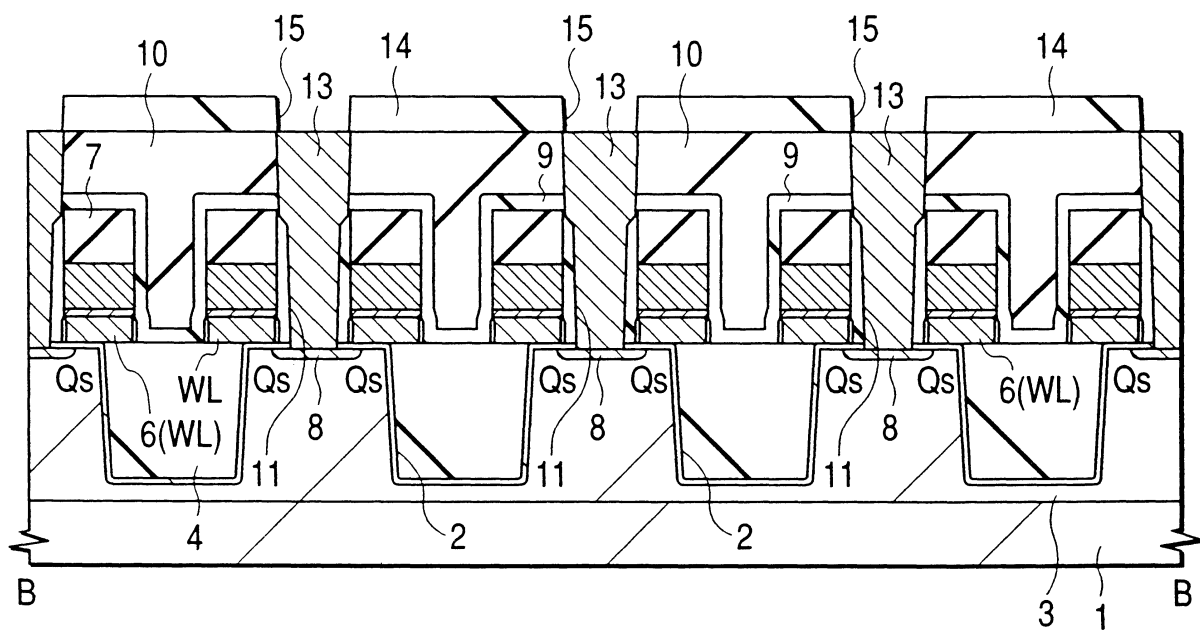
第 20 圖



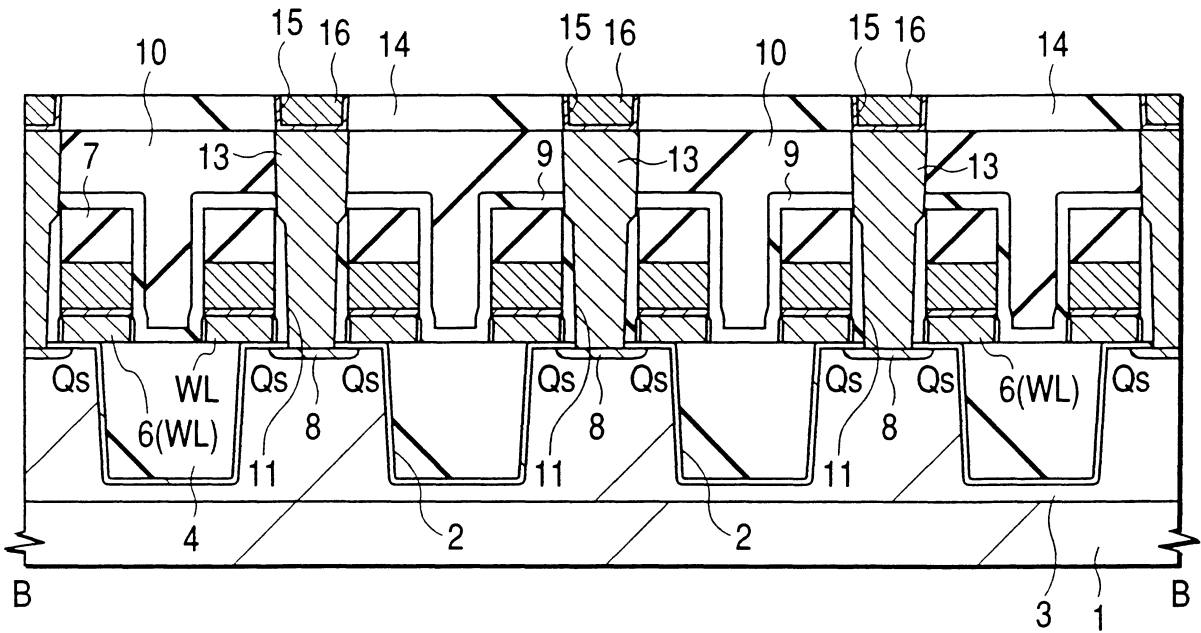
第 21 圖



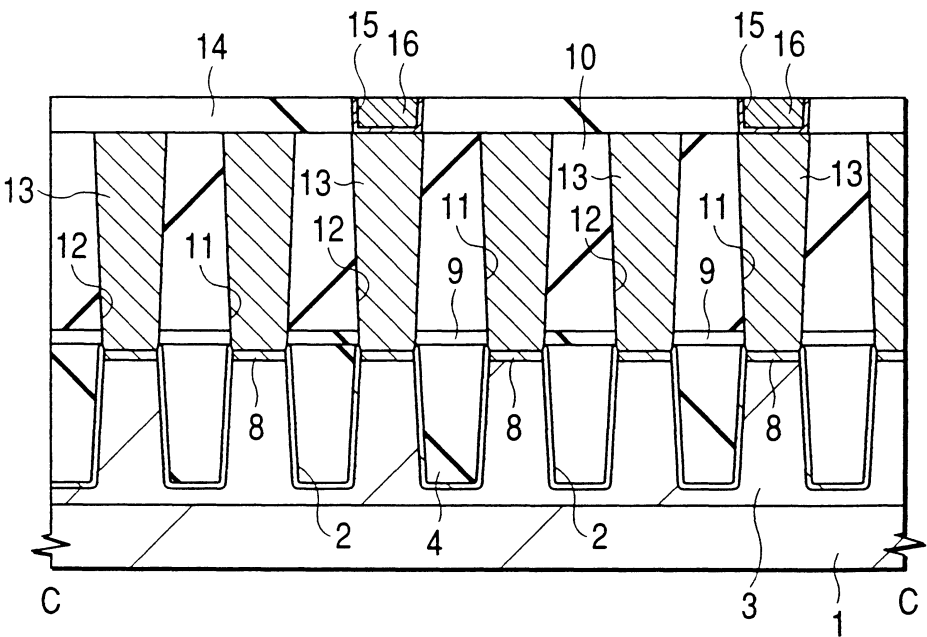
第 22 圖



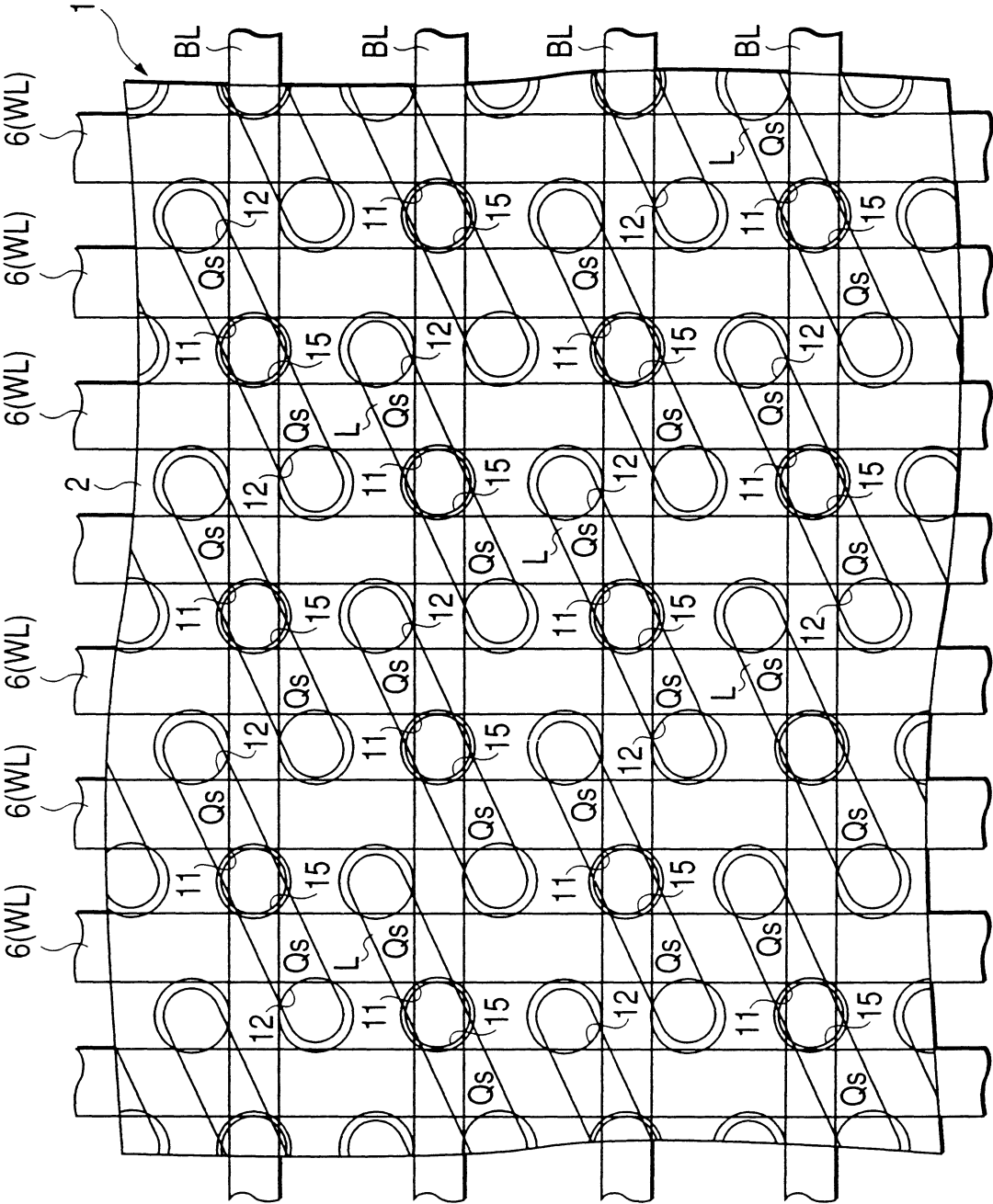
第 23 圖



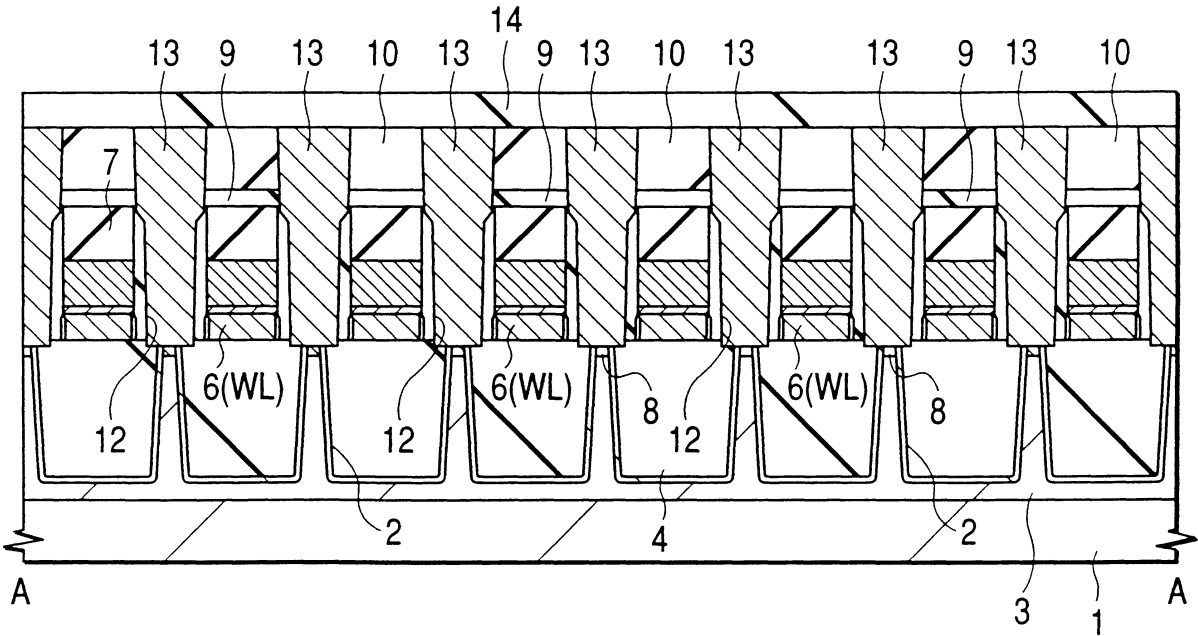
第 24 圖



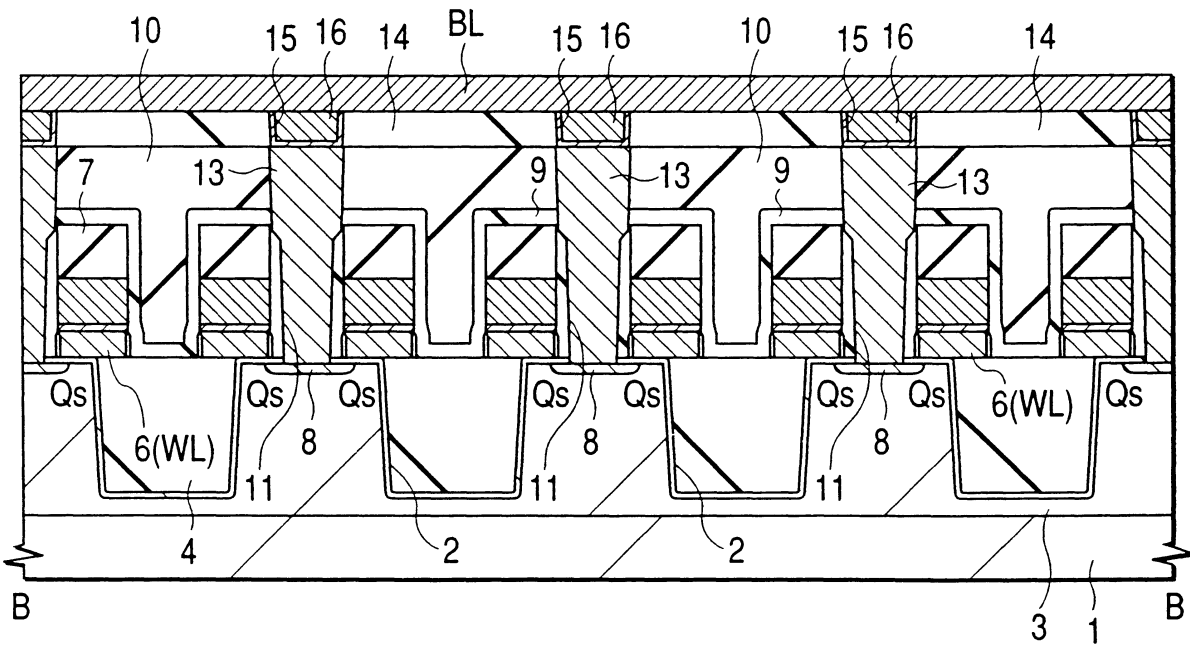
第25圖



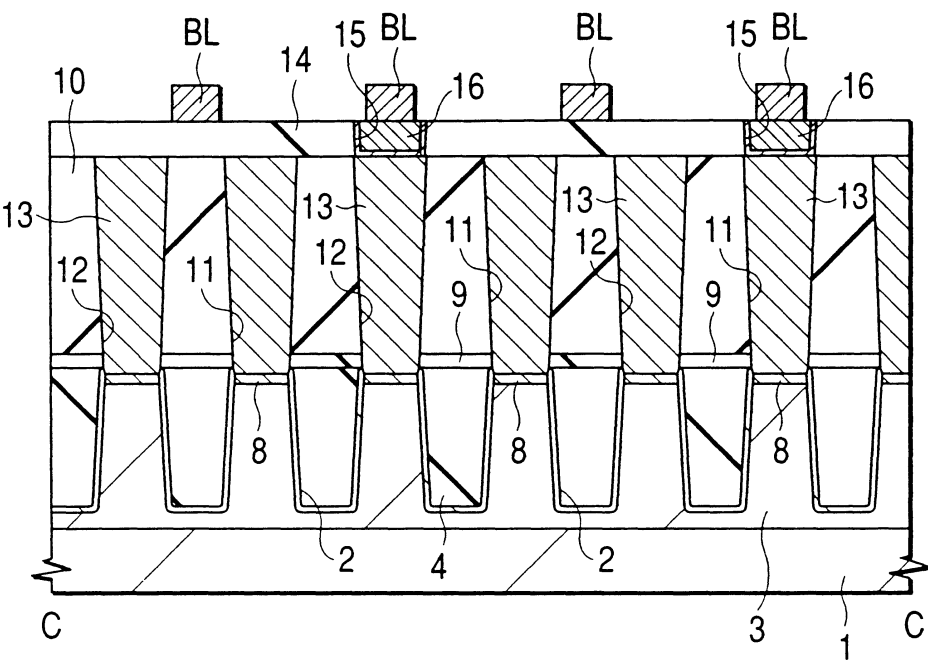
第 26 圖



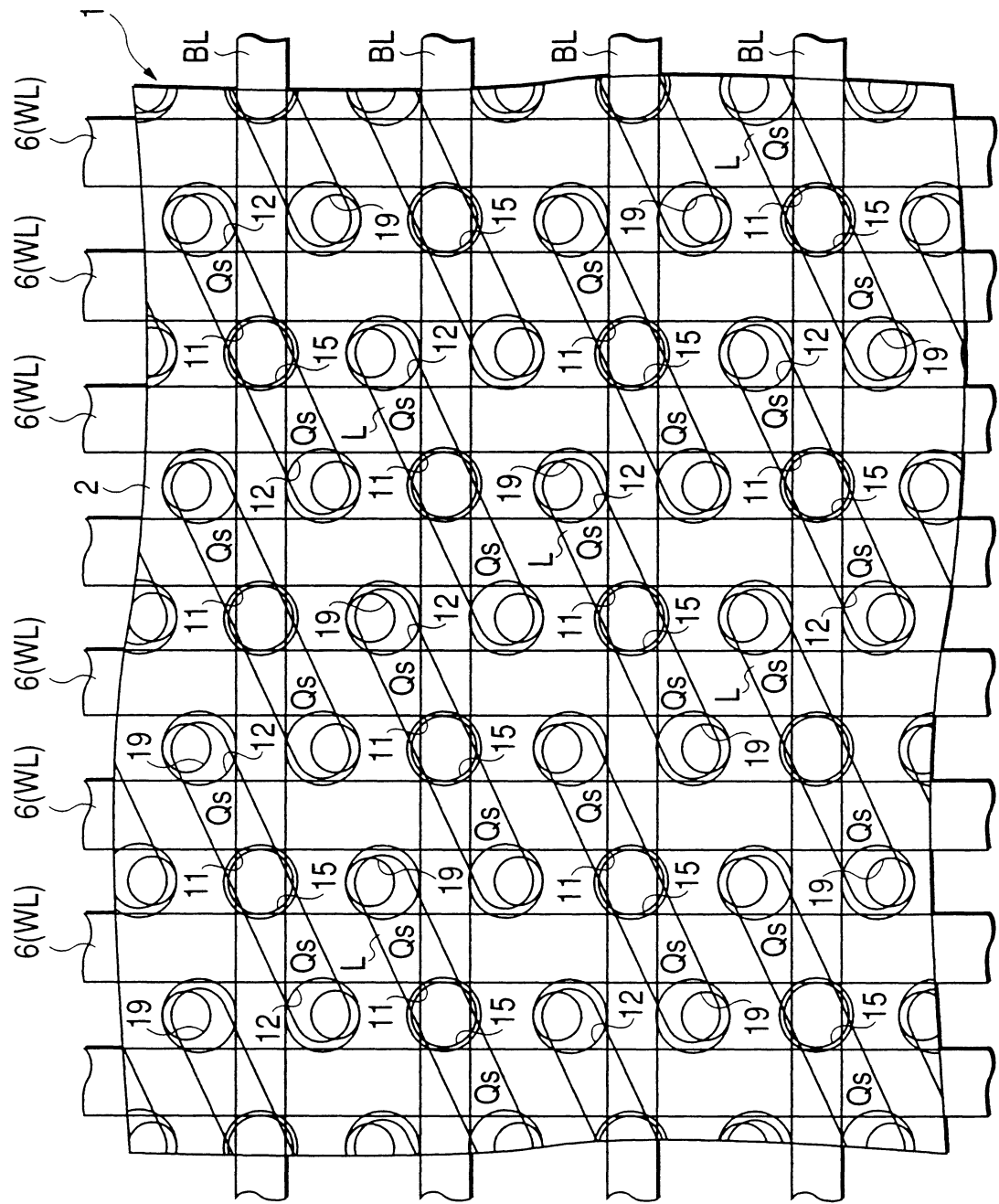
第 27 圖



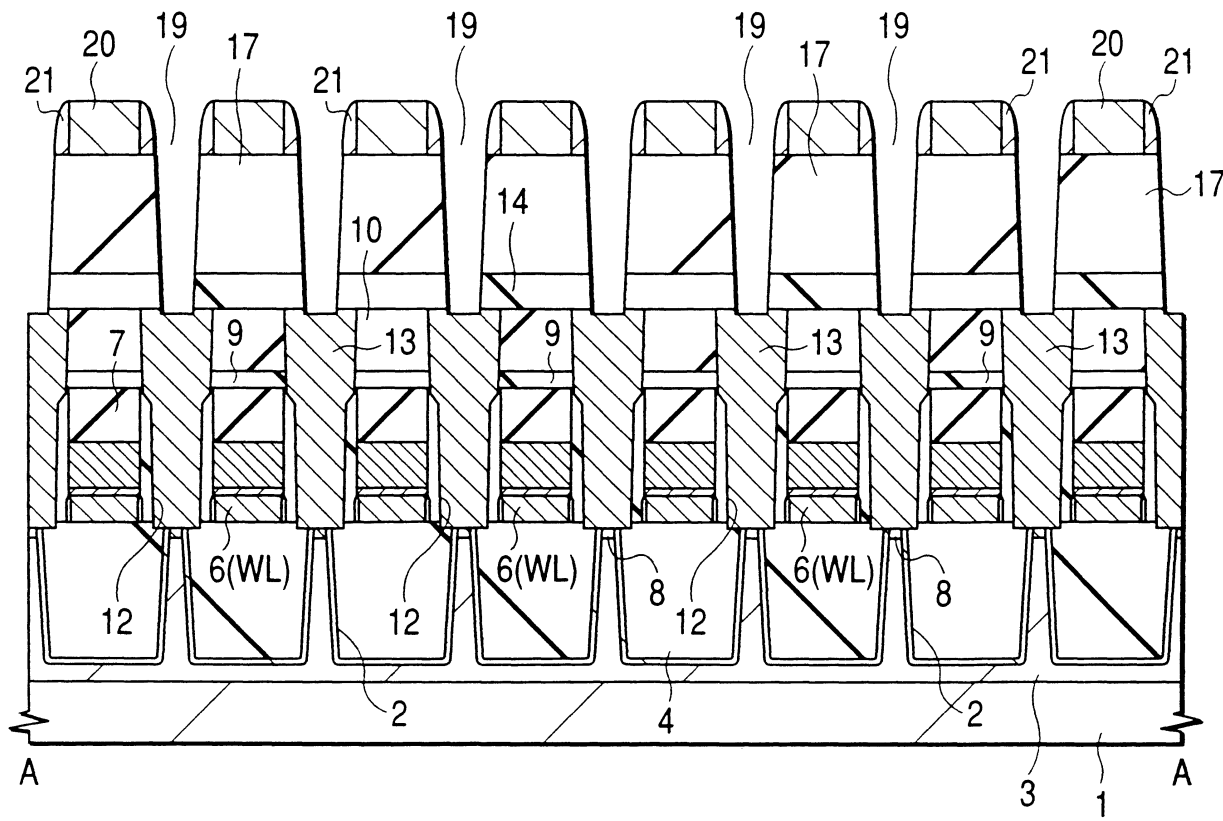
第 28 圖



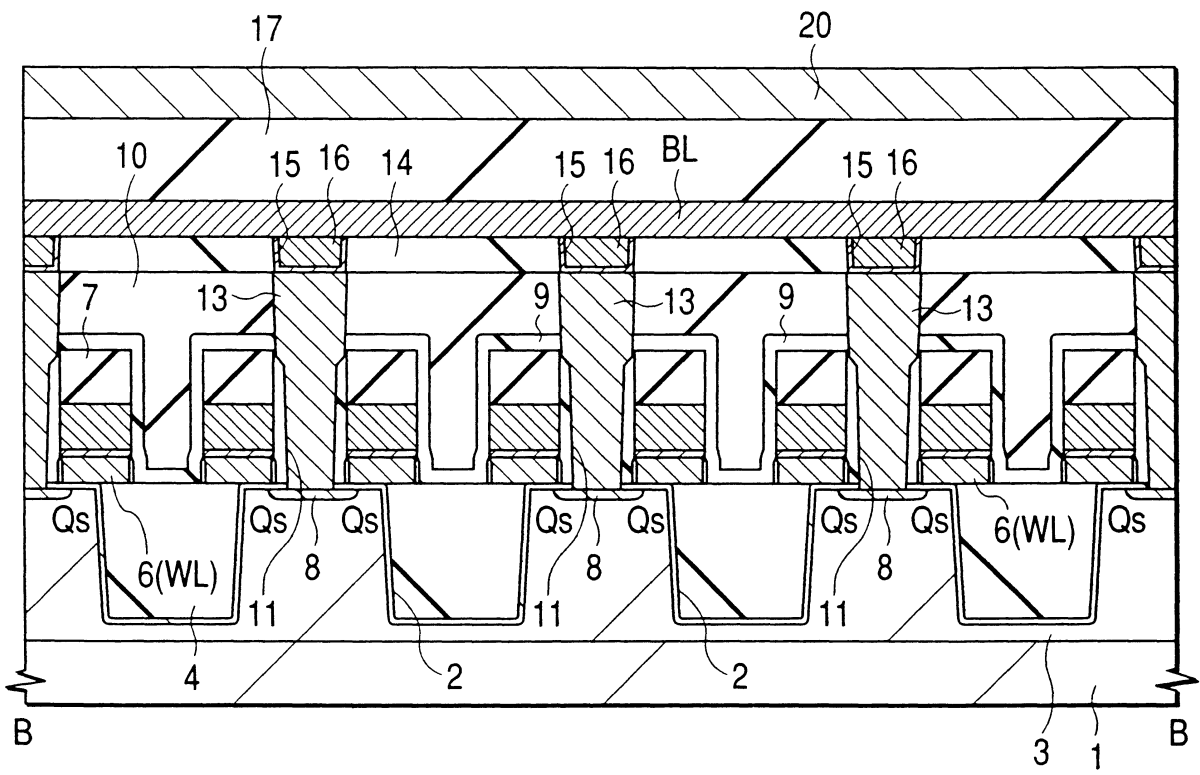
第 29 圖



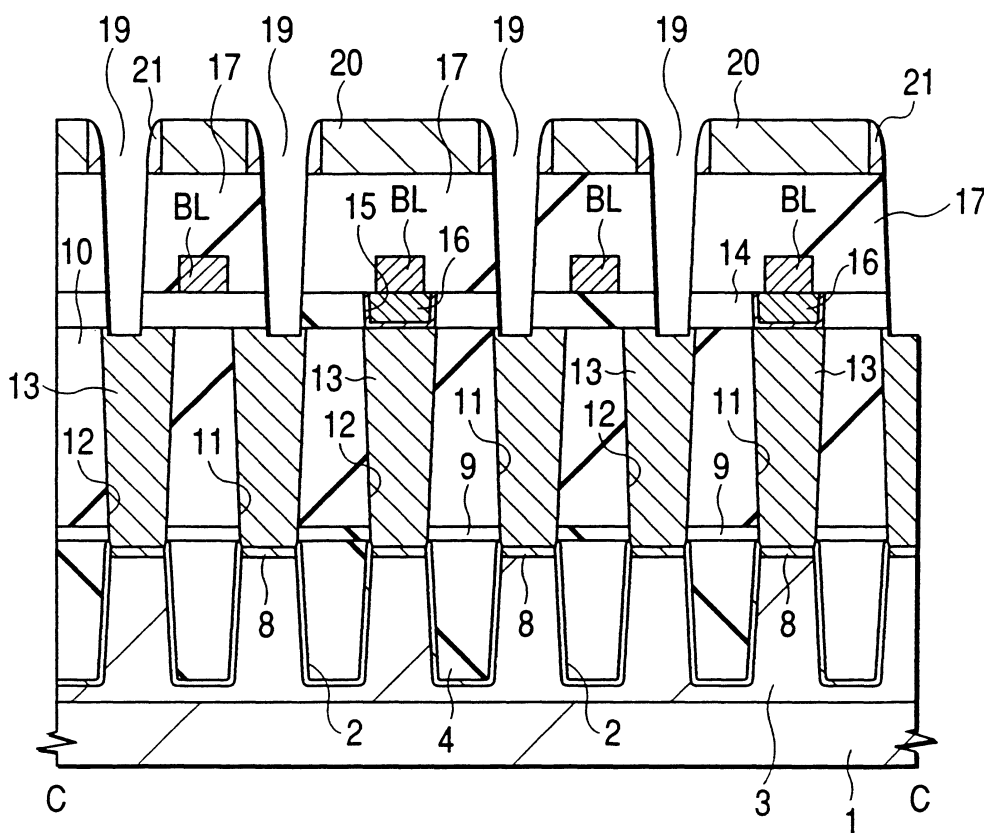
第 30 圖



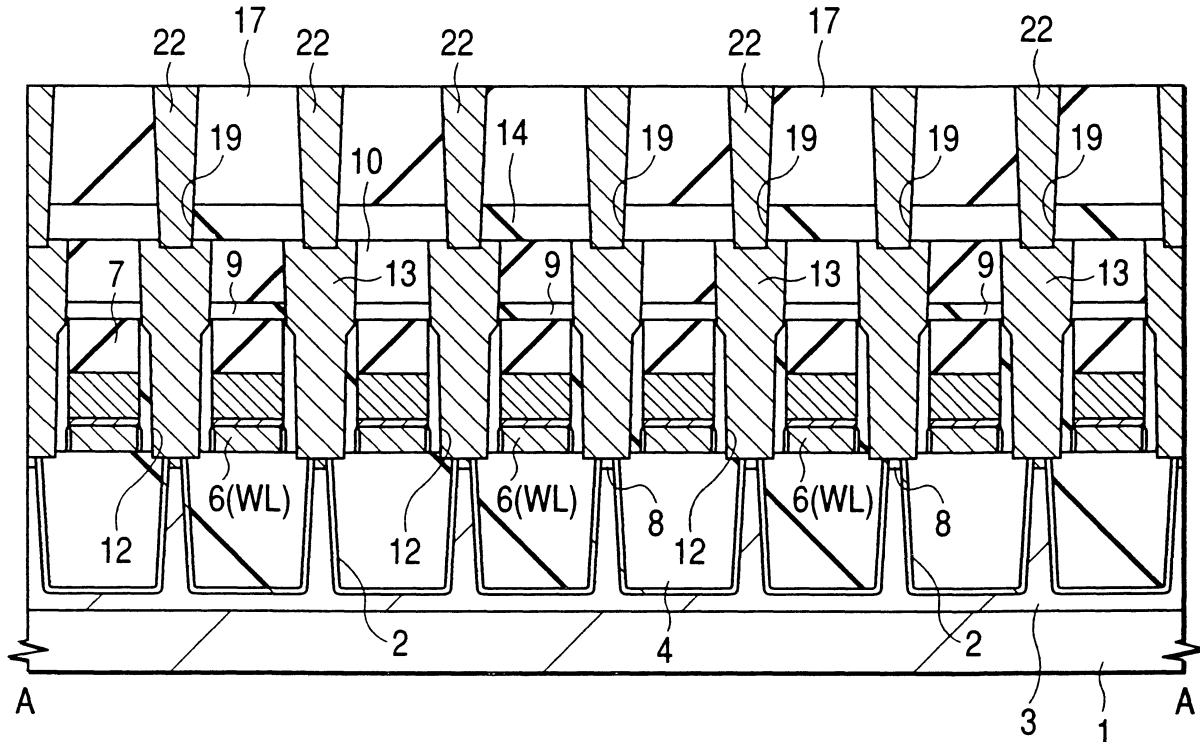
第 31 圖



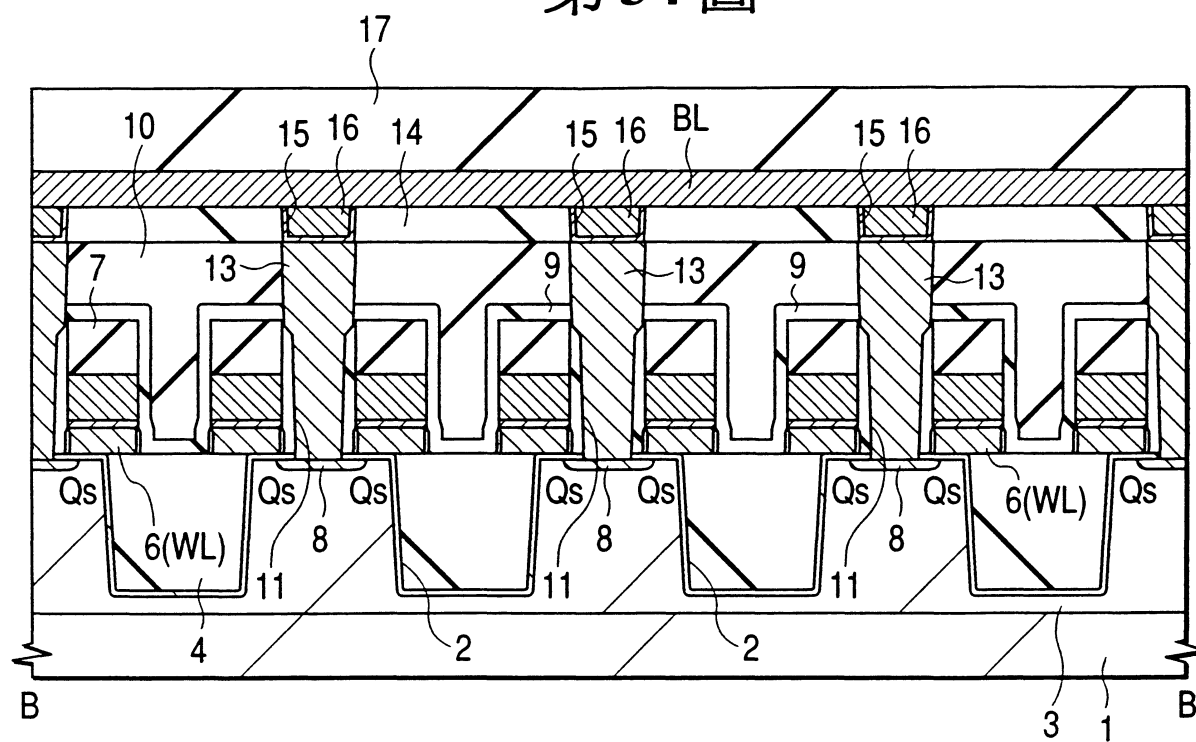
第 32 圖



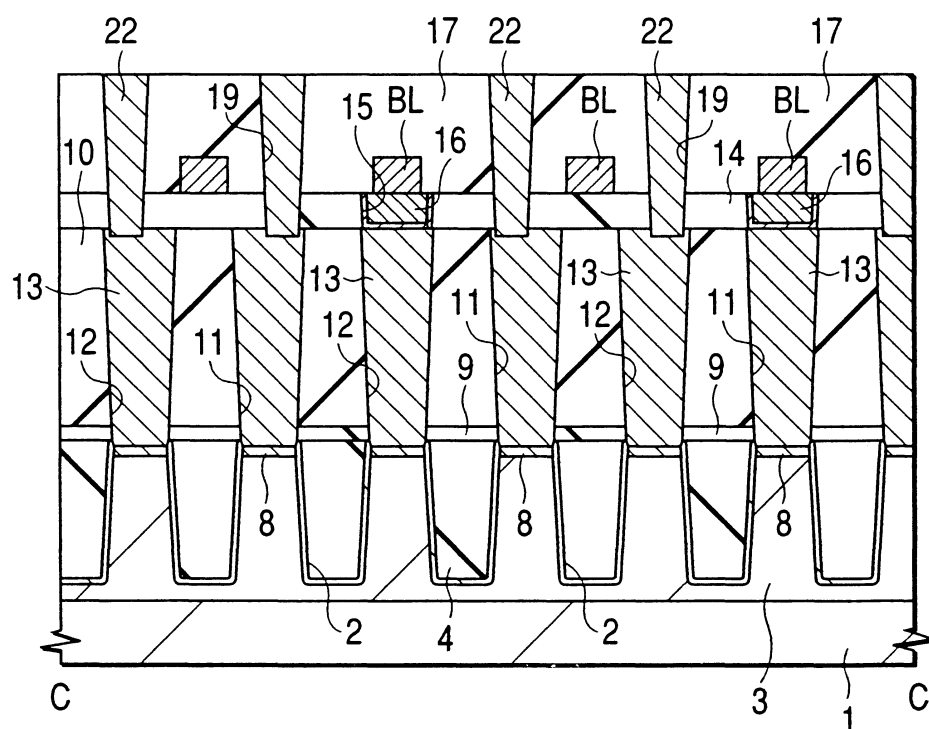
第 33 圖



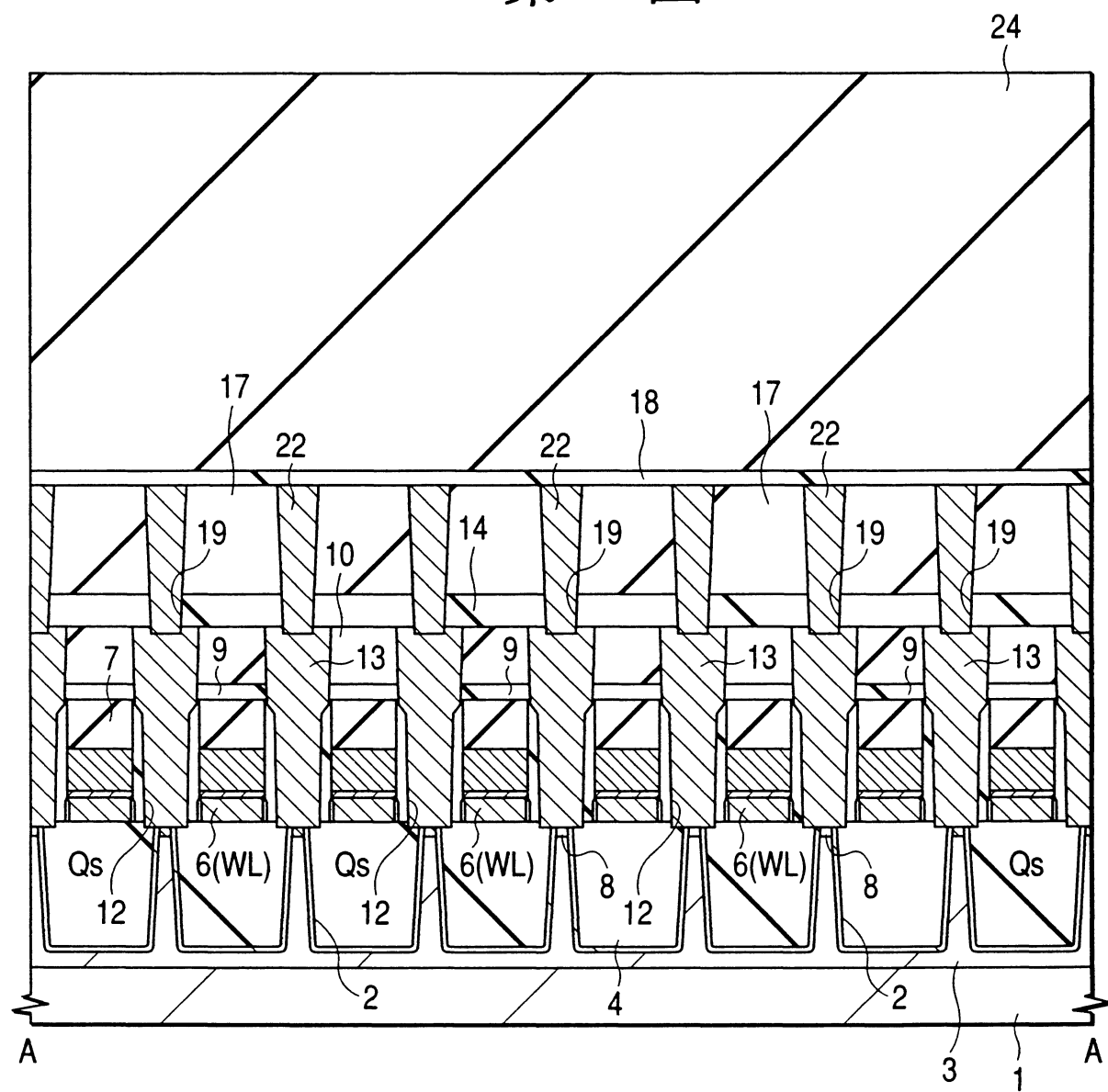
第 34 圖



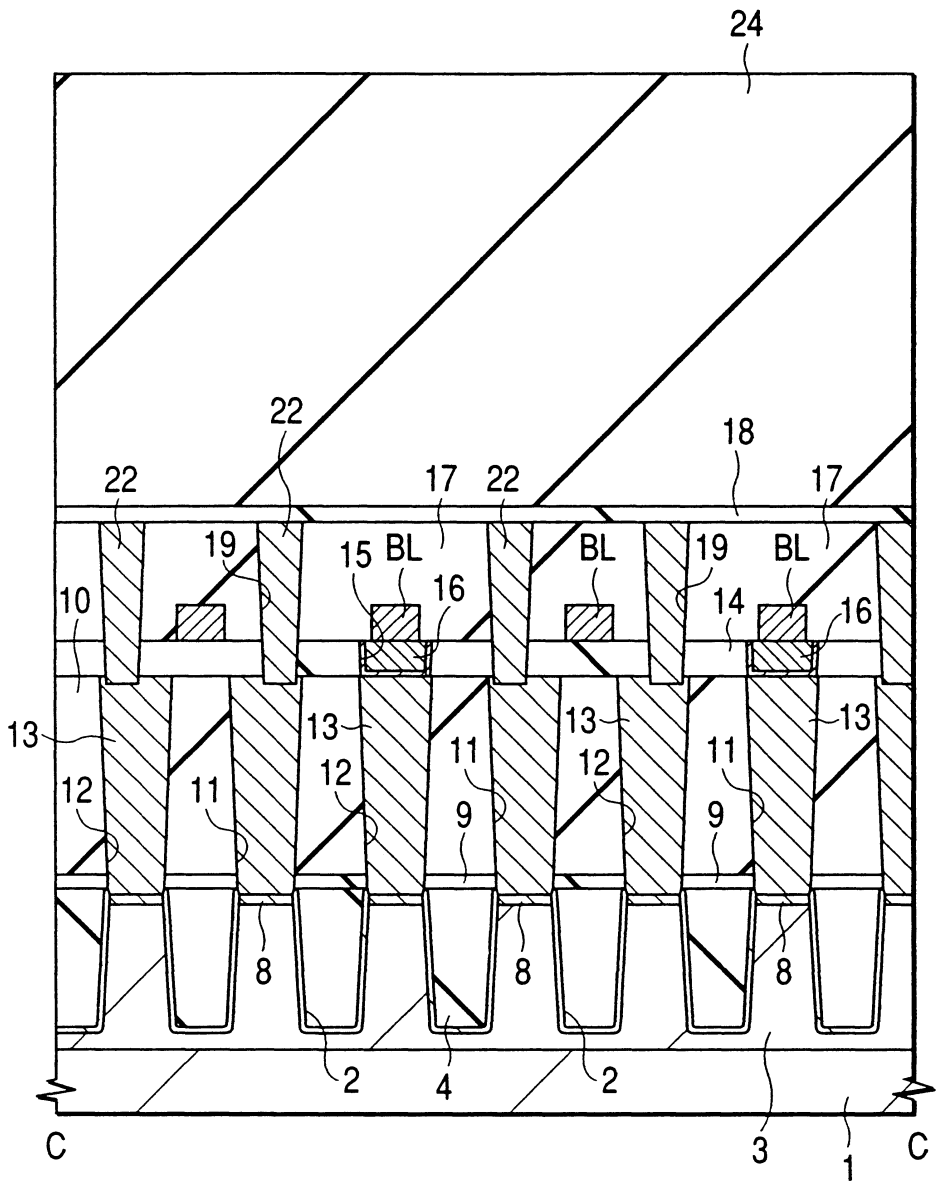
第 35 圖



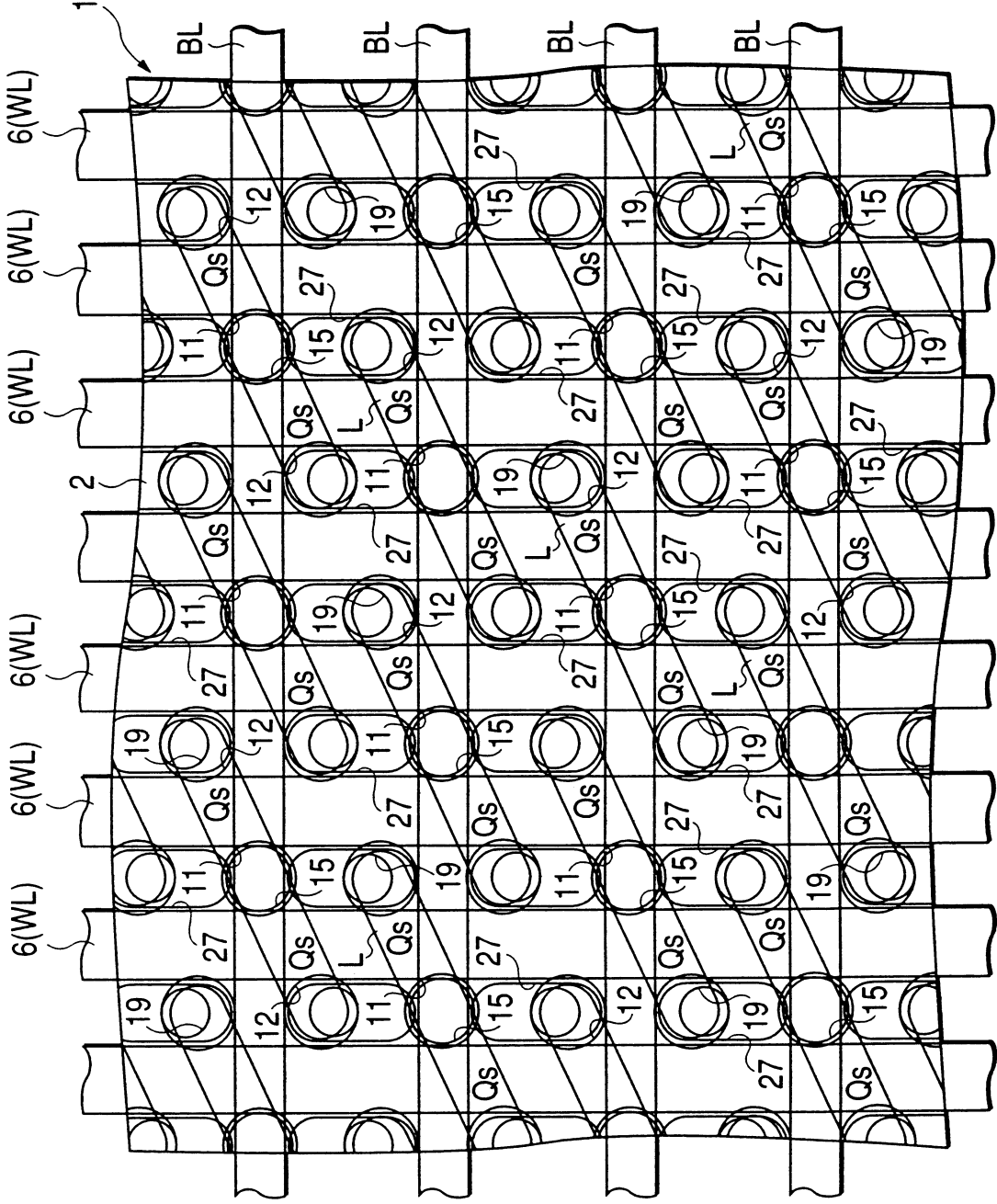
第 36 圖



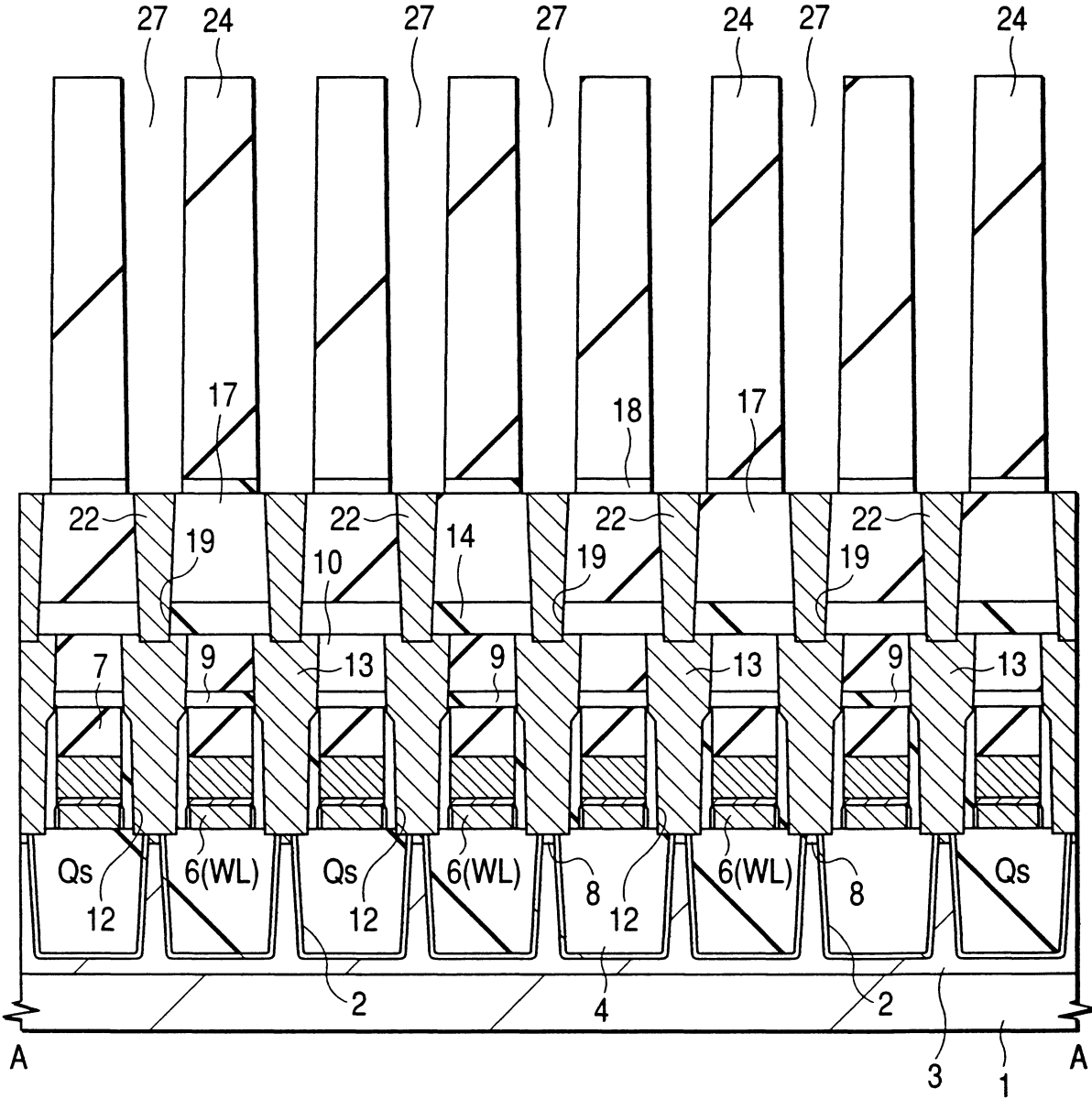
第 37 圖



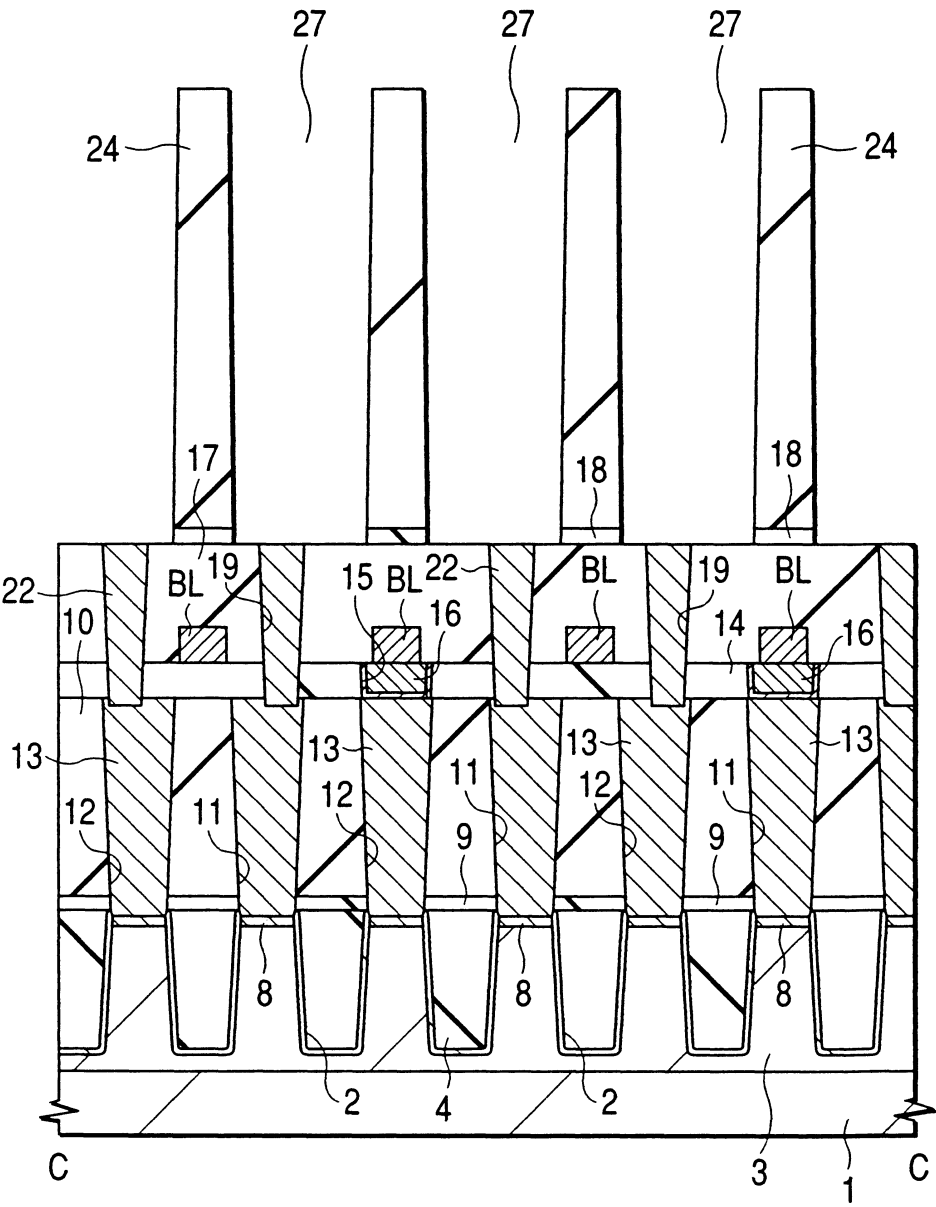
第38圖



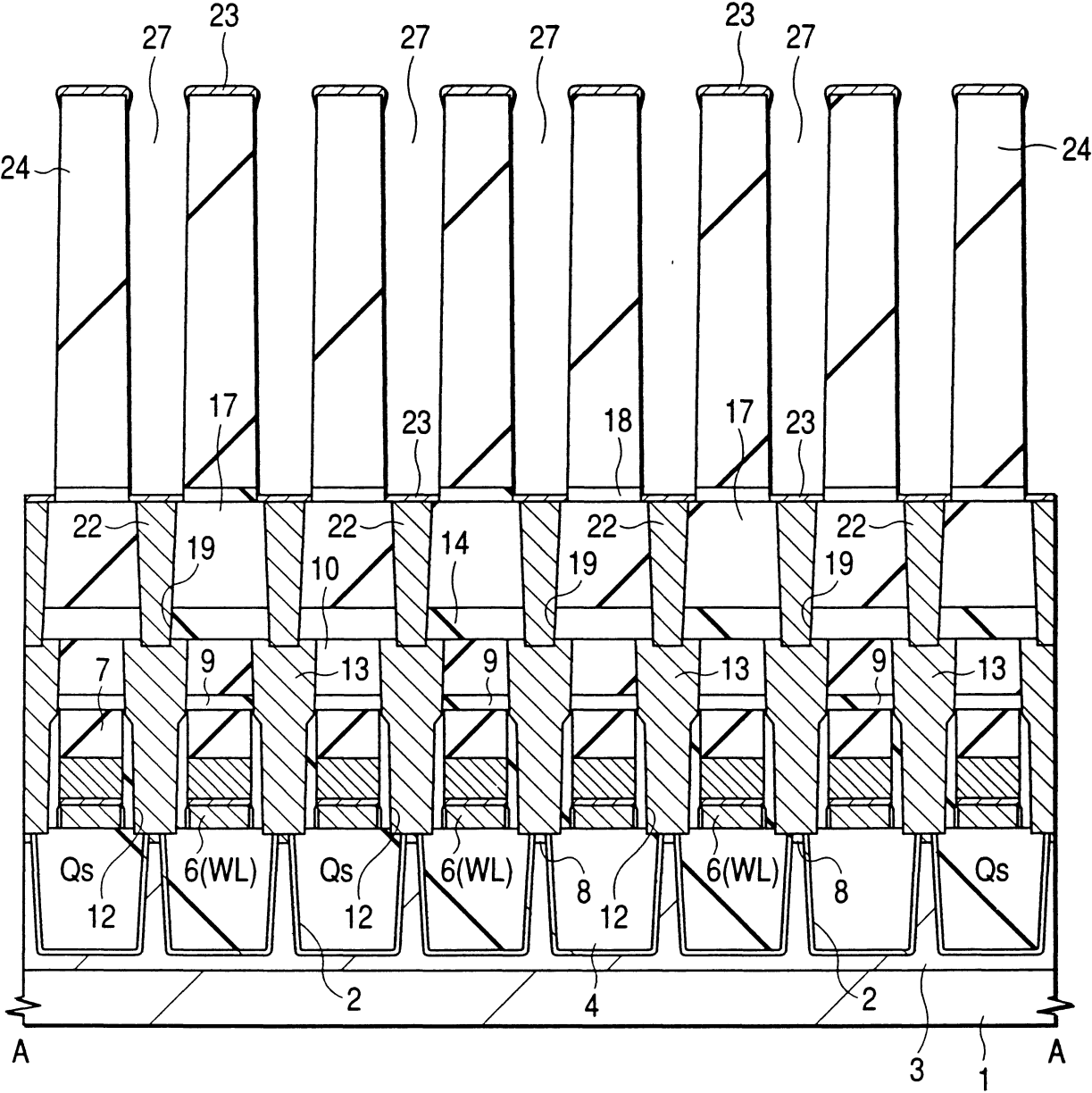
第 39 圖



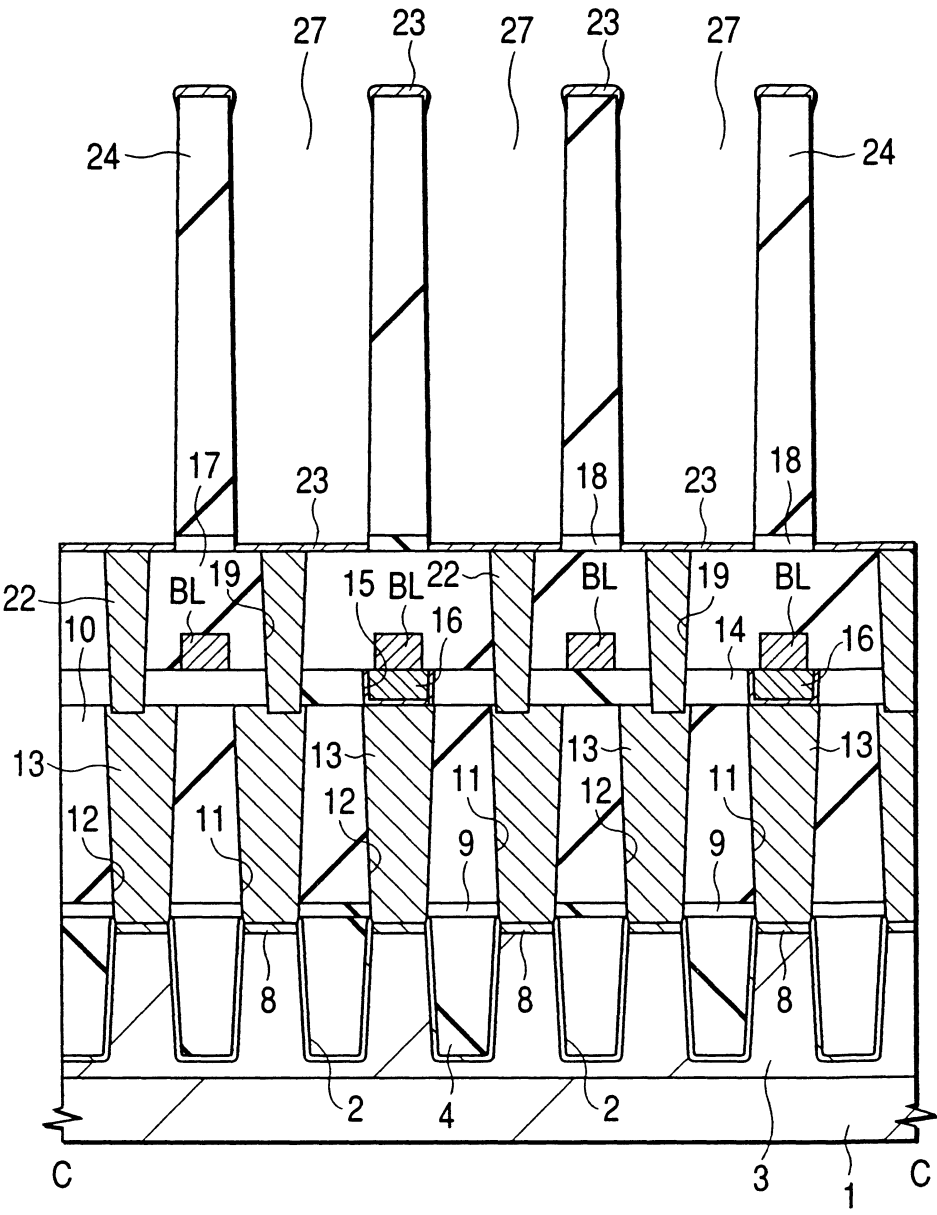
第 40 圖



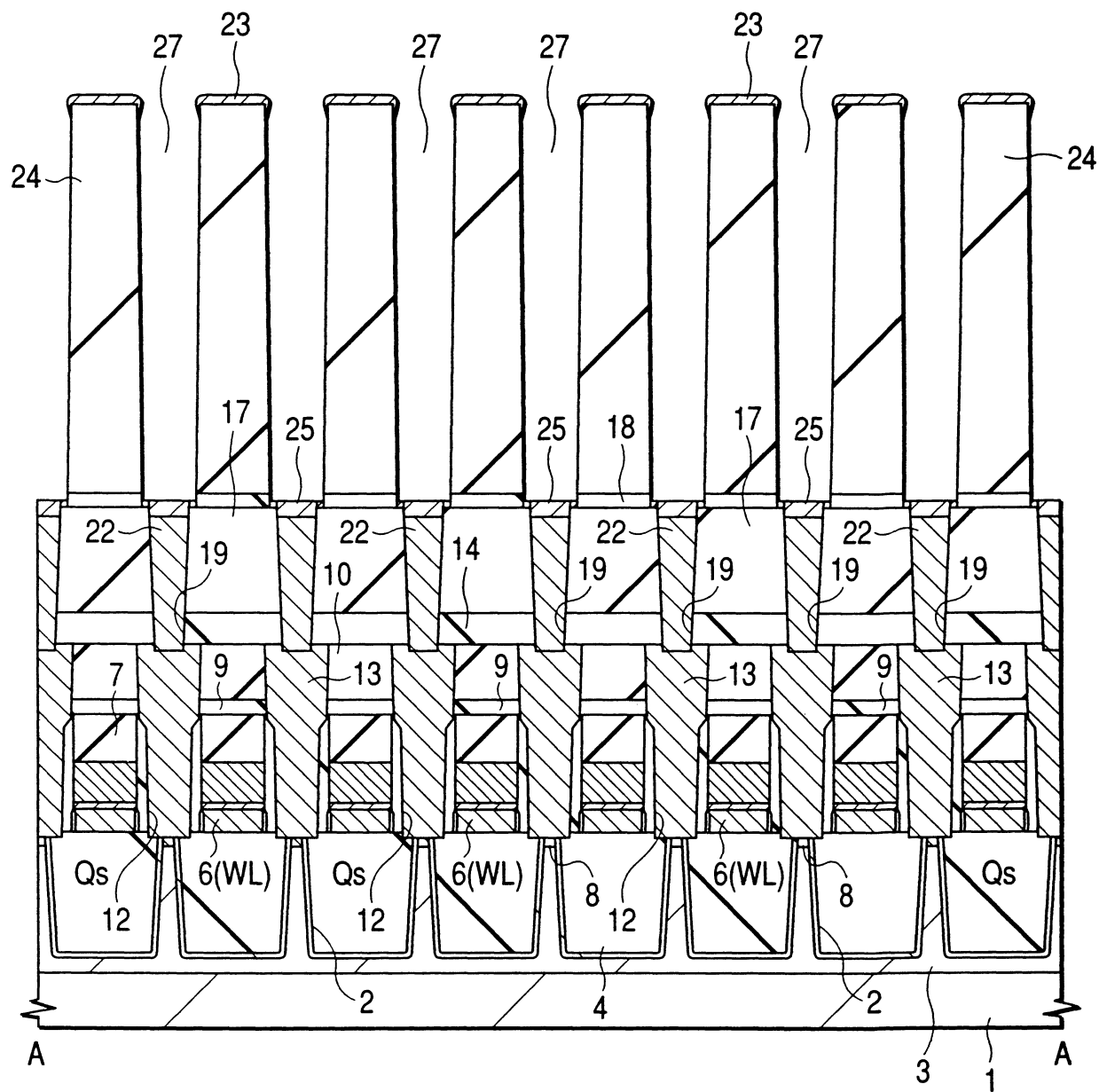
第 41 圖



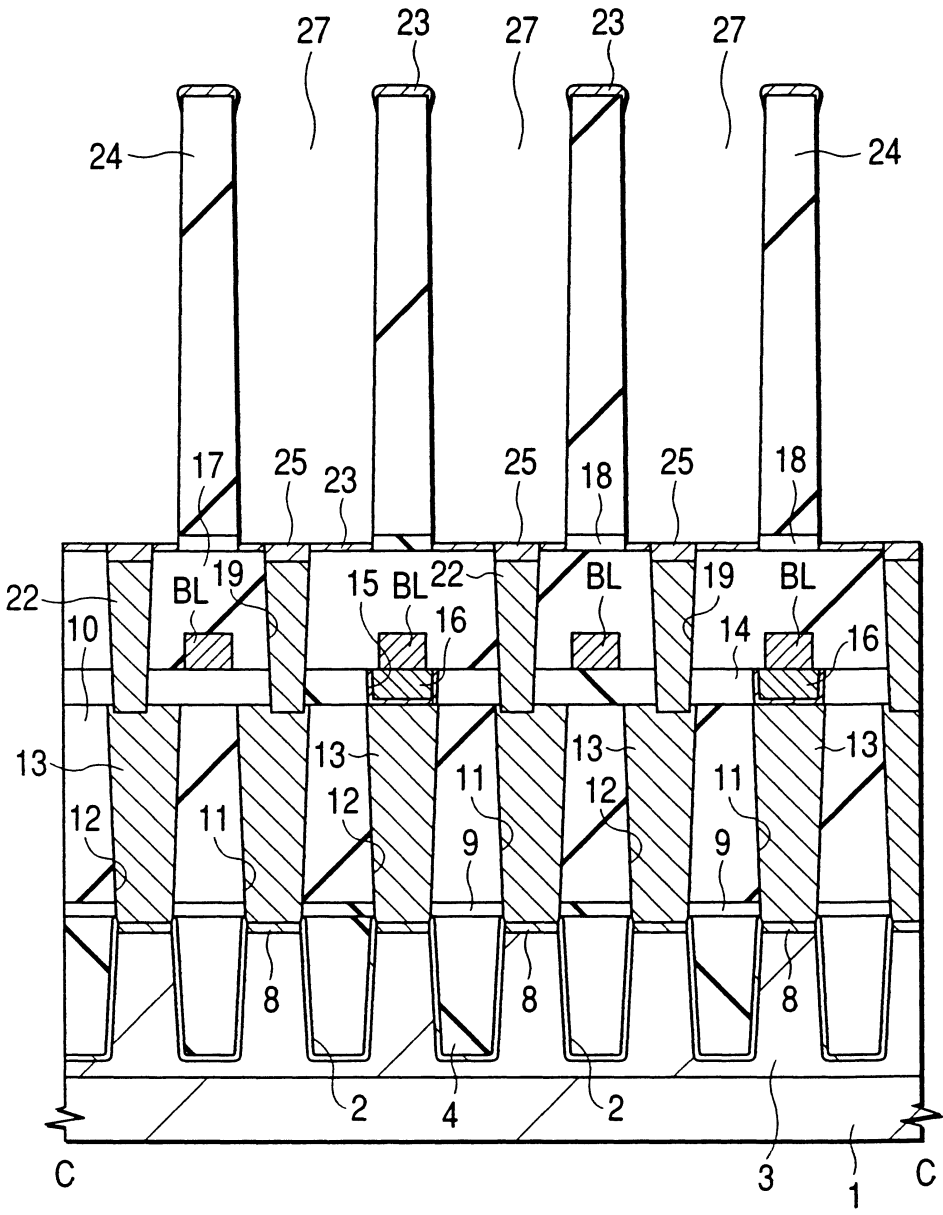
第 42 圖



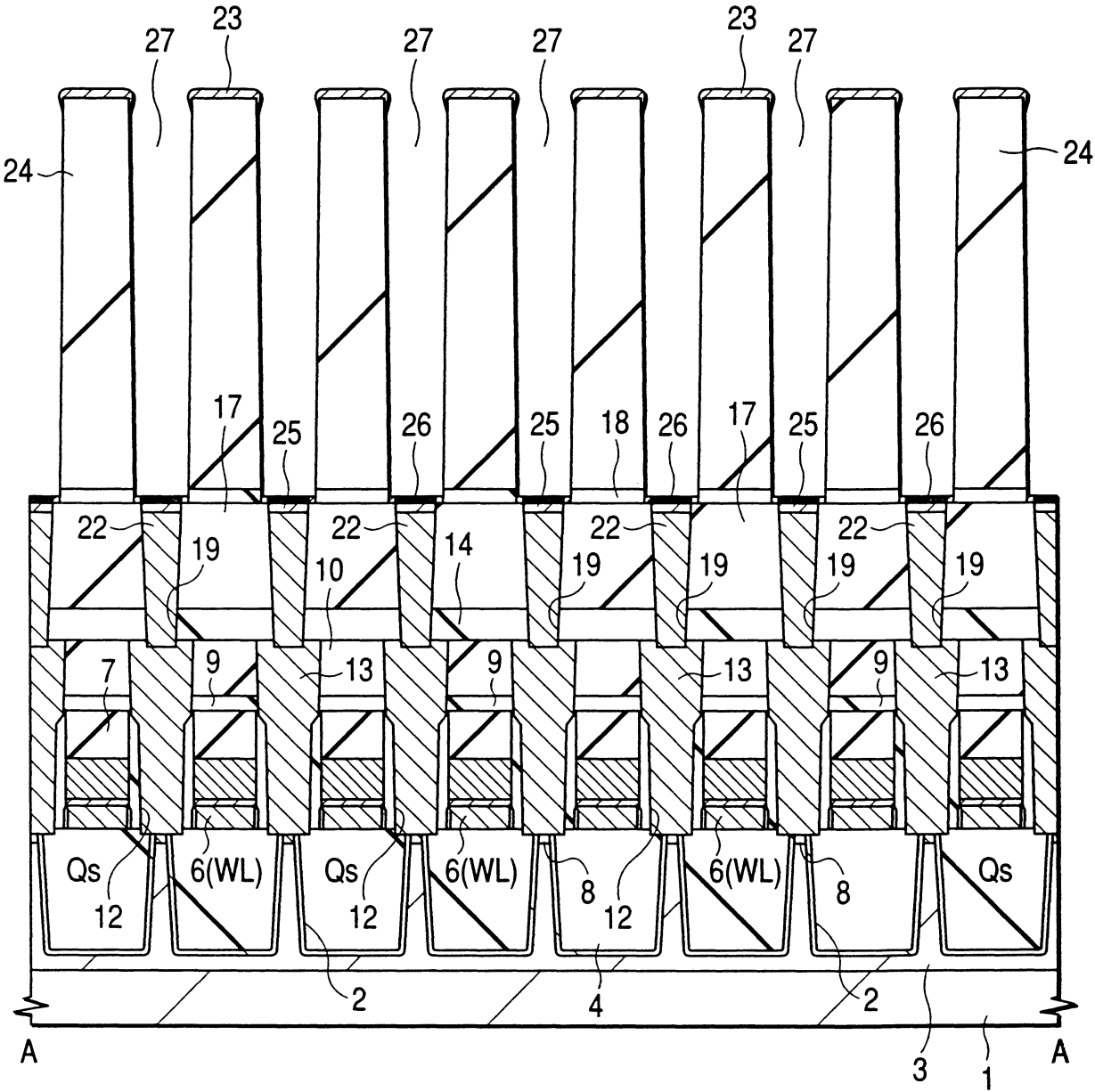
第 43 圖



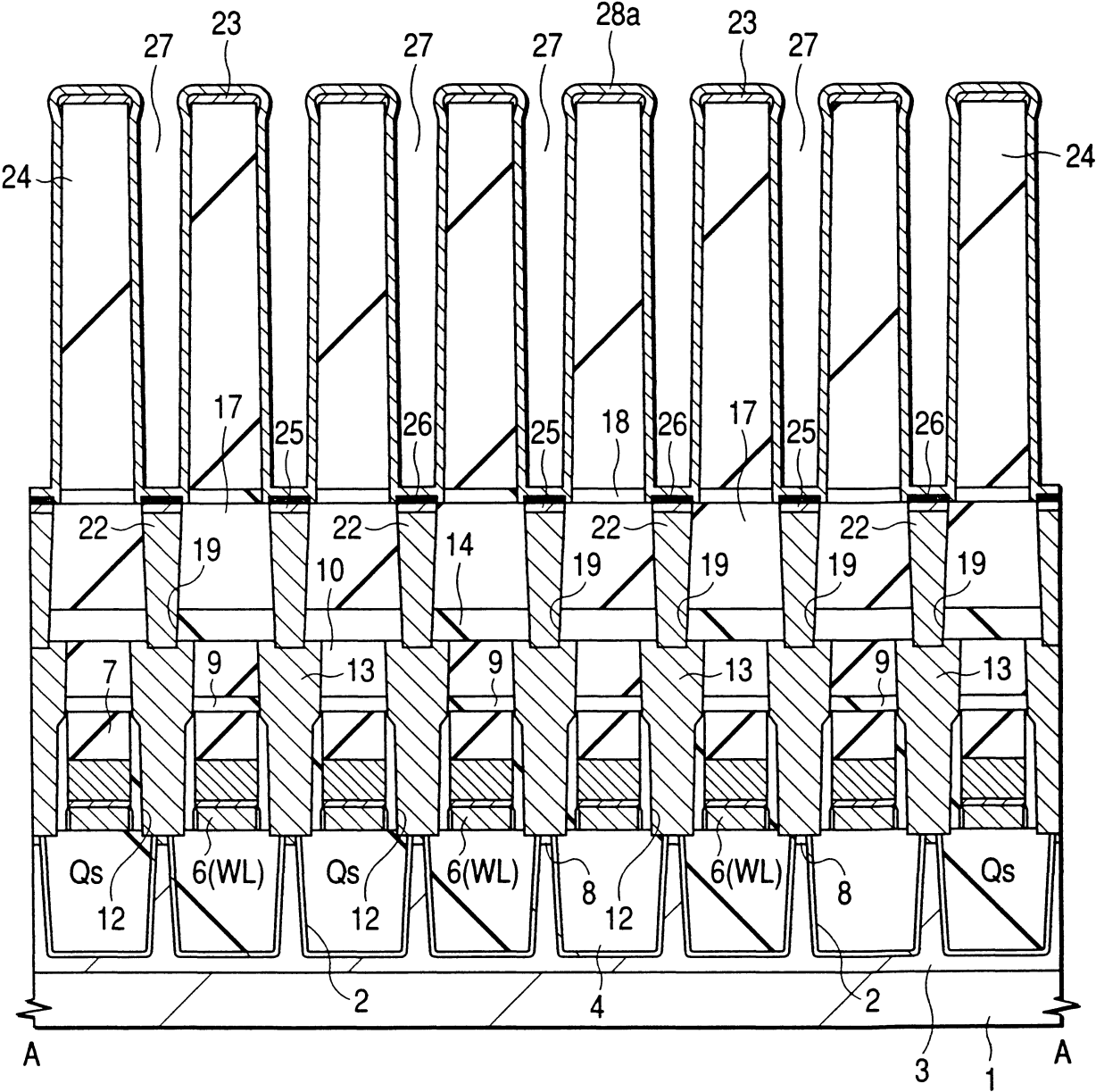
第 44 圖



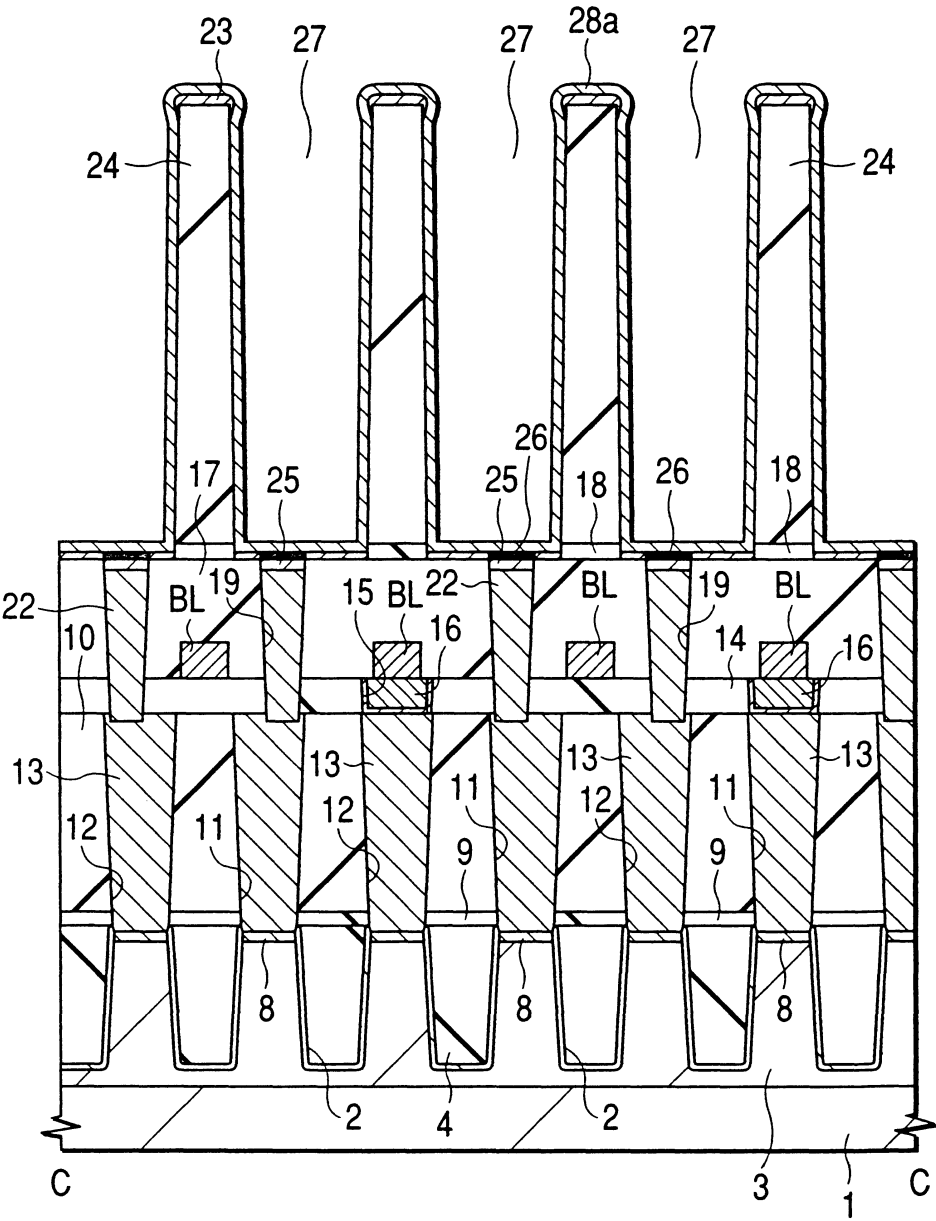
第 45 圖



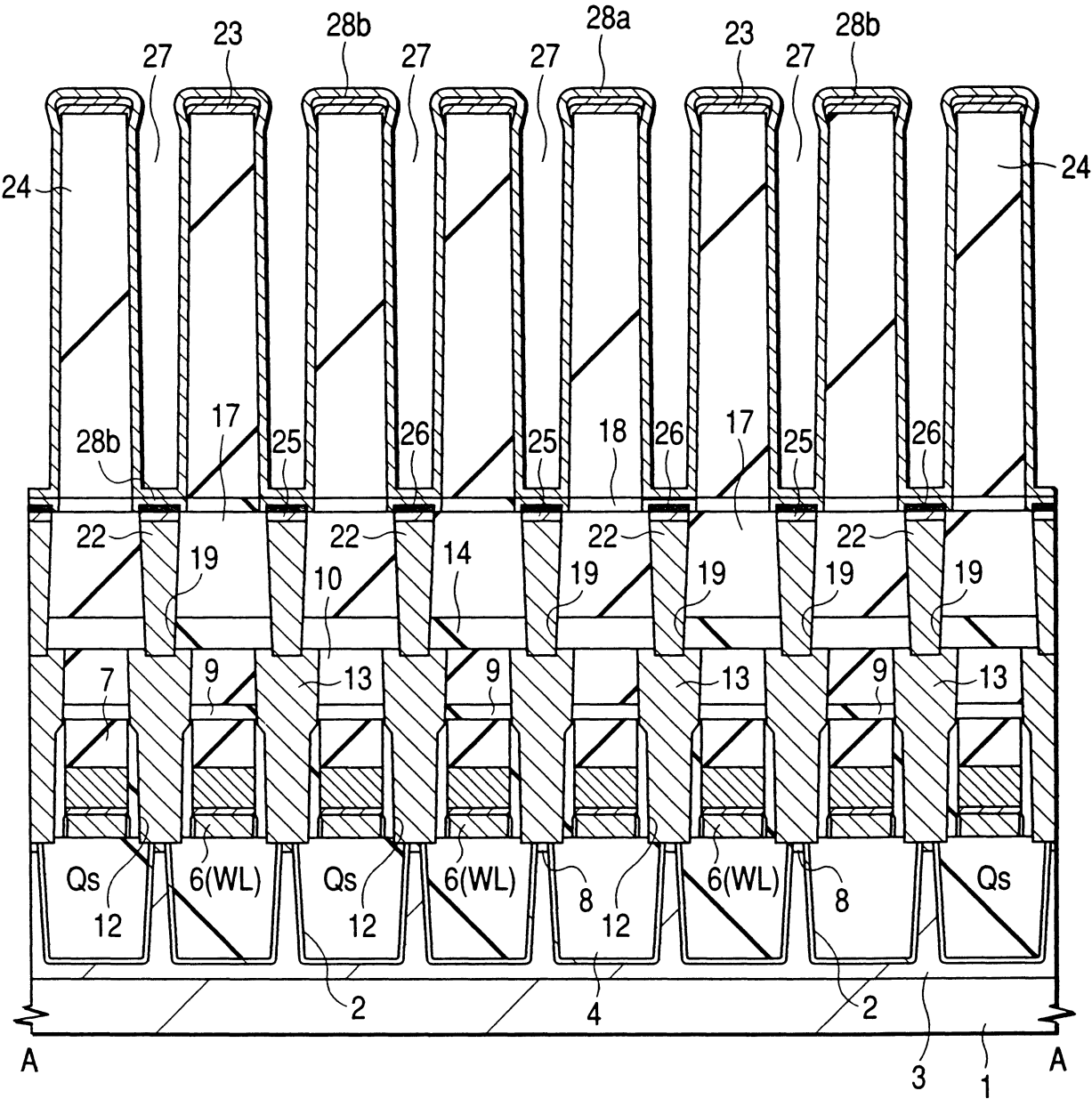
第 47 圖



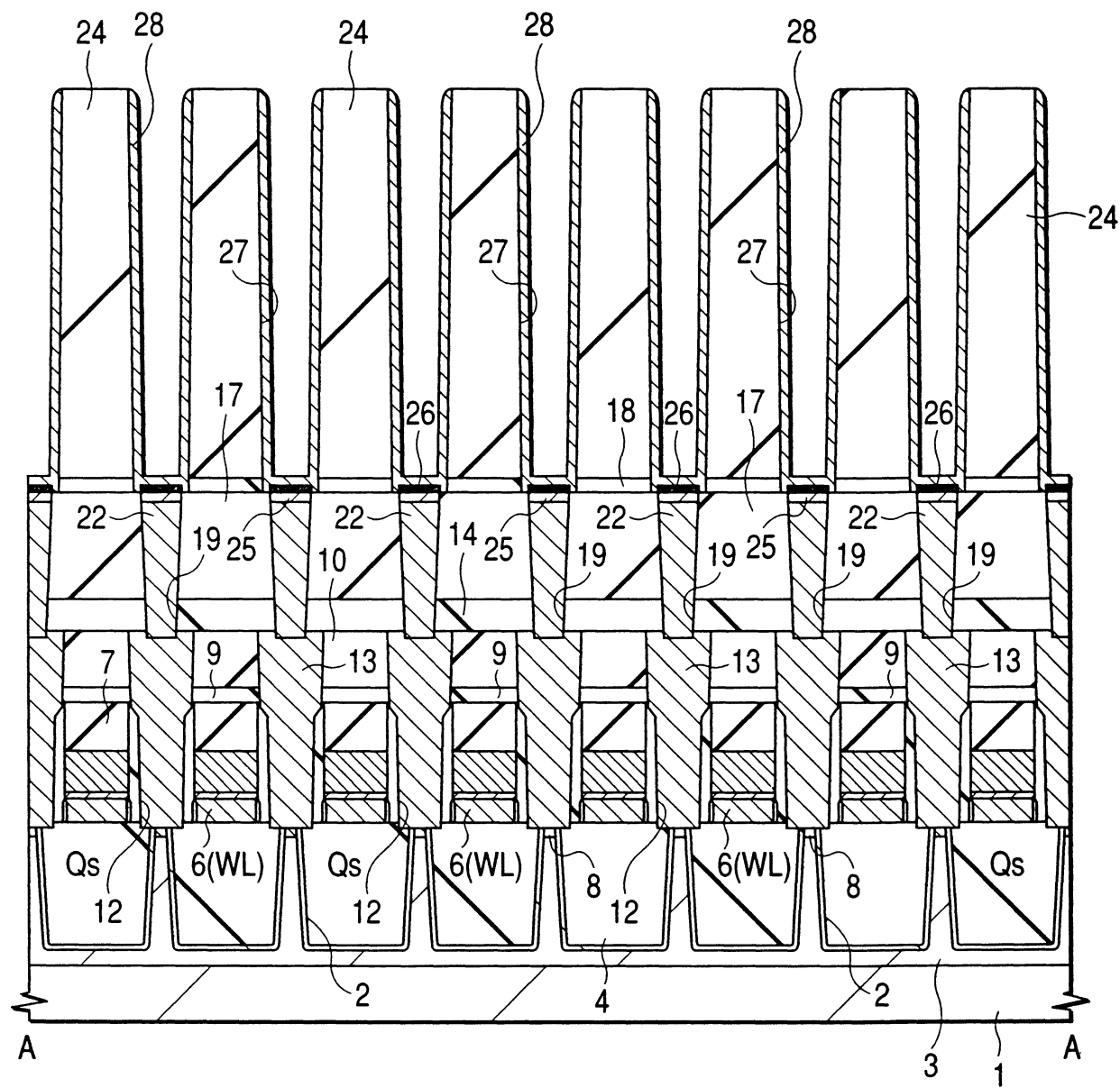
第 48 圖



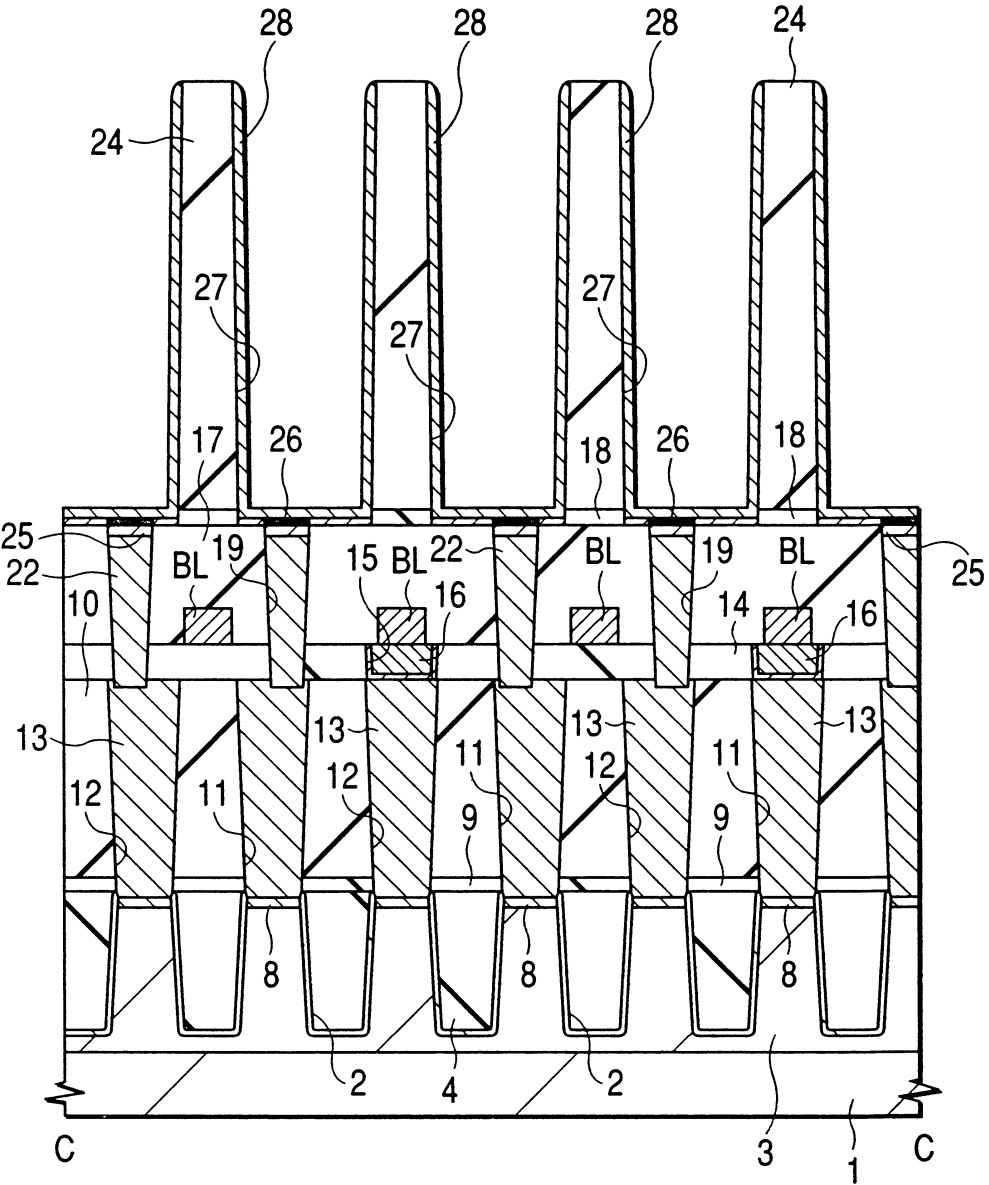
第 49 圖



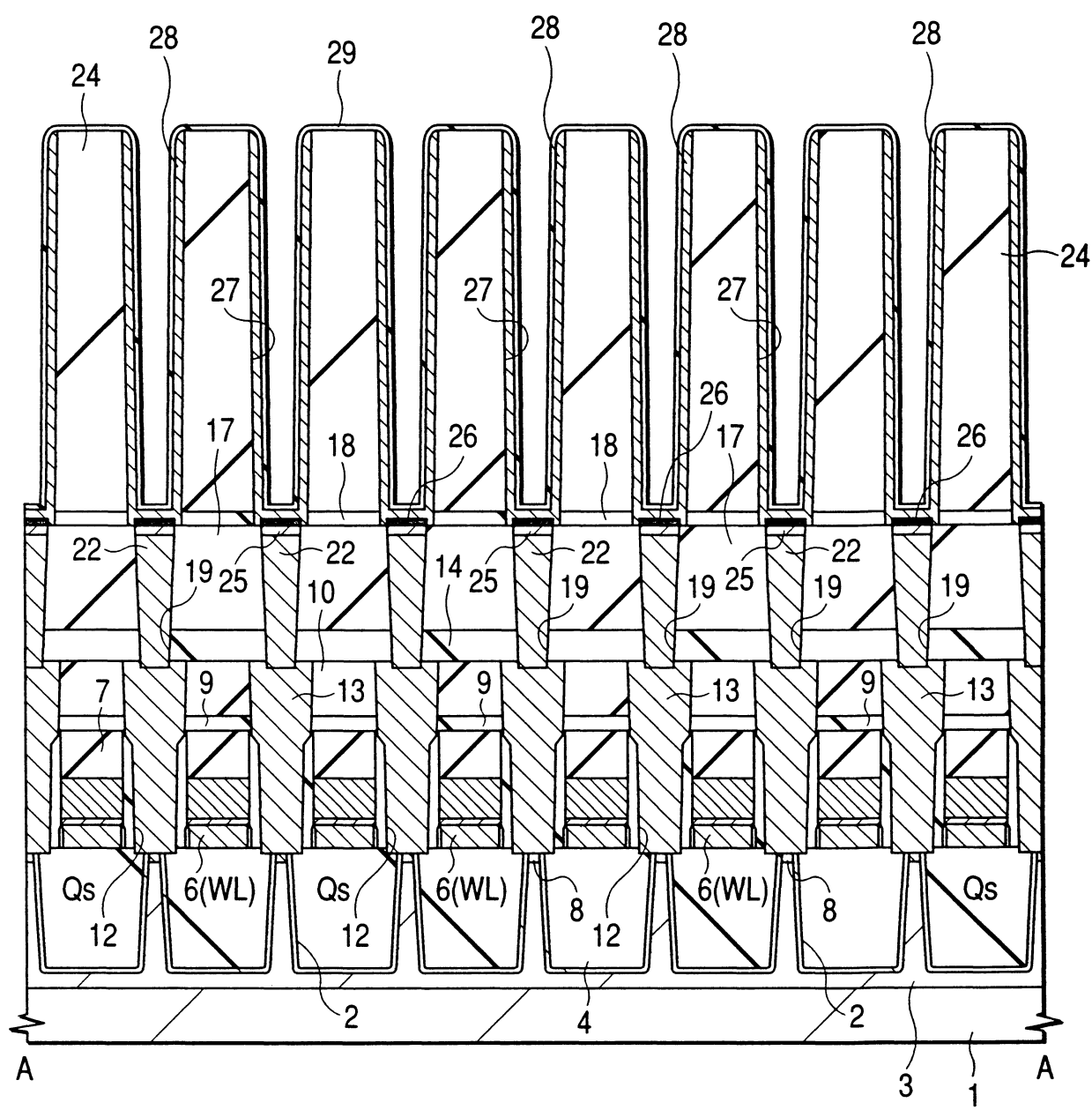
第 53 圖



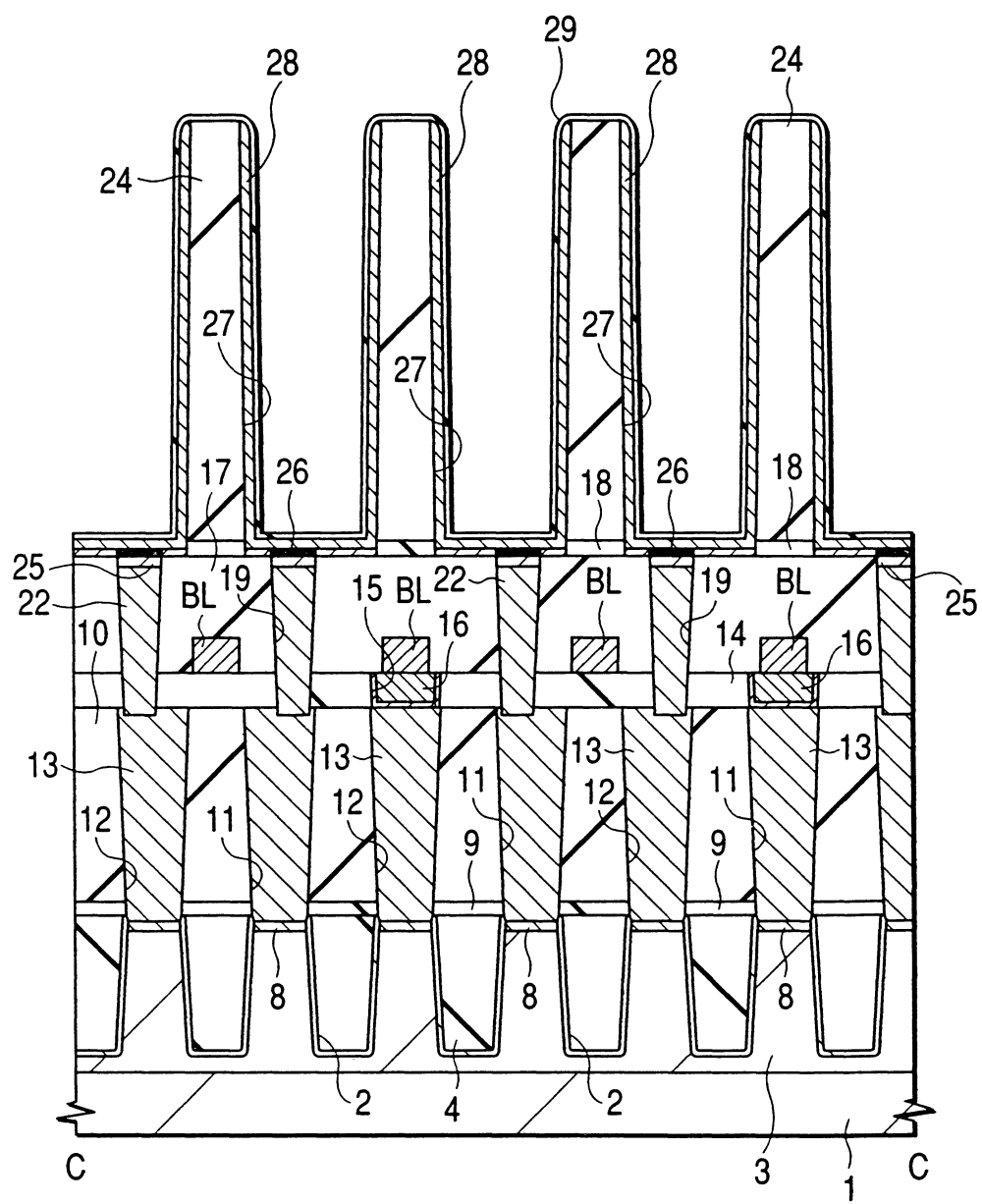
第 54 圖



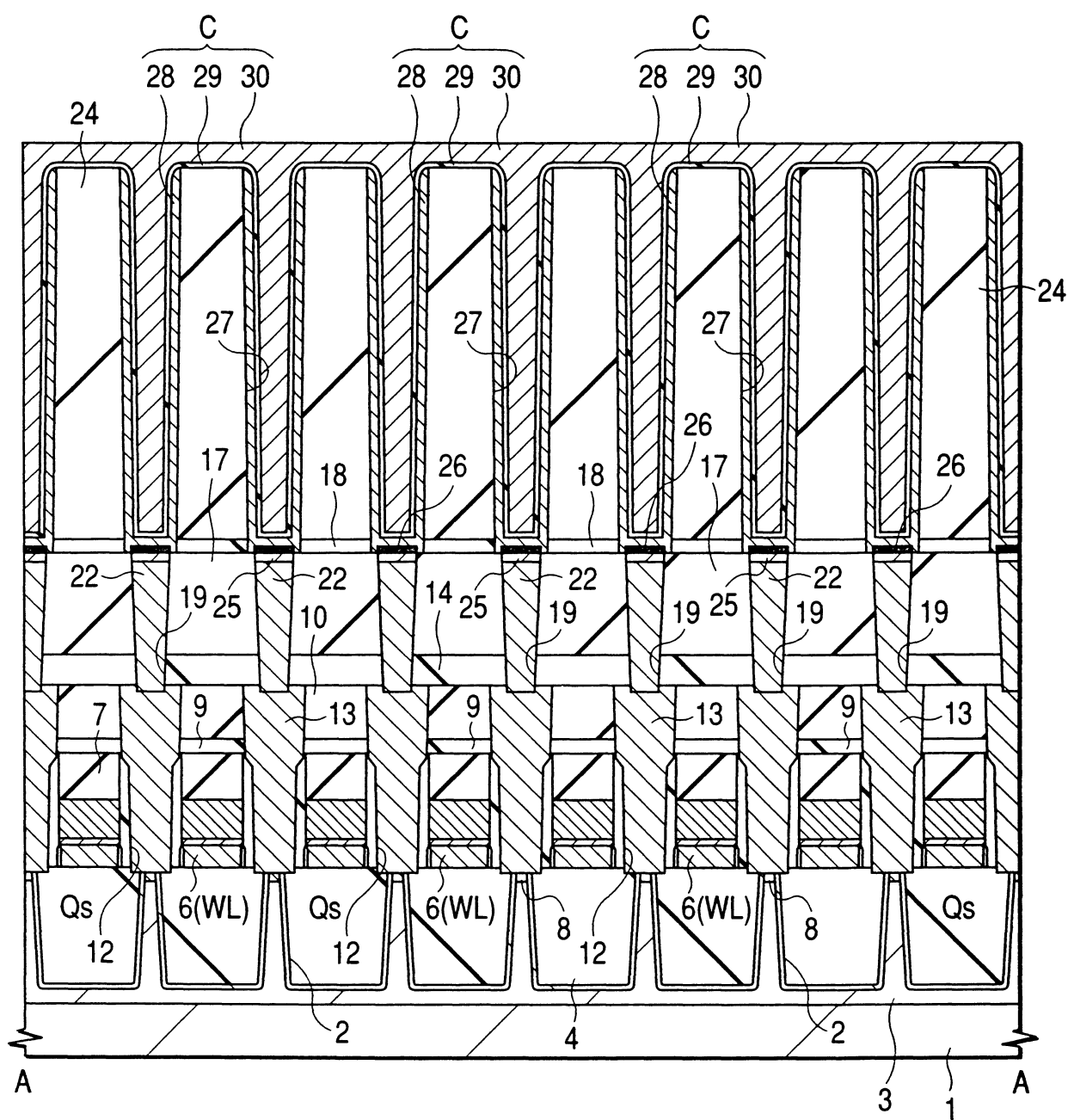
第 55 圖



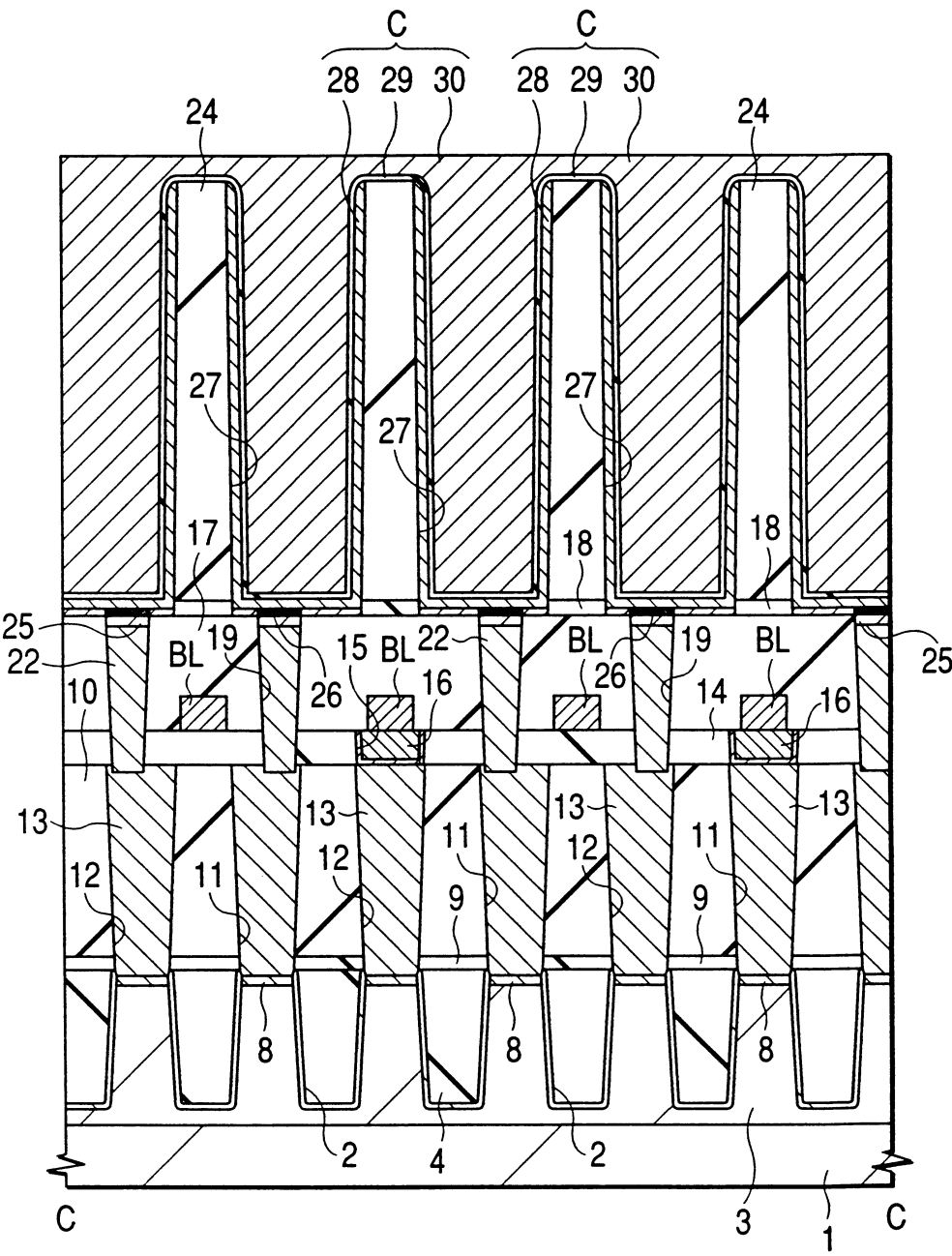
第 56 圖



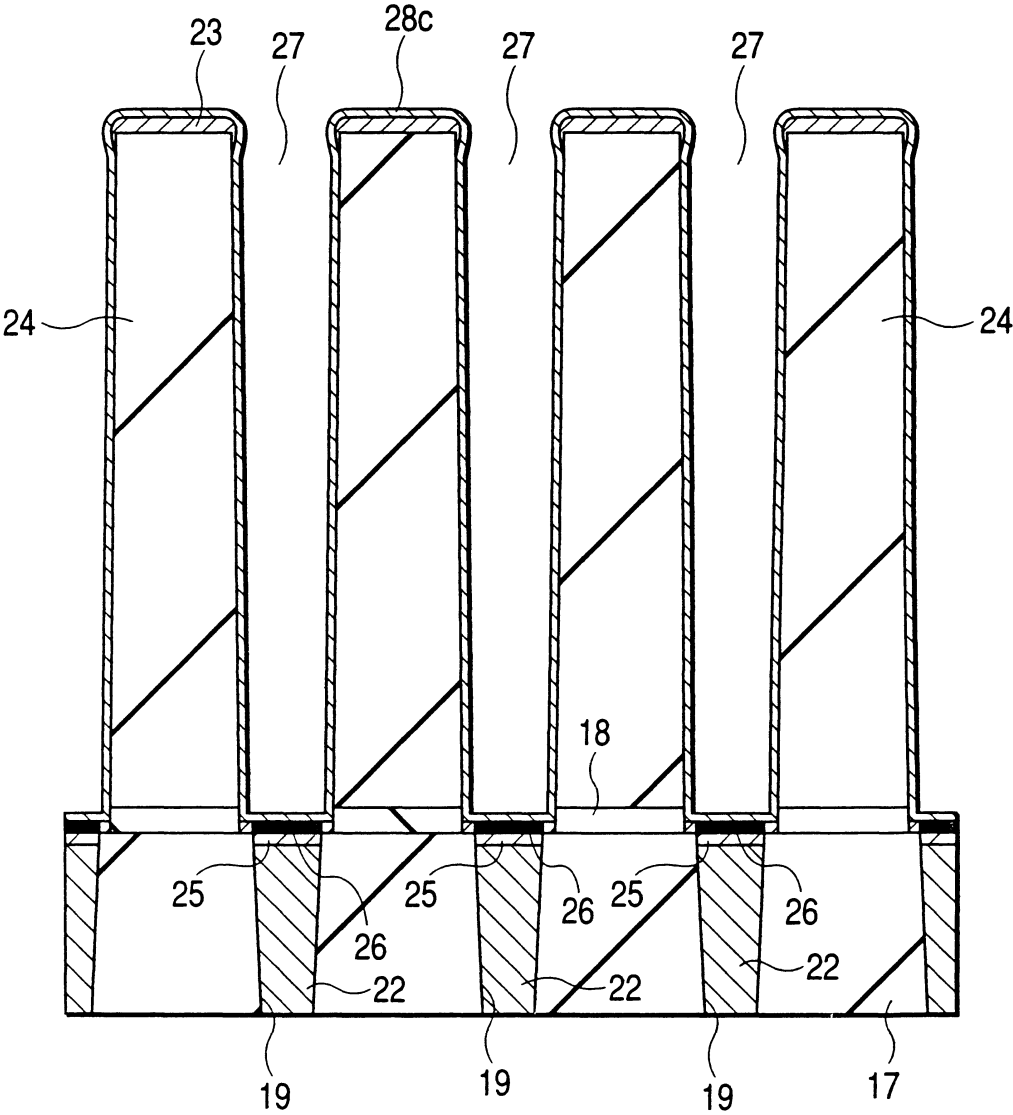
第 57 圖



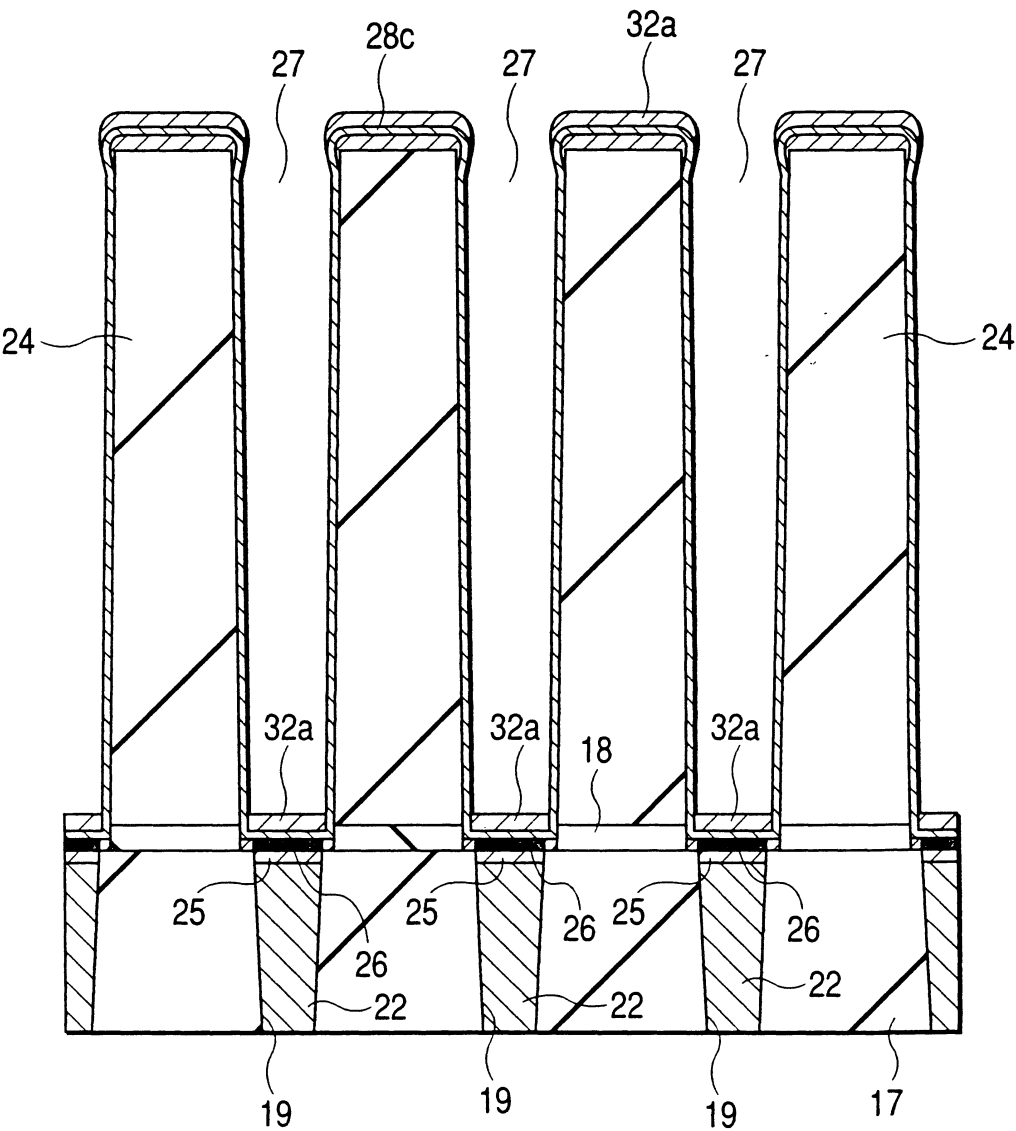
第 58 圖



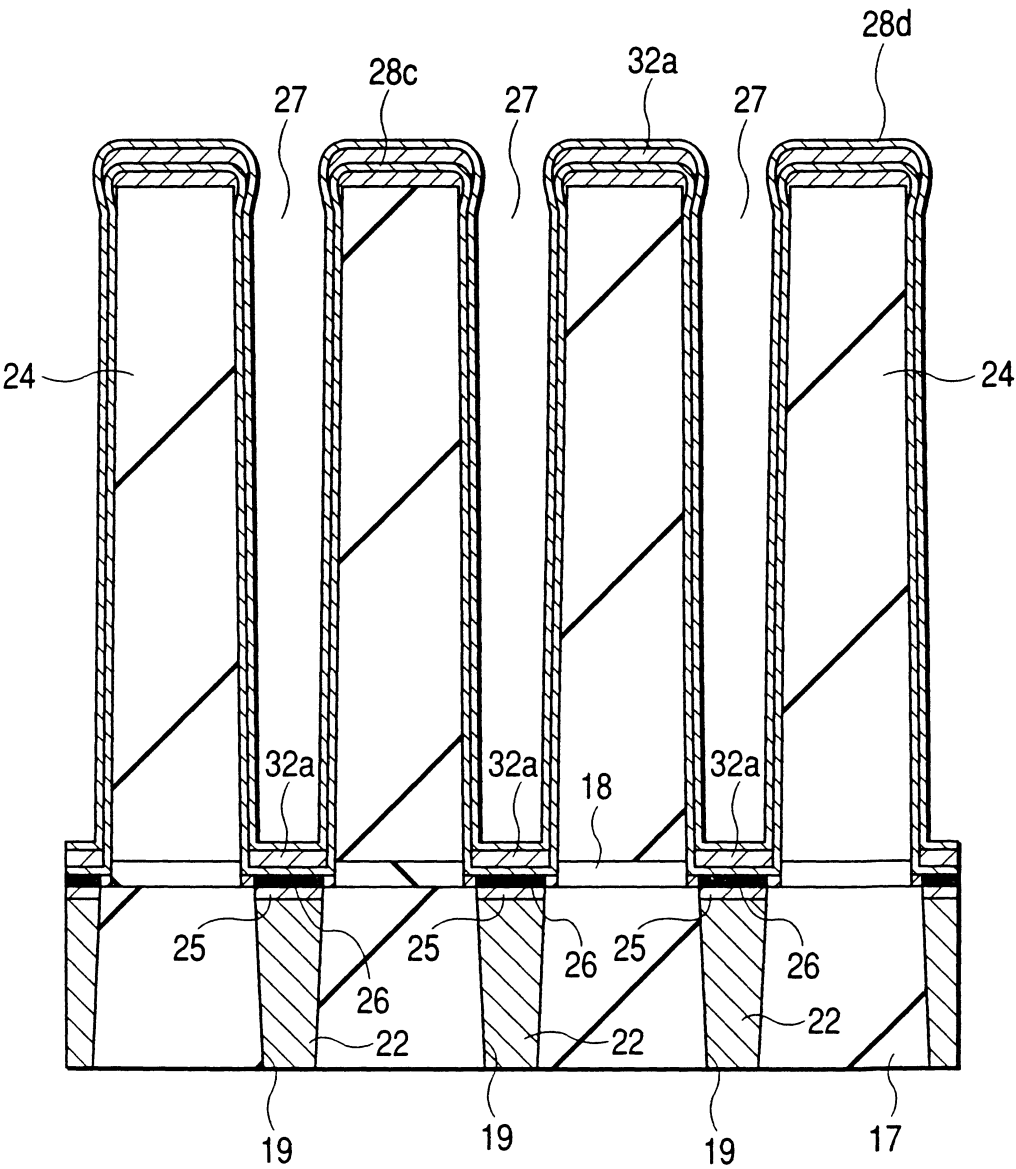
第 59 圖



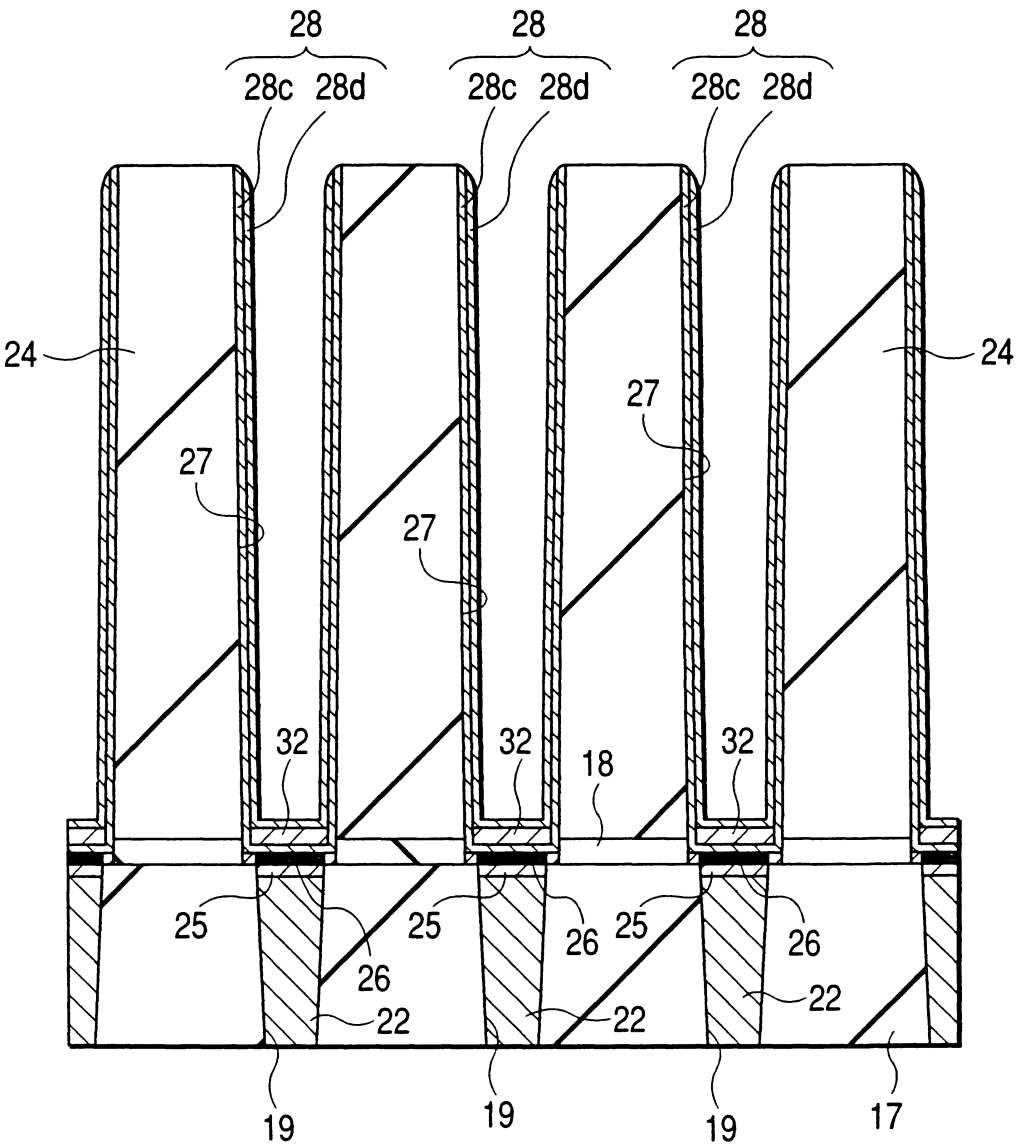
第 60 圖



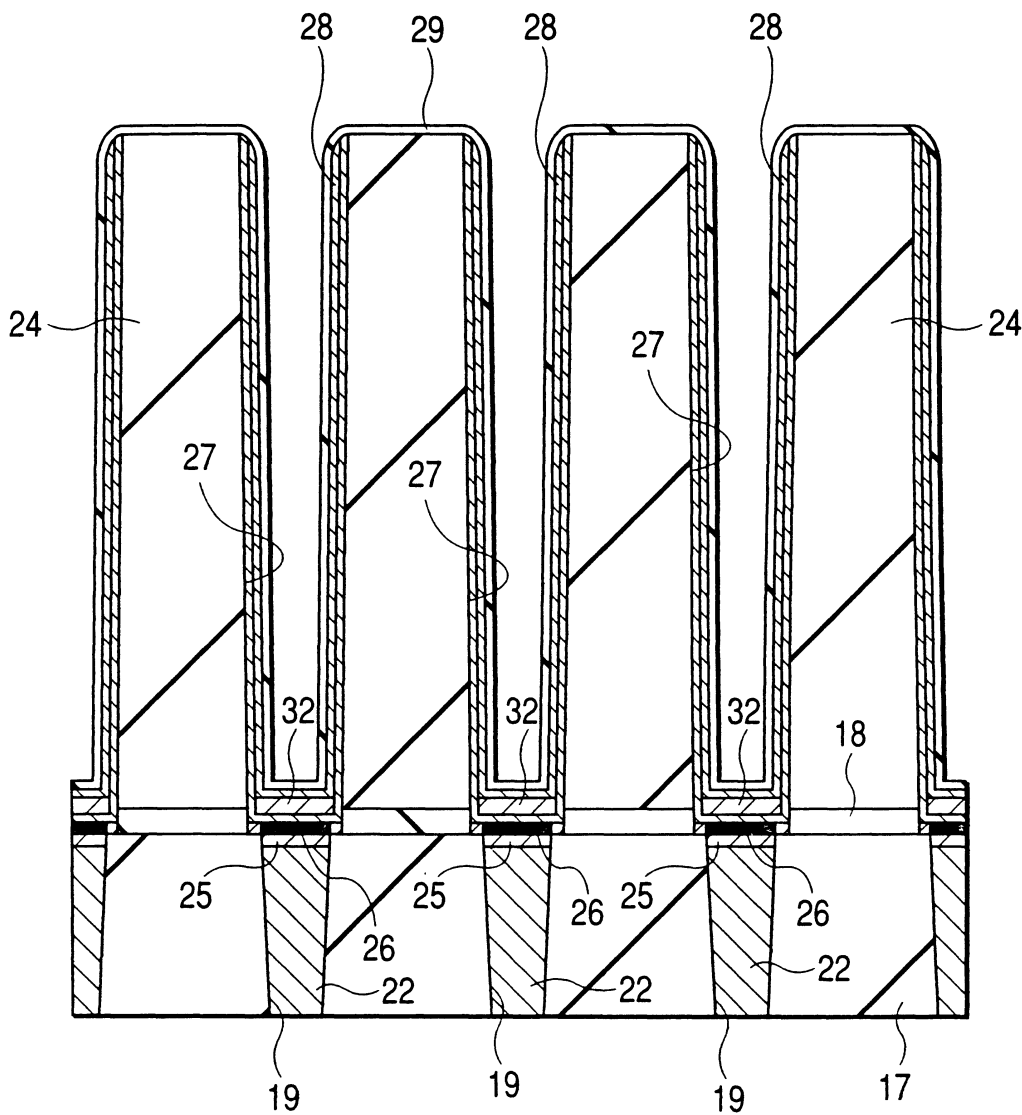
第 61 圖



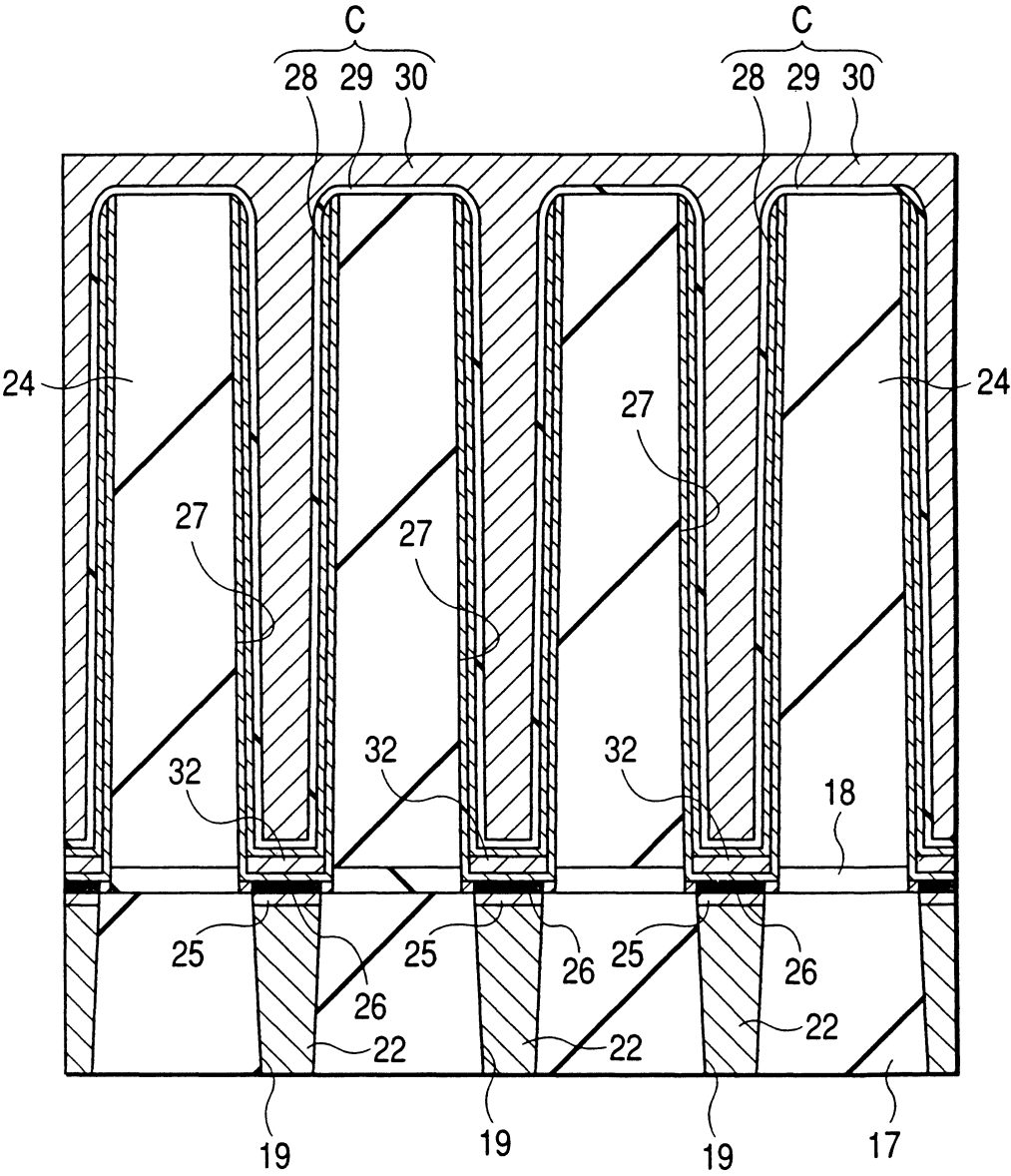
第 62 圖



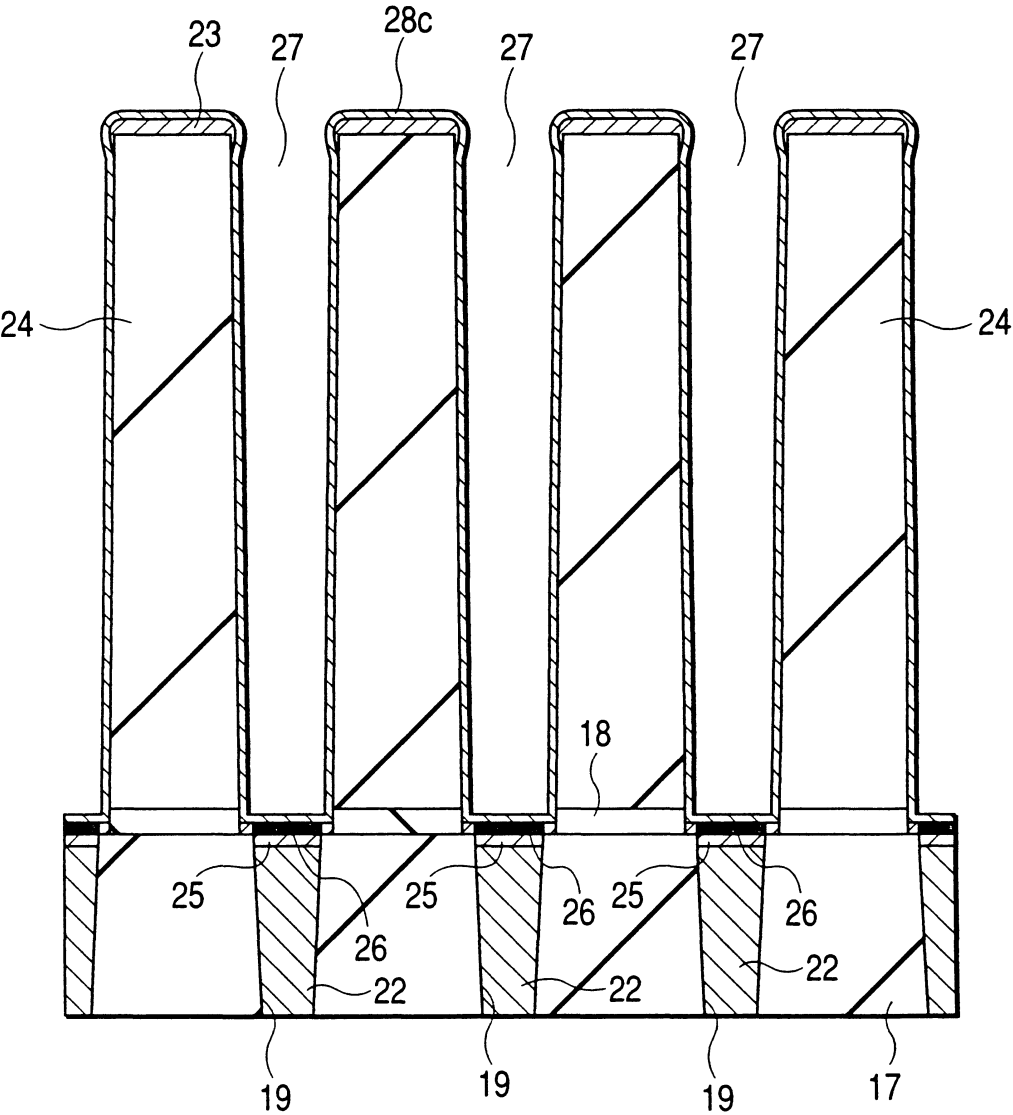
第 63 圖



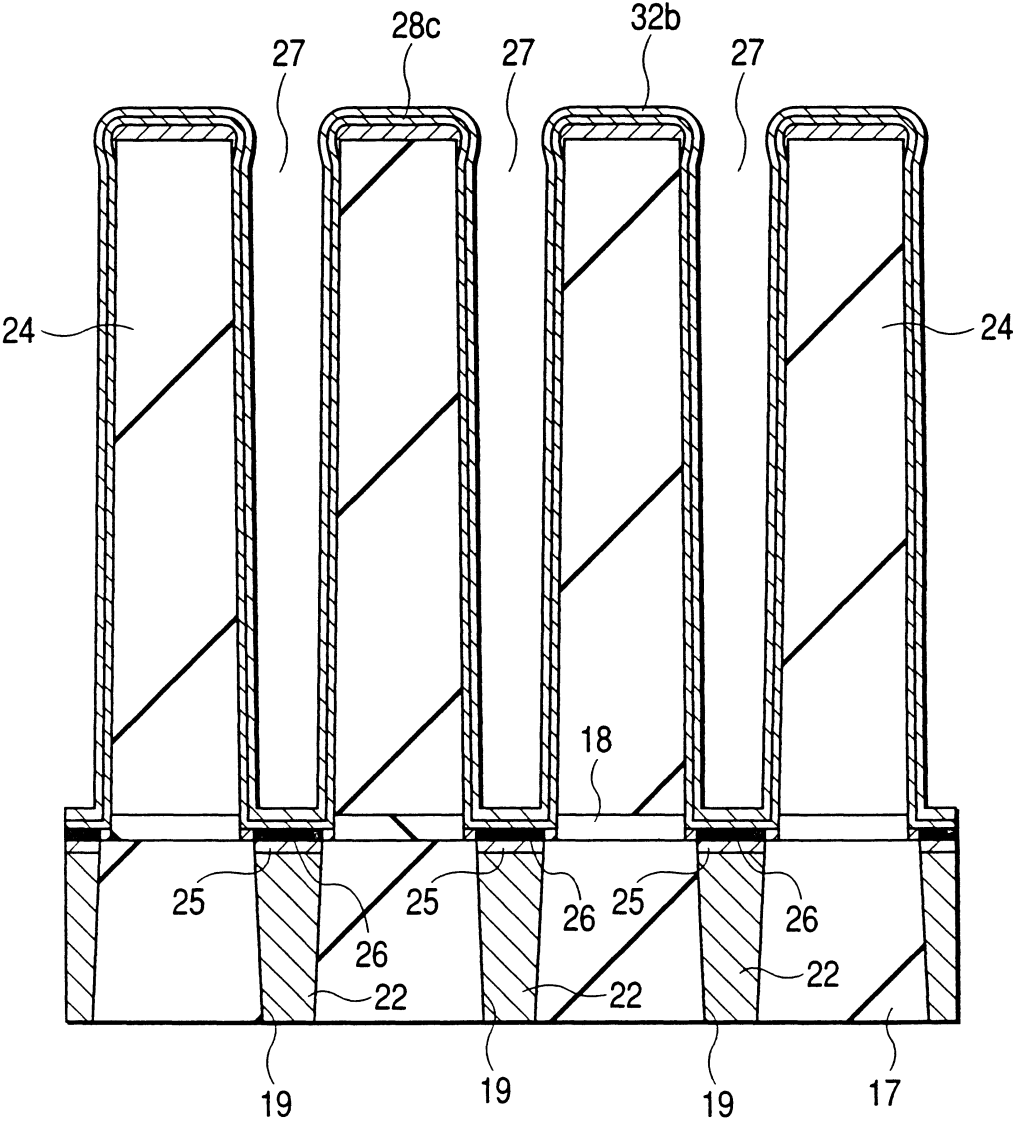
第 64 圖



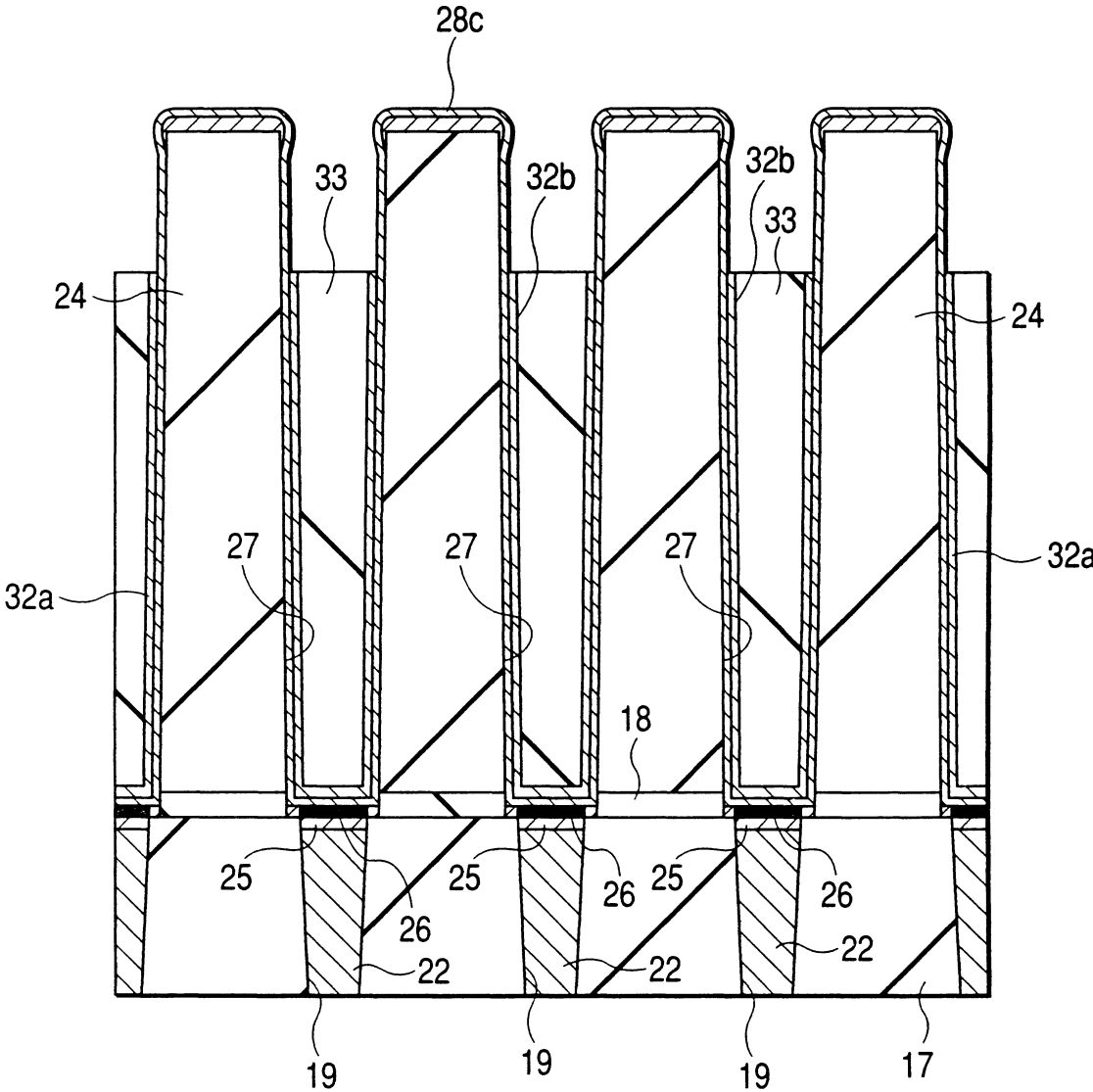
第 65 圖



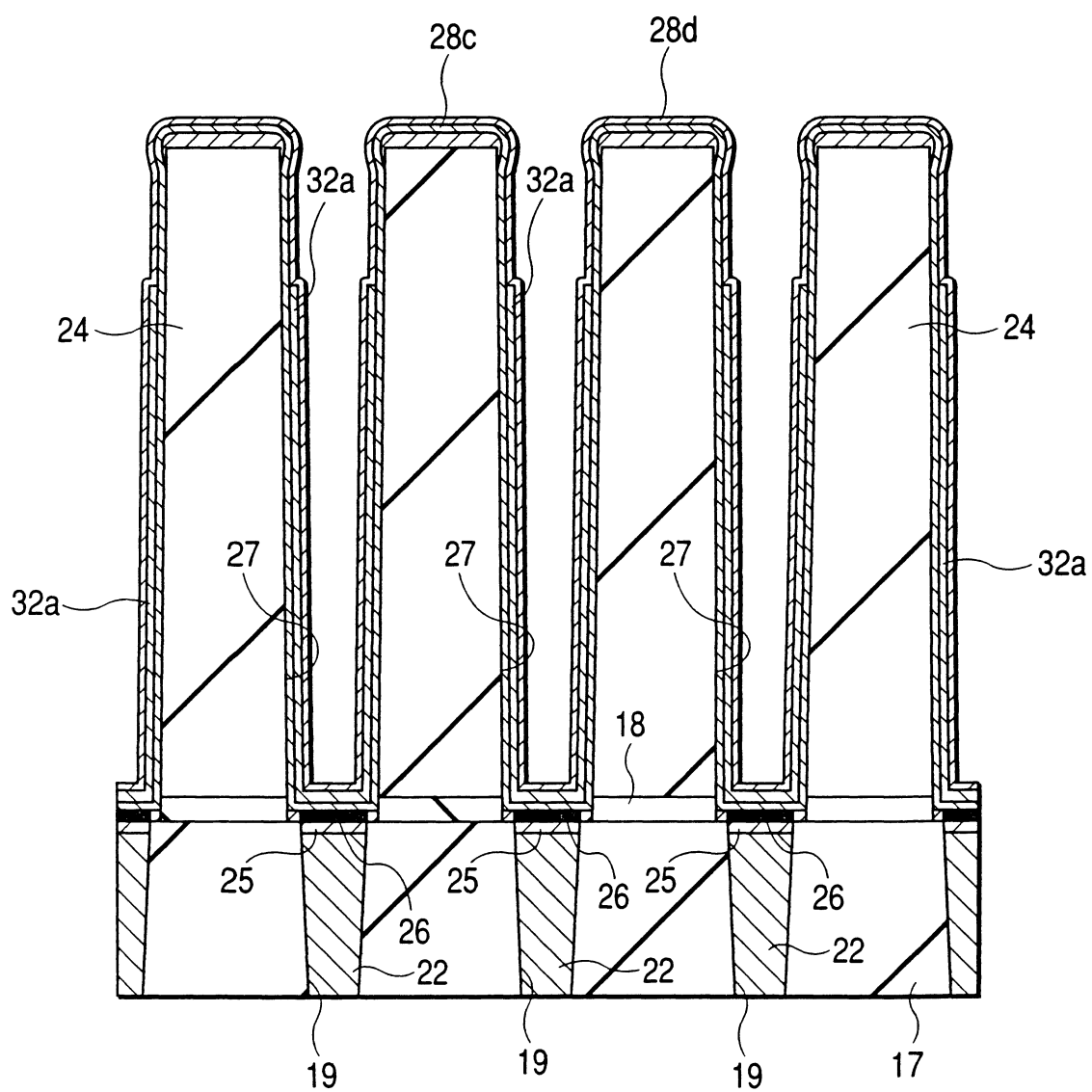
第 66 圖



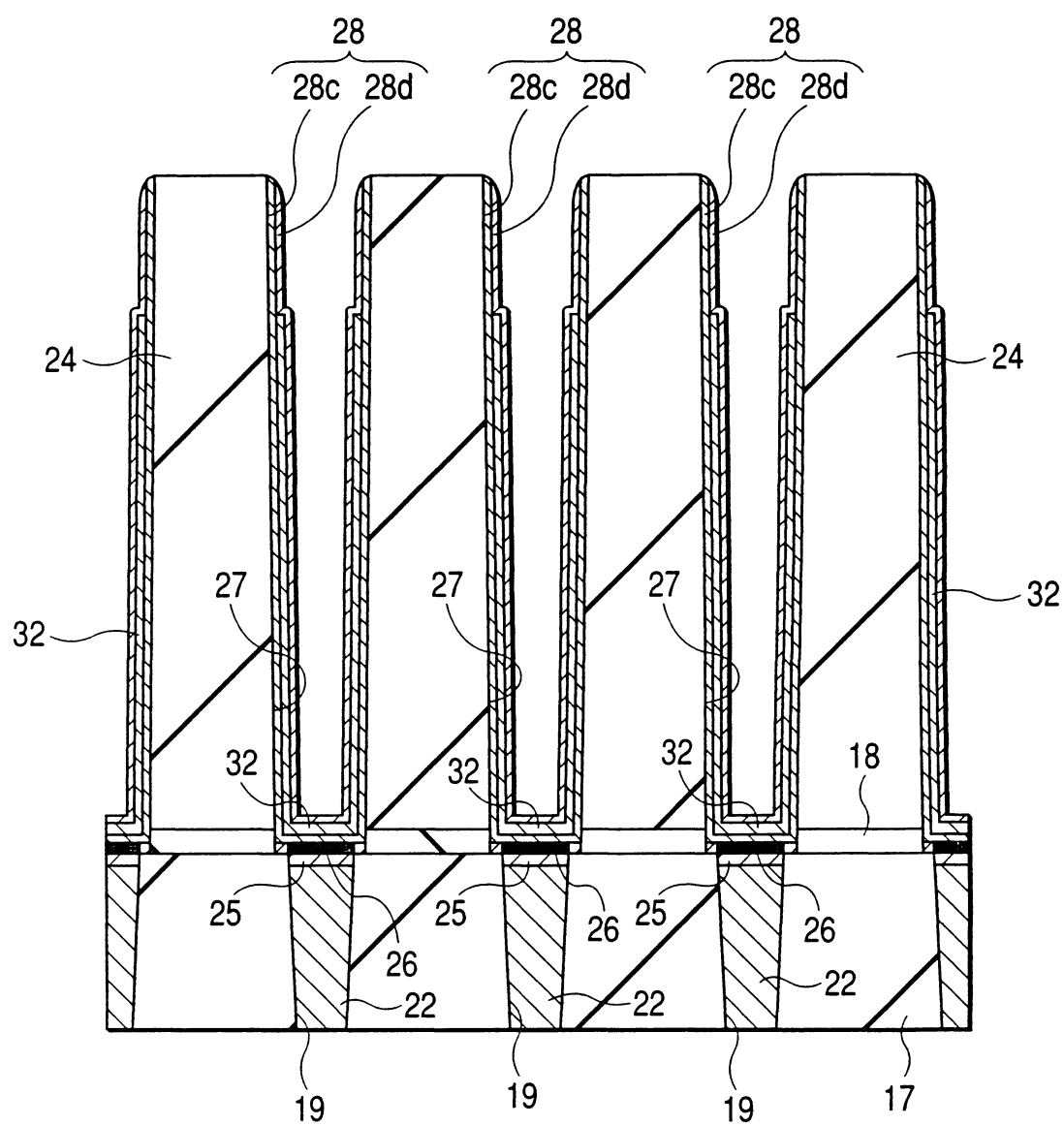
第 67 圖



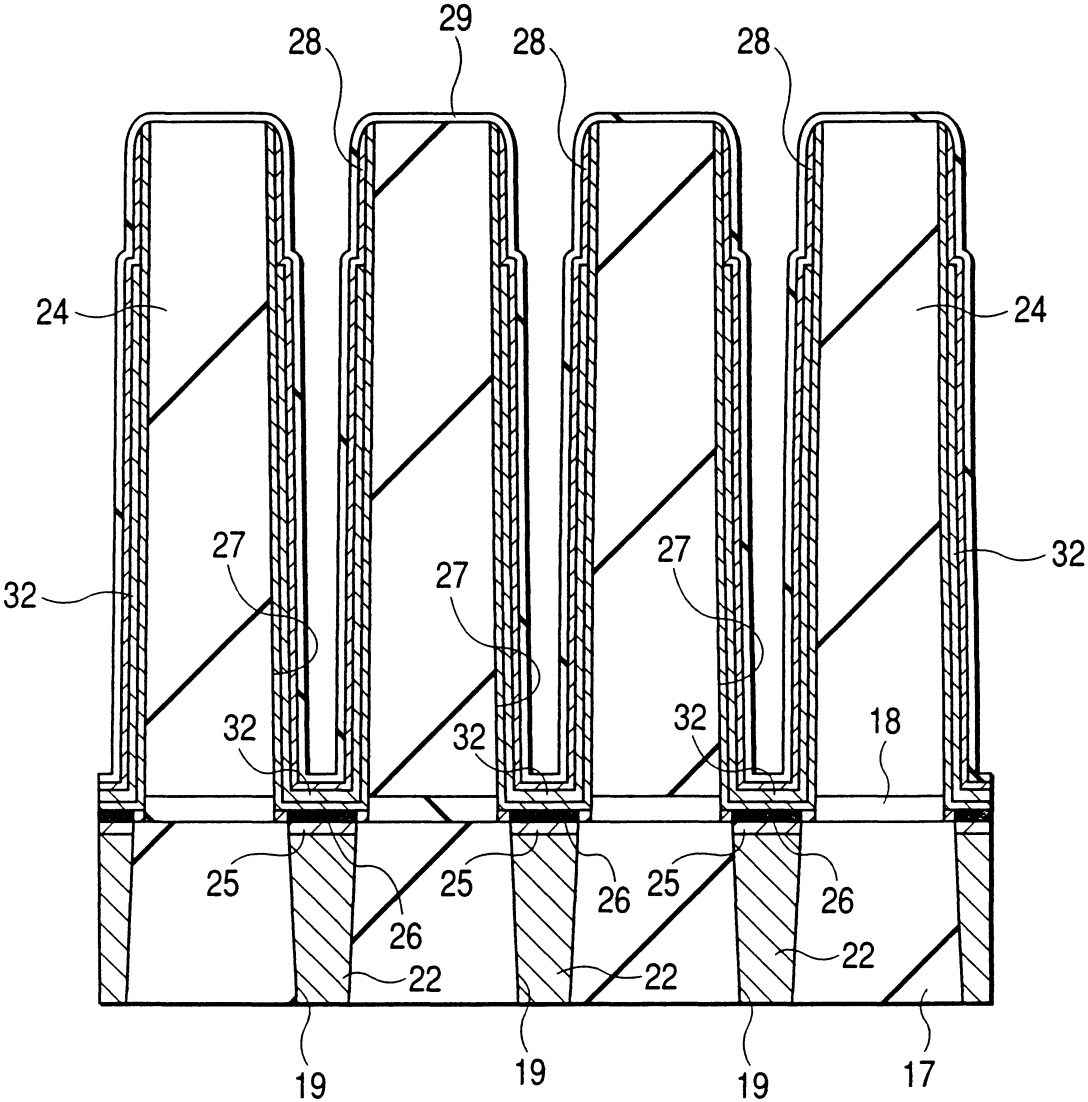
第 68 圖



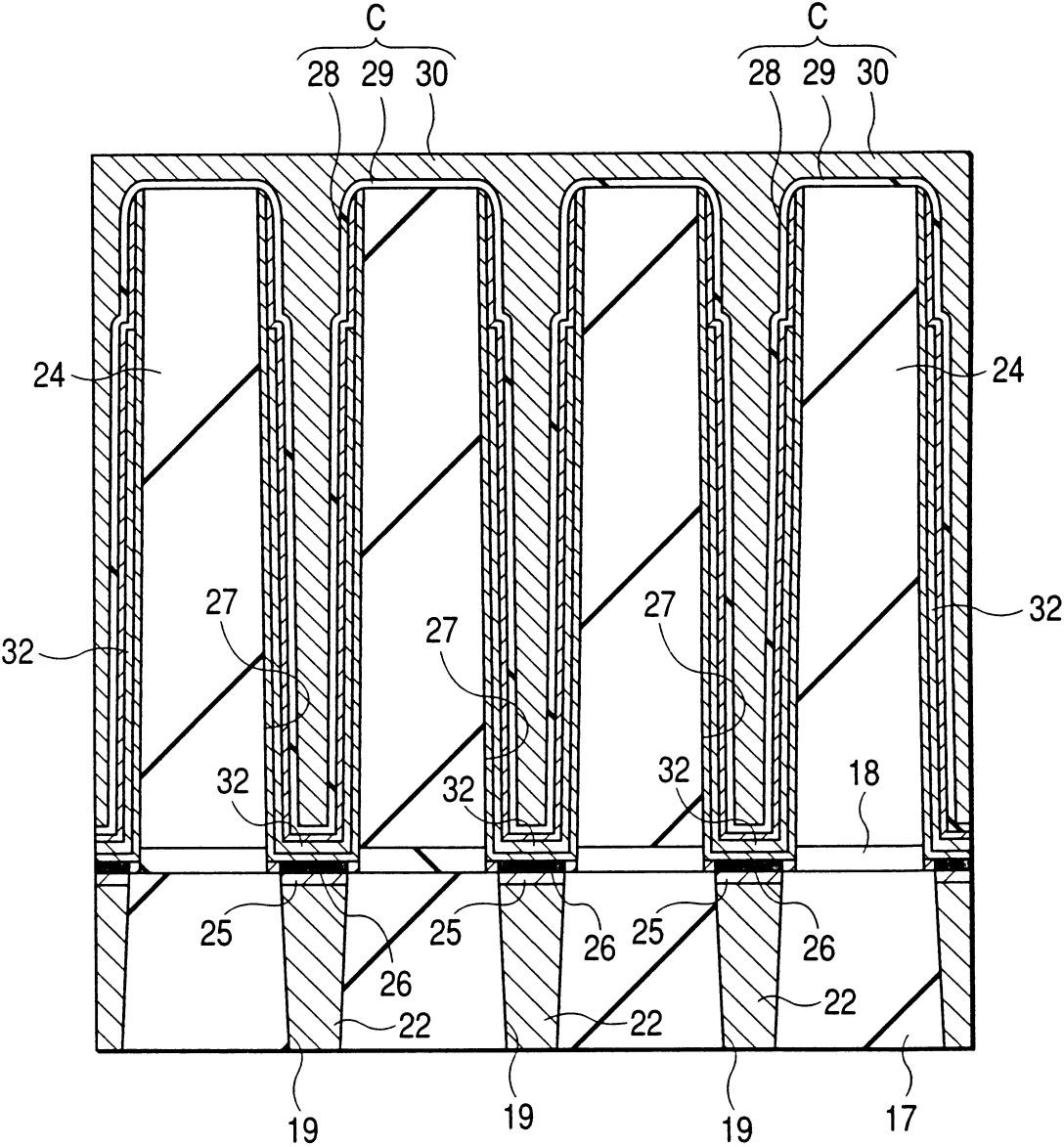
第 69 圖



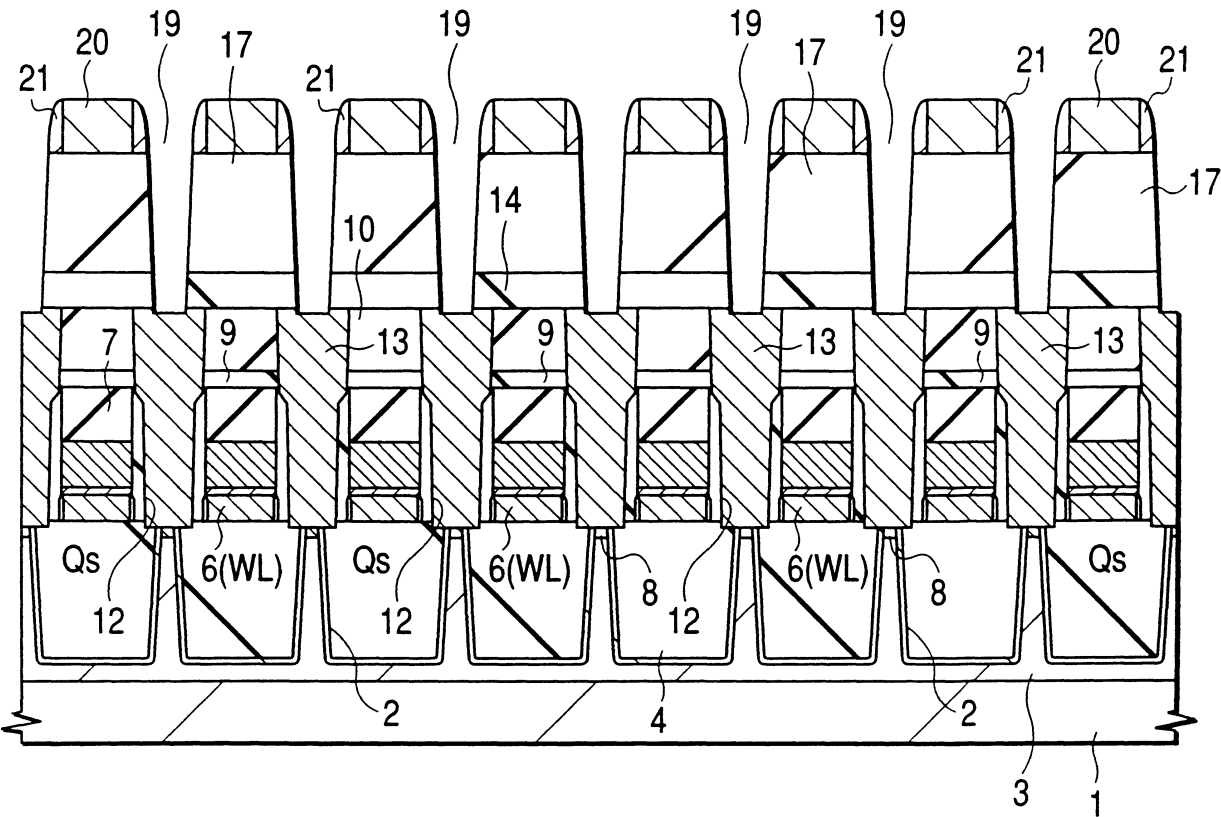
第 70 圖



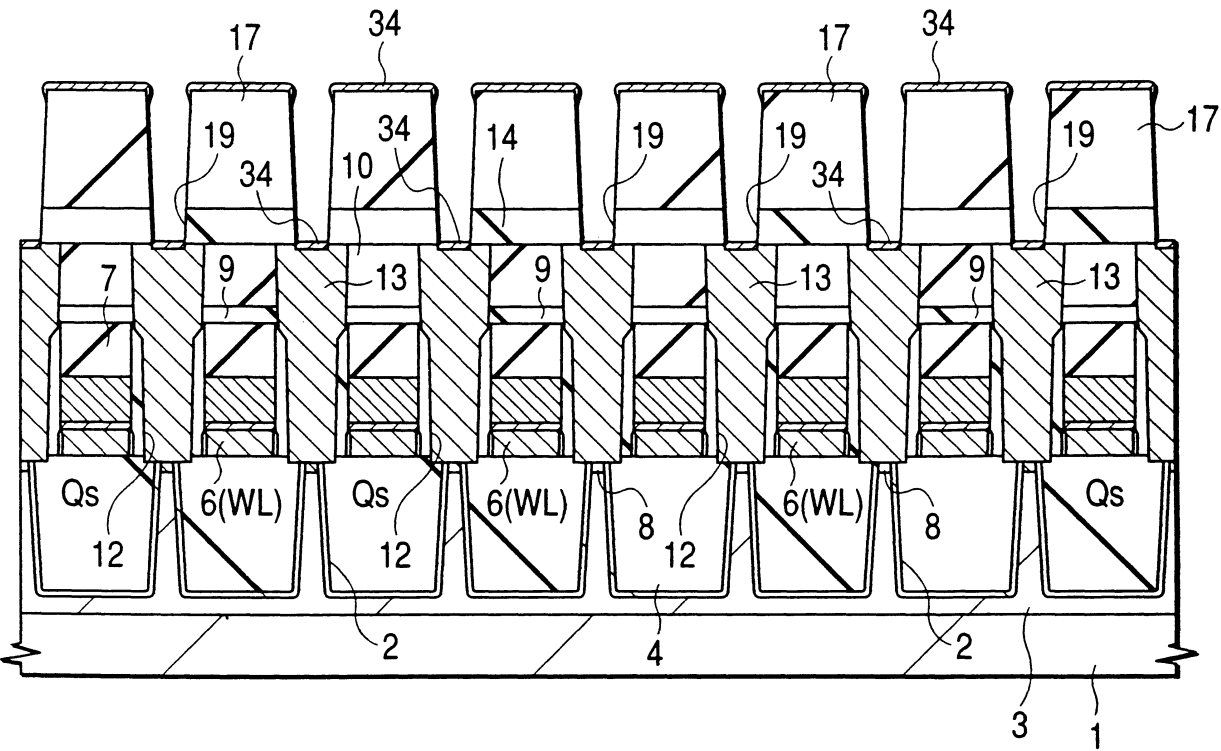
第 71 圖



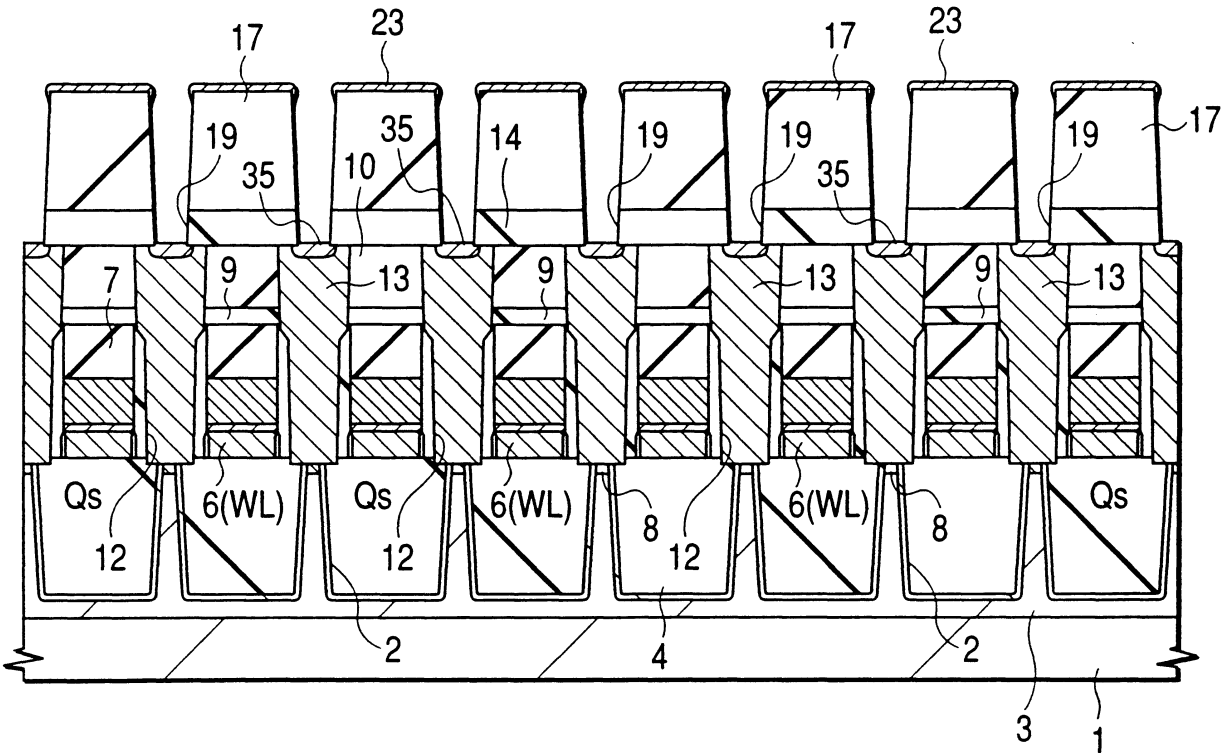
第 72 圖



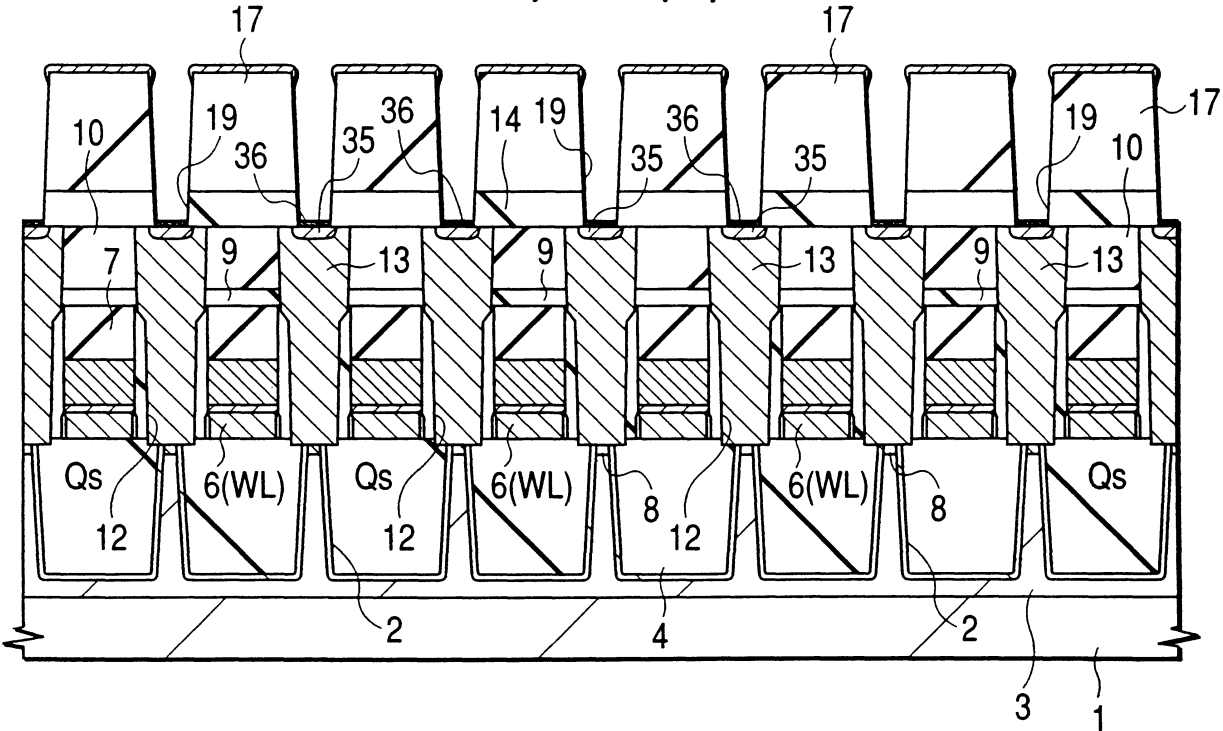
第 73 圖



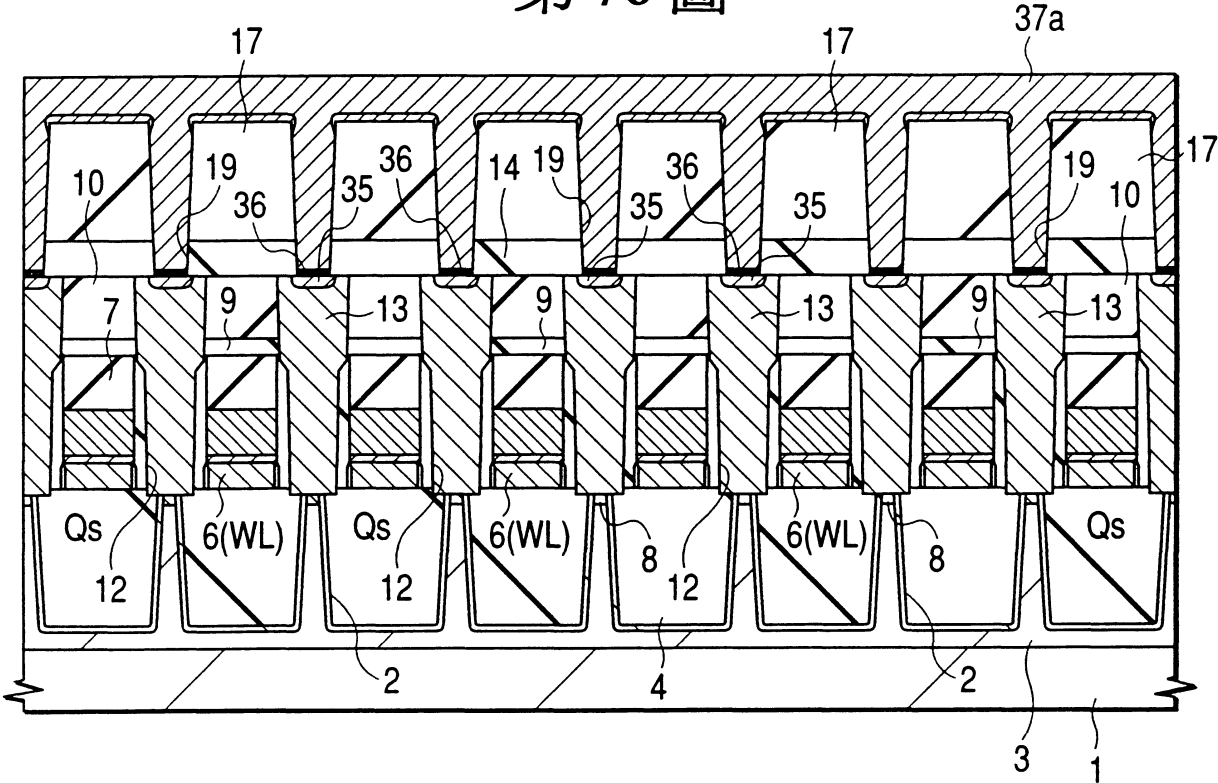
第 74 圖



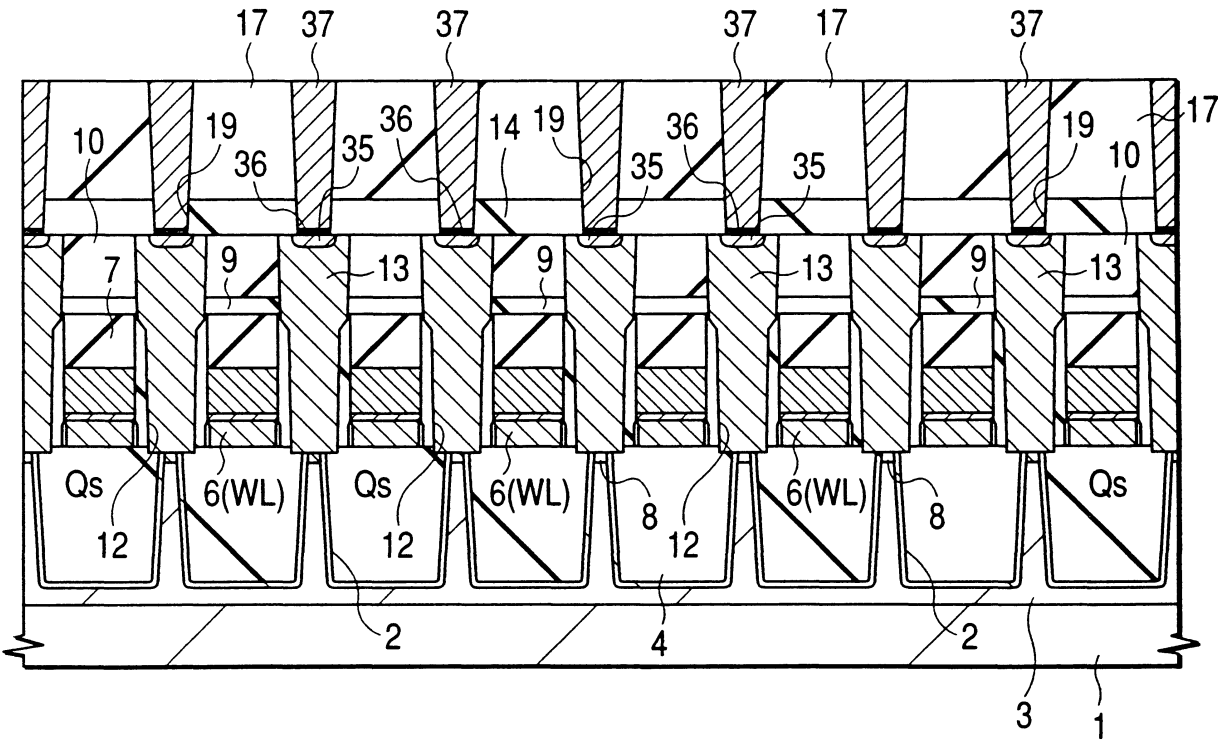
第 75 圖



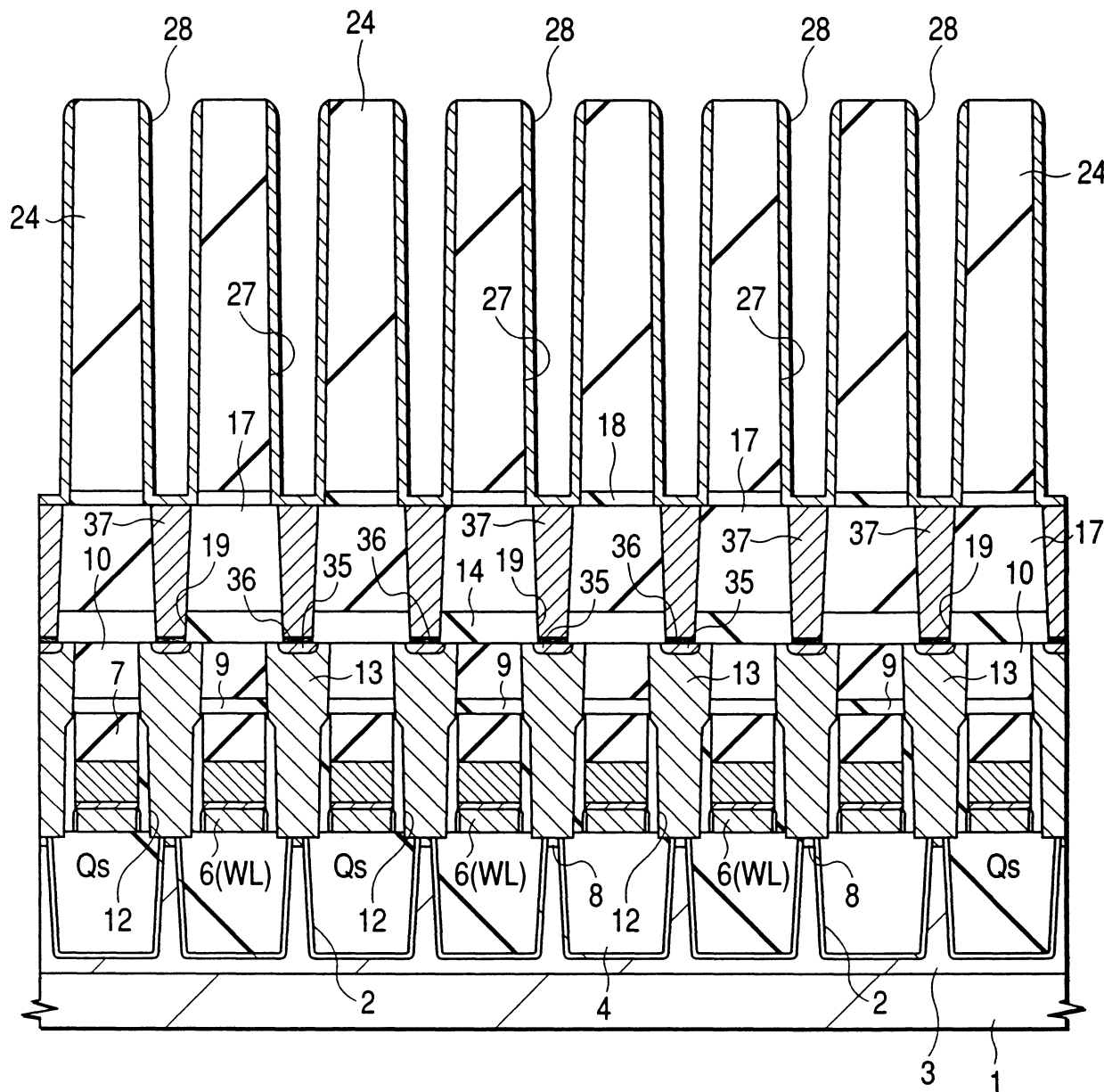
第 76 圖



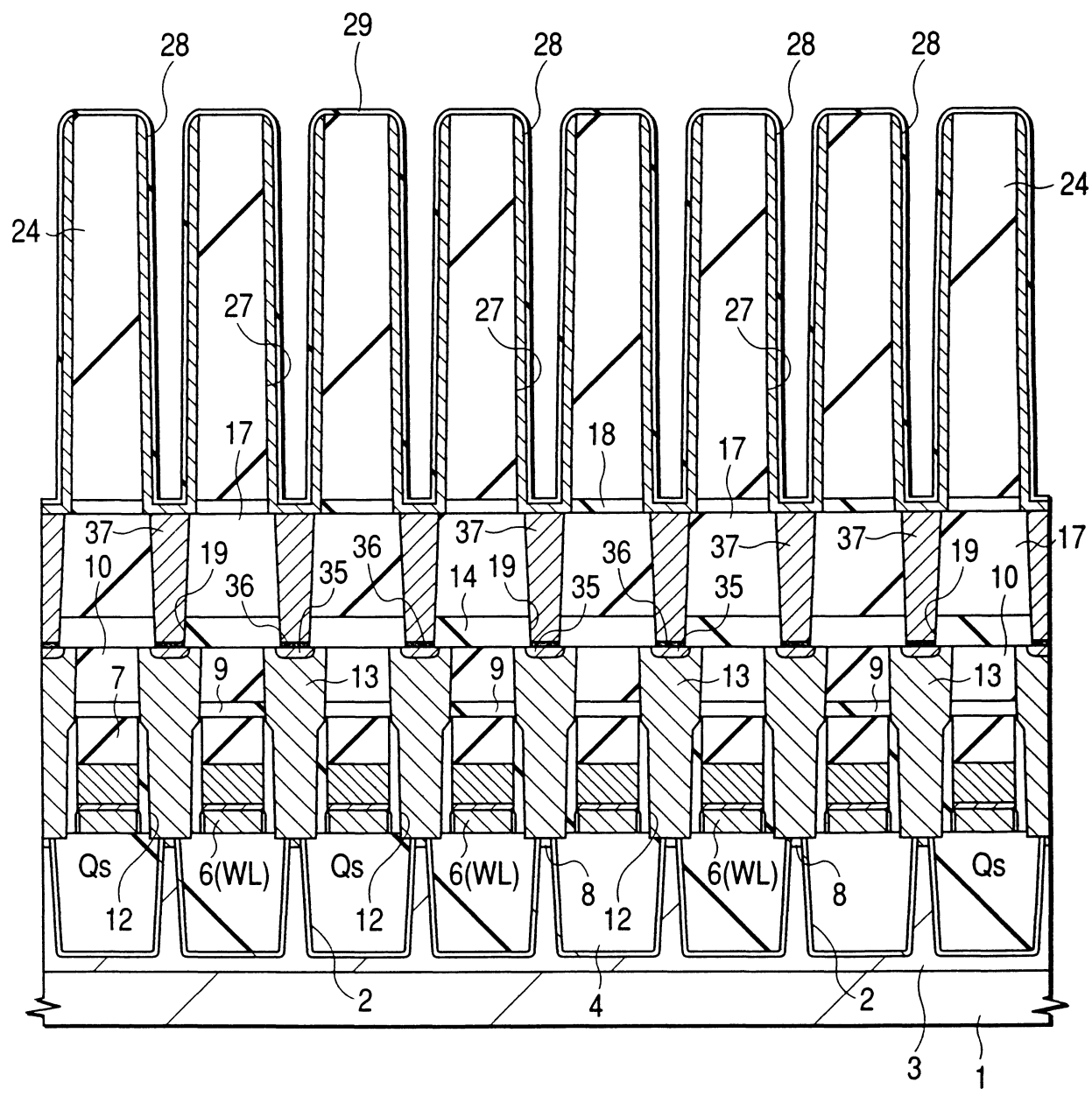
第 77 圖



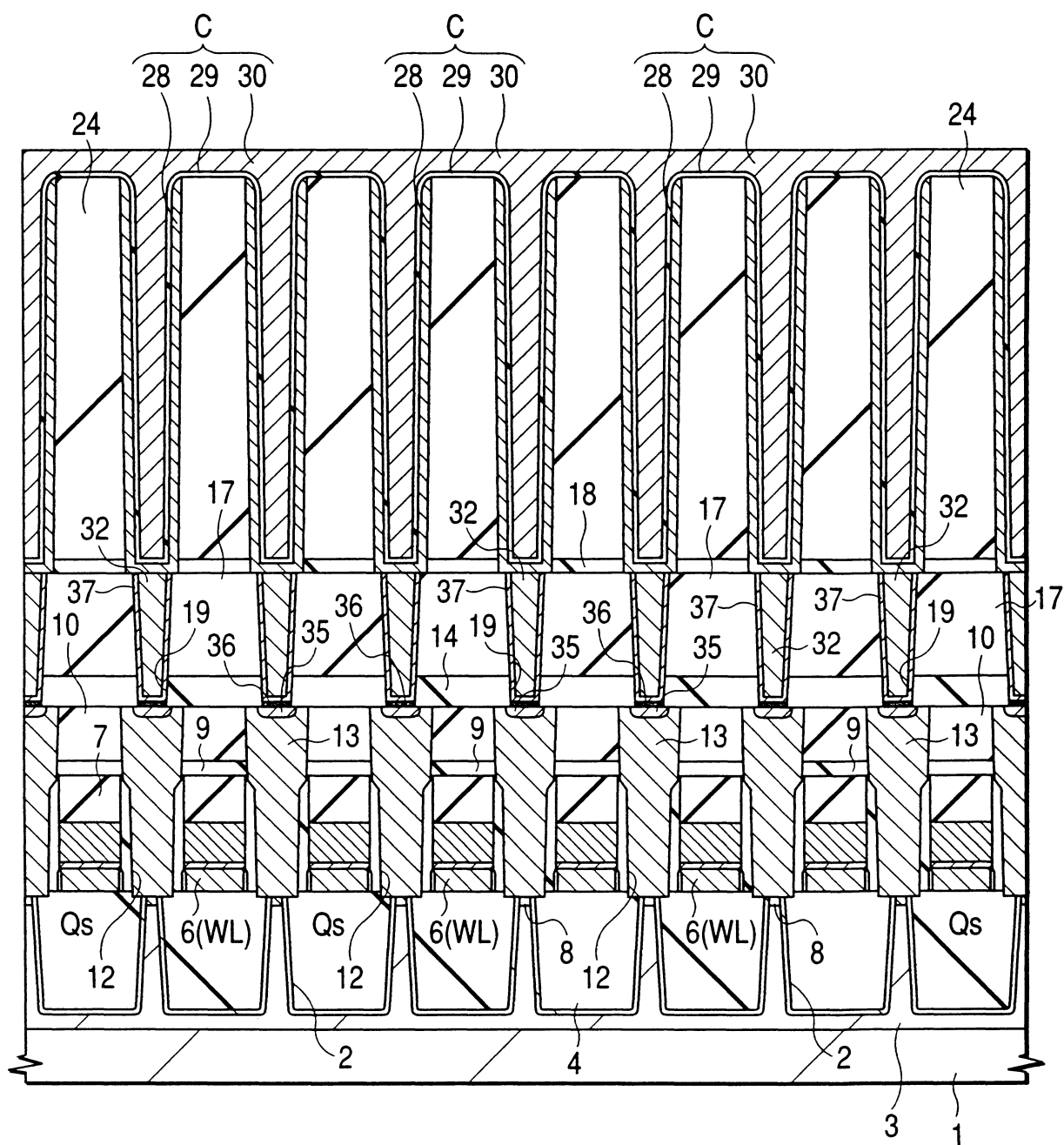
第 79 圖



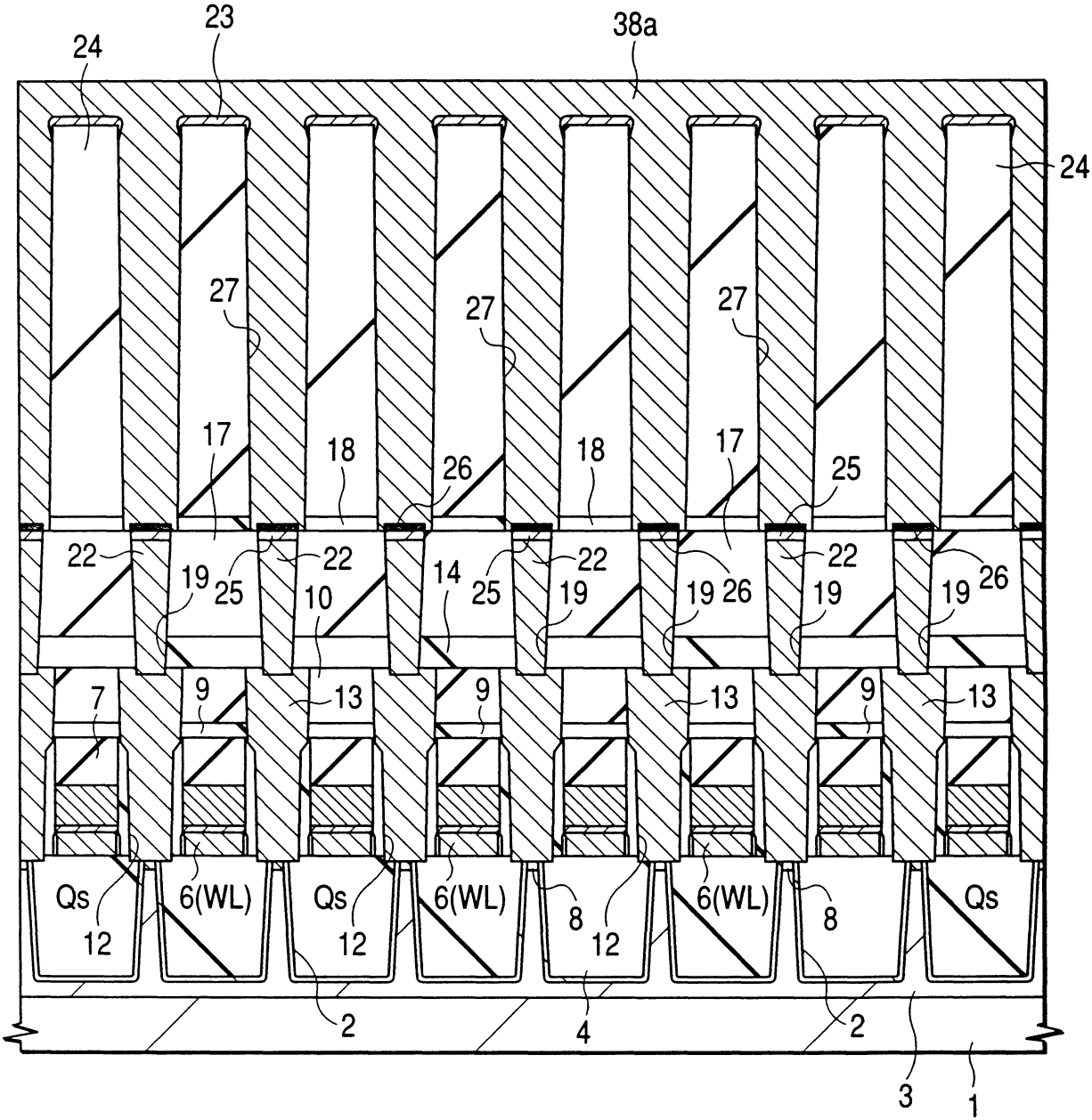
第 80 圖



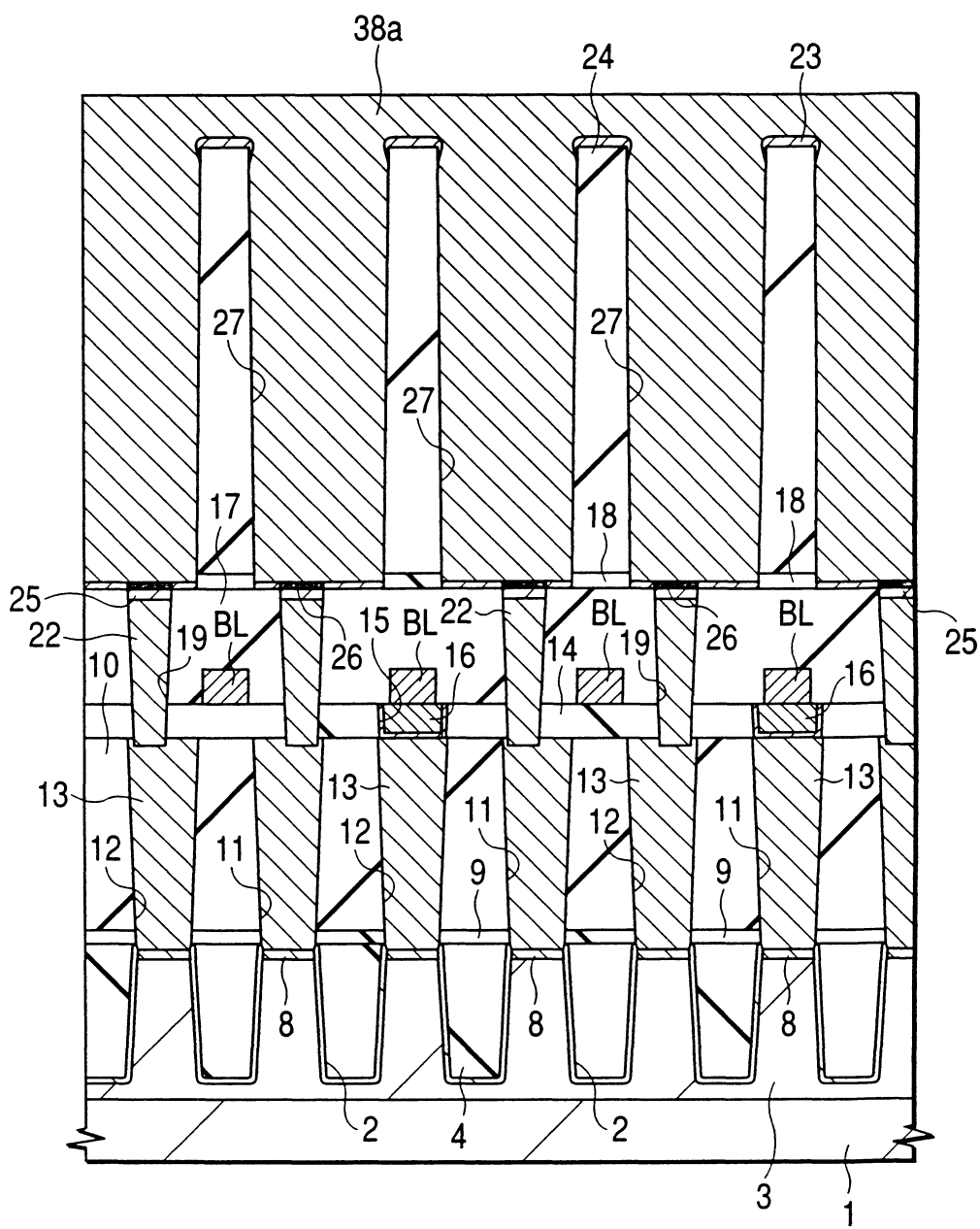
第 82 圖



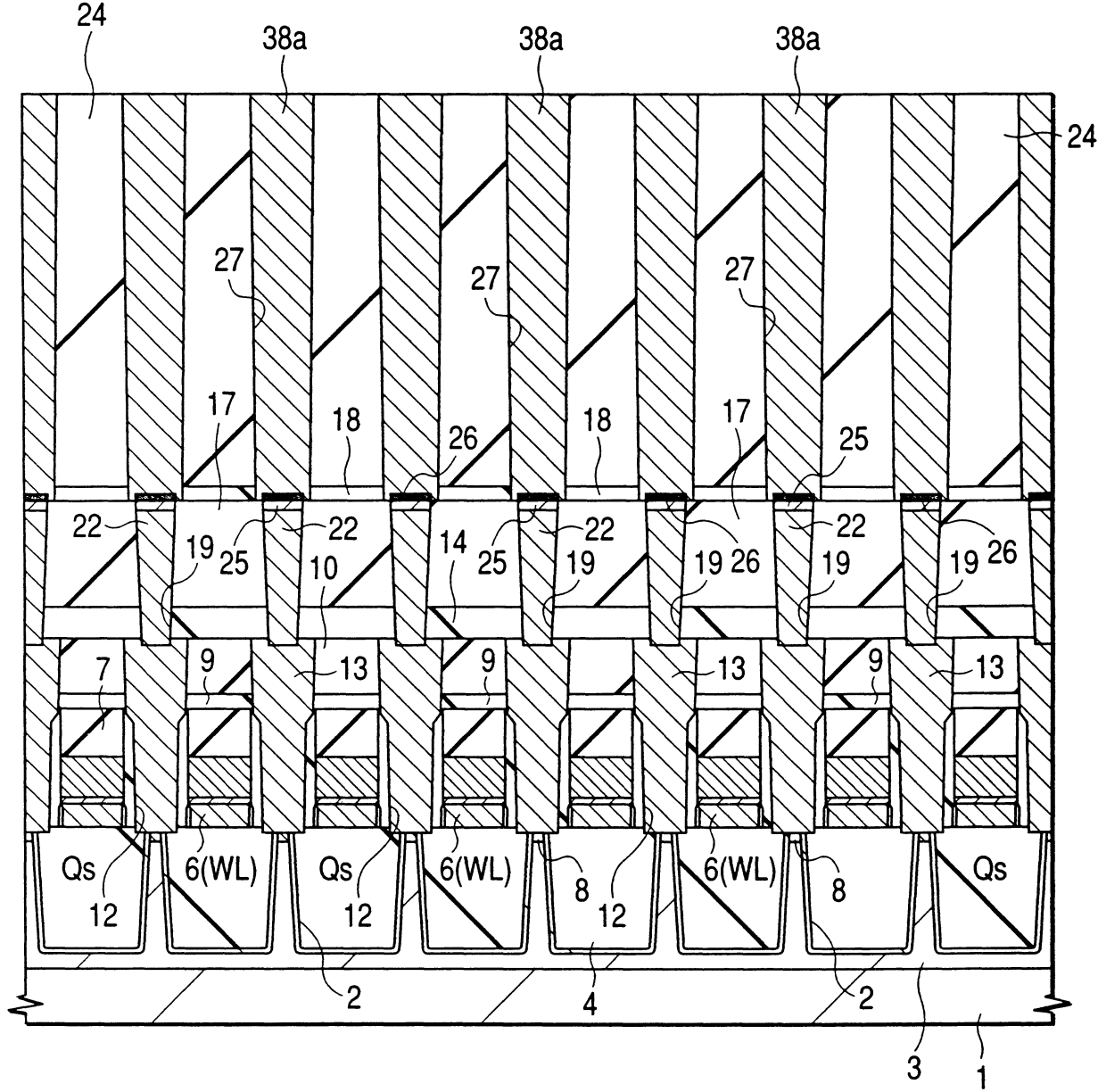
第 83 圖



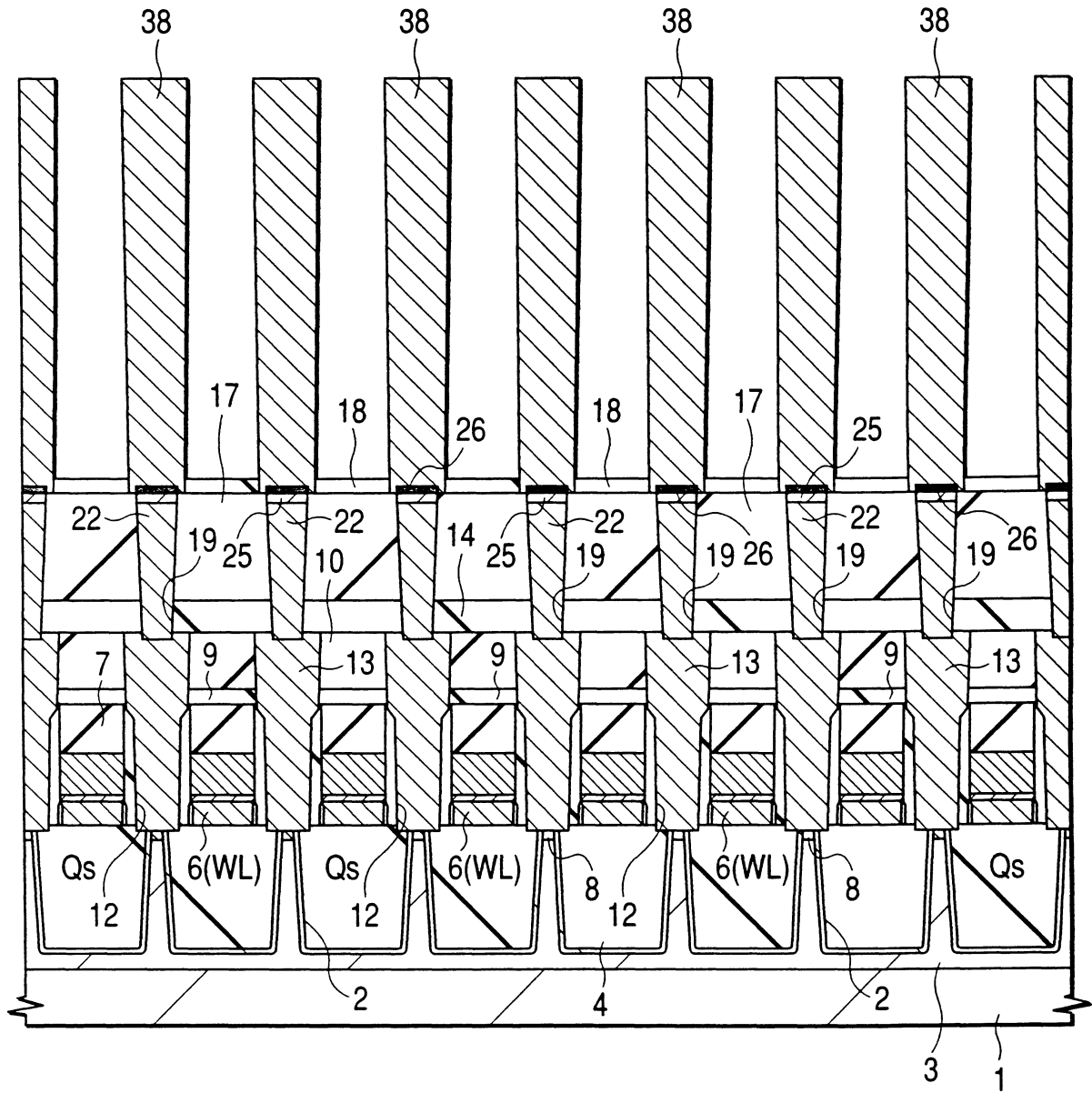
第 84 圖



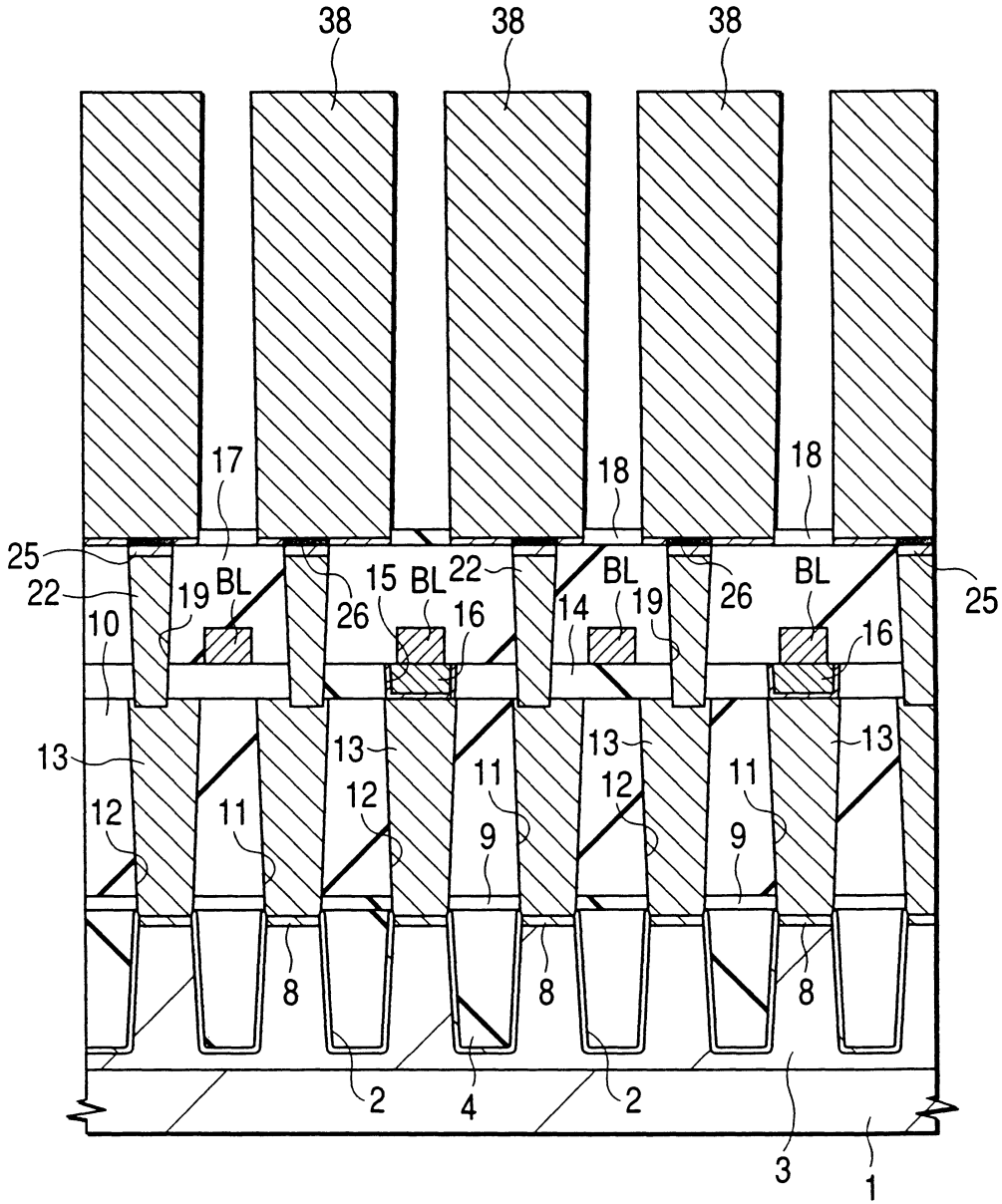
第 85 圖



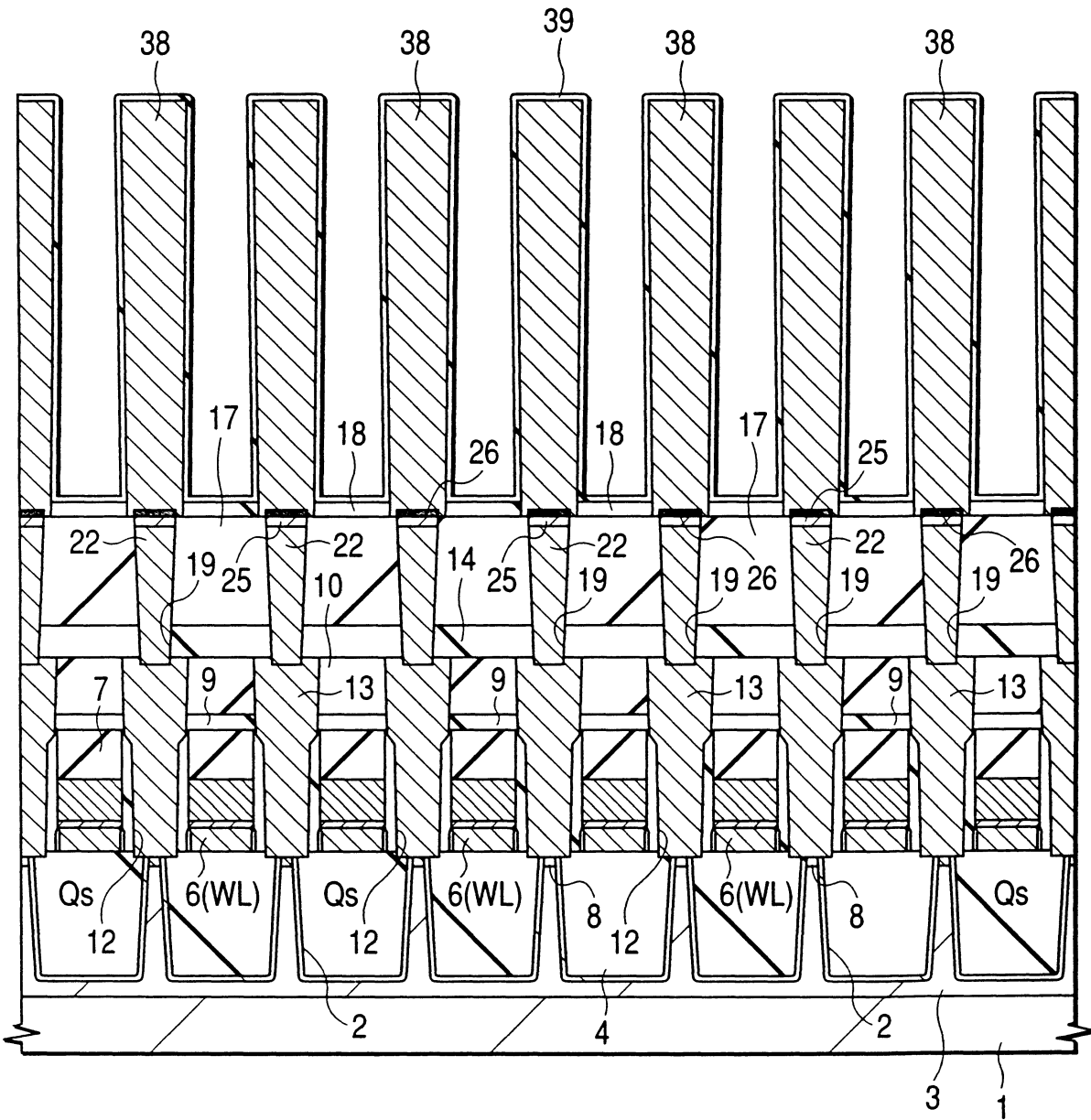
第 87 圖



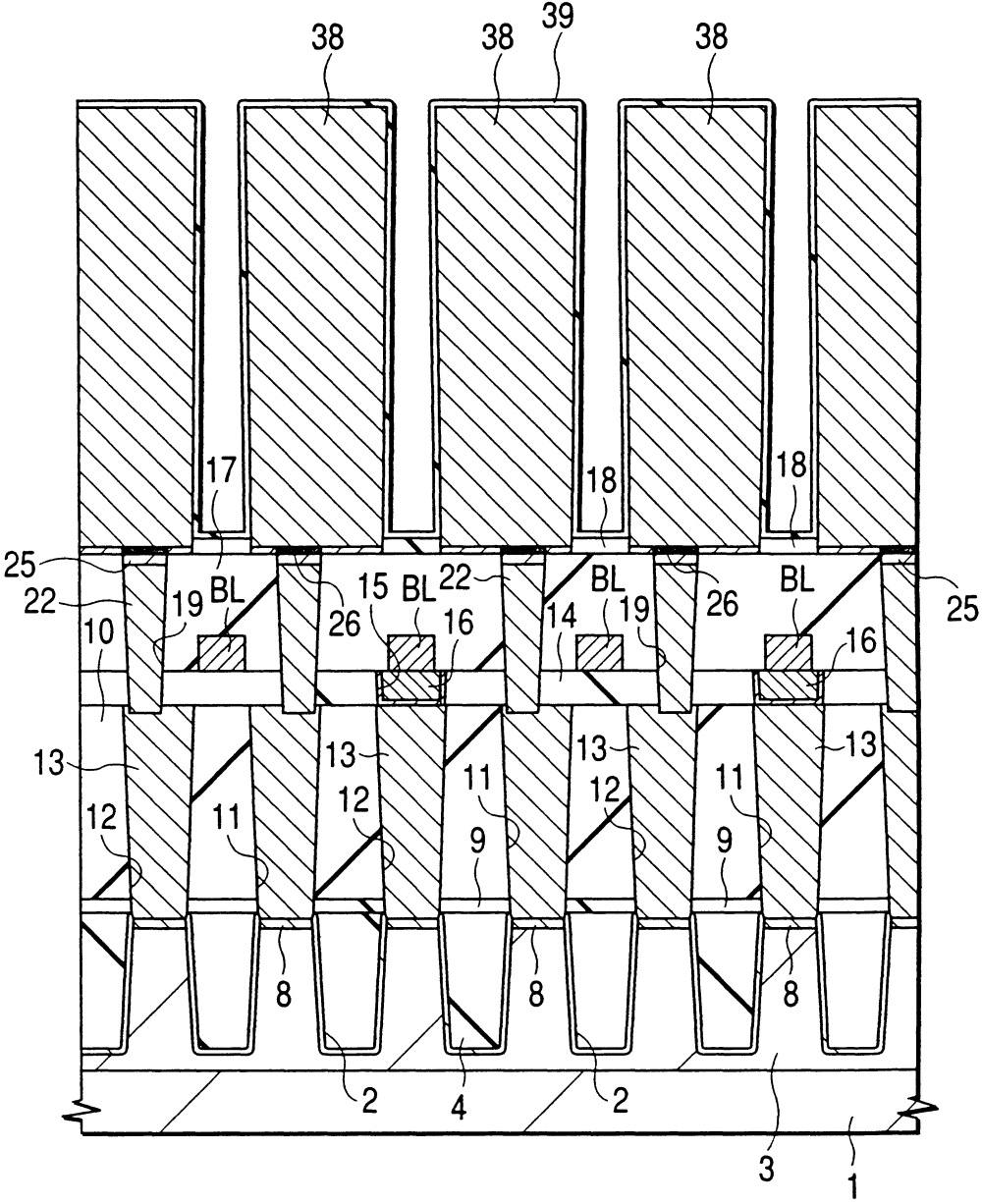
第 88 圖



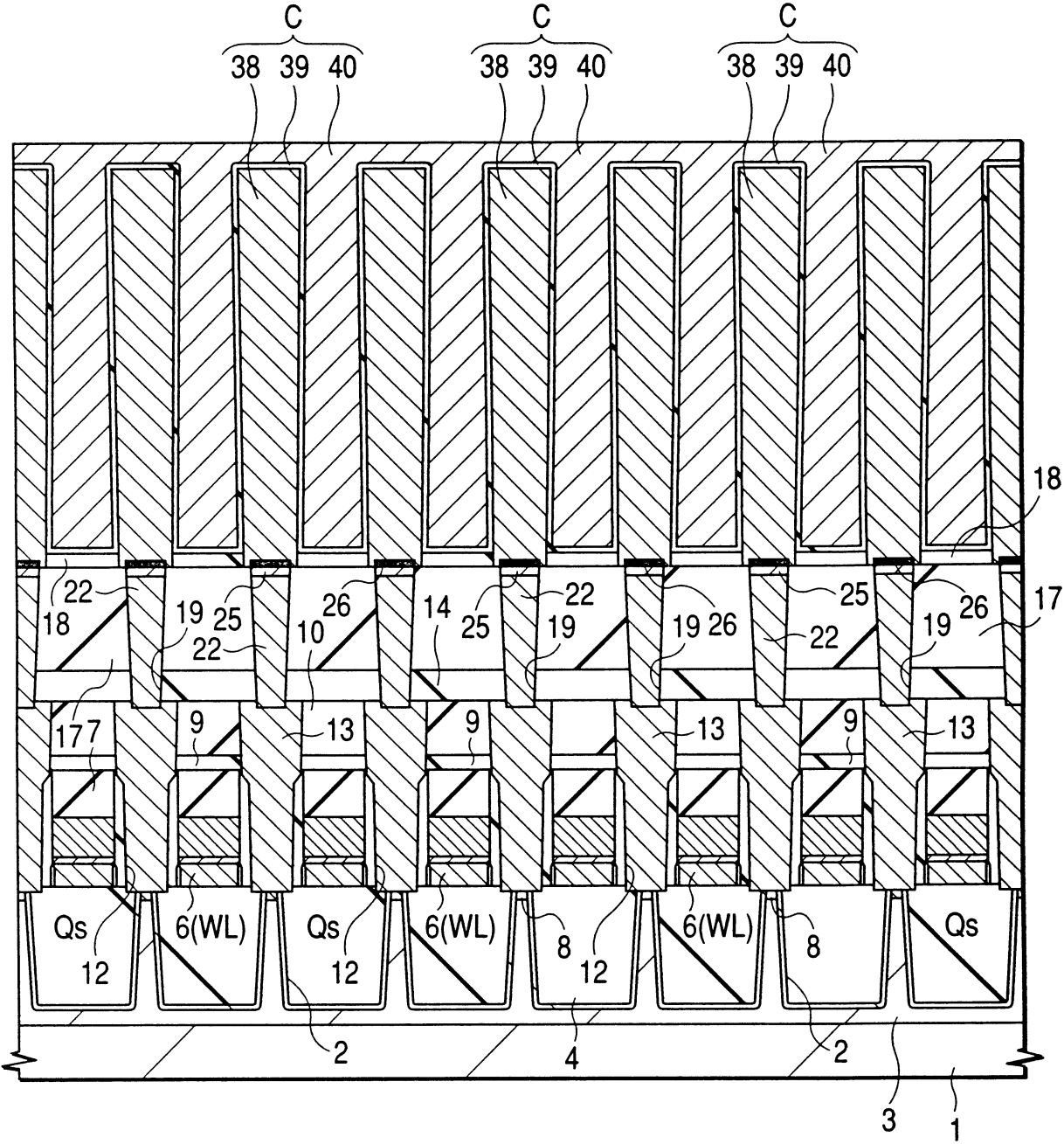
第 89 圖



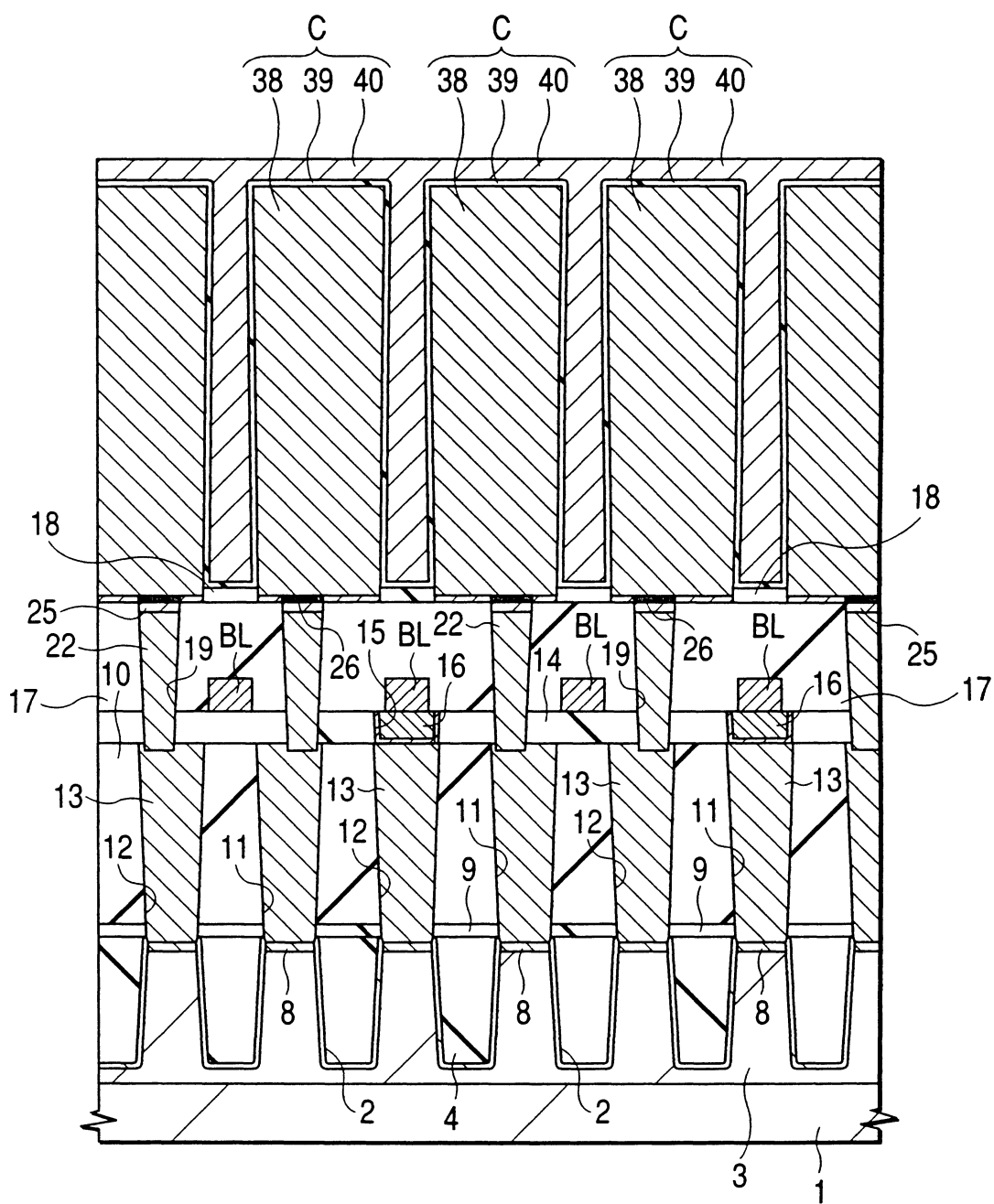
第 90 圖



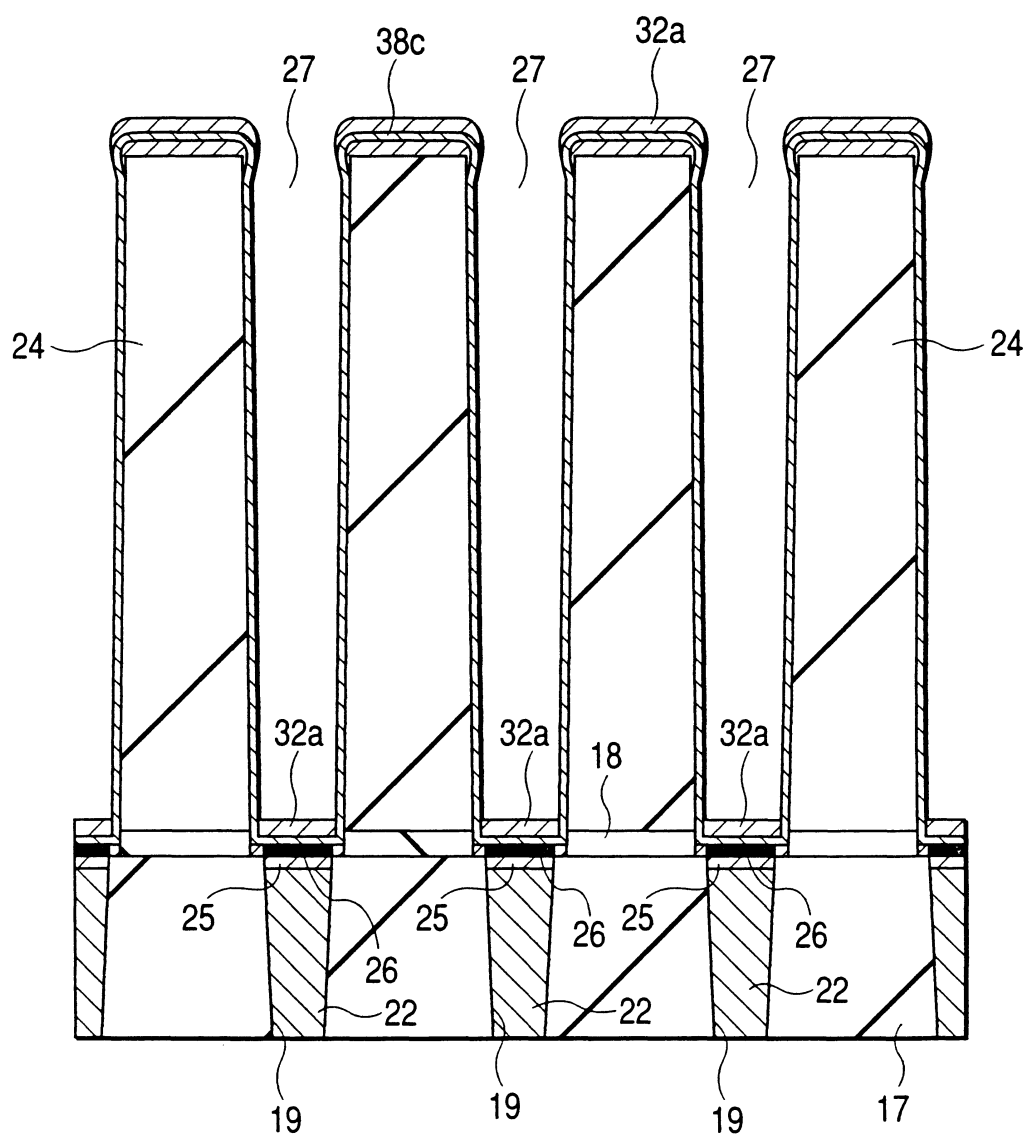
第 91 圖



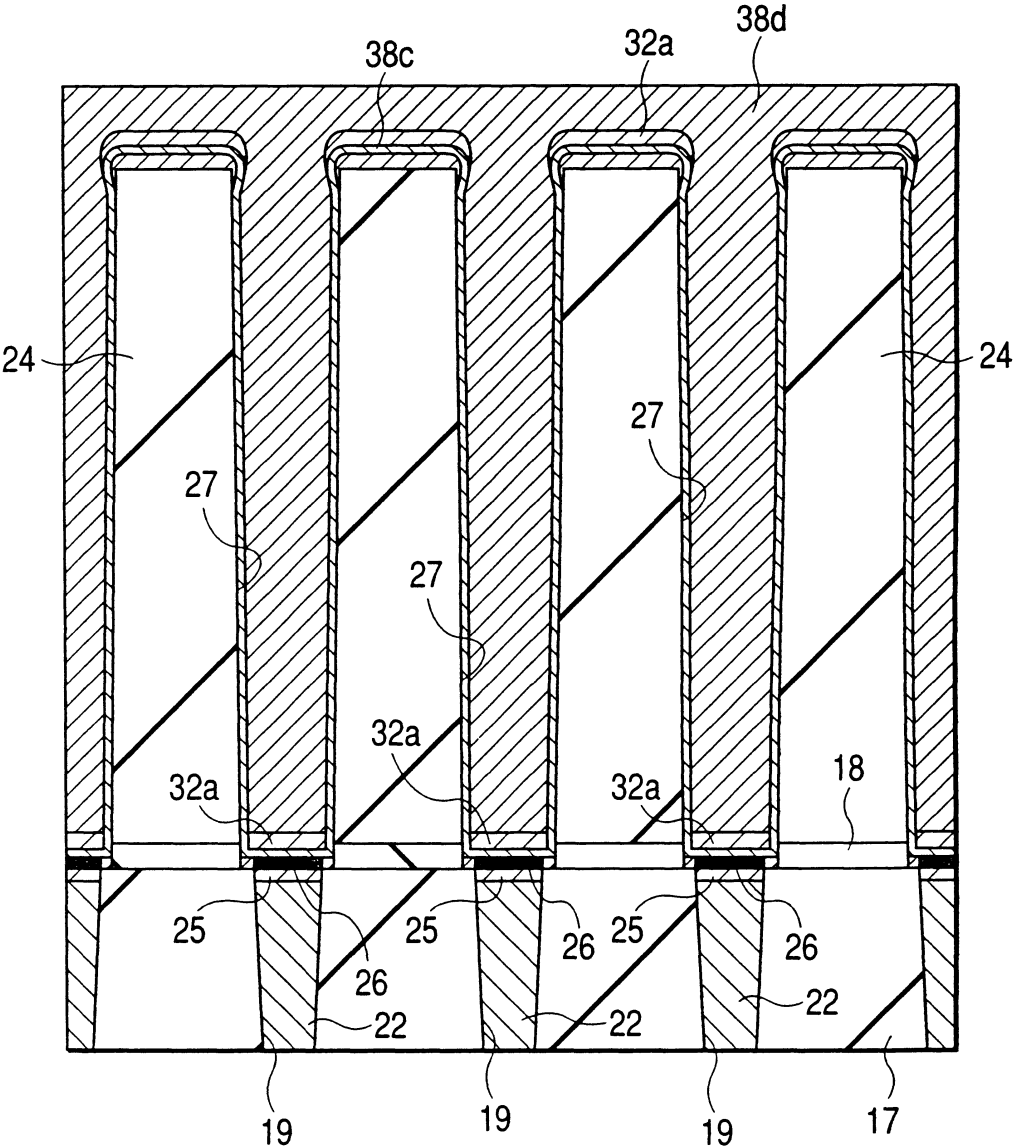
第 92 圖



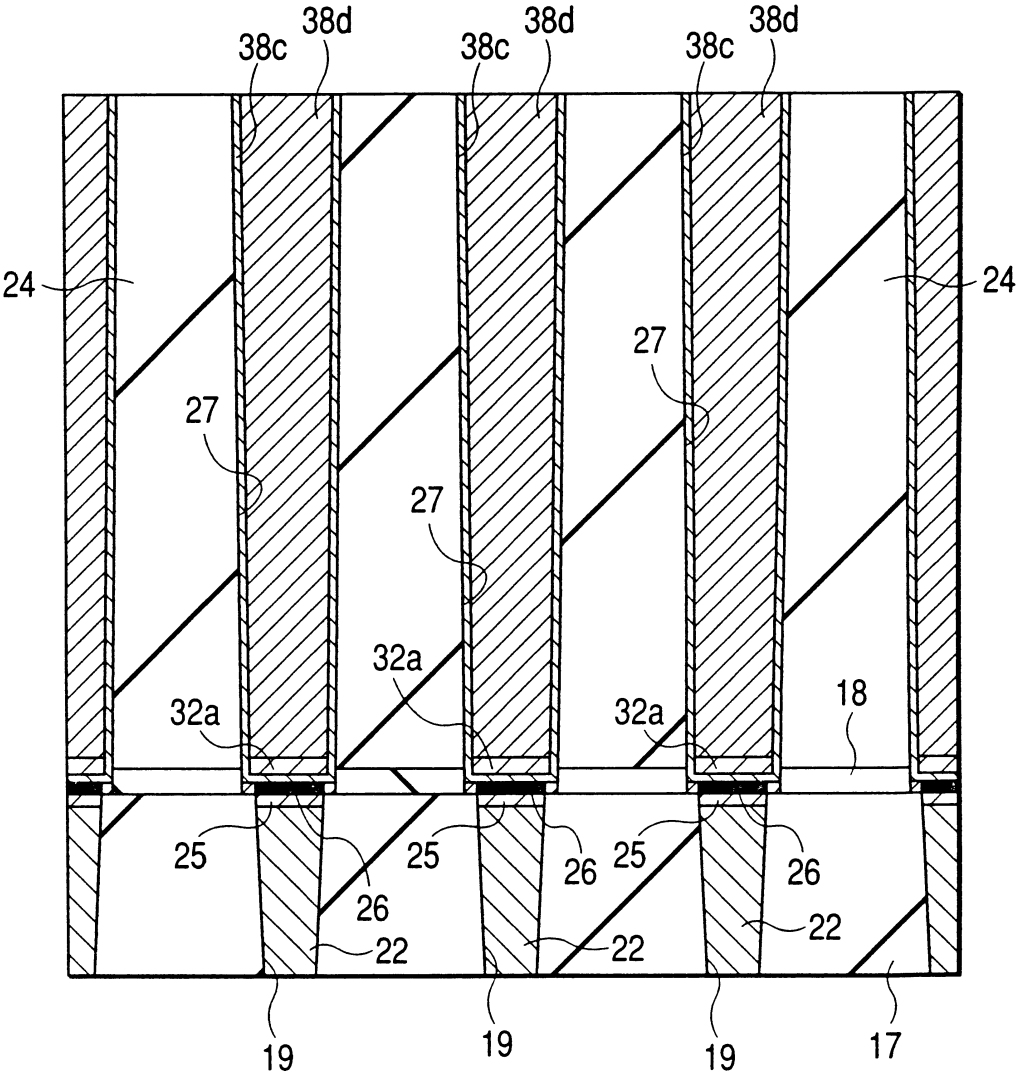
第 94 圖



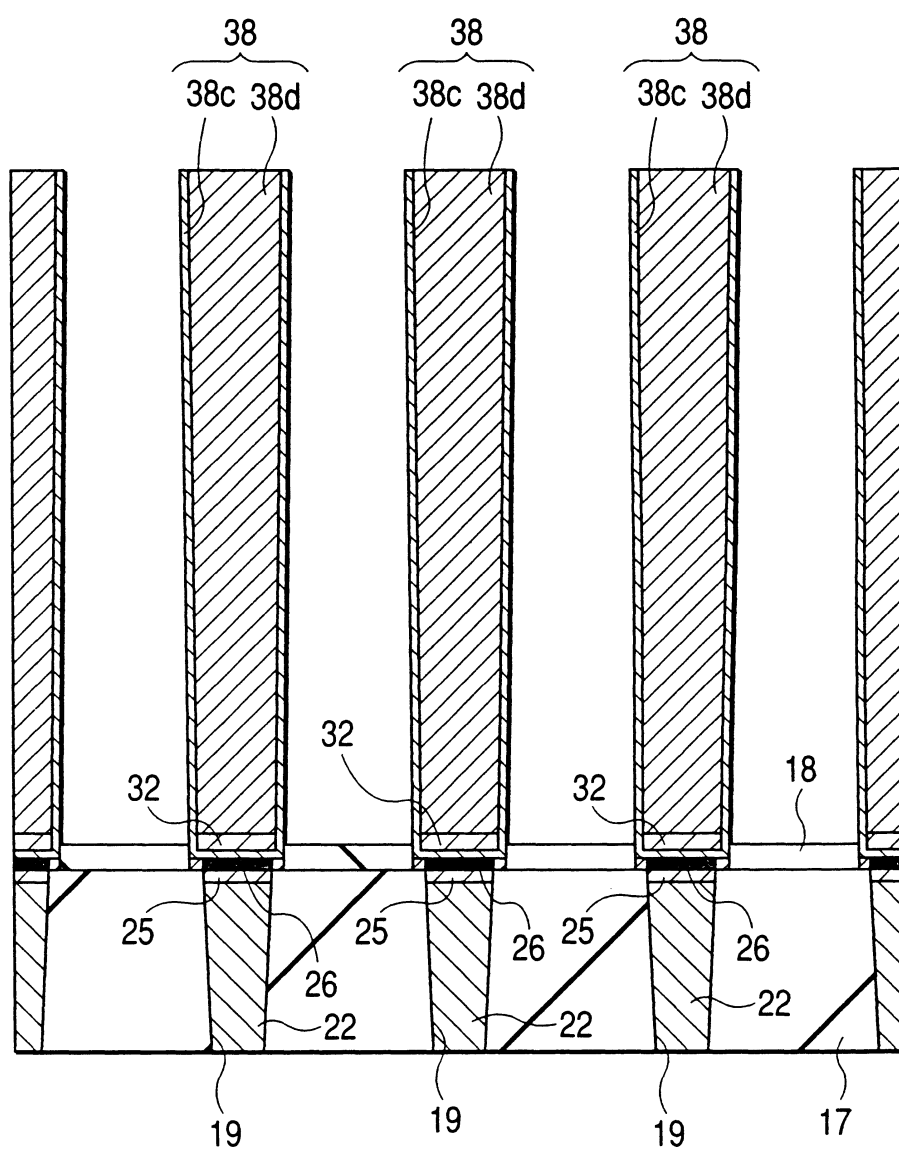
第 95 圖



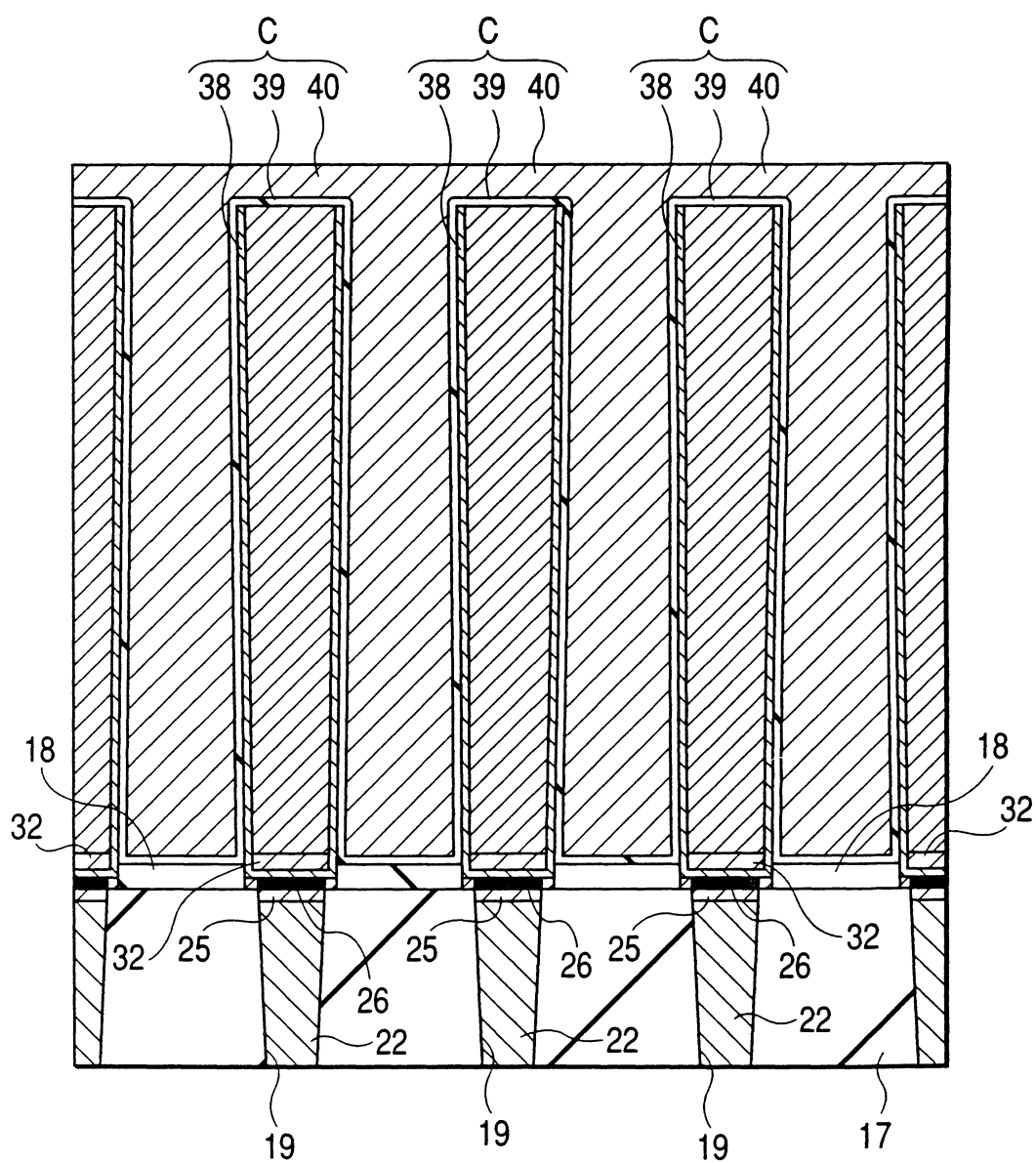
第 96 圖



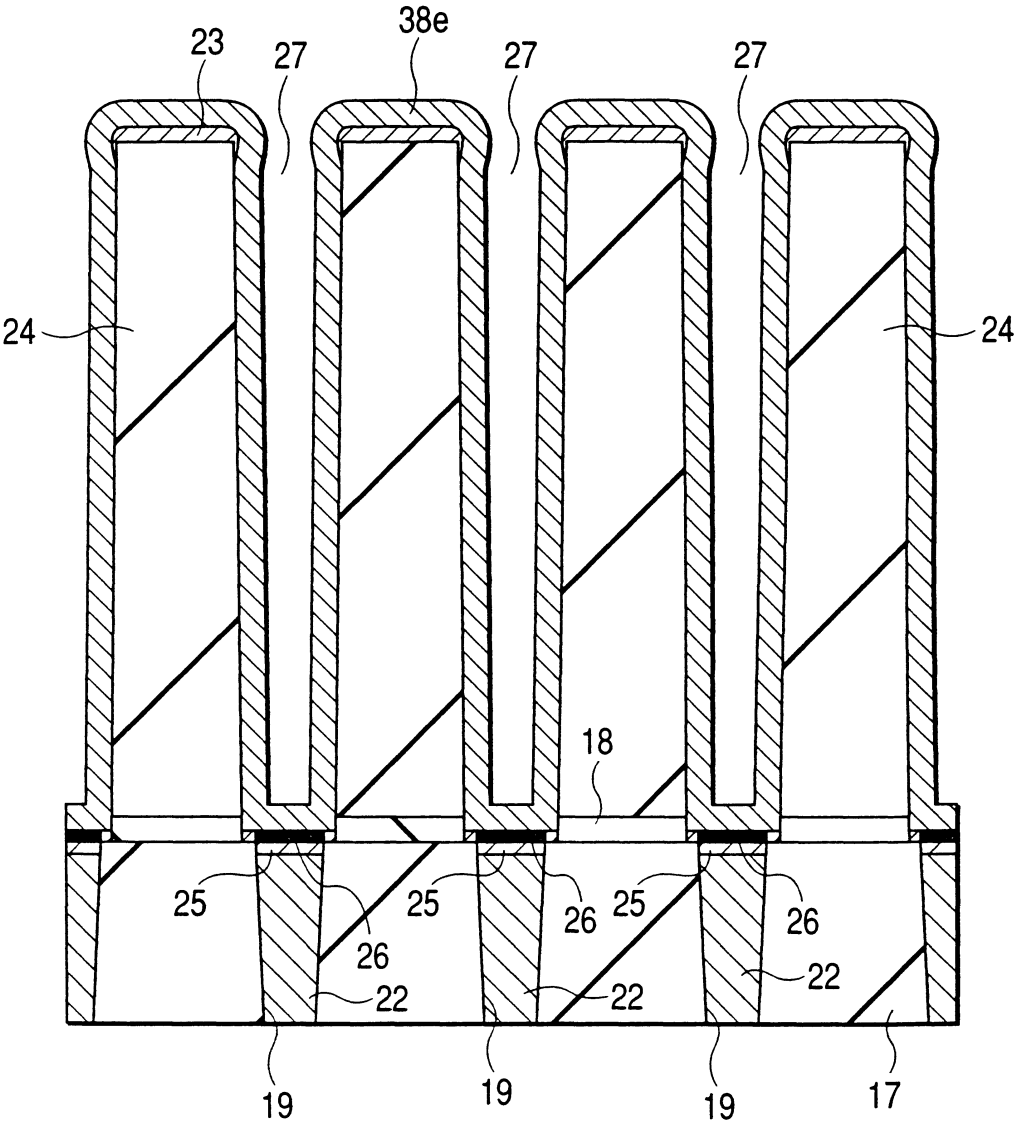
第 97 圖



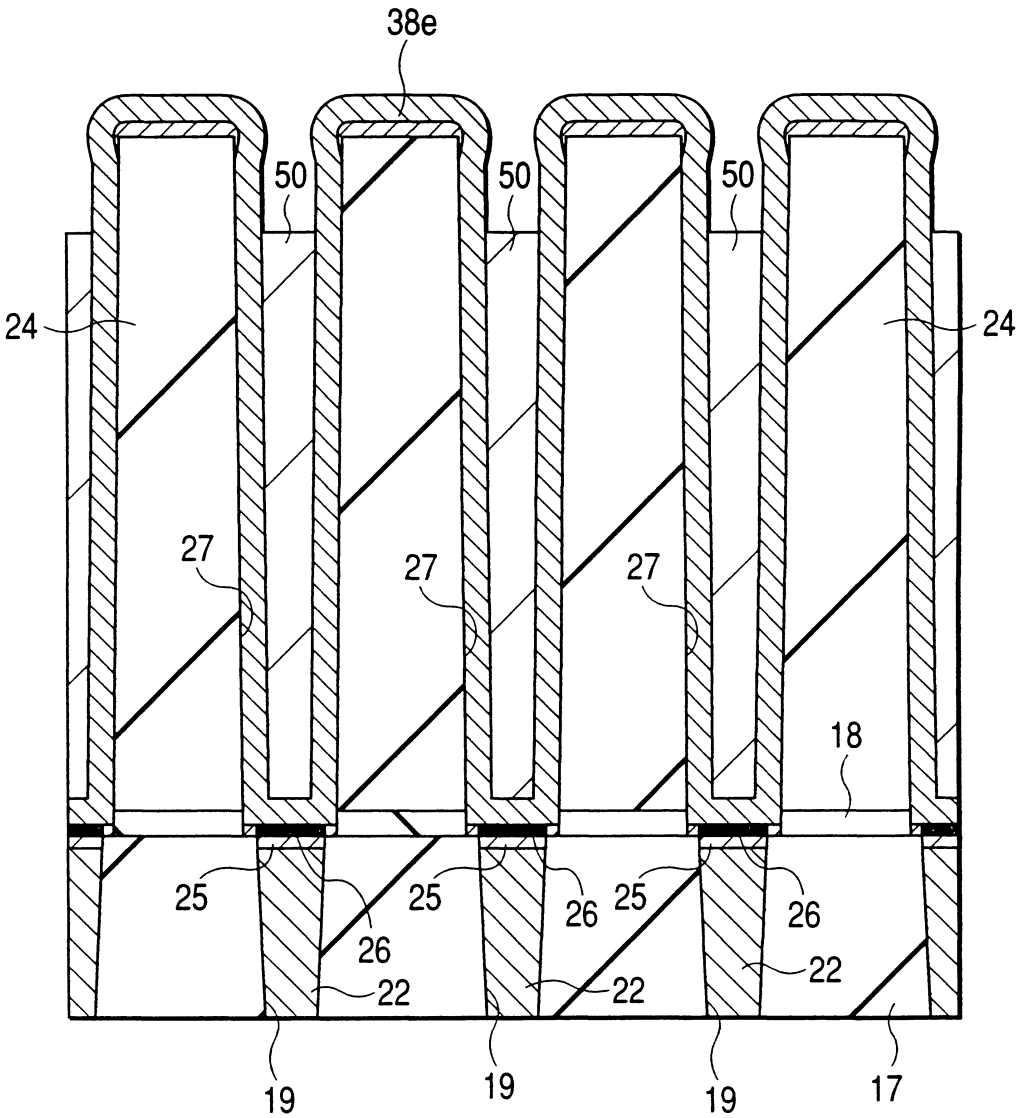
第 98 圖



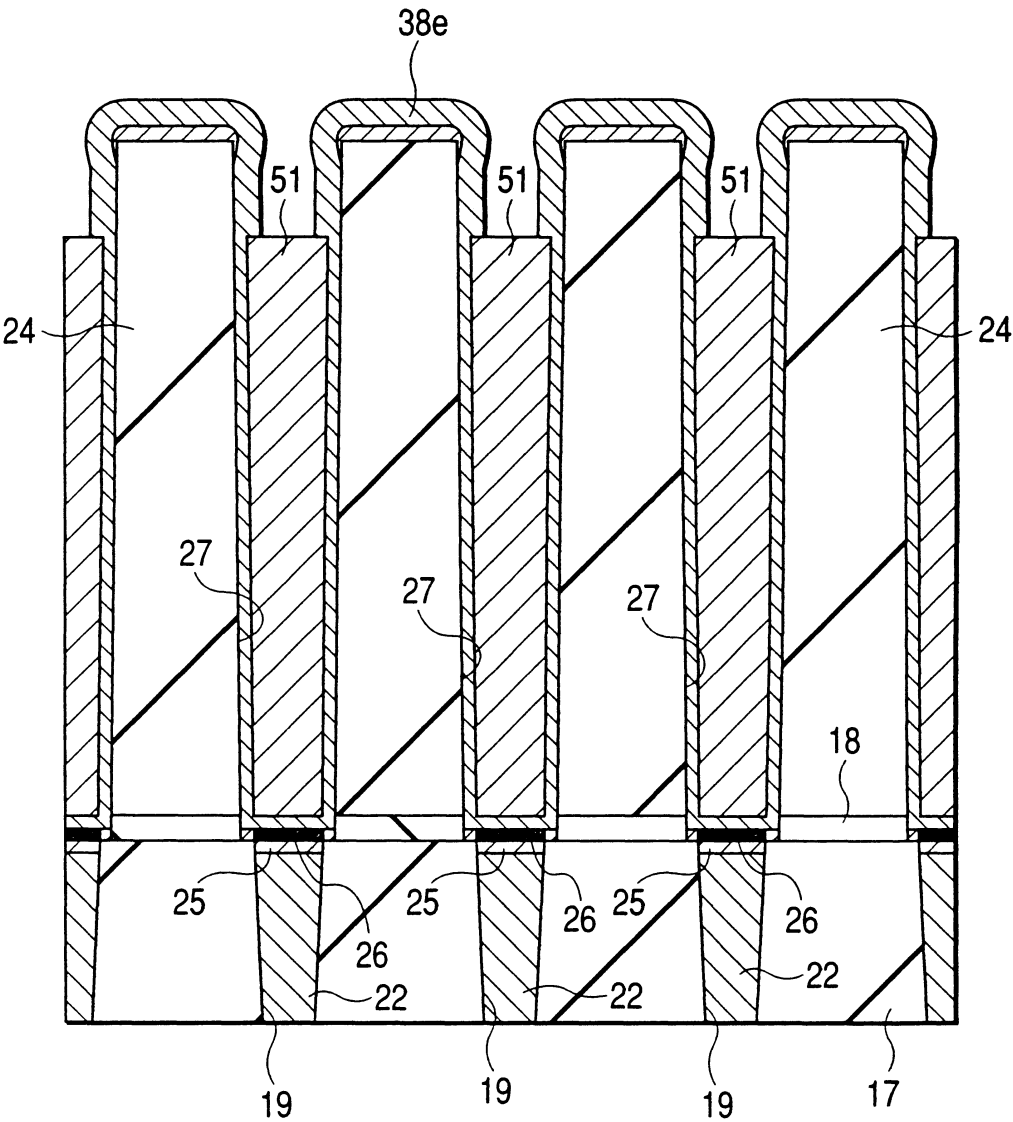
第 99 圖



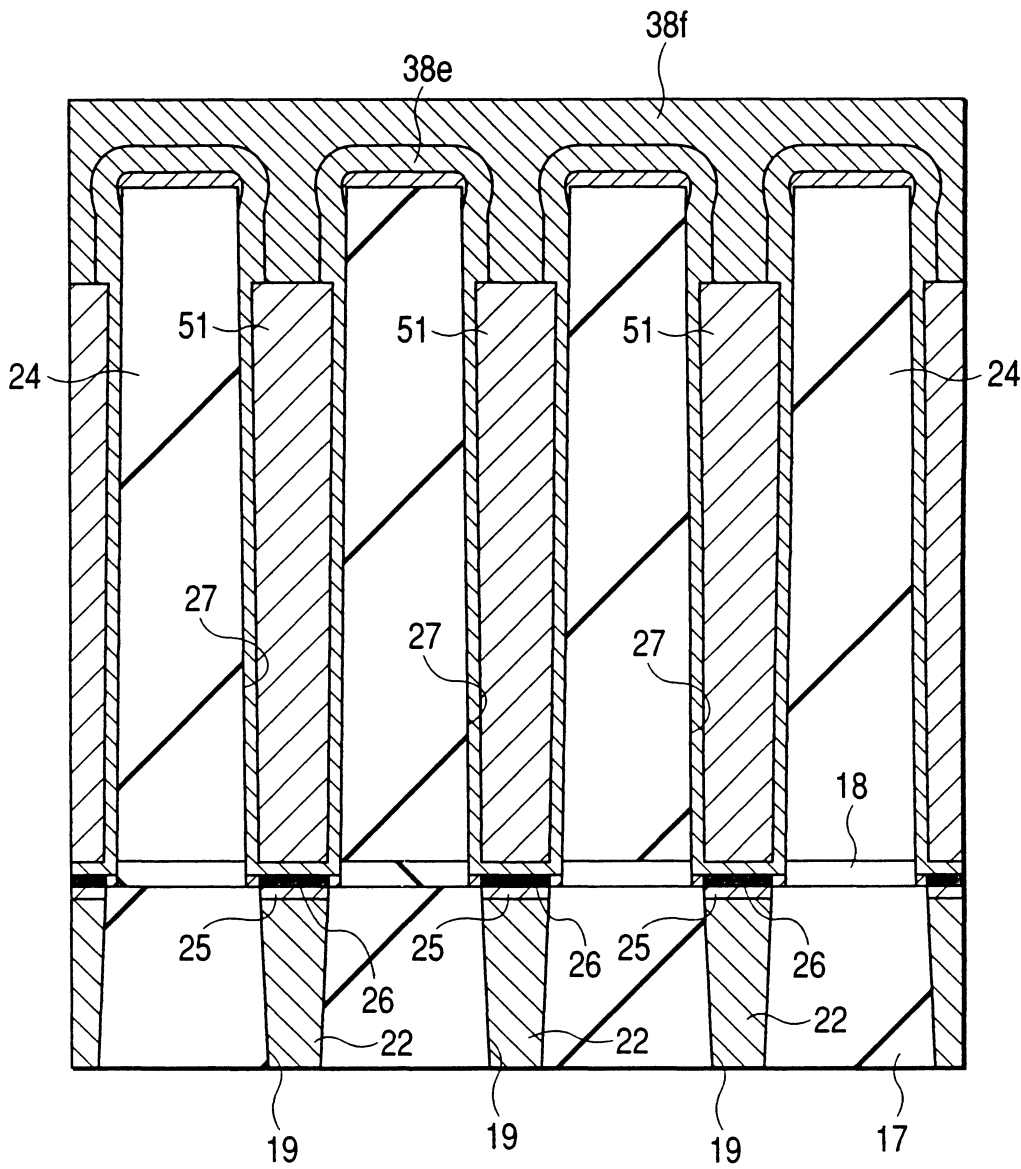
第 100 圖



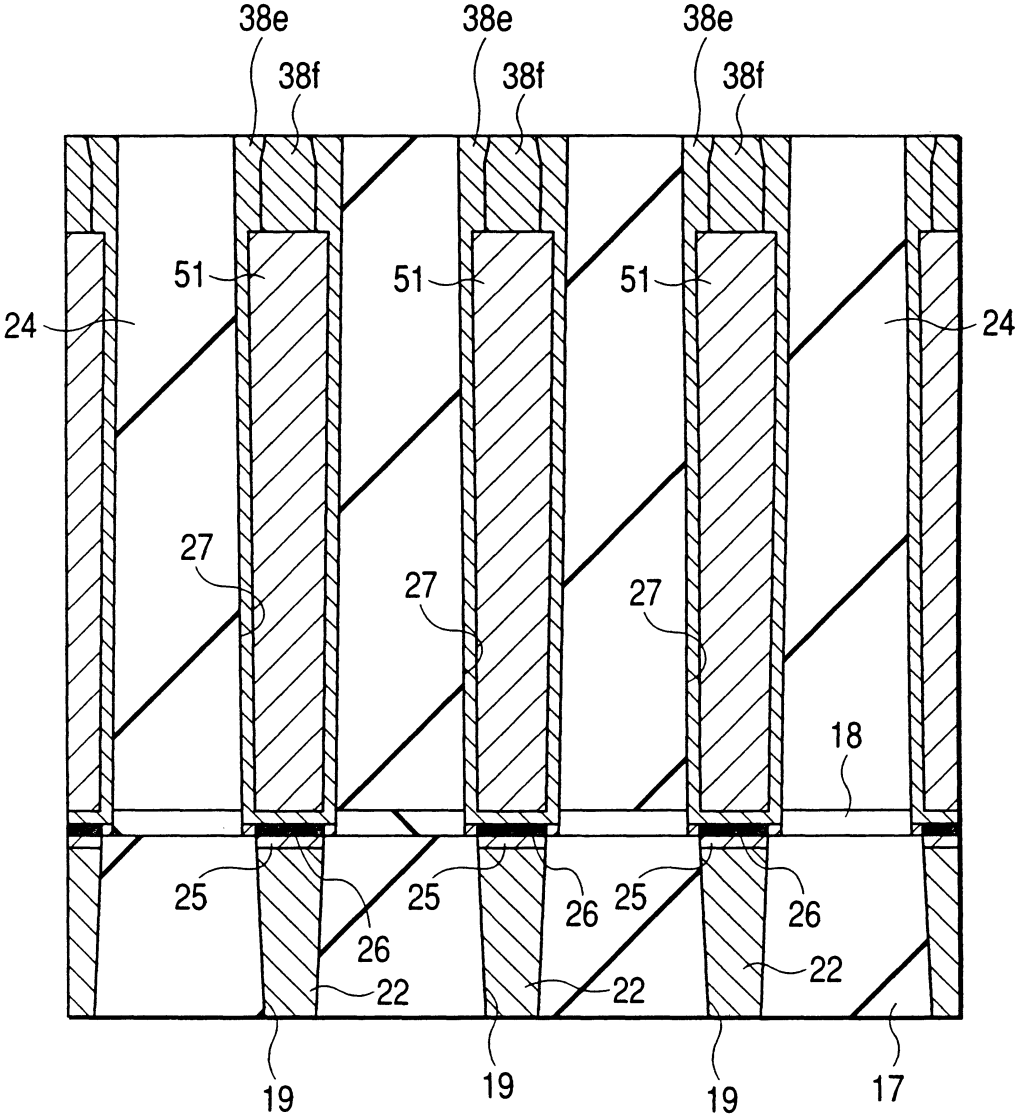
第 101 圖



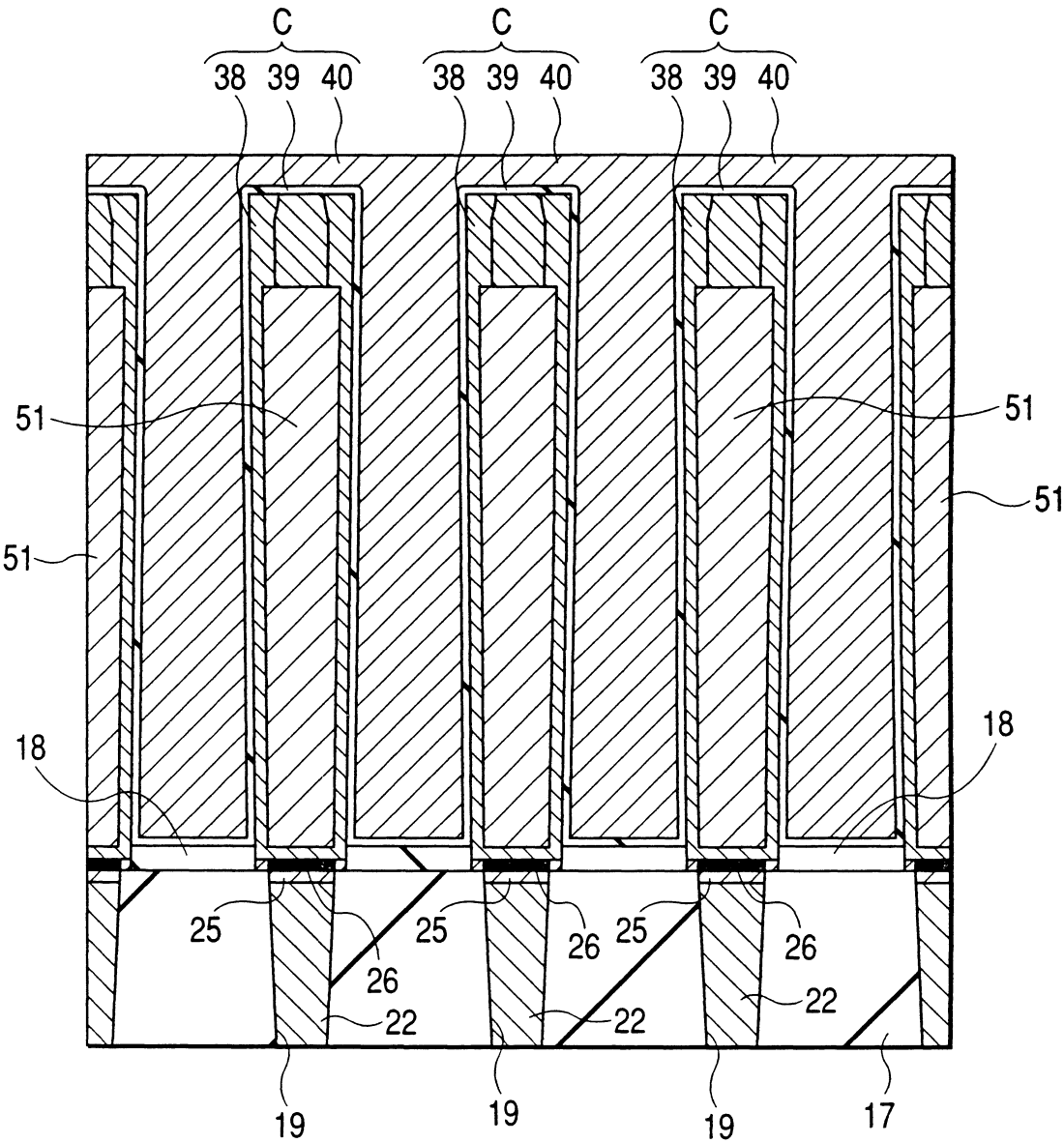
第 102 圖



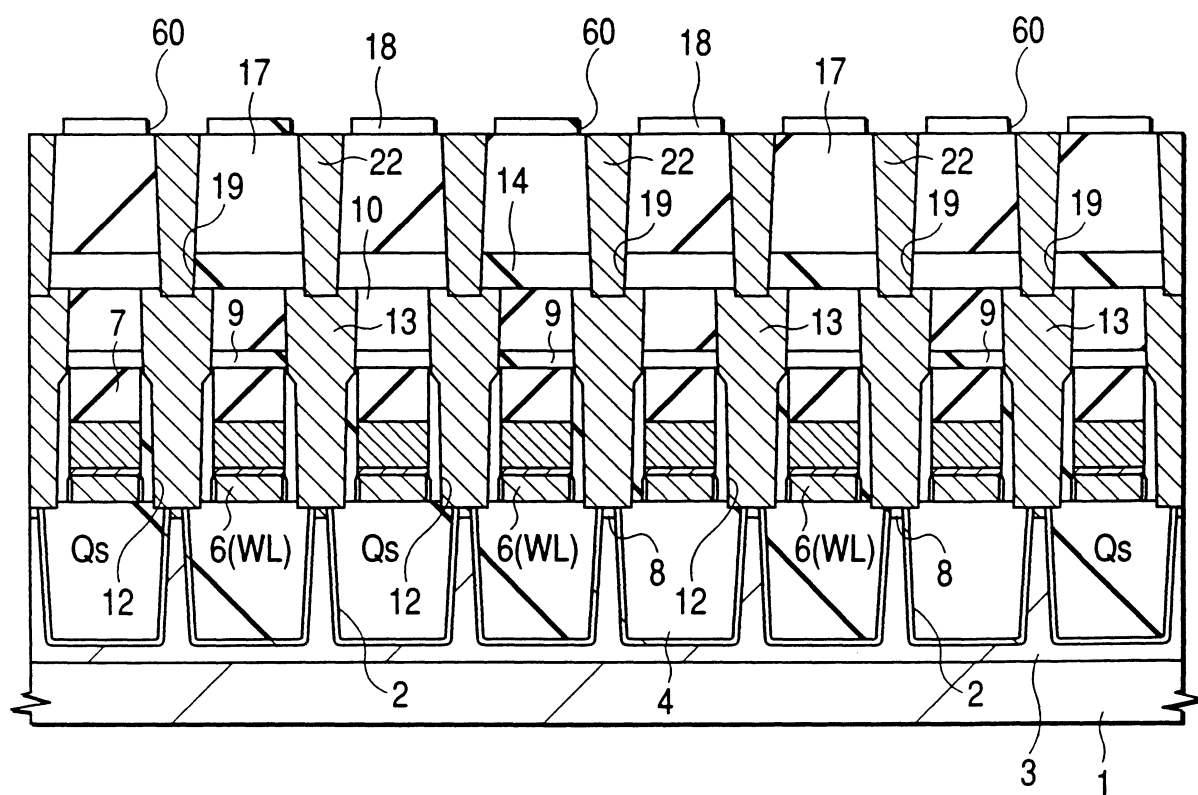
第 103 圖



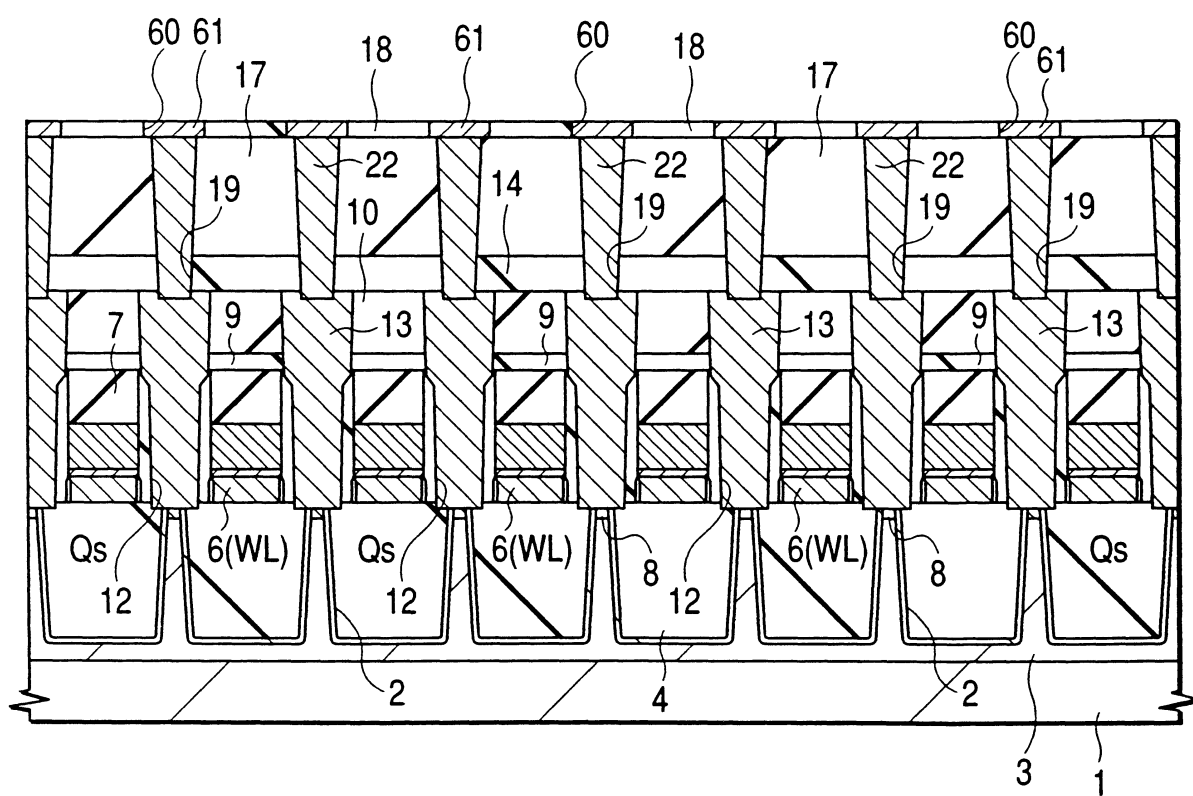
第 105 圖



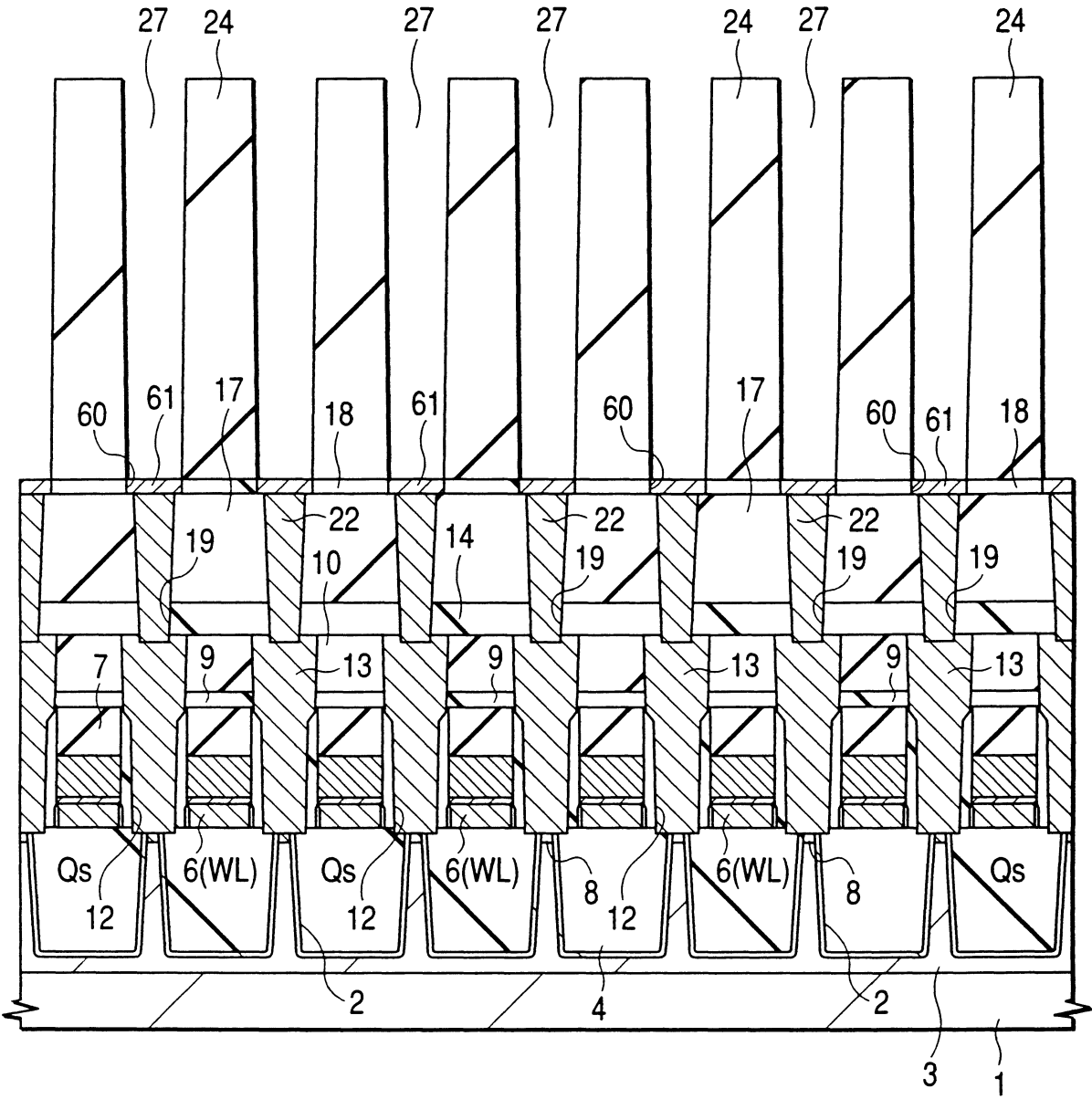
第 106 圖



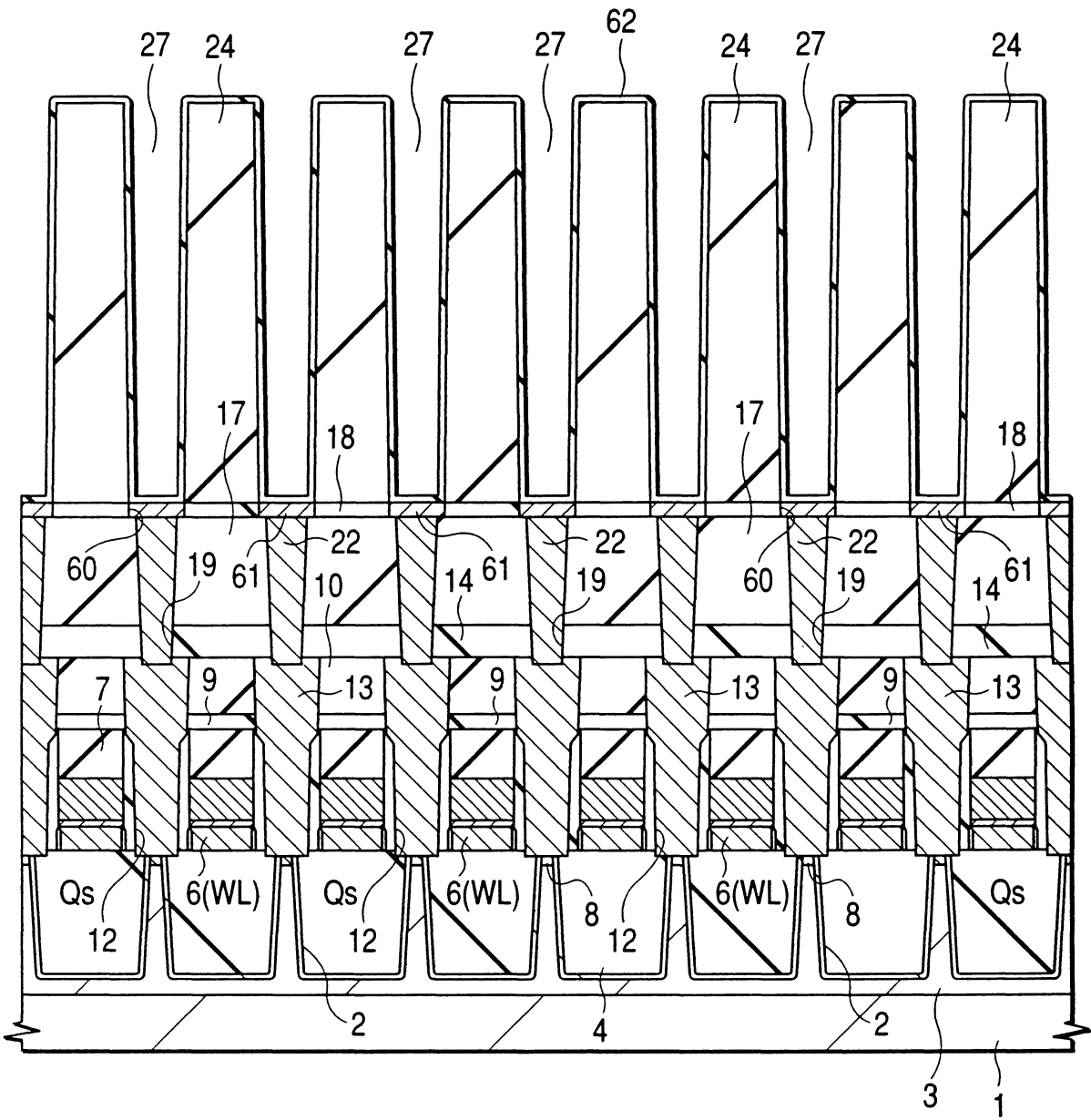
第 107 圖



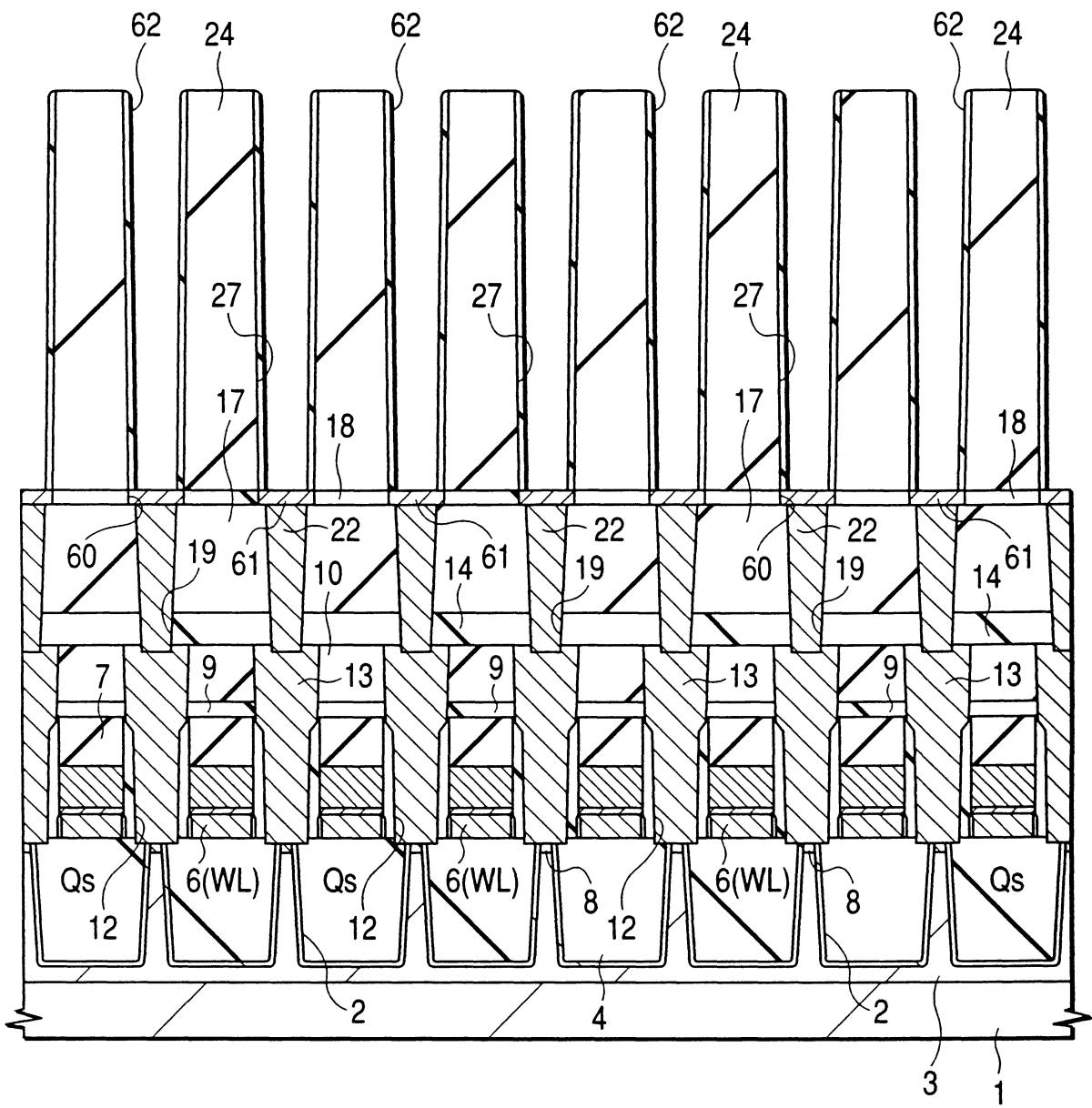
第 108 圖



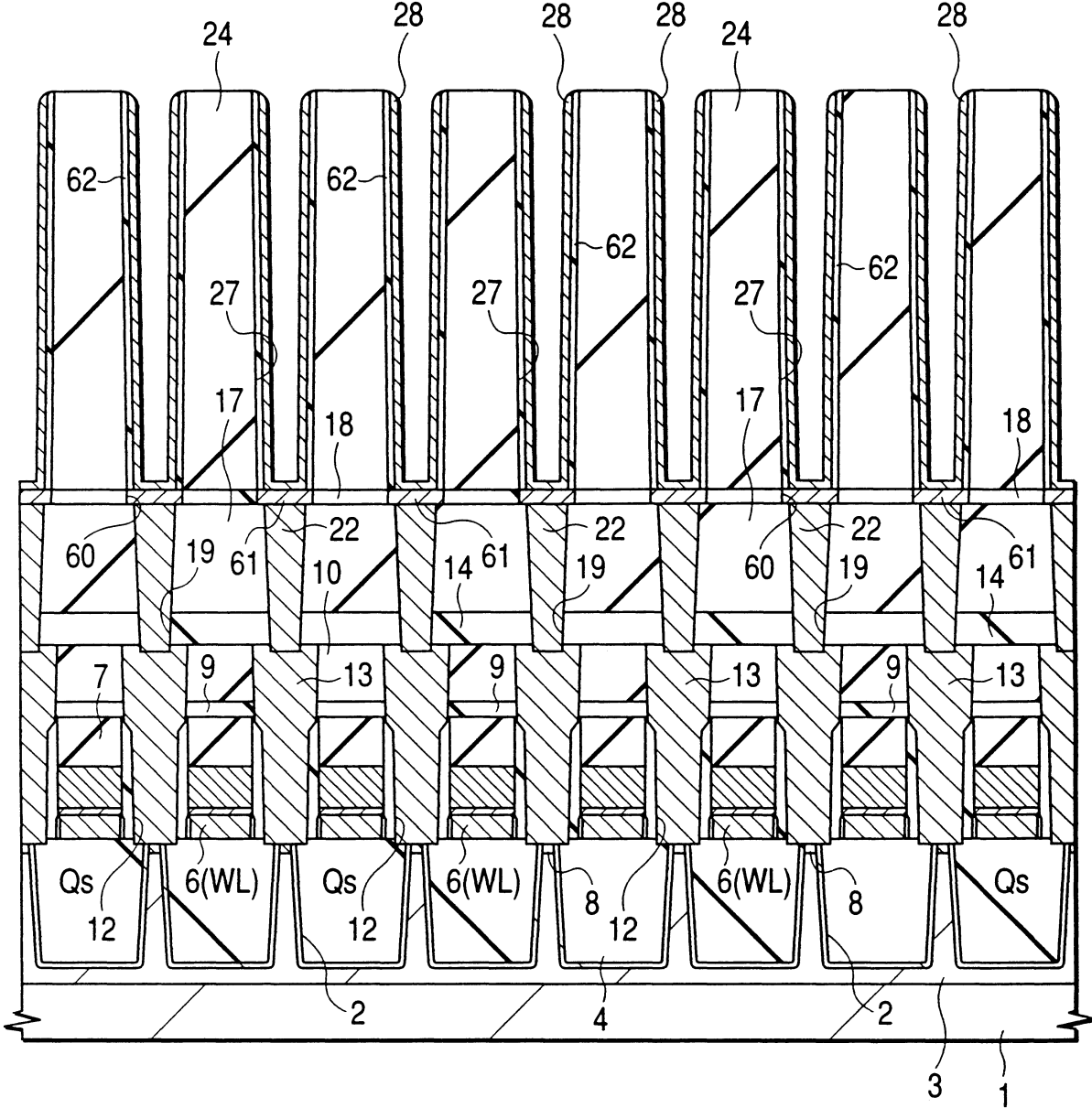
第 109 圖



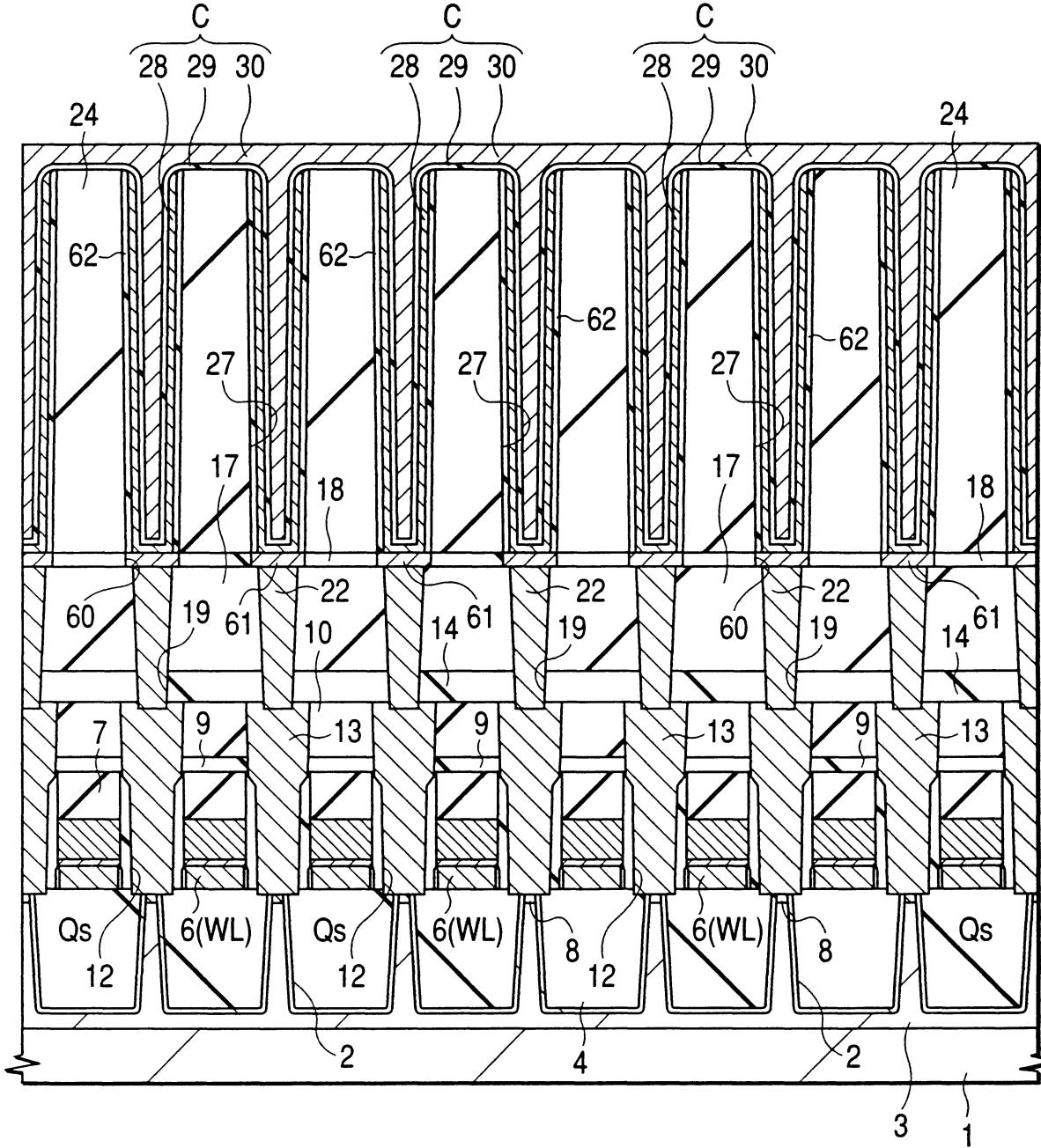
第 110 圖



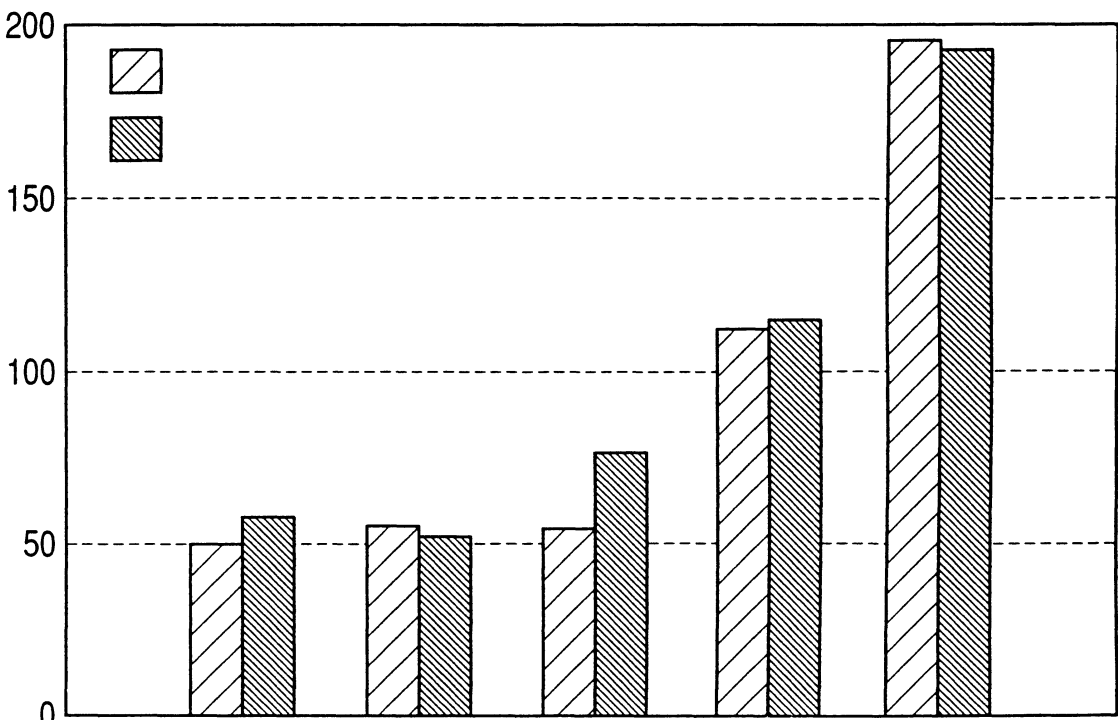
第 111 圖



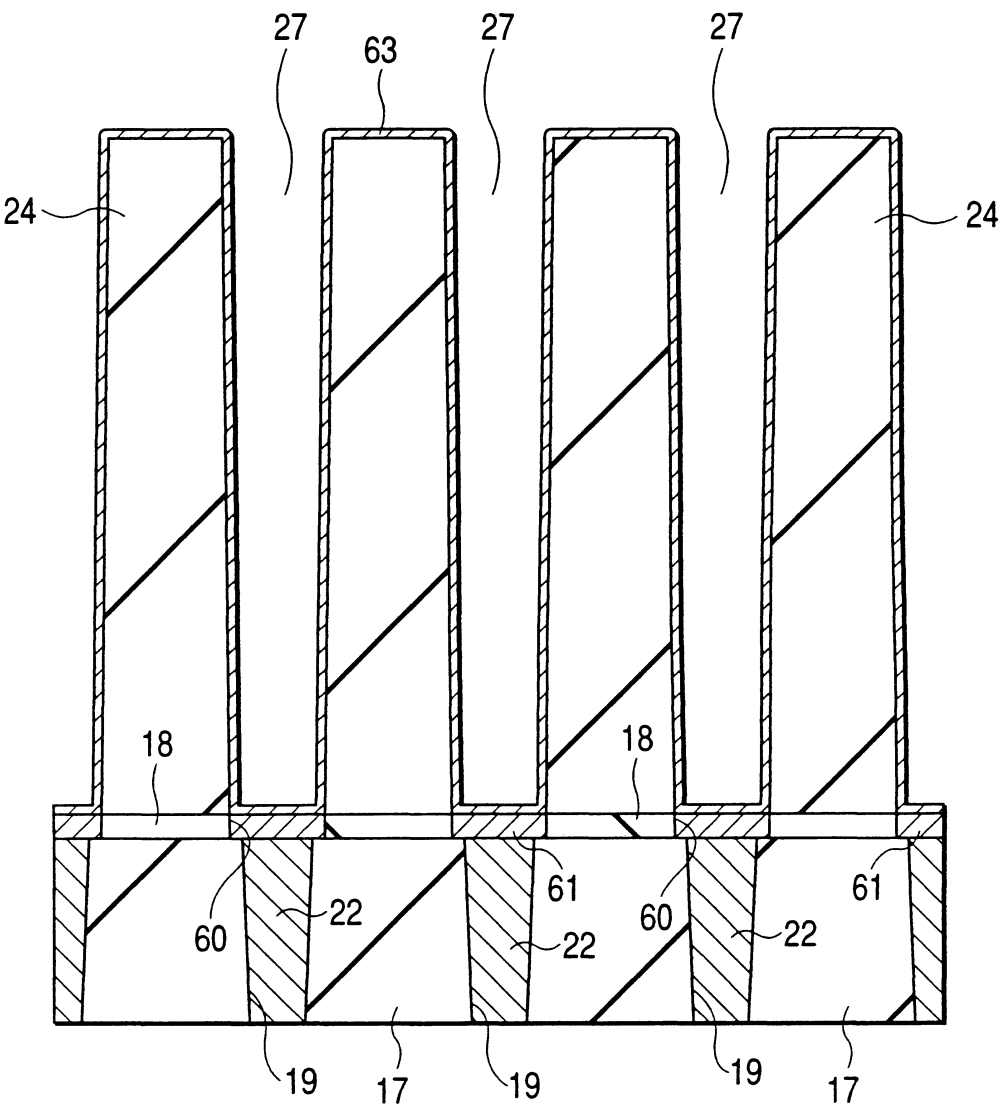
第 113 圖



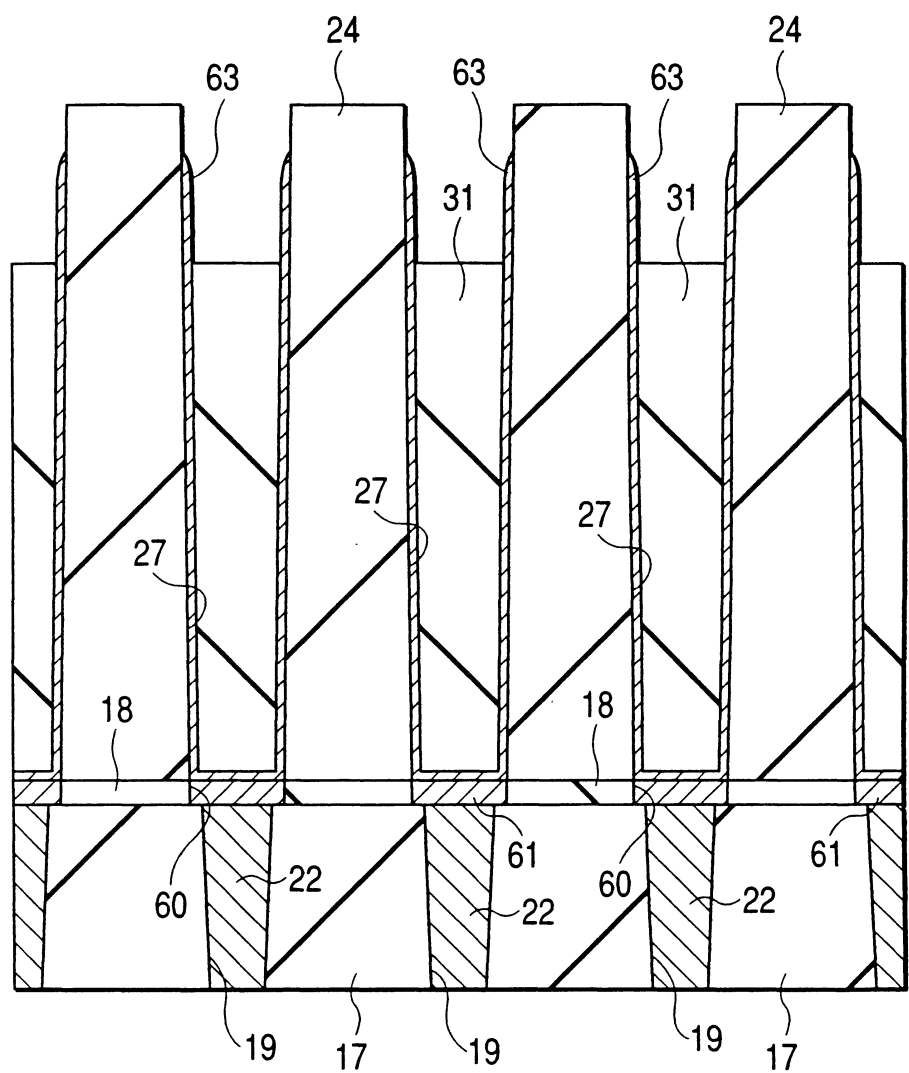
第 114 圖



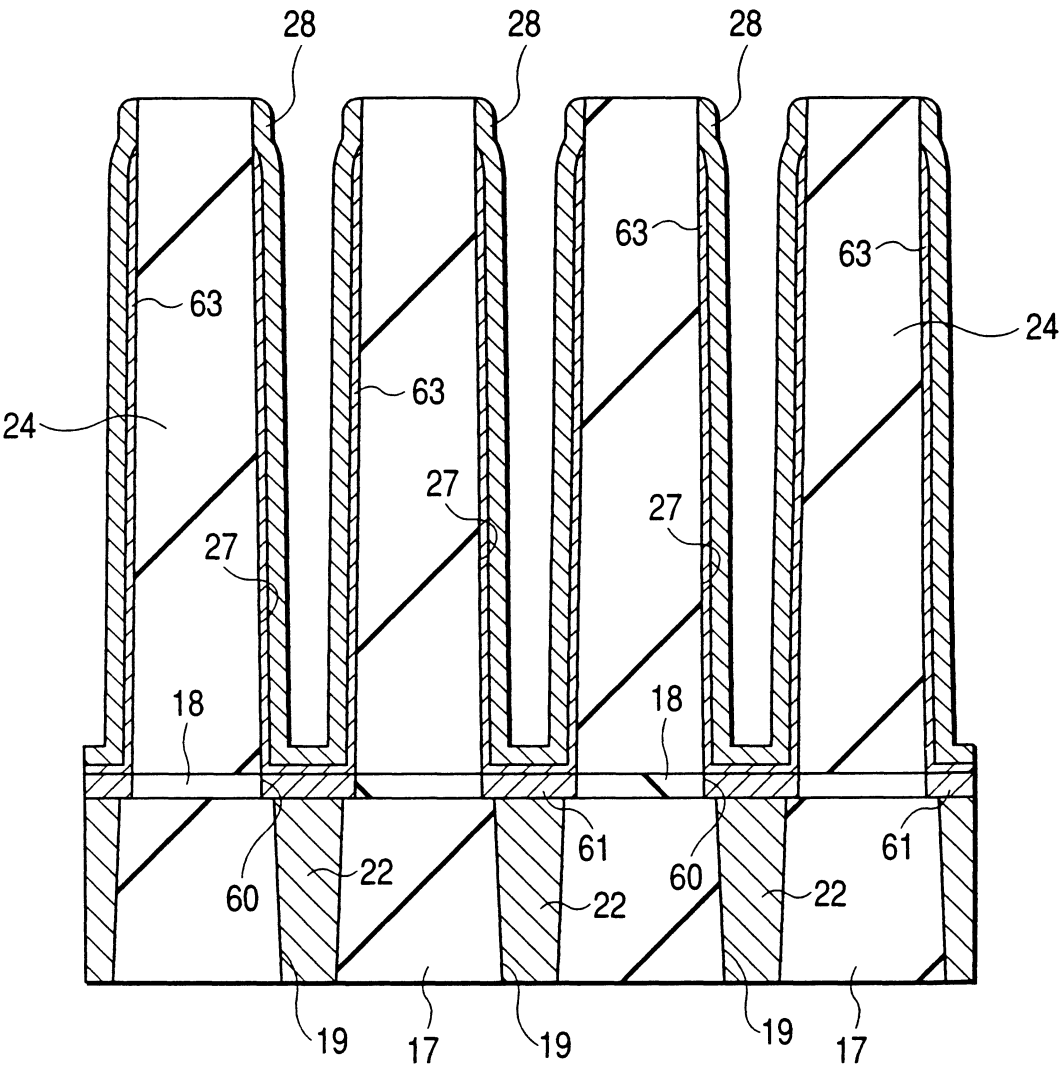
第 115 圖



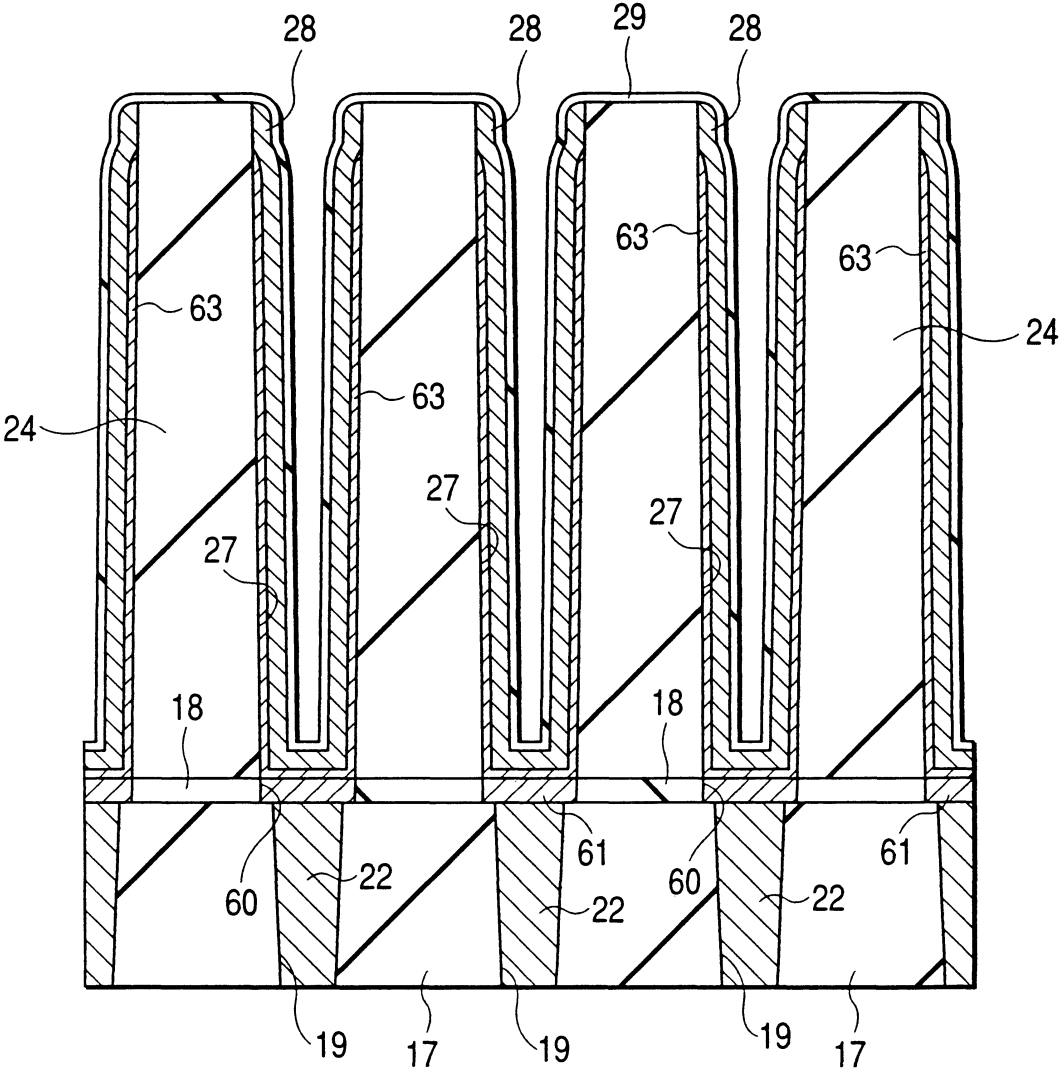
第 116 圖



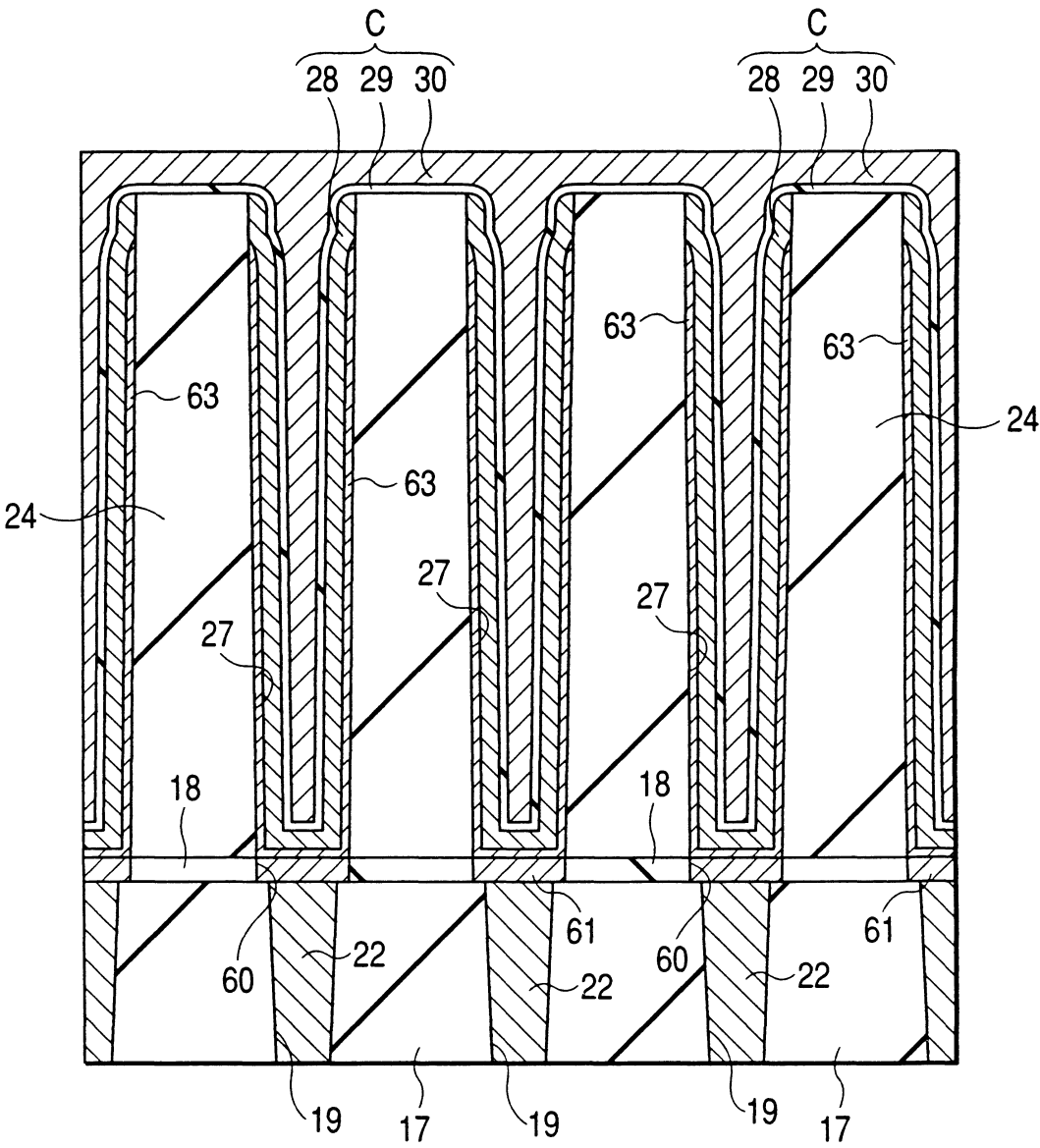
第 117 圖



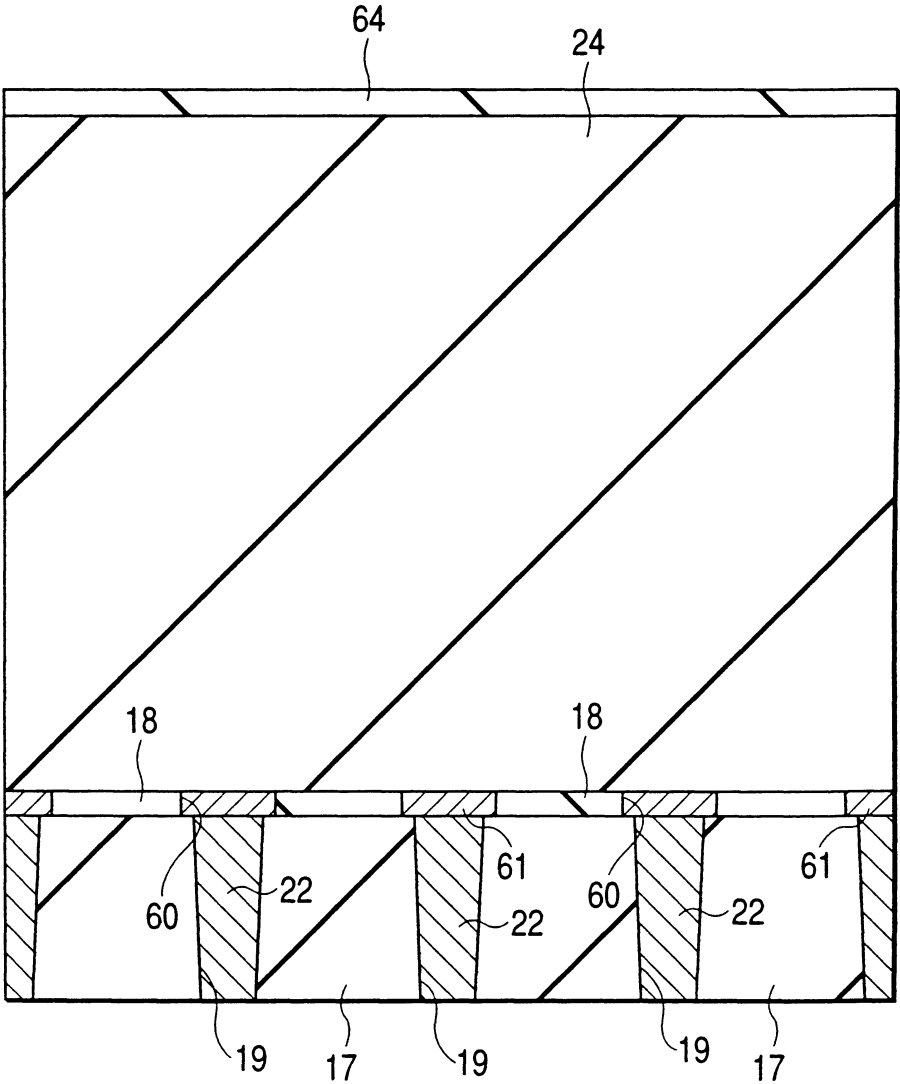
第 118 圖



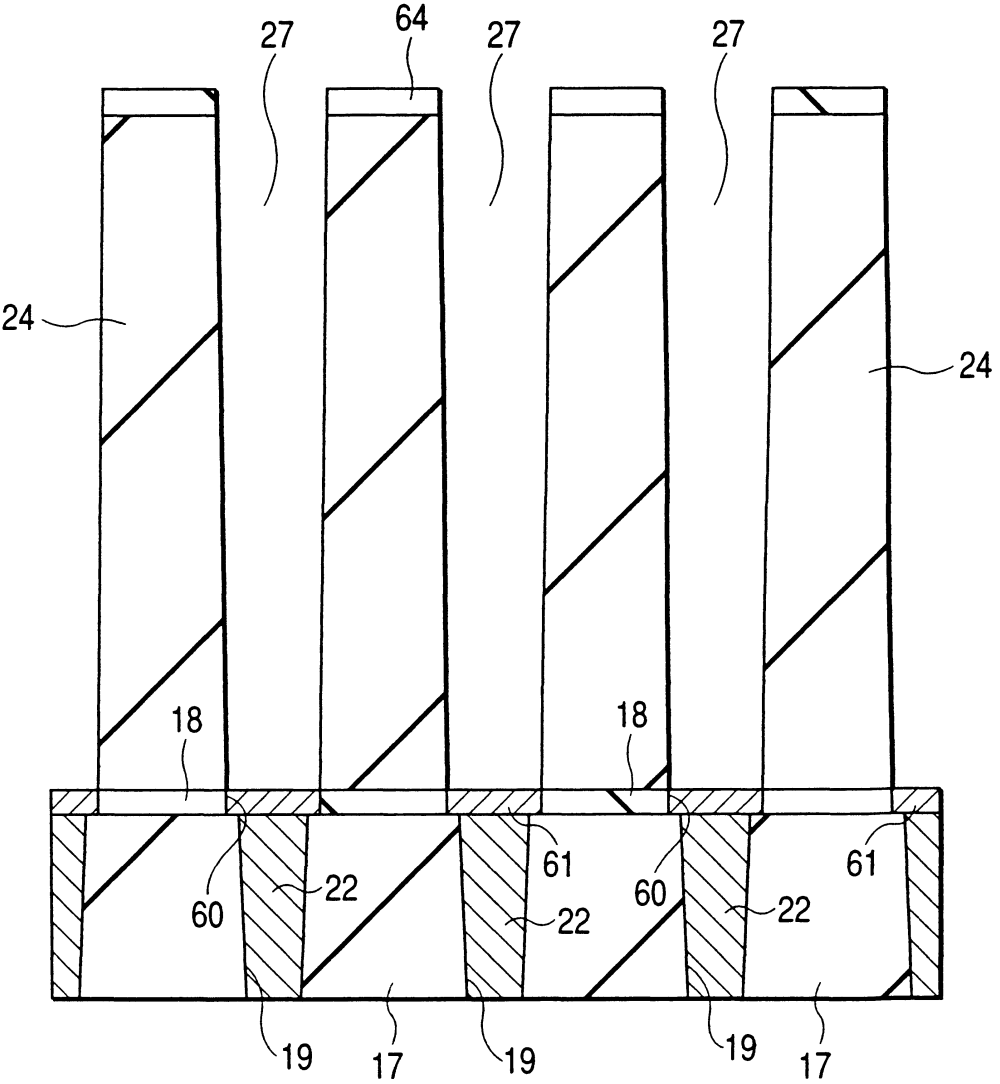
第 119 圖



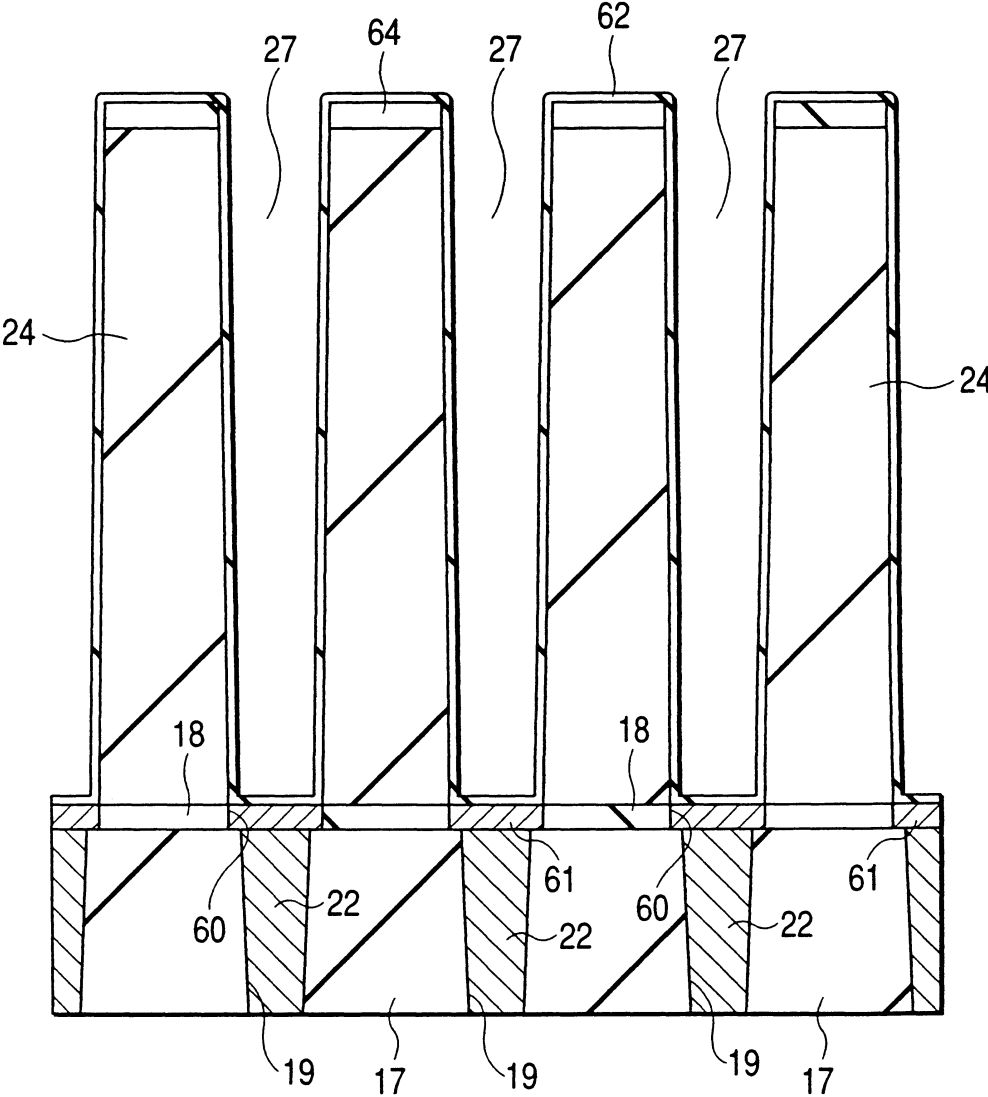
第 120 圖



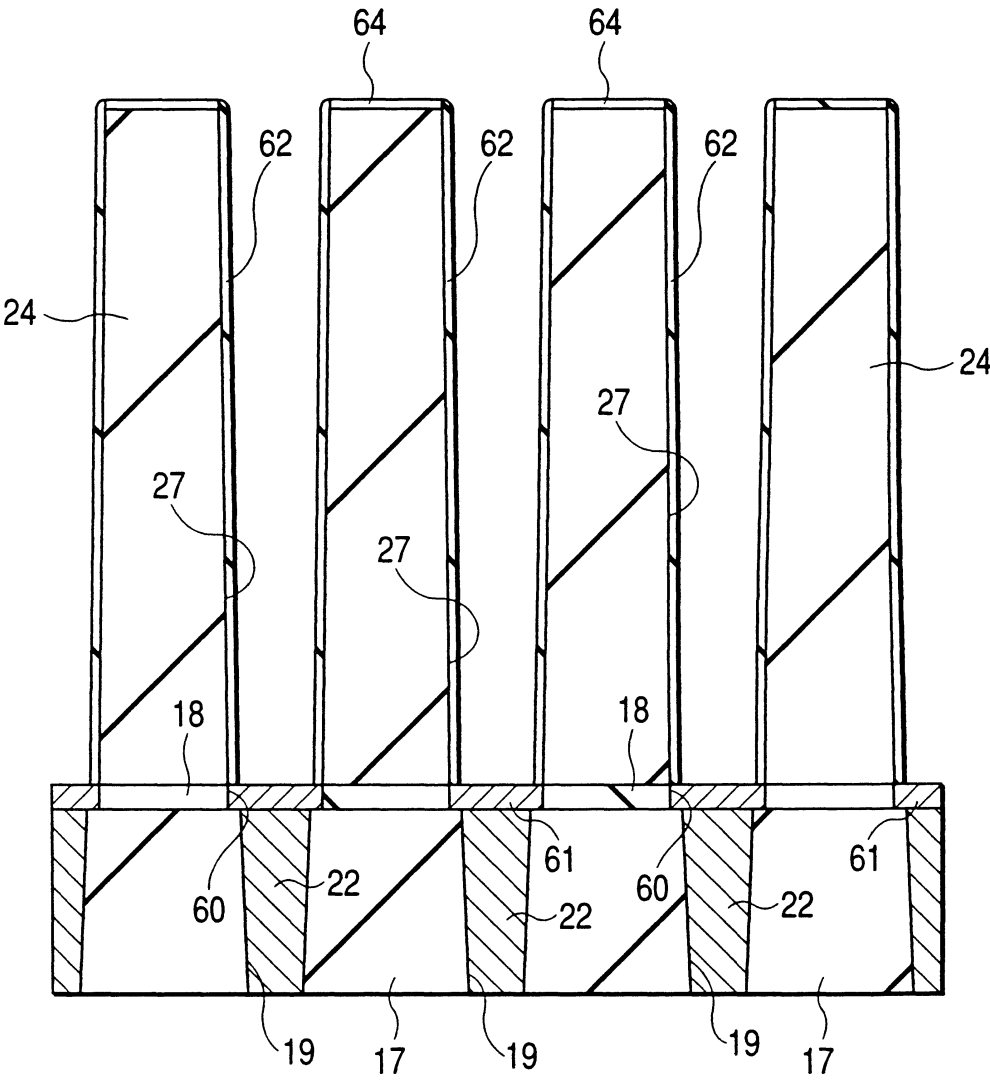
第 121 圖



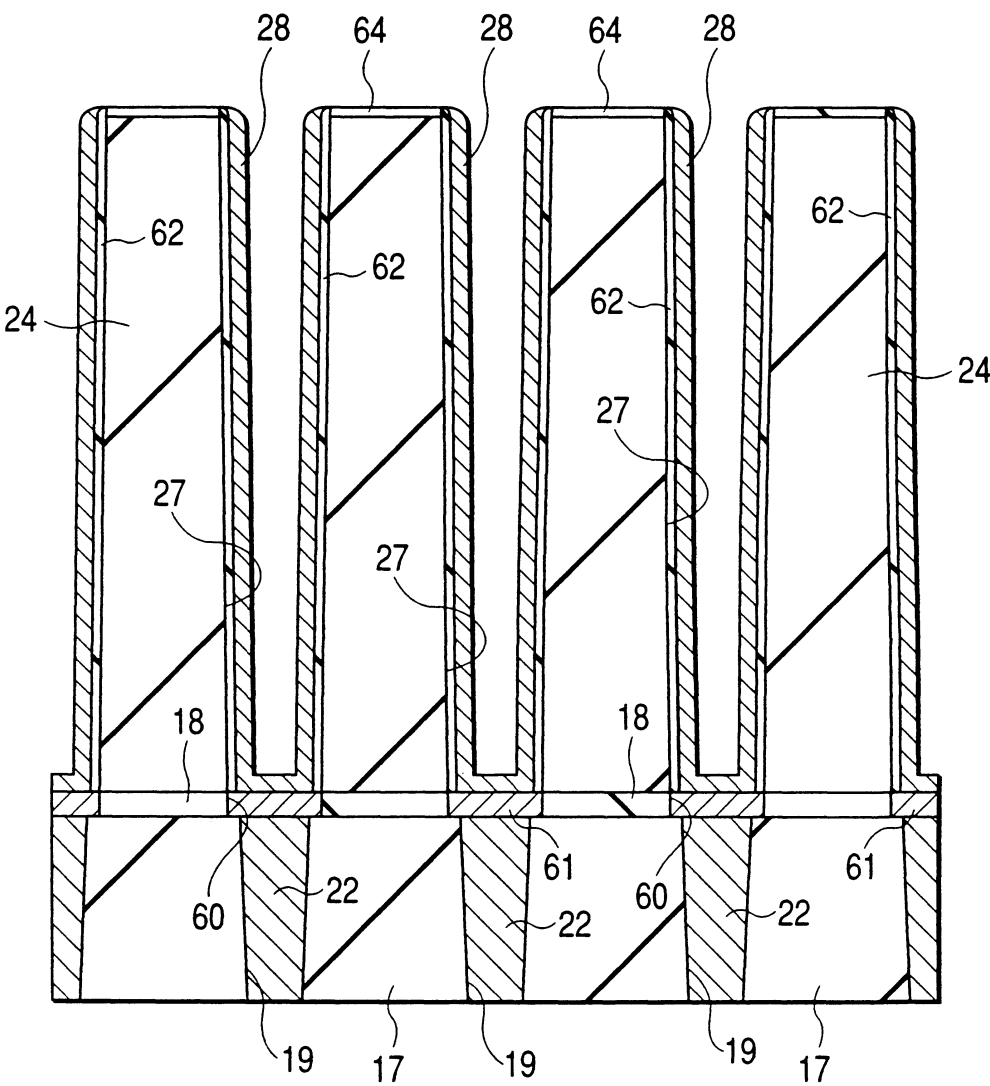
第 122 圖



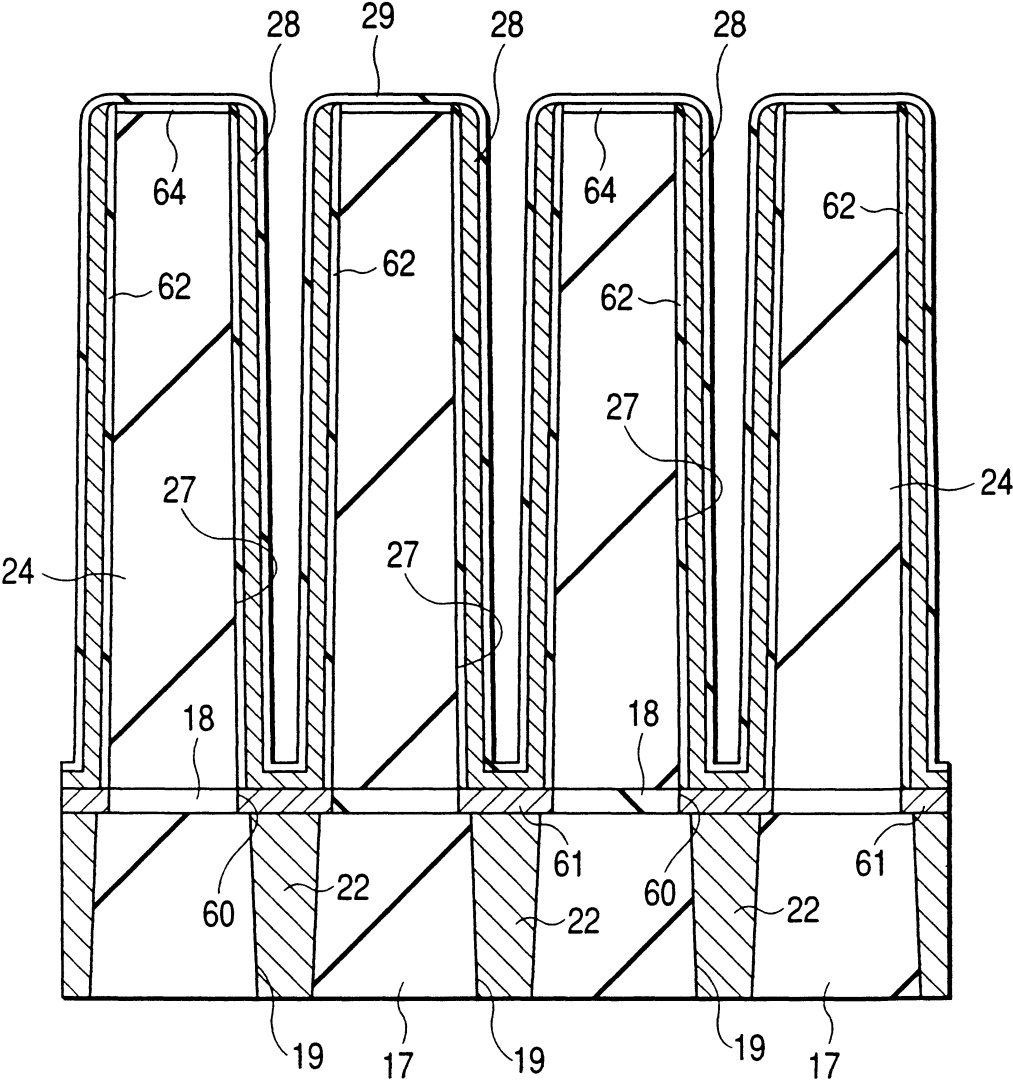
第 123 圖



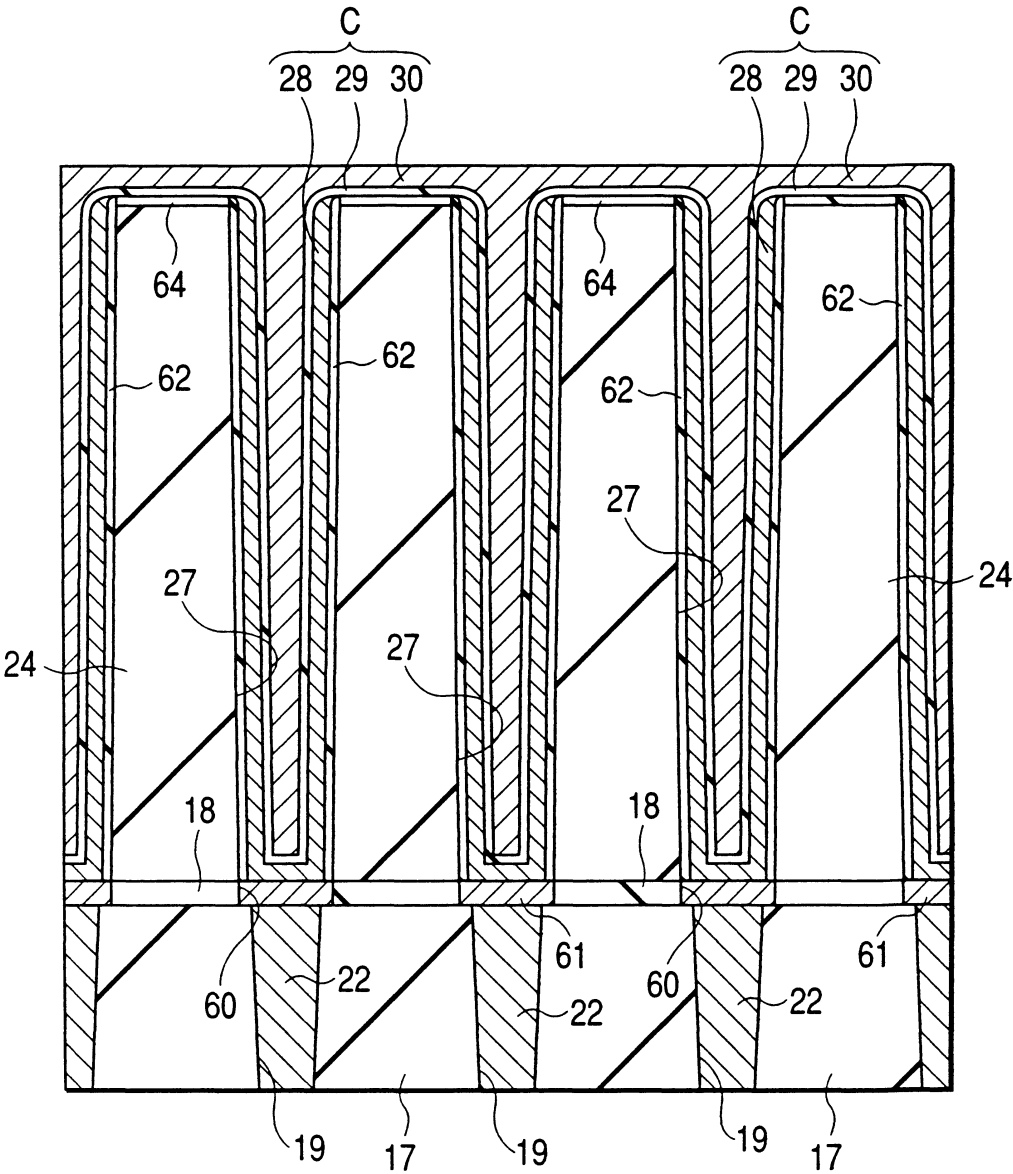
第 124 圖



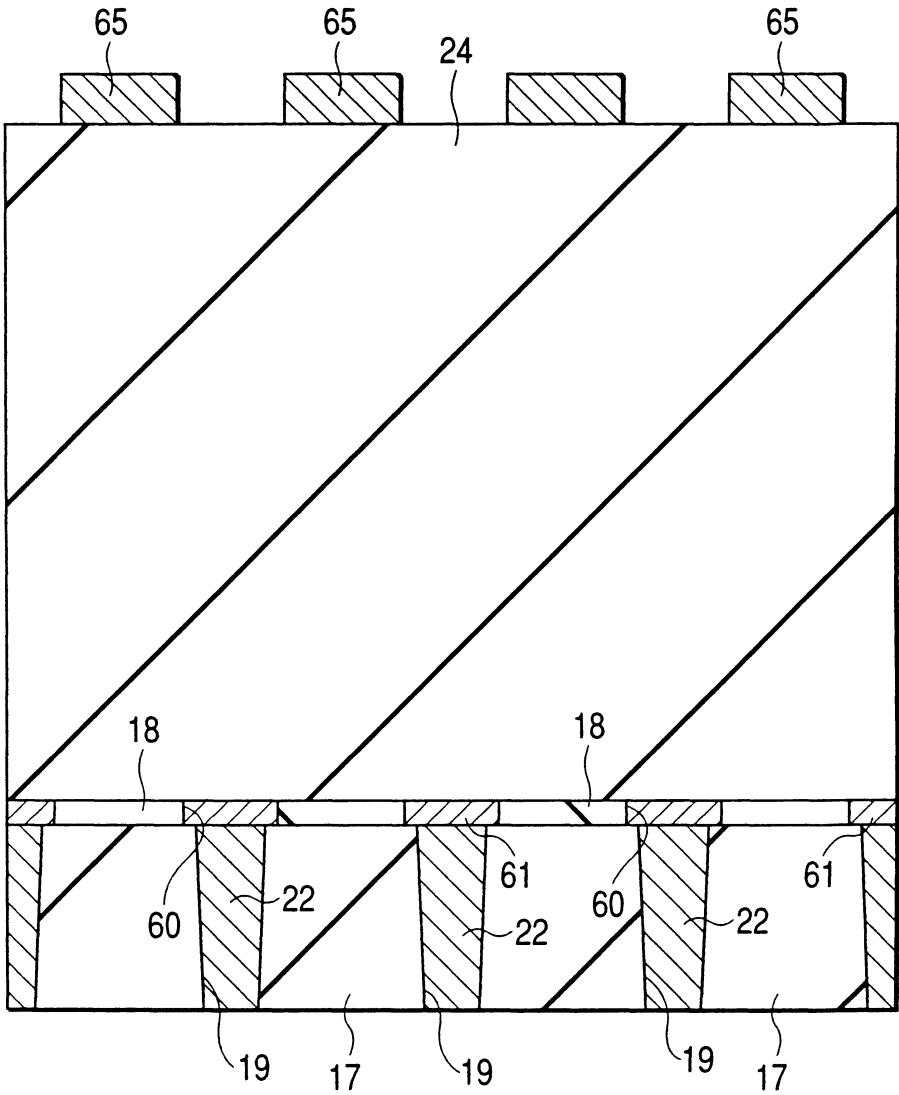
第 125 圖



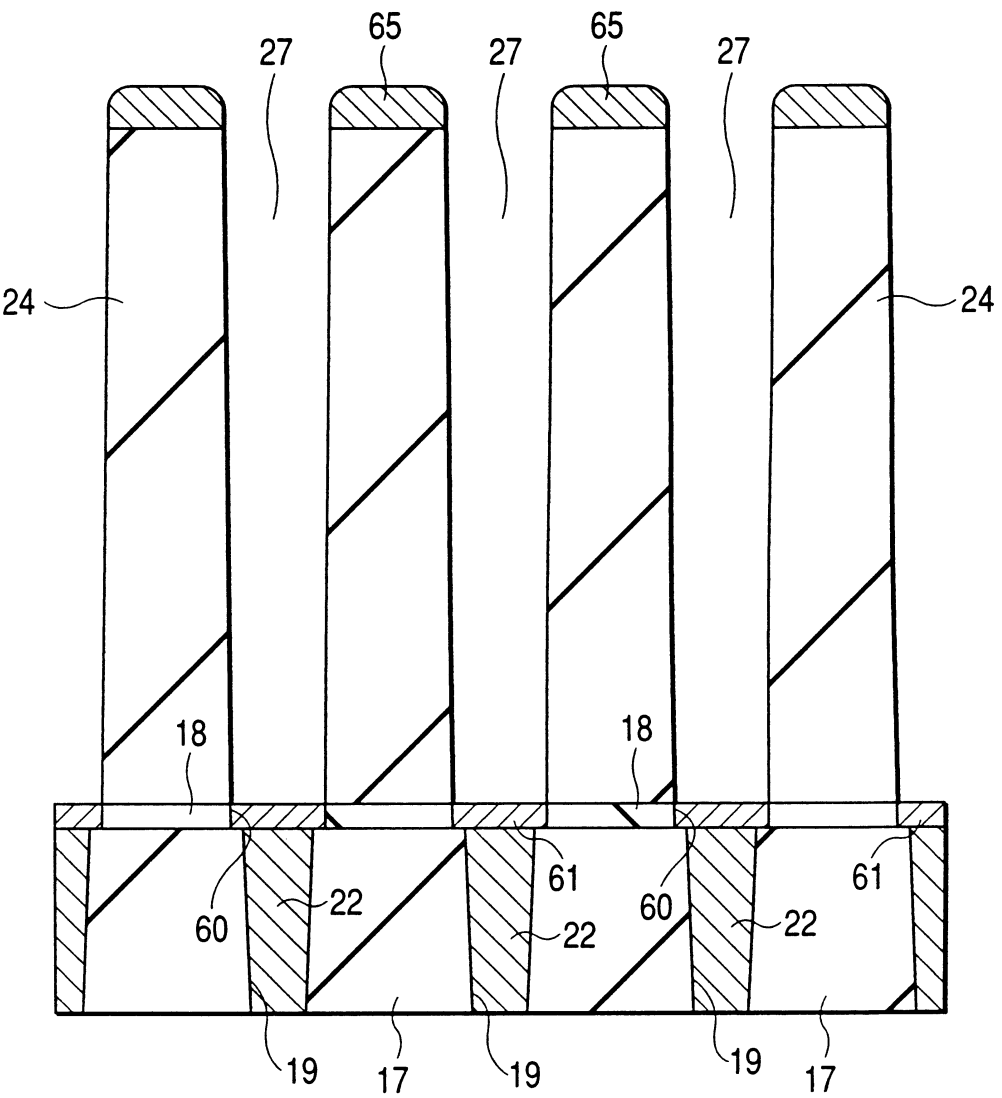
第 126 圖



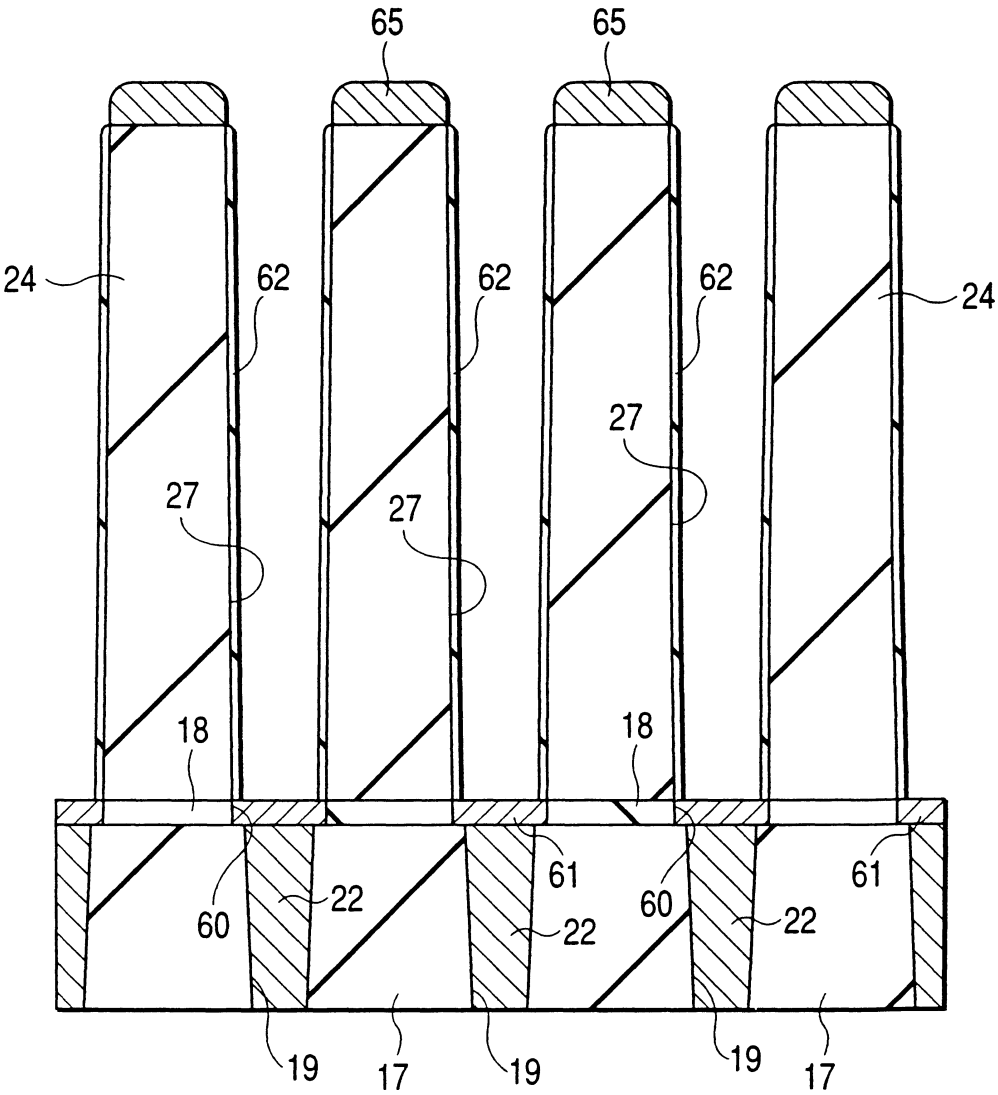
第 127 圖



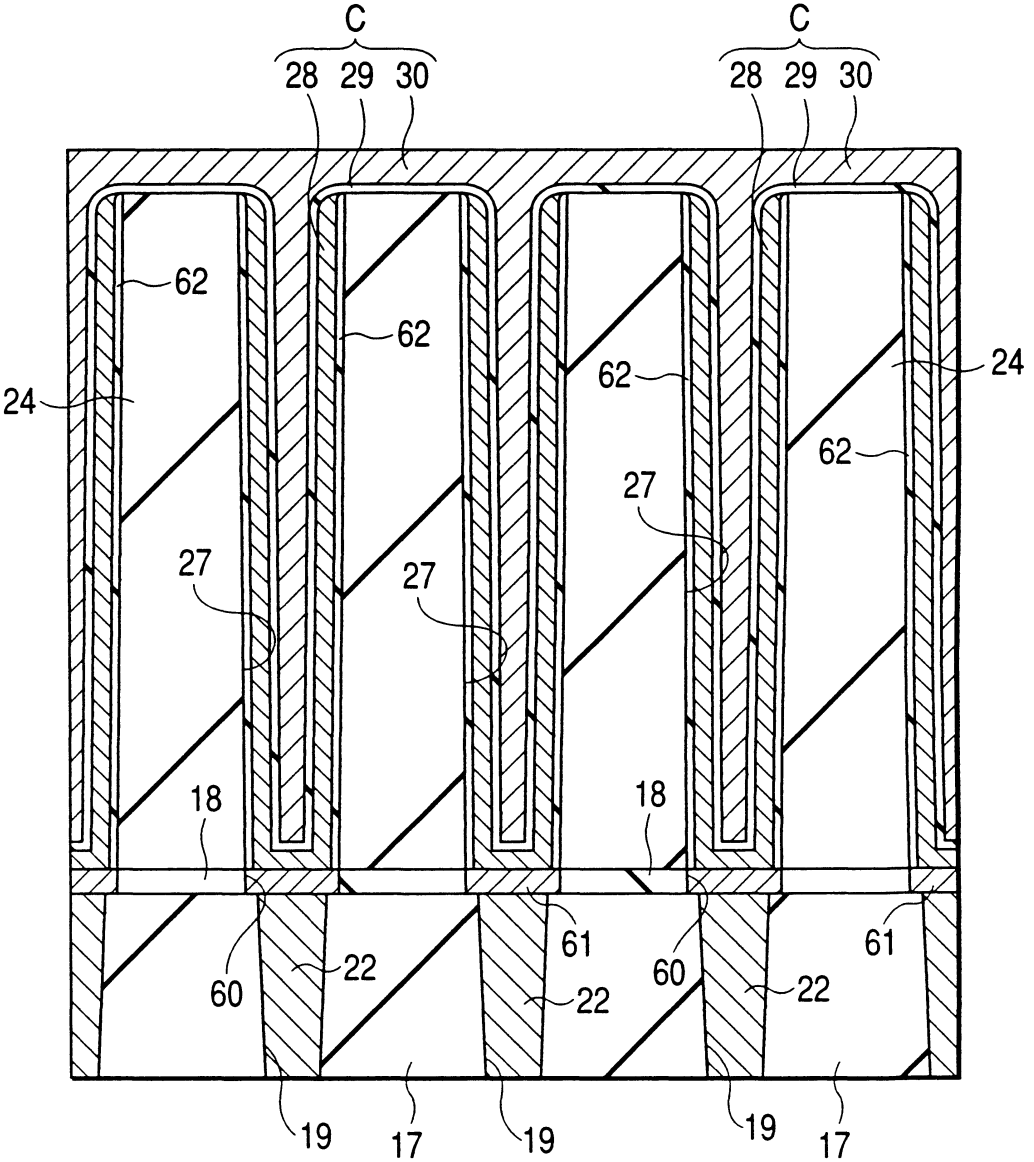
第 128 圖



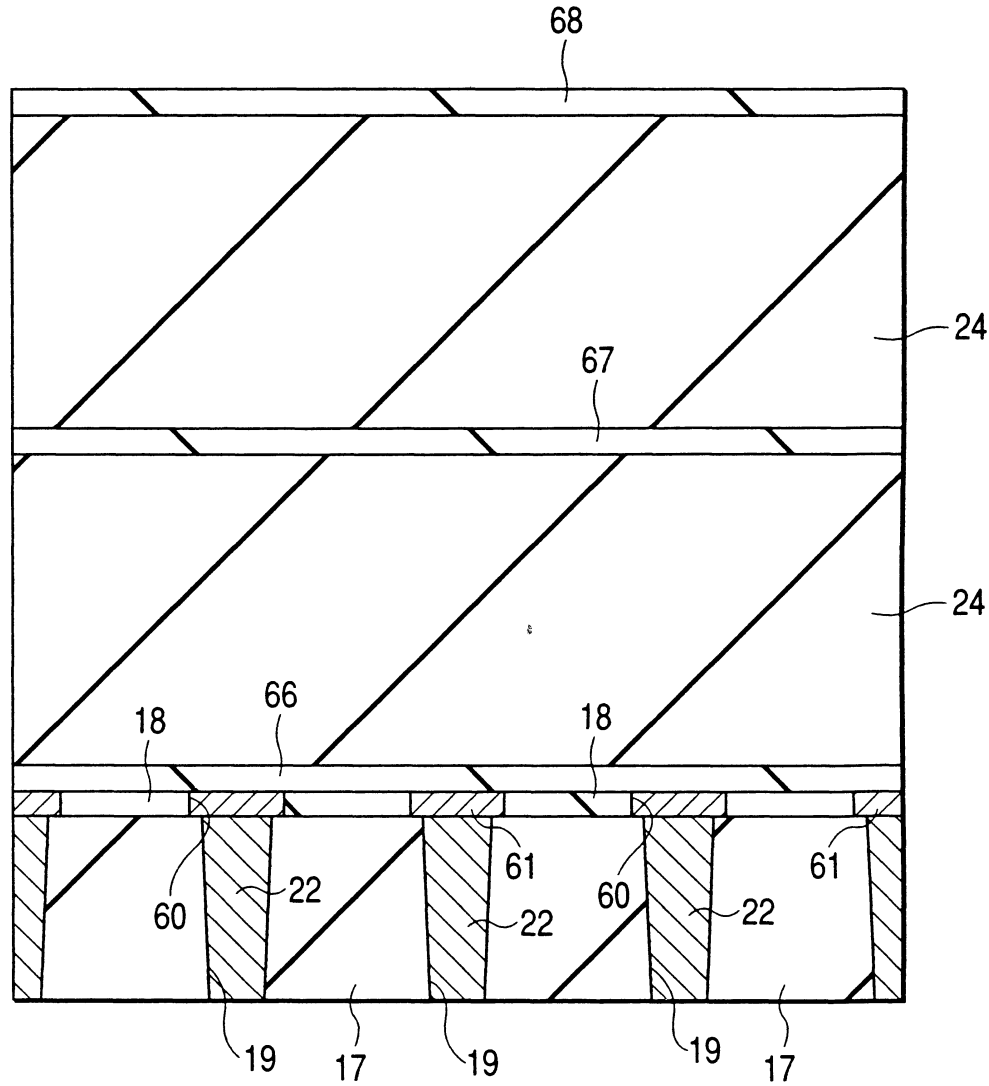
第 129 圖



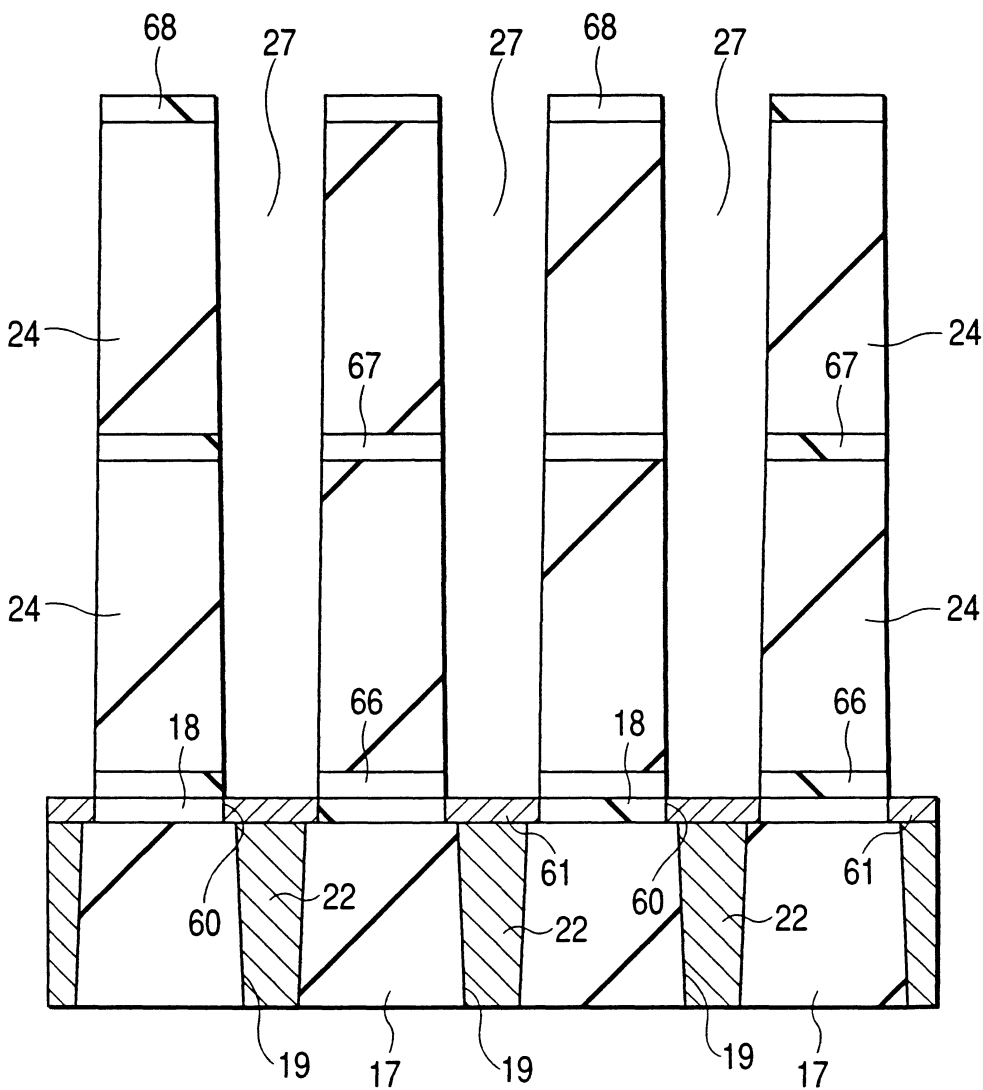
第 131 圖



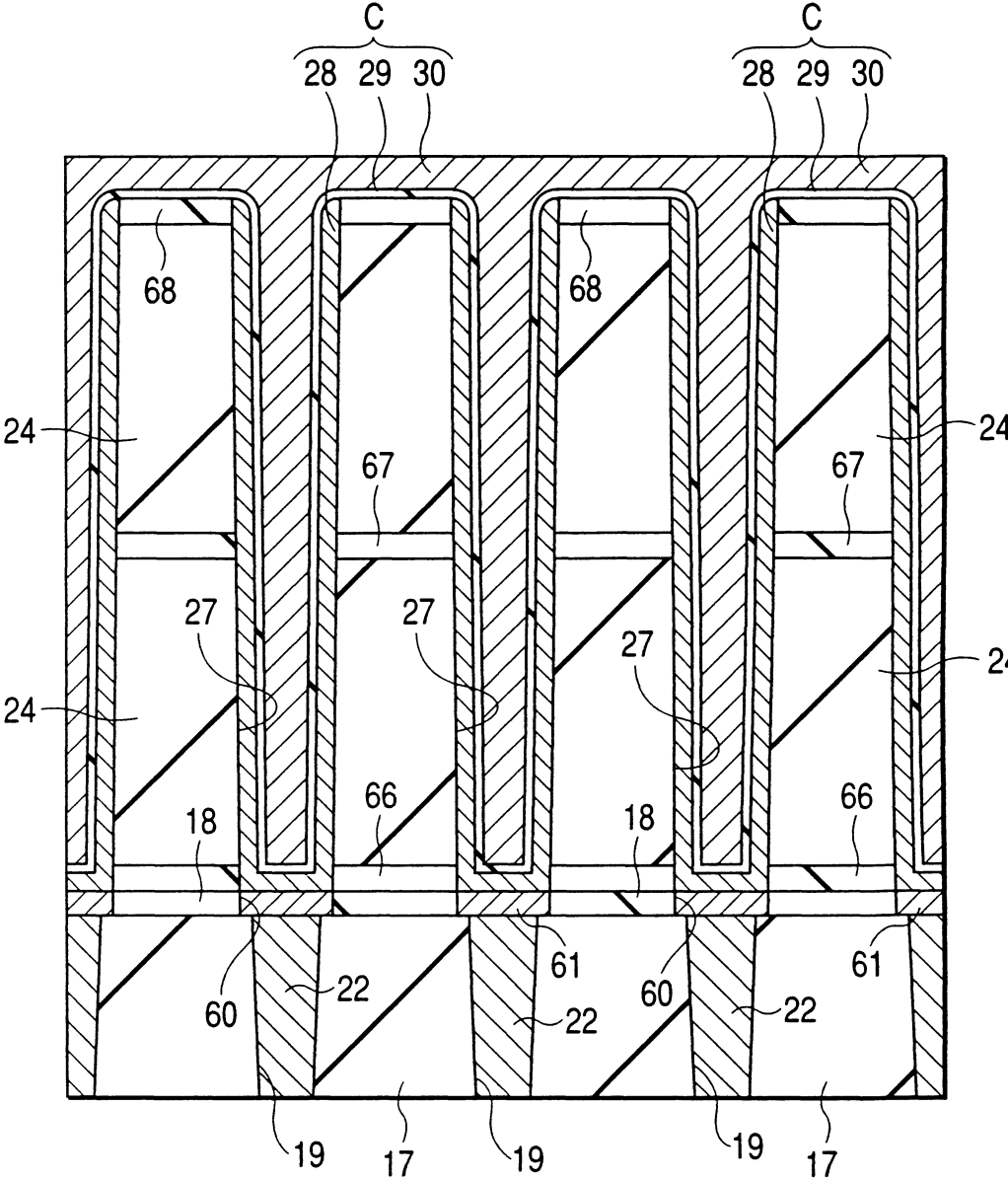
第 132 圖



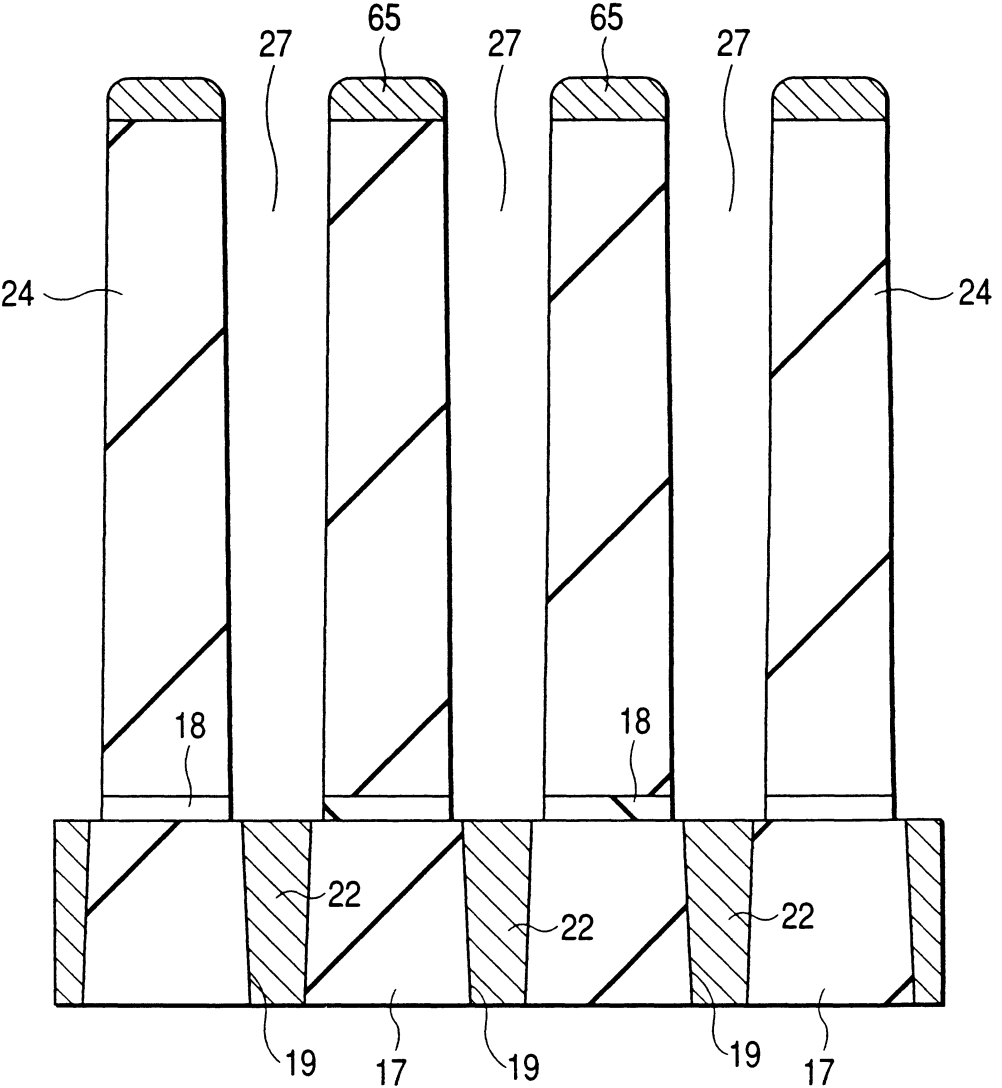
第 133 圖



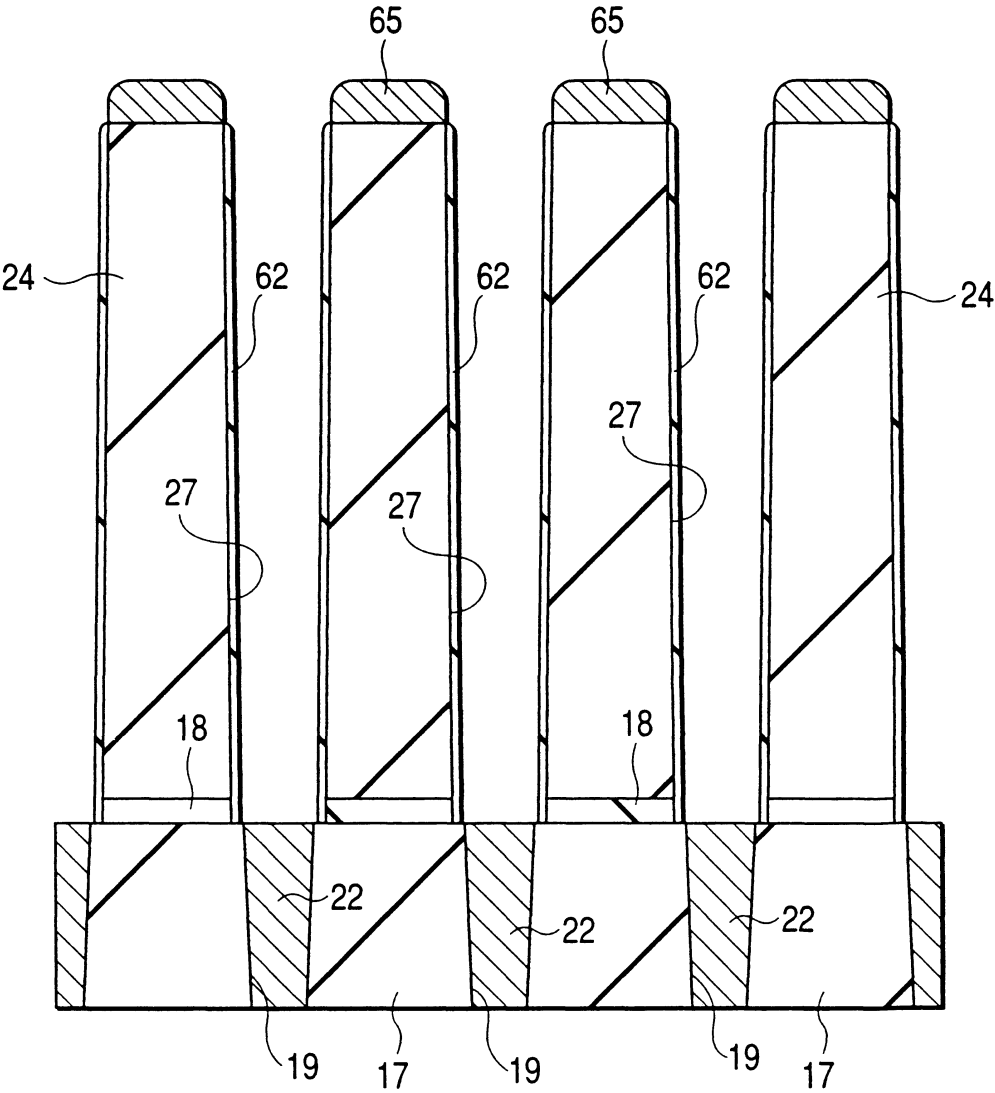
第 135 圖



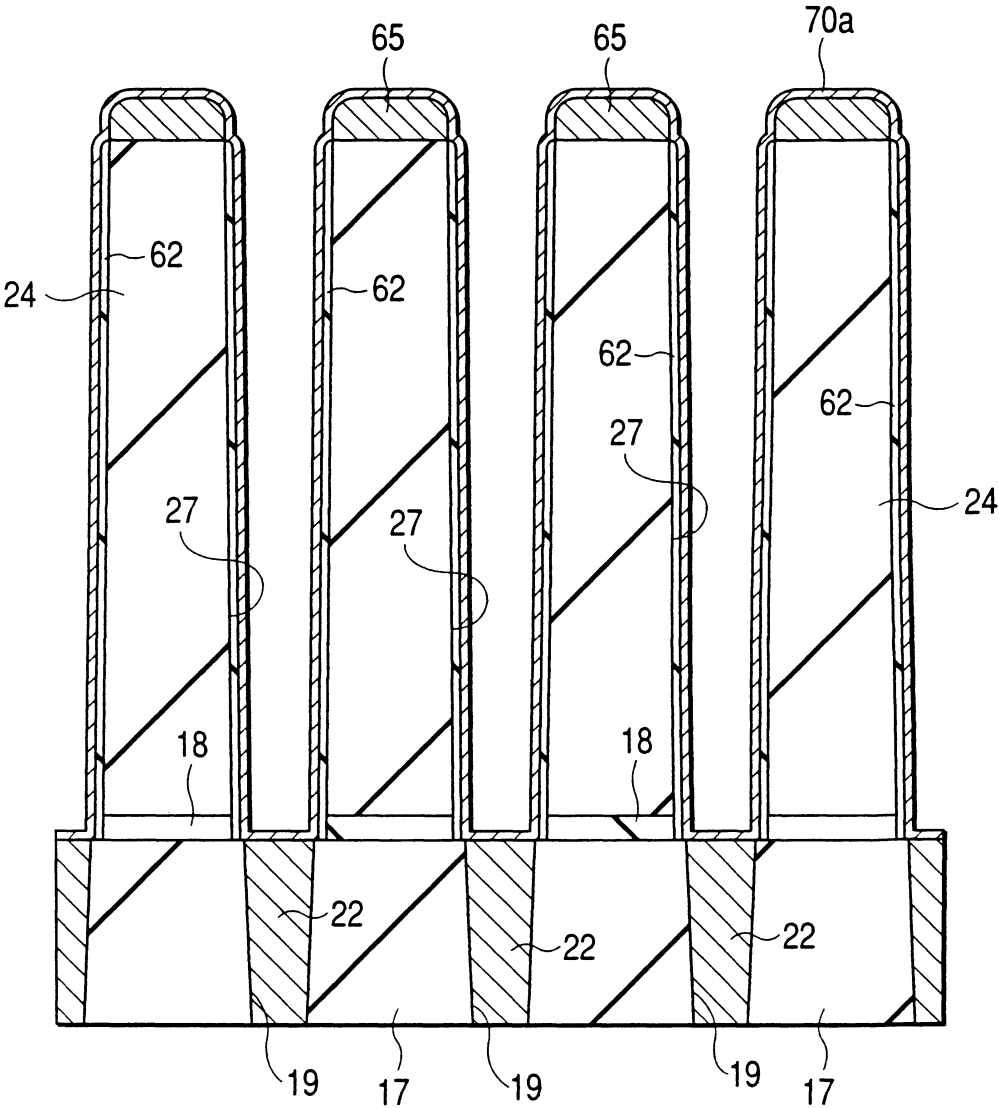
第 136 圖



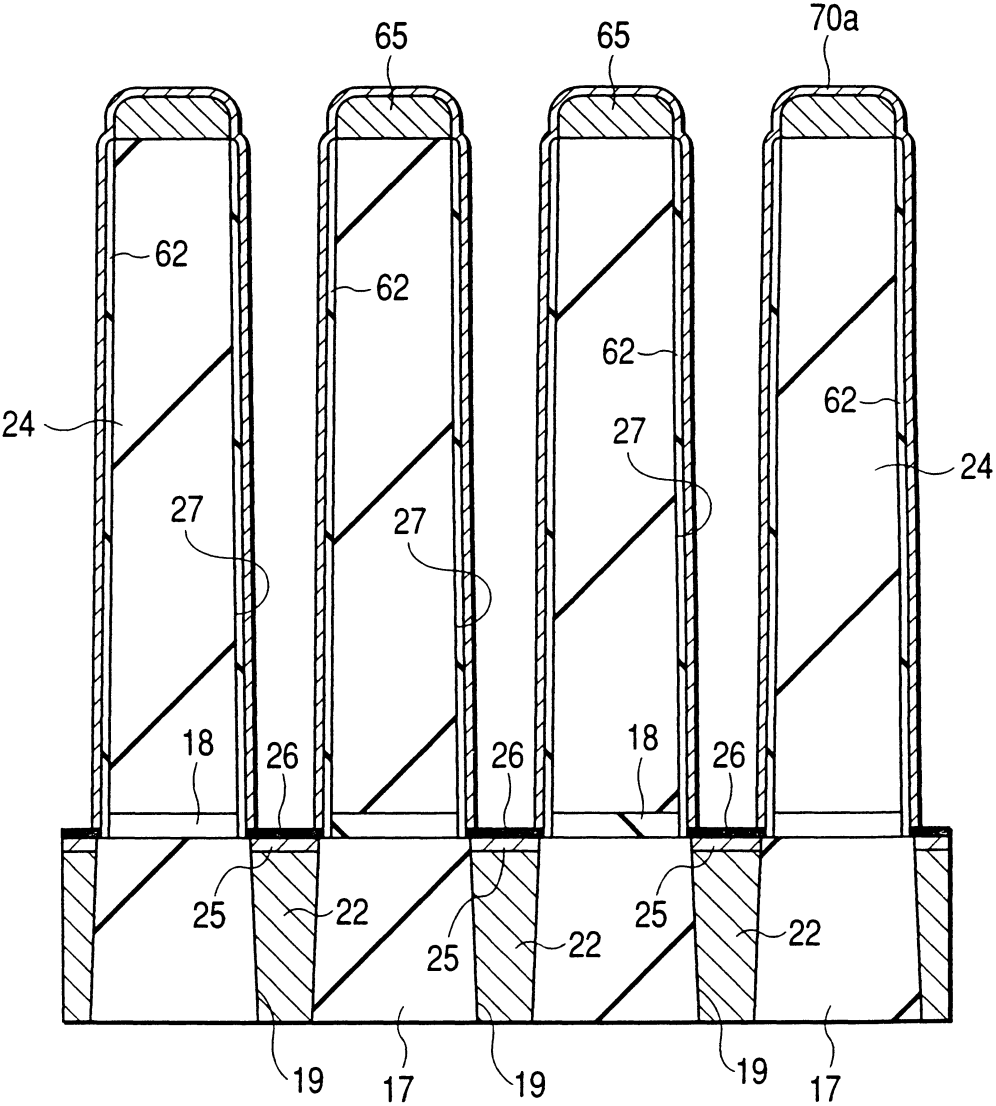
第 137 圖



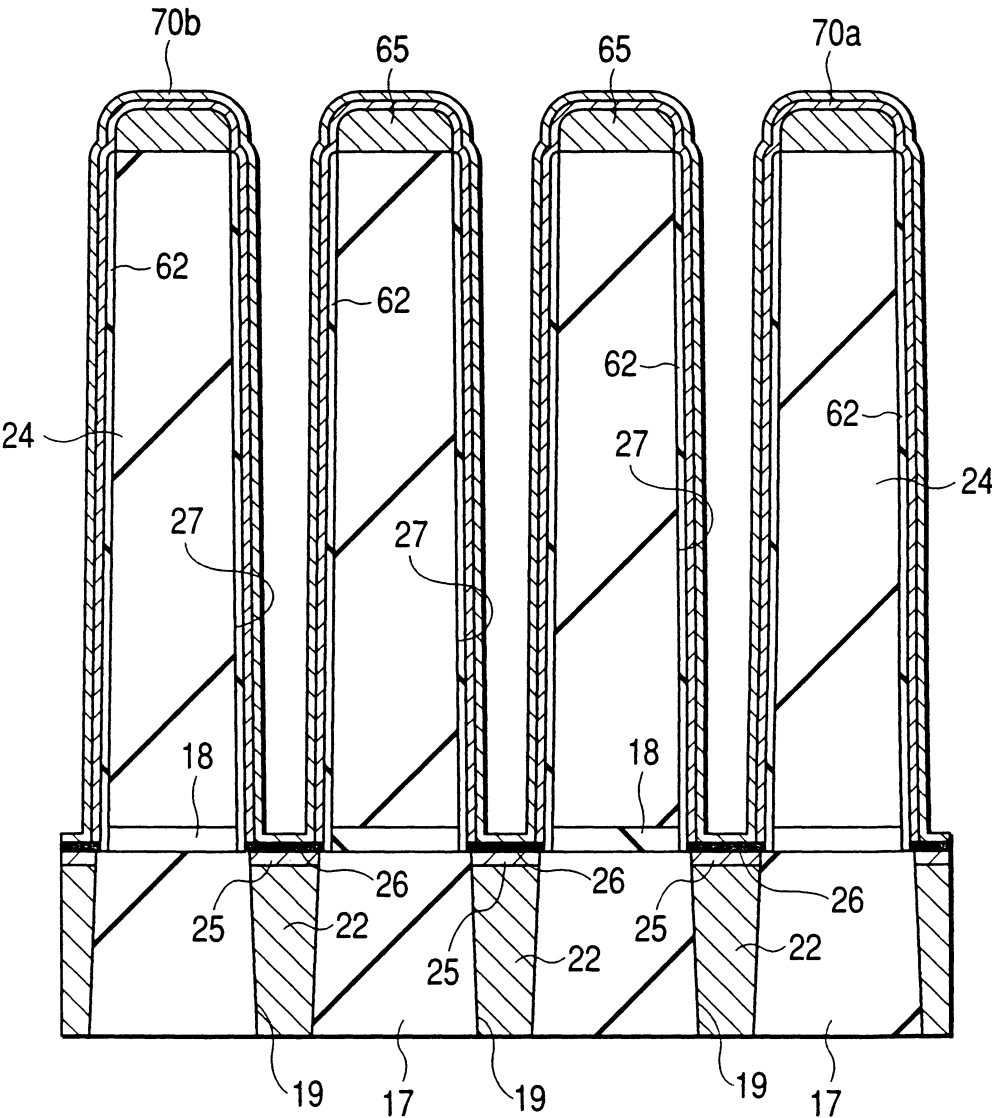
第 138 圖



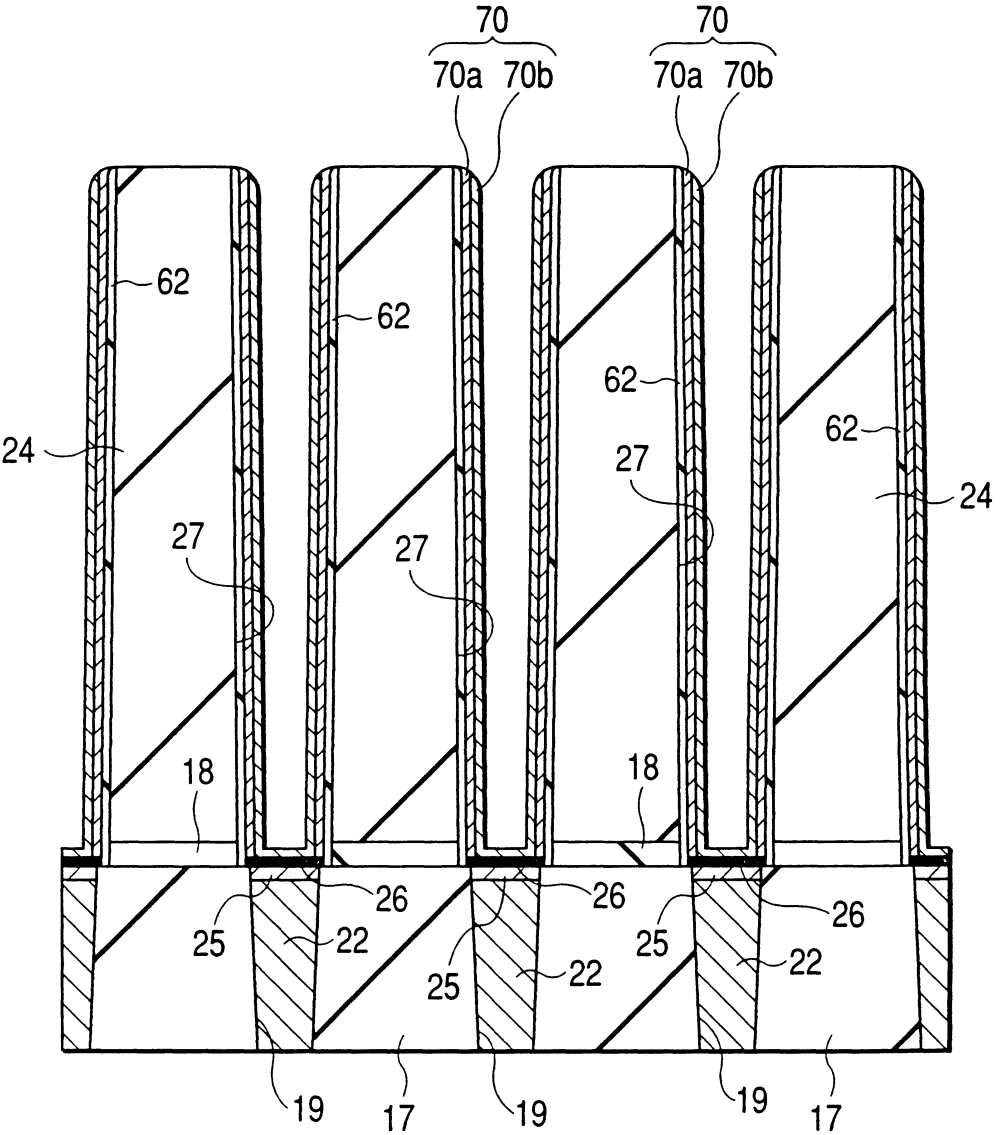
第 139 圖



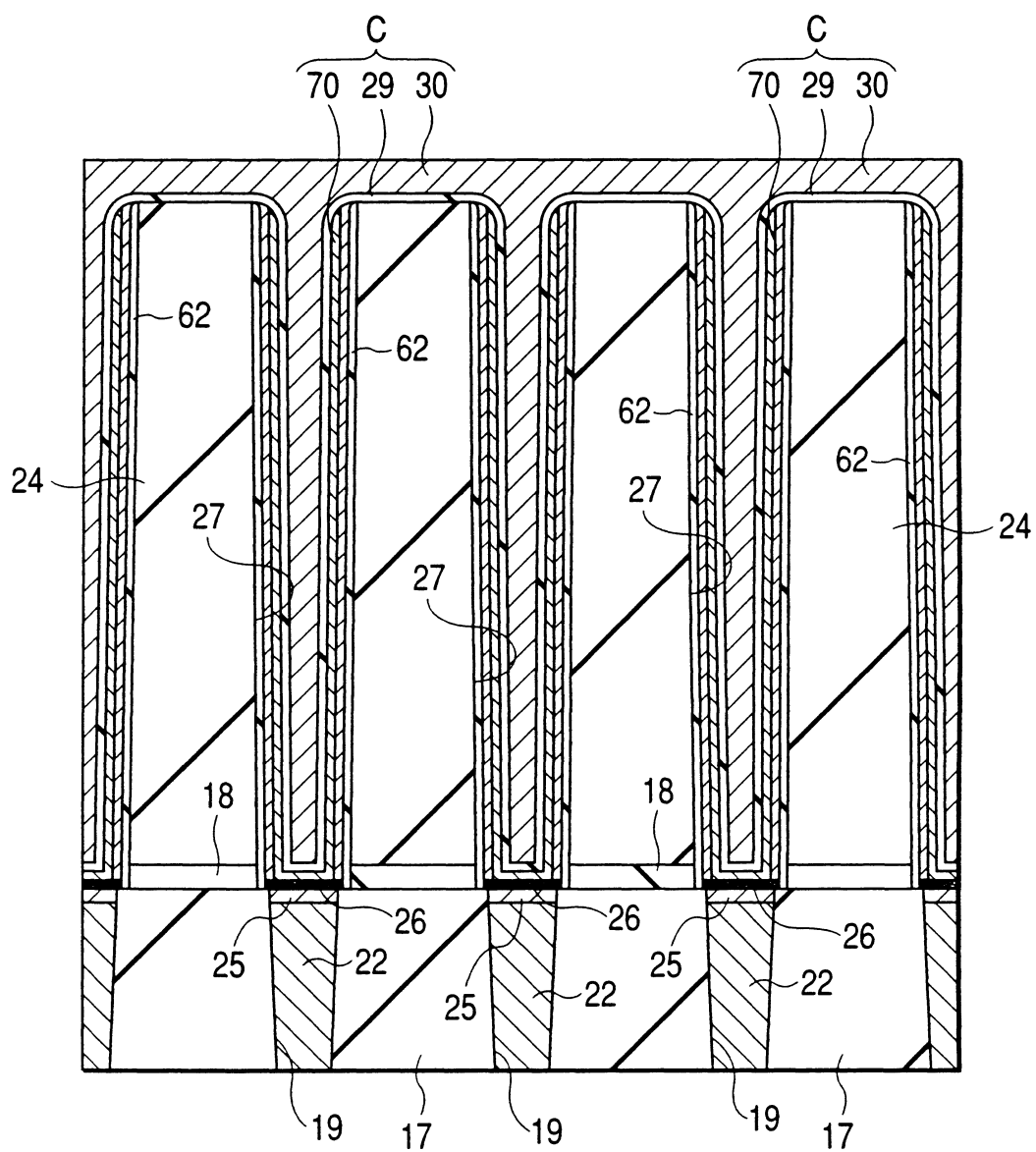
第 140 圖



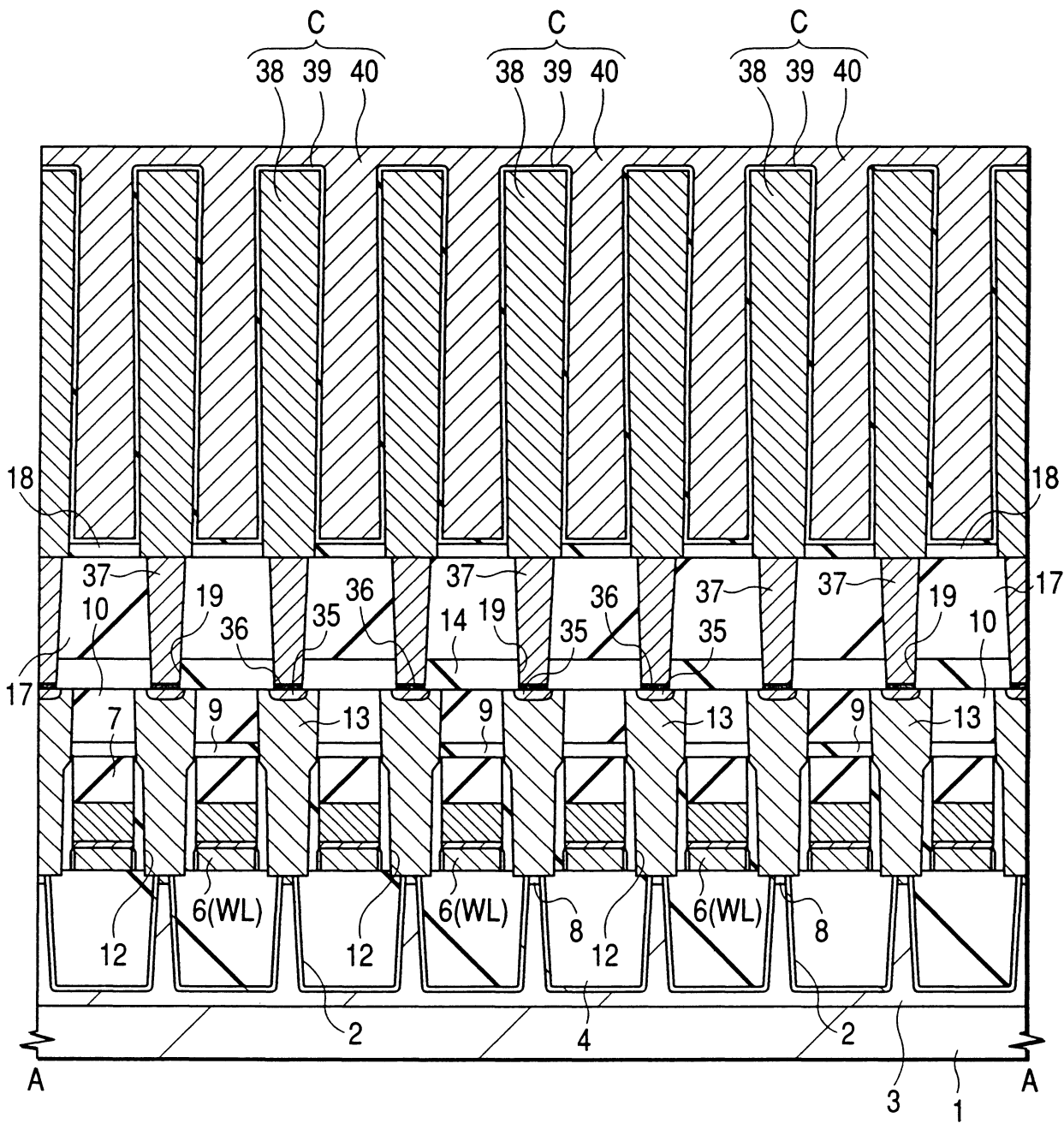
第 141 圖



第 142 圖



第 143 圖



第 144 圖

